

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 19 日(19.10.2017)



(10) 国際公開番号
WO 2017/179152 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) *H01L 21/02* (2006.01)
- (21) 国際出願番号: PCT/JP2016/061900
- (22) 国際出願日: 2016 年 4 月 13 日(13.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: オリンパス株式会社(OLYMPUS CORPORATION) [JP/JP]; 〒1928507 東京都八王子市石川町 2 9 5 1 番地 Tokyo (JP).
- (72) 発明者: 高澤 直裕(TAKAZAWA Naohiro); 〒1928507 東京都八王子市石川町 2 9 5 1 番地 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外(TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

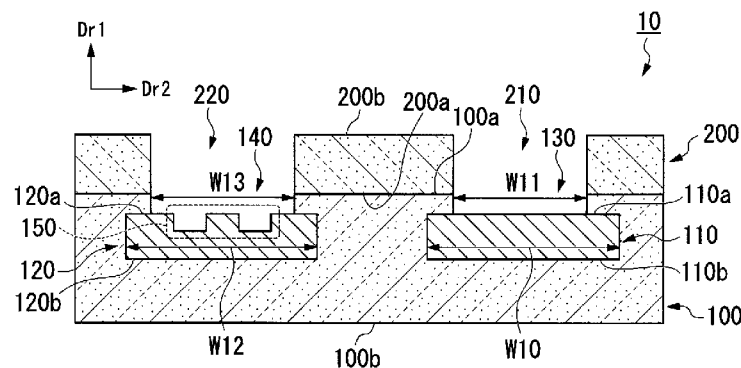
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: A semiconductor device of the present invention has a first semiconductor layer, a second semiconductor layer, a first pad, and a second pad. A first opening and a second opening are formed in a first main surface of the first semiconductor layer. The second semiconductor layer is laminated on the first semiconductor layer. The first pad has a third main surface for wire bonding. The third main surface is disposed in the first opening. The second pad has a fourth main surface, in which an alignment mark is formed. The fourth main surface is disposed in the second opening. A third opening and a fourth opening penetrate the second semiconductor layer. The first opening overlaps the third opening. The second opening overlaps the fourth opening.

(57) 要約: 半導体装置は、第 1 の半導体層と、第 2 の半導体層と、第 1 のパッドと、第 2 のパッドとを有する。第 1 の開口部および第 2 の開口部が前記第 1 の半導体層の第 1 の主面に形成されている。前記第 2 の半導体層は、前記第 1 の半導体層に積層されている。前記第 1 のパッドは、ワイヤボンディングのための第 3 の主面を有する。前記第 3 の主面は前記第 1 の開口部に配置されている。前記第 2 のパッドは、アライメントマークが形成された第 4 の主面を有する。前記第 4 の主面は前記第 2 の開口部に配置されている。第 3 の開口部および第 4 の開口部は、前記第 2 の半導体層を貫通する。前記第 1 の開口部は、前記第 3 の開口部と重なる。前記第 2 の開口部は、前記第 4 の開口部と重なる。

WO 2017/179152 A1

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 一般的に、半導体装置が回路基板に実装されるとき、半導体装置に設けられたパッドはワイヤボンディングにより回路基板とワイヤで接続される。パッドの位置は、カメラを用いた画像認識により検出される。例えば、特許文献1には、画像認識によるアライメント方法が開示されている。一方、特許文献2に示されるように、半導体装置に設けられたダミーパッドがアライメントマークとして使用される。

[0003] 図48は、モノリシック型の半導体装置1010の平面図である。半導体装置1010は、パッド1110とダミーパッド1120とが配置された半導体層1200を有する。半導体層1200の表面は、薄い絶縁膜で覆われている。図48において、絶縁膜は省略されている。絶縁膜に開口部1210および開口部1220が形成されている。パッド1110は開口部1210に露出し、かつダミーパッド1120は開口部1220に露出する。パッド1110およびダミーパッド1120は金属の薄膜である。パッド1110およびダミーパッド1120が薄いため、パッド1110およびダミーパッド1120は、フォトリソグラフィおよびエッチングにより高精度に形成される。絶縁膜が薄いため、開口部1210および開口部1220は、フォトリソグラフィおよびエッチングにより高精度に形成される。パッド1110および開口部1210の各々の中心は、ほぼ同一である。ダミーパッド1120および開口部1220の各々の中心は、ほぼ同一である。

[0004] 絶縁膜が薄いため、絶縁膜はほぼ透明である。このため、パッド1110の輪郭1110Aおよびダミーパッド1120の輪郭1120Aは視認できる。ワイヤボンディング位置のアライメントにおいて、画像認識によりダミ

ーパッド1120の中心P110が検出される。その後、ダミーパッド1120の中心P110とパッド1110の中心との設計上の位置関係に基づいて、パッド1110の中心に相当する位置P120が検出され、かつその位置P120でワイヤボンディングが行われる。複数のパッド1110が半導体装置1010に配置されている。図48において、代表として1つのパッド1110が示され、かつ他のパッド1110は省略されている。アライメントを高速に行うために、画像認識により検出された1つのダミーパッド1120の中心P110を基準として、各パッド1110の中心に相当する位置P120が算出される。ダミーパッド1120の輪郭1120Aが視認できるため、画像認識によるダミーパッド1120の中心P110の検出精度は高い。このため、パッド1110の中心に相当する位置P120の検出精度は高い。つまり、ワイヤボンディング位置のアライメント精度は高い。説明の便宜のため、1つのダミーパッド1120の中心P110を基準として位置P120が算出される例を説明したが、異なる2つのダミーパッド1120の各々の中心P110を基準として位置P120が算出されてもよい。

[0005] 図49は、複数の半導体層が積層された積層型の半導体装置1011の平面図である。半導体装置1011は、積層された複数の半導体層を有する。複数の半導体層のうち半導体層1201のみが図49に示されている。半導体層1201に開口部1211および開口部1221が形成されている。半導体層1201に積層された、図示されていない半導体層内の配線層にパッド1111およびダミーパッド1121が配置されている。パッド1111は開口部1211に露出し、かつダミーパッド1121は開口部1221に露出する。パッド1111およびダミーパッド1121は金属の薄膜である。パッド1111およびダミーパッド1121が薄いため、パッド1111およびダミーパッド1121は、フォトリソグラフィおよびエッチングにより高精度に形成される。

[0006] 半導体層1201が厚いため、パッド1111の輪郭1111Aおよびダミーパッド1121の輪郭1121Aは視認できない。ワイヤボンディング

位置のアライメントにおいて、画像認識により開口部 1 2 2 1 の中心 P 1 1 1 が検出される。その後、ダミーパッド 1 1 2 1 の中心とパッド 1 1 1 1 の中心との設計上の位置関係に基づいて、開口部 1 2 2 1 の中心 P 1 1 1 に対応するパッド 1 1 1 1 の位置 P 1 2 1 が検出され、かつその位置 P 1 2 1 でワイヤボンディングが行われる。位置 P 1 2 1 は、開口部 1 2 1 1 の中心として推定される位置である。複数のパッド 1 1 1 1 が半導体装置 1 0 1 1 に配置されている。図 4 9 において、代表として 1 つのパッド 1 1 1 1 が示され、かつ他のパッド 1 1 1 1 は省略されている。アライメントを高速に行うために、画像認識により検出された 1 つの開口部 1 2 2 1 の中心 P 1 1 1 を基準として、各開口部 1 2 1 1 の中心に相当する位置 P 1 2 1 が算出される。説明の便宜のため、1 つの開口部 1 2 2 1 の中心 P 1 1 1 を基準として位置 P 1 2 1 が算出される例を説明したが、異なる 2 つの開口部 1 2 2 1 の各々の中心 P 1 1 1 を基準として位置 P 1 2 1 が算出されてもよい。

先行技術文献

特許文献

[0007] 特許文献1：日本国特許第 5 0 6 5 8 8 9 号公報

特許文献2：日本国特開平 7 - 1 3 0 7 8 7 号公報

発明の概要

発明が解決しようとする課題

[0008] 開口部 1 2 1 1 および開口部 1 2 2 1 を形成するためのフォトリソグラフィ工程において、レジスト膜が半導体層 1 2 0 1 に形成される。半導体層 1 2 0 1 が厚いため、半導体層 1 2 0 1 のエッチング時間は長い。半導体層 1 2 0 1 のエッチングにおいてレジスト膜が損傷するため、レジスト膜は厚く形成される。このため、フォトリソグラフィ工程においてレジスト膜の厚さ方向の位置に応じて、レジスト膜に照射された紫外光の合焦状態が異なりやすい。その結果、レジスト膜に形成される開口部の位置が設計位置からずれやすい。レジスト膜に形成された開口部を介して半導体層 1 2 0 1 がエッチ

ングされることにより、開口部 1 2 1 1 および開口部 1 2 2 1 が形成される。レジスト膜に形成された開口部の位置が設計位置からずれやすいため、開口部 1 2 1 1 および開口部 1 2 2 1 の位置が設計位置からずれやすい。

[0009] 図 5 0 は、開口部 1 2 1 1 および開口部 1 2 2 1 の位置が設計位置から大きくずれている例を示している。開口部 1 2 2 1 の位置が設計位置からずれることにより、開口部 1 2 2 1 は全体的に方向 D_{r20} にずれている。このため、開口部 1 2 2 1 の中心 P_{111} は、ダミーパッド 1 1 2 1 の中心 P_{112} から方向 D_{r20} にずれている。開口部 1 2 1 1 の位置が設計位置からずれることにより、開口部 1 2 1 1 は全体的に方向 D_{r21} にずれている。このため、開口部 1 2 1 1 の中心 P_{122} は、パッド 1 1 1 1 の中心 P_{123} から方向 D_{r21} にずれている。図 5 0 において、方向 D_{r20} と方向 D_{r21} とが反対方向である例が示されている。

[0010] 開口部 1 2 2 1 の中心 P_{111} がダミーパッド 1 1 2 1 の中心 P_{112} からずれているため、開口部 1 2 1 1 の中心 P_{122} として推定された位置 P_{121} は、パッド 1 1 1 1 の中心 P_{123} からずれている。上記のように、開口部 1 2 1 1 の中心 P_{122} は、パッド 1 1 1 1 の中心 P_{123} からずれている。位置 P_{121} と開口部 1 2 1 1 の中心 P_{122} との距離 D_{100} は、第 1 の距離と第 2 の距離とに基づく。第 1 の距離は、位置 P_{121} とパッド 1 1 1 1 の中心 P_{123} との距離である。第 1 の距離は、開口部 1 2 2 1 の中心 P_{111} とダミーパッド 1 1 2 1 の中心 P_{112} との距離と同一である。第 2 の距離は、パッド 1 1 1 1 の中心 P_{123} と開口部 1 2 1 1 の中心 P_{122} との距離である。方向 D_{r20} と方向 D_{r21} とが反対方向である場合、距離 D_{100} は第 1 の距離と第 2 の距離との和に基づく。方向 D_{r20} と方向 D_{r21} とが反対方向である場合、距離 D_{100} は最大である。

[0011] 開口部 1 2 1 1 および開口部 1 2 2 1 の位置が設計位置と同一である場合、位置 P_{121} は開口部 1 2 1 1 の中心 P_{122} とほぼ同一である。上記のように、開口部 1 2 1 1 および開口部 1 2 2 1 の位置が設計位置から大きくずれている場合、位置 P_{121} と開口部 1 2 1 1 の中心 P_{122} との距離 D

100が大きい。このため、パッド1111の位置P121でワイヤボンディングが行われるとき、ワイヤのボール部と開口部1211の側壁とが接触しやすい。あるいは、ワイヤのボール部と開口部1211の周辺の半導体層1201表面とが接触しやすい。つまり、ワイヤボンディング位置のアライメントの精度が低下する。その結果、半導体装置1011の電気的および機械的な信頼性が低下する。

[0012] 本発明は、ワイヤボンディング位置のアライメントの精度が改善された半導体装置および半導体装置の製造方法を提供することを目的とする。

課題を解決するための手段

[0013] 本発明の第1の態様によれば、半導体装置は、第1の半導体層と、第2の半導体層と、第1のパッドと、第2のパッドとを有する。前記第1の半導体層は、第1の主面を有する。第1の開口部および第2の開口部が前記第1の主面に形成されている。前記第2の半導体層は、第2の主面を有し、かつ前記第1の半導体層に積層されている。第3の開口部および第4の開口部が前記第2の半導体層に形成されている。前記第1のパッドは、ワイヤボンディングのための第3の主面を有する。前記第3の主面は前記第1の開口部に配置されている。前記第2のパッドは、アライメントマークが形成された第4の主面を有する。前記第4の主面は前記第2の開口部に配置されている。前記第2の主面は前記第1の主面と対向する。前記第3の開口部および前記第4の開口部は、前記第2の半導体層を貫通する。前記第1の開口部は、前記第3の開口部と重なる。前記第2の開口部は、前記第4の開口部と重なる。第1の方向に垂直な第2の方向における前記第1のパッドの幅は、前記第2の方向における前記第1の開口部の幅よりも大きい。前記第2の方向における前記第2のパッドの幅は、前記第2の方向における前記第2の開口部の幅よりも大きい。前記第1の方向は前記第1の半導体層の厚さ方向である。

[0014] 本発明の第2の態様によれば、第1の態様において、前記第1のパッドおよび前記第2のパッドは、同一の金属で構成されてもよい。前記アライメントマークは、前記第4の主面に形成された凹部であってもよい。

- [0015] 本発明の第3の態様によれば、第1の態様において、前記第1のパッドおよび前記第2のパッドは、同一の金属で構成されてもよい。前記アライメントマークは、前記第4の主面に形成された凸部であってもよい。
- [0016] 本発明の第4の態様によれば、第1の態様において、前記第1のパッドおよび前記第2のパッドは、同一の金属で構成されてもよい。前記アライメントマークは、前記第2のパッドに形成された貫通孔であってもよい。
- [0017] 本発明の第5の態様によれば、第4の態様において、前記半導体装置は、金属膜をさらに有してもよい。前記第2のパッドは、前記第2の半導体層と前記金属膜との間に配置されてもよい。
- [0018] 本発明の第6の態様によれば、半導体装置の製造方法は、第1の工程と、第2の工程と、第3の工程と、第4の工程とを有する。前記第1の工程は、第1の半導体層を第2の半導体層に積層する工程である。前記第1の半導体層は第1の主面を有する。前記第2の半導体層は第2の主面を有する。前記第2の主面は前記第1の主面と対向する。前記第2の工程は、第1のパッドおよび第2のパッドを前記第1の半導体層に形成する工程である。前記第1のパッドは、ワイヤボンディングのための第3の主面を有する。前記第2のパッドは、アライメントマークが形成された第4の主面を有する。前記第3の工程は、第3の開口部および第4の開口部を前記第2の半導体層に形成する工程である。前記第3の開口部および前記第4の開口部は、前記第2の半導体層を貫通する。前記第4の工程は、第1の開口部および第2の開口部を前記第1の半導体層の前記第1の主面に形成する工程である。前記第1の開口部は、前記第3の開口部と重なる。前記第2の開口部は、前記第4の開口部と重なる。前記第3の主面は前記第1の開口部に配置されている。前記第4の主面は前記第2の開口部に配置されている。
- [0019] 本発明の第7の態様によれば、第6の態様において、前記半導体装置の製造方法は、金属膜を前記第1の半導体層に形成する第5の工程をさらに有してもよい。前記第1のパッドおよび前記第2のパッドは、同一の金属で構成されてもよい。前記アライメントマークは、前記第2のパッドに形成された

貫通孔であってもよい。前記第2のパッドは、前記第2の半導体層と前記金属膜との間に配置されてもよい。

発明の効果

[0020] 上記の各態様によれば、アライメントマークが形成された第4の主面を有する第2のパッドが配置される。このため、ワイヤボンディング位置のアライメントの精度が改善される。

図面の簡単な説明

[0021] [図1]本発明の第1の実施形態の半導体装置の断面図である。

[図2]本発明の第1の実施形態の半導体装置の平面図である。

[図3]本発明の第1の実施形態の半導体装置の平面図である。

[図4]本発明の第1の実施形態の半導体装置の平面図である。

[図5]本発明の第1の実施形態の半導体装置の平面図である。

[図6]本発明の第1の実施形態の半導体装置の平面図である。

[図7]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図8]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図9]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図10]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図11]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図12]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図13]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図14]本発明の第1の実施形態の半導体装置の製造方法を説明するための断

面図である。

[図15]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図16]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図17]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図18]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図19]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図20]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図21]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図22]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図23]本発明の第1の実施形態の半導体装置の製造方法を説明するための断面図である。

[図24]本発明の第1の実施形態の第1の変形例の半導体装置の断面図である。

[図25]本発明の第1の実施形態の第1の変形例の半導体装置の製造方法を説明するための断面図である。

[図26]本発明の第1の実施形態の第1の変形例の半導体装置の製造方法を説明するための断面図である。

[図27]本発明の第1の実施形態の第1の変形例の半導体装置の製造方法を説明するための断面図である。

[図28]本発明の第1の実施形態の第1の変形例の半導体装置の製造方法を説

明するための断面図である。

[図29]本発明の第1の実施形態の第1の変形例の半導体装置の製造方法を説明するための断面図である。

[図30]本発明の第1の実施形態の第1の変形例の半導体装置の製造方法を説明するための断面図である。

[図31]本発明の第1の実施形態の第2の変形例の半導体装置の断面図である。

[図32]本発明の第2の実施形態の半導体装置の断面図である。

[図33]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図34]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図35]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図36]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図37]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図38]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図39]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図40]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図41]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図42]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図43]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図44]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図45]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図46]本発明の第2の実施形態の半導体装置の製造方法を説明するための断面図である。

[図47]本発明の第2の実施形態の半導体装置の平面図である。

[図48]従来のモノリシック型の半導体装置の平面図である。

[図49]従来の積層型の半導体装置の平面図である。

[図50]従来の積層型の半導体装置の平面図である。

発明を実施するための形態

[0022] 図面を参照し、本発明の実施形態を説明する。

[0023] (第1の実施形態)

図1は、本発明の第1の実施形態の半導体装置10の構成を示している。半導体装置10は、積層型の半導体装置である。積層型の半導体装置は、裏面照射型撮像装置でありうる。図1において、半導体装置10の断面が示されている。

[0024] 半導体装置10を構成する部分の寸法は、図1に示される寸法に従うとは限らない。半導体装置10を構成する部分の寸法は任意であってよい。図1以外の断面図における寸法についても同様である。

[0025] 図1に示すように、半導体装置10は、第1の半導体層100と、第2の半導体層200と、第1のパッド110と、第2のパッド120とを有する。第1の半導体層100および第2の半導体層200は、第1の半導体層100の厚さ方向Dr1に積層されている。第1の半導体層100の厚さ方向Dr1は、第1の半導体層100の面100aに垂直な方向である。第1の半導体層100および第2の半導体層200は、互いに接触する。

[0026] 例えば、第1の半導体層100の厚さは $2\mu\text{m}$ から $10\mu\text{m}$ であり、かつ第2の半導体層200の厚さは $700\mu\text{m}$ である。第1の半導体層100が支持基板を含む場合、第1の半導体層100の厚さは $700\mu\text{m}$ であり、かつ第2の半導体層200の厚さは $3\mu\text{m}$ である。第1の半導体層100および第2の半導体層200の厚さは、これらの数値に限らない。

[0027] 第1の半導体層100は、半導体材料で構成されている。例えば、第1の半導体層100を構成する半導体材料は、シリコン(Si)とゲルマニウム(Ge)とガリウム(Ga)とヒ素(As)との少なくとも1つである。第1の半導体層100は、配線層を含んでもよい。したがって、第1の半導体層100は、半導体材料に加えて絶縁材料および導電材料で構成されてもよい。例えば、第1の半導体層100を構成する絶縁材料は、酸化シリコン(SiO_2)である。例えば、第1の半導体層100を構成する導電材料は、アルミニウム(Al)または銅(Cu)のような金属である。第1の半導体層100は、面100aと面100bとを有する。面100aおよび面100bは、第1の半導体層100の主面である。第1の半導体層100の主面は、第1の半導体層100の表面を構成する複数の面のうち相対的に広い面である。面100aおよび面100bは、互いに反対方向を向く。第1の開口部130および第2の開口部140が面100aに配置されている。第1の開口部130および第2の開口部140は、面100aに形成された凹部である。第1の開口部130および第2の開口部140は、面100aと接続された側壁で構成されている。

[0028] 第1のパッド110および第2のパッド120は、導電材料で構成されている。例えば、第1のパッド110および第2のパッド120を構成する導電材料は、アルミニウム(Al)または金(Au)のような金属である。例えば、第1のパッド110および第2のパッド120は、同一の金属で構成されている。第1のパッド110および第2のパッド120が、互いに異なる金属で構成されてもよい。例えば、第1のパッド110および第2のパッド120の厚さは、 $0.4\mu\text{m}$ から $0.5\mu\text{m}$ である。複数の第1のパッド

110が第1の半導体層100に配置されてもよい。複数の第2のパッド120が第1の半導体層100に配置されてもよい。

[0029] 第1のパッド110は、面110aと面110bとを有する。面110aおよび面110bは、第1のパッド110の主面である。第1のパッド110の主面は、第1のパッド110の表面を構成する複数の面のうち相対的に広い面である。面110aおよび面110bは、互いに反対方向を向く。ワイヤボンディングによってワイヤが面110aに接続される。第1の半導体層100において、第1の開口部130は、面100aと第1のパッド110との間に形成されている。面110aは第1の開口部130に配置されている。第1の開口部130において面110aは露出する。第1のパッド110の幅W10は、第1の開口部130の幅W11よりも大きい。幅W10および幅W11は、第1の半導体層100の厚さ方向Dr1に垂直な方向Dr2における幅である。

[0030] 第2のパッド120は、面120aと面120bとを有する。面120aおよび面120bは、第2のパッド120の主面である。第2のパッド120の主面は、第2のパッド120の表面を構成する複数の面のうち相対的に広い面である。面120aおよび面120bは、互いに反対方向を向く。第1の半導体層100において、第2の開口部140は、面100aと第2のパッド120との間に形成されている。面120aは第2の開口部140に配置されている。第2の開口部140において面120aは露出する。アライメントマーク150が面120aに配置されている。面120aに形成された凹部がアライメントマーク150を構成する。アライメントマーク150は、面120aのうち第2の開口部140と重なる領域のみに配置されている。第2のパッド120の幅W12は、第2の開口部140の幅W13よりも大きい。幅W12および幅W13は、第1の半導体層100の厚さ方向Dr1に垂直な方向Dr2における幅である。第2のパッド120は、第1のパッド110と電氣的に絶縁されている。第2のパッド120は、ダミーパッドとして機能する。

[0031] 例えば、面 1 1 0 a および面 1 2 0 a は、同一の平面に配置されている。同様に、面 1 1 0 b および面 1 2 0 b は、同一の平面に配置されている。例えば、面 1 0 0 a と面 1 1 0 a との第 1 の段差の大きさおよび面 1 0 0 a と面 1 2 0 a との第 2 の段差の大きさは、5 0 0 n m である。第 1 の段差の大きさと第 2 の段差の大きさが互いに異なってもよい。例えば、第 1 の段差の大きさと第 2 の段差の大きさとの差は、1 μ m 以下である。

[0032] 第 2 の半導体層 2 0 0 は、半導体材料で構成されている。例えば、第 2 の半導体層 2 0 0 を構成する半導体材料は、シリコン (S i) とゲルマニウム (G e) とガリウム (G a) とヒ素 (A s) との少なくとも 1 つである。第 2 の半導体層 2 0 0 は、面 2 0 0 a と面 2 0 0 b とを有する。面 2 0 0 a および面 2 0 0 b は、第 2 の半導体層 2 0 0 の主面である。第 2 の半導体層 2 0 0 の主面は、第 2 の半導体層 2 0 0 の表面を構成する複数の面のうち相対的に広い面である。面 2 0 0 a および面 2 0 0 b は、互いに反対方向を向く。面 2 0 0 a は、面 1 0 0 a と対向し、かつ面 1 0 0 a に接触する。第 3 の開口部 2 1 0 および第 4 の開口部 2 2 0 が面 2 0 0 a および面 2 0 0 b に配置されている。第 3 の開口部 2 1 0 および第 4 の開口部 2 2 0 は、第 2 の半導体層 2 0 0 に形成された貫通孔である。第 3 の開口部 2 1 0 および第 4 の開口部 2 2 0 は、面 2 0 0 a および面 2 0 0 b と接続された側壁で構成されている。第 1 の開口部 1 3 0 は、第 3 の開口部 2 1 0 と重なる。第 2 の開口部 1 4 0 は、第 4 の開口部 2 2 0 と重なる。アライメントマーク 1 5 0 は、第 2 の開口部 1 4 0 および第 4 の開口部 2 2 0 と重なる。

[0033] 第 1 の半導体層 1 0 0 および第 2 の半導体層 2 0 0 は、トランジスタのような回路要素を有してもよい。第 1 の半導体層 1 0 0 および第 2 の半導体層 2 0 0 は、積層された複数の層を有してもよい。第 1 の半導体層 1 0 0 および第 2 の半導体層 2 0 0 は、1 層または複数層の配線を有してもよい。半導体装置 1 0 は、3 つ以上の半導体層を有してもよい。例えば、第 3 の半導体層が第 1 の半導体層 1 0 0 の面 1 0 0 b に積層されてもよい。

[0034] 図 2 は、半導体装置 1 0 の平面図である。図 2 において、面 2 0 0 b に垂

直な方向に第2の半導体層200を見たときの各要素の配列が示されている。つまり、図2において、第2の半導体層200の正面から第2の半導体層200を見たときの各要素の配列が示されている。

[0035] 第1のパッド110と第2のパッド120と第1の開口部130と第2の開口部140と第3の開口部210と第4の開口部220との形状は矩形である。これらの形状は、矩形以外の形状であってもよい。第1の開口部130は、第3の開口部210と重なる。第2の開口部140は、第4の開口部220と重なる。第1のパッド110は、第1の開口部130と重なる。第1のパッド110の幅W10は、第1の開口部130の幅W11よりも大きい。したがって、第1のパッド110の面積は、第1の開口部130の面積よりも大きい。第2のパッド120は、第2の開口部140と重なる。第2のパッド120の幅W12は、第2の開口部140の幅W13よりも大きい。したがって、第2のパッド120の面積は、第2の開口部140の面積よりも大きい。2つの細長い矩形がアライメントマーク150を構成する。アライメントマーク150を構成する矩形の長辺の方向は、図2における縦方向である。第1のパッド110および第2のパッド120が薄いため、第1のパッド110および第2のパッド120は、フォトリソグラフィおよびエッチングにより高精度に形成される。

[0036] 第2の半導体層200が厚いため、第1のパッド110の輪郭110Aおよび第2のパッド120の輪郭120Aは視認できない。しかし、アライメントマーク150が配置されているため、ワイヤボンディング位置のアライメントにおいて、画像認識により第2のパッド120の中心P10が容易に検出される。第2のパッド120の中心P10と第1のパッド110の中心との設計上の位置関係に基づいて、第2のパッド120の中心P10に対応する第1のパッド110の位置P20が検出され、かつその位置P20でワイヤボンディングが行われる。位置P20は、第1のパッド110の中心として推定される位置である。複数の第1のパッド110が半導体装置10に配置されている場合、アライメントを高速に行うために、画像認識により検

出された1つの第2のパッド120の中心P10を基準として、各第1のパッド110の中心に相当する位置P20が算出される。説明の便宜のため、1つの第2のパッド120の中心P10を基準として位置P20が算出される例を説明したが、異なる2つの第2のパッド120の各々の中心P10を基準として位置P20が算出されてもよい。

[0037] 第1の半導体層100および第2の半導体層200に開口部を形成するためのフォトリソグラフィ工程において、レジスト膜が第2の半導体層200に形成される。第2の半導体層200が厚いため、第2の半導体層200のエッチング時間は長い。第2の半導体層200のエッチングにおいてレジスト膜が損傷するため、レジスト膜は厚く形成される。このため、フォトリソグラフィ工程においてレジスト膜の厚さ方向の位置に応じて、レジスト膜に照射された紫外光の合焦状態が異なりやすい。その結果、レジスト膜に形成される開口部の位置が設計位置から大きくずれやすい。レジスト膜に形成された開口部を介して第1の半導体層100および第2の半導体層200がエッチングされることにより、第1の開口部130と第2の開口部140と第3の開口部210と第4の開口部220とが形成される。レジスト膜に形成された開口部の位置が設計位置からずれやすいため、第1の半導体層100および第2の半導体層200に形成された開口部の位置が設計位置からずれやすい。

[0038] 以下では、第1の開口部130の寸法と第3の開口部210の寸法とが同一であり、かつ第2の開口部140の寸法と第4の開口部220の寸法とが同一である場合について説明する。図3は、第1の開口部130および第2の開口部140の位置が設計位置から大きくずれている例を示している。第2の開口部140の位置が設計位置からずれることにより、第2の開口部140は全体的に方向Dr10にずれている。第1の開口部130の位置が設計位置からずれることにより、第1の開口部130は全体的に方向Dr11にずれている。図3において、方向Dr10と方向Dr11とが反対方向である例が示されている。

[0039] 上記のように、位置P20は、第2のパッド120の中心P10と第1のパッド110の中心との設計上の位置関係に基づく。位置P20は第2のパッド120の中心P10を基準として検出されるため、位置P20は第1のパッド110の中心とほぼ同一である。第1の開口部130の中心P21は、第1のパッド110の中心から方向Dr11にずれている。位置P20と第1の開口部130の中心P21との距離D10は、第1のパッド110の中心と第1の開口部130の中心P21との距離に基づく。位置P20は、第2の開口部140の位置と設計位置とのずれによらない。

[0040] 図3の第2のパッド120に対する第2の開口部140のずれ量は、図50のダミーパッド1121に対する開口部1221のずれ量と同一である。図3の第1のパッド110に対する第1の開口部130のずれ量は、図50のパッド1111に対する開口部1211のずれ量と同一である。図3における第2のパッド120の中心P10は、図50におけるダミーパッド1121の中心P112に対応する。図3における位置P20は、図50におけるパッド1111の中心P123に対応する。図3における第1の開口部130の中心P21は、図50における開口部1211の中心P122に対応する。図3における距離D10は、図50におけるパッド1111の中心P123と開口部1211の中心P122との距離に対応する。図3における距離D10は、図50における距離D100よりも小さい。

[0041] 上記のように、第1の開口部130および第2の開口部140の位置が設計位置から大きくずれている場合であっても、位置P20と第1の開口部130の中心P21との距離D10は、小さく抑えられる。このため、第1のパッド110の位置P20でワイヤボンディングが行われるとき、ワイヤのボール部と第1の開口部130または第3の開口部210の側壁とが接触しにくい。あるいは、ワイヤのボール部と第3の開口部210の周辺の第2の半導体層200の面200bとが接触しにくい。つまり、ワイヤボンディング位置のアライメントの精度が改善される。その結果、半導体装置10の電気的および機械的な信頼性が改善される。

- [0042] 図50において、方向D r 2 0と方向D r 2 1とが反対方向である場合、距離D 1 0 0は最大である。図3と図50とにおいて寸法に関する条件が同一である場合、図3における距離D 1 0は、方向D r 1 0および方向D r 1 1によらず、距離D 1 0 0よりも常に小さい。したがって、ワイヤボンディング位置のアライメントの精度に関して最悪な状態が回避される。
- [0043] 図4から図6は、アライメントマーク150の形状についての他の例を示している。図4から図6は、半導体装置10の平面図である。図4に示すように、アライメントマーク150は、平行に配置された4つの矩形で構成されてもよい。アライメントマーク150を構成する矩形の長辺の方向は、図4における横方向である。図5に示すように、アライメントマーク150は、第2のパッド120の中心から4つの異なる方向に突き出す4つの矩形で構成されてもよい。図6に示すように、アライメントマーク150は、第2のパッド120の中心を囲む閉領域で構成されてもよい。アライメントマーク150の形状は、図2から図6に示す例に限らない。
- [0044] 図7から図23を参照し、半導体装置10の製造方法を説明する。図7から図23は、半導体装置10を構成する部分の断面を示している。
- [0045] 図7に示すように、第2の半導体層200が準備される。例えば、第2の半導体層200は、シリコン(Si)で構成されている。
- [0046] 図8に示すように、第2の半導体層200の面200aに酸化膜300と金属膜310とレジスト膜320とが順番に形成される。第2の半導体層200に酸化膜300が積層される。第2の半導体層200の面200aは酸化膜300で覆われる。例えば、酸化膜300は、酸化シリコン(SiO₂)で構成されている。つまり、酸化膜300は、半導体を含む絶縁材料で構成されている。酸化膜300に金属膜310が積層される。酸化膜300の表面は金属膜310で覆われる。金属膜310を構成する材料は、第1のパッド110および第2のパッド120を構成する材料と同一である。金属膜310にレジスト膜320が積層される。金属膜310の表面はレジスト膜320で覆われる。

- [0047] 図9に示すように、フォトリソグラフィによってレジスト膜320にパターンが形成される。レジスト膜320において、第1のパッド110および第2のパッド120が形成される領域以外の領域のレジスト膜320が除去される。レジスト膜320において、アライメントマーク150が形成される領域のレジスト膜320が除去され、かつパターン321が形成される。
- [0048] 図10に示すように、金属膜310がエッチングされる。レジスト膜320はエッチングのマスクとして機能する。金属膜310のエッチングにおいて、金属膜310のうちレジスト膜320で覆われた部分以外の部分が除去される。金属膜310のエッチングによって酸化膜300の表面の一部が露出する。金属膜310において、アライメントマーク150が形成される領域に、パターン321に応じたパターン311が形成される。
- [0049] 図11に示すように、レジスト膜320が除去される。これによって、金属膜310の表面が露出する。
- [0050] 図12に示すように、酸化膜300を構成する材料と同一の材料が酸化膜300および金属膜310の表面に堆積される。これによって、金属膜310の表面が酸化膜300で覆われる。
- [0051] 図13に示すように、酸化膜300の表面が削られる。例えば、化学的機械研磨（CMP）により酸化膜300が削られる。これによって、酸化膜300が平坦化され、かつ金属膜310が露出する。
- [0052] 図14に示すように、金属膜310を構成する材料と同一の材料を酸化膜300および金属膜310の表面に堆積することにより、酸化膜300の表面が金属膜310で覆われる。これによって、図13に示すパターン311が形成された領域にアライメントマーク150が形成される。
- [0053] 図15に示すように、金属膜310の表面にレジスト膜330が形成される。金属膜310の表面はレジスト膜330で覆われる。
- [0054] 図16に示すように、フォトリソグラフィによってレジスト膜330にパターンが形成される。レジスト膜330において、第1のパッド110および第2のパッド120が形成される領域以外の領域のレジスト膜330が除

去される。

[0055] 図17に示すように、金属膜310がエッチングされる。レジスト膜330はエッチングのマスクとして機能する。金属膜310のエッチングにおいて、金属膜310のうちレジスト膜330で覆われた部分以外の部分が除去される。金属膜310のエッチングによって酸化膜300の表面の一部が露出する。これによって、第1のパッド110および第2のパッド120が形成される。アライメントマーク150が形成された第2のパッド120の面120aは酸化膜300と接触する。第2のパッド120の面120bはレジスト膜330と接触する。第1のパッド110の面110aは酸化膜300と接触する。第1のパッド110の面110bはレジスト膜330と接触する。

[0056] 図8から図17に示すように、第1のパッド110および第2のパッド120は同一の工程で形成される。第1のパッド110の面110aおよび第2のパッド120の面120aは、図8において、酸化膜300と接触する金属膜310の面と同一である。したがって、面110aおよび面120aは、同一の平面に配置されている。第1のパッド110の面110bおよび第2のパッド120の面120bは、図14における金属膜310の表面と同一である。したがって、面110bおよび面120bは、同一の平面に配置されている。

[0057] 図18に示すように、レジスト膜330が除去される。これによって、第1のパッド110の面110bおよび第2のパッド120の面120bが露出する。

[0058] 図19に示すように、酸化膜300を構成する材料と同一の材料が酸化膜300の表面と第1のパッド110の面110bと第2のパッド120の面120bとに堆積される。これによって、第1の半導体層100が形成される。

[0059] 図8と図12と図19とに示す工程により、第1の半導体層100が第2の半導体層200に積層される。図19に示す工程の後、支持基板または半

導体基板が第1の半導体層100の面100bに積層されてもよい。

[0060] 図20に示すように、第2の半導体層200の面200bにレジスト膜340が形成される。第2の半導体層200の面200bはレジスト膜340で覆われる。第2の半導体層200が厚いため、レジスト膜340は厚く形成される。

[0061] 図21に示すように、フォトリソグラフィによってレジスト膜340にパターンが形成される。レジスト膜340において、第1の開口部130と第2の開口部140と第3の開口部210と第4の開口部220とが形成される領域のレジスト膜340が除去される。

[0062] 図22に示すように、第2の半導体層200がエッチングされる。レジスト膜340はエッチングのマスクとして機能する。第2の半導体層200のエッチングにおいて、第2の半導体層200のうちレジスト膜340で覆われた部分以外の部分が除去される。第2の半導体層200のエッチングによって第1の半導体層100の表面の一部が露出する。これによって、第3の開口部210および第4の開口部220が形成される。

[0063] 図23に示すように、第1の半導体層100がエッチングされる。レジスト膜340はエッチングのマスクとして機能する。第1の半導体層100のエッチングにおいて、第1の半導体層100のうち第2の半導体層200で覆われた部分以外の部分が除去される。第1のパッド110および第2のパッド120がエッチングストッパとして機能する。第1の半導体層100のエッチングによって第1のパッド110および第2のパッド120の表面の一部が露出する。これによって、第1の開口部130および第2の開口部140が形成される。

[0064] 図23に示す工程の後、レジスト膜340が除去される。これによって、図1に示すように、第2の半導体層200の面200bが露出する。

[0065] 上記のように、半導体装置10は、第1の半導体層100と、第2の半導体層200と、第1のパッド110と、第2のパッド120とを有する。第1の半導体層100は、面100a（第1の主面）を有する。第1の開口部

130および第2の開口部140が面100aに形成されている。第2の半導体層200は、面200a（第2の主面）を有する。第2の半導体層200は、第1の半導体層100に積層されている。第3の開口部210および第4の開口部220が第2の半導体層200に形成されている。第1のパッド110は、ワイヤボンディングのための面110a（第3の主面）を有する。面110aは第1の開口部130に配置されている。第2のパッド120は、アライメントマーク150が形成された面120a（第4の主面）を有する。面120aは第2の開口部140に配置されている。面200aは面100aと対向する。第3の開口部210および第4の開口部220は、第2の半導体層200を貫通する。第1の開口部130は、第3の開口部210と重なる。第2の開口部140は、第4の開口部220と重なる。第1の半導体層100の厚さ方向Dr1（第1の方向）に垂直な方向Dr2（第2の方向）における第1のパッド110の幅W10は、方向Dr2における第1の開口部130の幅W11よりも大きい。方向Dr2における第2のパッド120の幅W12は、方向Dr2における第2の開口部140の幅W13よりも大きい。

[0066] 第1のパッド110および第2のパッド120は、同一の金属で構成されてもよい。アライメントマーク150は、面120aに形成された凹部である。

[0067] 上記のように、半導体装置10の製造方法は、第1の工程（図8、図12、および図19）と、第2の工程（図8、図10、図14、および図17）と、第3の工程（図22）と、第4の工程（図23）とを有する。第1の工程は、第1の半導体層100を第2の半導体層200に積層する工程である。第1の半導体層100は、面100a（第1の主面）を有する。第2の半導体層200は、面200a（第2の主面）を有する。面200aは面100aと対向する。第2の工程は、第1のパッド110および第2のパッド120を第1の半導体層100に形成する工程である。第1のパッド110は、ワイヤボンディングのための面110a（第3の主面）を有する。第2の

パッド１２０は、アライメントマーク１５０が形成された面１２０a（第４の主面）を有する。第３の工程は、第３の開口部２１０および第４の開口部２２０を第２の半導体層２００に形成する工程である。第３の開口部２１０および第４の開口部２２０は、第２の半導体層２００を貫通する。第４の工程は、第１の開口部１３０および第２の開口部１４０を第１の半導体層１００の面１００aに形成する工程である。第１の開口部１３０は、第３の開口部２１０と重なる。第２の開口部１４０は、第４の開口部２２０と重なる。面１１０aは第１の開口部１３０に配置される。面１２０aは第２の開口部１４０に配置される。

[0068] 上記の第１から第４の工程が実施される順番は、任意であってよい。本発明の各態様の半導体装置の製造方法は、上記の第１から第４の工程以外の工程を有していなくてもよい。

[0069] 第１の実施形態の半導体装置１０において、アライメントマーク１５０が形成された面１２０aを有する第２のパッド１２０が配置される。このため、ワイヤボンディング位置のアライメントの精度が改善される。

[0070] （第１の実施形態の第１の変形例）

図２４は、本発明の第１の実施形態の第１の変形例の半導体装置１１の構成を示している。図２４において、半導体装置１１の断面が示されている。図２４に関して、図１と異なる点を説明する。

[0071] 半導体装置１１において、図１に示す第２のパッド１２０が第２のパッド１２１に変更される。第２のパッド１２１は、第２のパッド１２０を構成する材料と同様の材料で構成されている。

[0072] 第２のパッド１２１において、図１に示す面１２０aが面１２１aに変更され、かつ図１に示す面１２０bが面１２１bに変更される。アライメントマーク１５１が面１２１aに配置されている。面１２１aに形成された凸部がアライメントマーク１５１を構成する。

[0073] 上記以外の点について、図２４に示す構成は、図１に示す構成と同様である。

- [0074] 図25から図30を参照し、半導体装置11の製造方法を説明する。図25から図30は、半導体装置11を構成する部分の断面を示している。
- [0075] 図7および図8に示す工程と同様の工程が行われた後、図25に示すように、フォトリソグラフィによってレジスト膜320にパターンが形成される。レジスト膜320において、第1のパッド110および第2のパッド121が形成される領域以外の領域のレジスト膜320が除去される。レジスト膜320において、アライメントマーク151が形成される領域のレジスト膜320が除去され、かつパターン322が形成される。
- [0076] 図26に示すように、金属膜310がエッチングされる。レジスト膜320はエッチングのマスクとして機能する。金属膜310のエッチングにおいて、金属膜310のうちレジスト膜320で覆われた部分以外の部分が除去される。金属膜310のエッチングによって酸化膜300の表面の一部が露出する。金属膜310において、アライメントマーク151が形成される領域に、パターン322に応じたパターン312が形成される。
- [0077] 図27に示すように、レジスト膜320が除去される。これによって、金属膜310の表面が露出する。
- [0078] 図28に示すように、酸化膜300を構成する材料と同一の材料が酸化膜300および金属膜310の表面に堆積される。これによって、金属膜310の表面が酸化膜300で覆われる。
- [0079] 図29に示すように、酸化膜300の表面が削られる。例えば、化学的機械研磨（CMP）により酸化膜300が削られる。これによって、酸化膜300が平坦化され、かつ金属膜310が露出する。
- [0080] 図30に示すように、金属膜310を構成する材料と同一の材料を酸化膜300および金属膜310の表面に堆積することにより、酸化膜300の表面が金属膜310で覆われる。これによって、図29に示すパターン312が形成された領域にアライメントマーク151が形成される。
- [0081] 図30に示す工程の後、図15から図23に示す工程と同様の工程が行われる。図23に示す工程と同様の工程の後、レジスト膜340が除去される

。これによって、図24に示すように、第2の半導体層200の面200bが露出する。

[0082] 上記のように、アライメントマーク151は、面120aに形成された凸部であってもよい。

[0083] (第1の実施形態の第2の変形例)

図31は、第1の実施形態の第2の変形例の半導体装置12の構成を示している。図31において、半導体装置12の断面が示されている。図31に関して、図1と異なる点を説明する。

[0084] 半導体装置12において、図1に示す第2のパッド120が第2のパッド122に変更される。第2のパッド122は、第2のパッド120を構成する材料と同様の材料で構成されている。

[0085] 第2のパッド122において、図1に示す面120aが面122aに変更され、かつ図1に示す面120bが面122bに変更される。アライメントマーク152が面122aおよび面122bに配置されている。第2のパッド122を貫通する穴がアライメントマーク152を構成する。つまり、アライメントマーク152は、第2のパッド122に形成された貫通孔である。例えば、半導体装置12における第1のパッド110および第2のパッド122の厚さは、図1に示す半導体装置10における第1のパッド110および第2のパッド120の厚さよりも小さい。しかし、半導体装置12における第1のパッド110および第2のパッド122の厚さは、任意でよい。

[0086] 上記以外の点について、図31に示す構成は、図1に示す構成と同様である。

[0087] 半導体装置12の製造方法において、図7から図12に示す工程と同様の工程が行われる。図12に示す工程の後、酸化膜300の表面が平坦化される。その後、図20から図23に示す工程と同様の工程が行われる。図23に示す工程と同様の工程の後、レジスト膜340が除去される。これによって、図31に示すように、第2の半導体層200の面200bが露出する。

[0088] 上記のように、アライメントマーク152は、第2のパッド122に形成

された貫通孔であってもよい。

[0089] (第2の実施形態)

図32は、本発明の第2の実施形態の半導体装置13の構成を示している。図32において、半導体装置13の断面が示されている。図32に関して、図31と異なる点を説明する。

[0090] 半導体装置13は、金属膜160を有する。金属膜160は、導電材料で構成されている。例えば、金属膜160を構成する導電材料は、アルミニウム(A l)または銅(C u)のような金属である。金属膜160は、第2のパッド122を構成する金属と同一の、または異なる金属で構成されている。金属膜160は、第1の半導体層100がエッチングされるときに第1の半導体層100よりもエッチング速度が遅い金属で構成されている。複数の金属膜160が第1の半導体層100に配置されてもよい。

[0091] 金属膜160は、面160aと面160bとを有する。面160aおよび面160bは、金属膜160の主面である。金属膜160の主面は、金属膜160の表面を構成する複数の面のうち相対的に広い面である。面160aおよび面160bは、互いに反対方向を向く。面160aは、面122bと対向する。第1の半導体層100において、第2の開口部140は、面100aと第2のパッド122との間および第2のパッド122と金属膜160との間に形成されている。第2の開口部140において面160aは露出する。第2のパッド122は、第2の半導体層200と金属膜160との間に配置されている。

[0092] 金属膜160の幅W14は、第2の開口部140の幅W13よりも大きい。幅W13および幅W14は、第1の半導体層100の厚さ方向D r1に垂直な方向D r2における幅である。金属膜160は、第1のパッド110と電氣的に絶縁されている。金属膜160は、エッチングストップパとして機能する。

[0093] 上記以外の点について、図32に示す構成は、図31に示す構成と同様である。

- [0094] 図33から図46を参照し、半導体装置13の製造方法を説明する。図33から図46は、半導体装置13を構成する部分の断面を示している。
- [0095] 半導体装置13の製造方法において、図7から図9に示す工程と同様の工程が行われる。図9に示す工程の後、図33に示すように、金属膜310がエッチングされる。レジスト膜320はエッチングのマスクとして機能する。金属膜310のエッチングにおいて、金属膜310のうちレジスト膜320で覆われた部分以外の部分が除去される。金属膜310のエッチングによって酸化膜300の表面の一部が露出する。これによって、第1のパッド110および第2のパッド122が形成される。アライメントマーク152が形成された第2のパッド122の面122aは酸化膜300と接触する。第2のパッド122の面122bはレジスト膜320と接触する。第1のパッド110の面110aは酸化膜300と接触する。第1のパッド110の面110bはレジスト膜320と接触する。
- [0096] 図34に示すように、レジスト膜320が除去される。これによって、第1のパッド110の面110bおよび第2のパッド122の面122bが露出する。
- [0097] 図35に示すように、酸化膜300を構成する材料と同一の材料が酸化膜300の表面と第1のパッド110の面110bと第2のパッド122の面122bとに堆積される。これによって、第1のパッド110の面110bおよび第2のパッド122の面122bが酸化膜300で覆われる。
- [0098] 図36に示すように、酸化膜300の表面が削られる。例えば、化学的機械研磨（CMP）により酸化膜300が削られる。これによって、酸化膜300が平坦化される。このとき、第1のパッド110および第2のパッド122は露出しない。
- [0099] 図37に示すように、金属膜350を酸化膜300の表面に堆積することにより、酸化膜300の表面が金属膜350で覆われる。金属膜350を構成する材料は、金属膜160を構成する材料と同一である。
- [0100] 図38に示すように、金属膜350の表面にレジスト膜360が形成され

る。金属膜 350 の表面はレジスト膜 360 で覆われる。

[0101] 図 39 に示すように、フォトリソグラフィによってレジスト膜 360 にパターンが形成される。レジスト膜 360 において、金属膜 160 が形成される領域以外の領域のレジスト膜 360 が除去される。

[0102] 図 40 に示すように、金属膜 350 がエッチングされる。レジスト膜 360 はエッチングのマスクとして機能する。金属膜 350 のエッチングにおいて、金属膜 350 のうちレジスト膜 360 で覆われた部分以外の部分が除去される。金属膜 350 のエッチングによって酸化膜 300 の表面の一部が露出する。これによって、金属膜 160 が形成される。金属膜 160 の面 160a は酸化膜 300 と接触する。金属膜 160 の面 160b はレジスト膜 360 と接触する。

[0103] 図 41 に示すように、レジスト膜 360 が除去される。これによって、金属膜 160 の面 160b が露出する。

[0104] 図 42 に示すように、酸化膜 300 を構成する材料と同一の材料が酸化膜 300 の表面と金属膜 160 の面 160b とに堆積される。これによって、第 1 の半導体層 100 が形成される。

[0105] 図 8 と図 35 と図 42 とに示す工程により、第 1 の半導体層 100 が第 2 の半導体層 200 に積層される。図 42 に示す工程の後、支持基板または半導体基板が第 1 の半導体層 100 の面 100b に積層されてもよい。

[0106] 図 43 に示すように、第 2 の半導体層 200 の面 200b にレジスト膜 340 が形成される。第 2 の半導体層 200 の面 200b はレジスト膜 340 で覆われる。第 2 の半導体層 200 が厚いため、レジスト膜 340 は厚く形成される。

[0107] 図 44 に示すように、フォトリソグラフィによってレジスト膜 340 にパターンが形成される。レジスト膜 340 において、第 1 の開口部 130 と第 2 の開口部 140 と第 3 の開口部 210 と第 4 の開口部 220 とが形成される領域のレジスト膜 340 が除去される。

[0108] 図 45 に示すように、第 2 の半導体層 200 がエッチングされる。レジス

ト膜340はエッチングのマスクとして機能する。第2の半導体層200のエッチングにおいて、第2の半導体層200のうちレジスト膜340で覆われた部分以外の部分が除去される。第2の半導体層200のエッチングによって第1の半導体層100の表面の一部が露出する。これによって、第3の開口部210および第4の開口部220が形成される。

[0109] 図46に示すように、第1の半導体層100がエッチングされる。レジスト膜340はエッチングのマスクとして機能する。第1の半導体層100のエッチングにおいて、第1の半導体層100のうち第2の半導体層200で覆われた部分以外の部分が除去される。第1のパッド110および第2のパッド122がエッチングストoppaとして機能する。アライメントマーク152は貫通孔である。このため、第2のパッド122と金属膜160との間に配置された第1の半導体層100のうち、アライメントマーク152に対応する部分が除去される。金属層160がエッチングストoppaとして機能する。第1の半導体層100のエッチングによって第1のパッド110と第2のパッド122と金属膜160との表面の一部が露出する。これによって、第1の開口部130および第2の開口部140が形成される。

[0110] 図46に示す工程の後、レジスト膜340が除去される。これによって、図32に示すように、第2の半導体層200の面200bが露出する。

[0111] 図47は、半導体装置13の平面図である。図47において、面200bに垂直な方向に第2の半導体層200を見たときの各要素の配列が示されている。つまり、図47において、第2の半導体層200の正面から第2の半導体層200を見たときの各要素の配列が示されている。図47に関して、図2と異なる点を説明する。

[0112] 第2のパッド122および金属膜160の形状は矩形である。これらの形状は、矩形以外の形状であってもよい。図47において、第2のパッド122の輪郭122Aおよび金属膜160の輪郭160Aが示されている。金属膜160は、第2のパッド122と重なる。金属膜160の幅W14は、第2の開口部140の幅W13よりも大きい。したがって、金属膜160の面

積は、第2の開口部140の面積よりも大きい。上記の点以外について、図47に示す構成は、図2に示す構成と同様である。

[0113] 上記のように、半導体装置13は、金属膜160を有する。第2のパッド122は、第2の半導体層200と金属膜160との間に配置されている。

[0114] 半導体装置13の製造方法は、第1の実施形態で説明した第1から第4の工程に加えて、金属膜160を第1の半導体層100に形成する第5の工程（図37および図40）を有する。第5の工程は、上記の第1から第4の工程の後に実施されとは限らない。第1から第5の工程が実施される順番は、任意であってよい。

[0115] 第2の実施形態の半導体装置13において、アライメントマーク152が形成された面122aを有する第2のパッド122が配置される。このため、ワイヤボンディング位置のアライメントの精度が改善される。

[0116] 第2の実施形態の半導体装置13において、金属膜160が配置される。アライメントマーク152が貫通孔であるため、第1の半導体層100においてアライメントマーク152に対応する部分がエッチングされる。金属膜160は、エッチングストッパとして機能する。

[0117] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

[0118] 本発明の各実施形態によれば、ワイヤボンディング位置のアライメントの精度が改善される。

符号の説明

[0119] 10, 11, 12, 13 半導体装置

100 第1の半導体層

110 第1のパッド

- 1 2 0, 1 2 1, 1 2 2 第2のパッド
- 1 3 0 第1の開口部
- 1 4 0 第2の開口部
- 1 5 0, 1 5 1, 1 5 2 アライメントマーク
- 1 6 0 金属膜
- 2 0 0 第2の半導体層
- 2 1 0 第3の開口部
- 2 2 0 第4の開口部

請求の範囲

- [請求項1] 第1の主面を有し、かつ第1の開口部および第2の開口部が前記第1の主面に形成された第1の半導体層と、
- 第2の主面を有し、かつ前記第1の半導体層に積層され、かつ第3の開口部および第4の開口部が形成された第2の半導体層と、
- ワイヤボンディングのための第3の主面を有し、かつ前記第3の主面は前記第1の開口部に配置された第1のパッドと、
- アライメントマークが形成された第4の主面を有し、かつ前記第4の主面は前記第2の開口部に配置された第2のパッドと、
- を有し、
- 前記第2の主面は前記第1の主面と対向し、
- 前記第3の開口部および前記第4の開口部は、前記第2の半導体層を貫通し、
- 前記第1の開口部は、前記第3の開口部と重なり、
- 前記第2の開口部は、前記第4の開口部と重なり、
- 第1の方向に垂直な第2の方向における前記第1のパッドの幅は、前記第2の方向における前記第1の開口部の幅よりも大きく、
- 前記第2の方向における前記第2のパッドの幅は、前記第2の方向における前記第2の開口部の幅よりも大きく、
- 前記第1の方向は前記第1の半導体層の厚さ方向である半導体装置。
- [請求項2] 前記第1のパッドおよび前記第2のパッドは、同一の金属で構成され、
- 前記アライメントマークは、前記第4の主面に形成された凹部である
- 請求項1に記載の半導体装置。
- [請求項3] 前記第1のパッドおよび前記第2のパッドは、同一の金属で構成され、

前記アライメントマークは、前記第4の主面に形成された凸部である

請求項1に記載の半導体装置。

[請求項4] 前記第1のパッドおよび前記第2のパッドは、同一の金属で構成され、

前記アライメントマークは、前記第2のパッドに形成された貫通孔である

請求項1に記載の半導体装置。

[請求項5] 金属膜をさらに有し、

前記第2のパッドは、前記第2の半導体層と前記金属膜との間に配置されている

請求項4に記載の半導体装置。

[請求項6] 第1の半導体層を第2の半導体層に積層する工程であって、前記第1の半導体層は第1の主面を有し、前記第2の半導体層は第2の主面を有し、かつ前記第2の主面は前記第1の主面と対向する第1の工程と、

第1のパッドおよび第2のパッドを前記第1の半導体層に形成する工程であって、前記第1のパッドは、ワイヤボンディングのための第3の主面を有し、前記第2のパッドは、アライメントマークが形成された第4の主面を有する第2の工程と、

第3の開口部および第4の開口部を前記第2の半導体層に形成する工程であって、前記第3の開口部および前記第4の開口部は、前記第2の半導体層を貫通する第3の工程と、

第1の開口部および第2の開口部を前記第1の半導体層の前記第1の主面に形成する工程であって、前記第1の開口部は、前記第3の開口部と重なり、前記第2の開口部は、前記第4の開口部と重なり、前記第3の主面は前記第1の開口部に配置され、前記第4の主面は前記第2の開口部に配置される第4の工程と、

を有する半導体装置の製造方法。

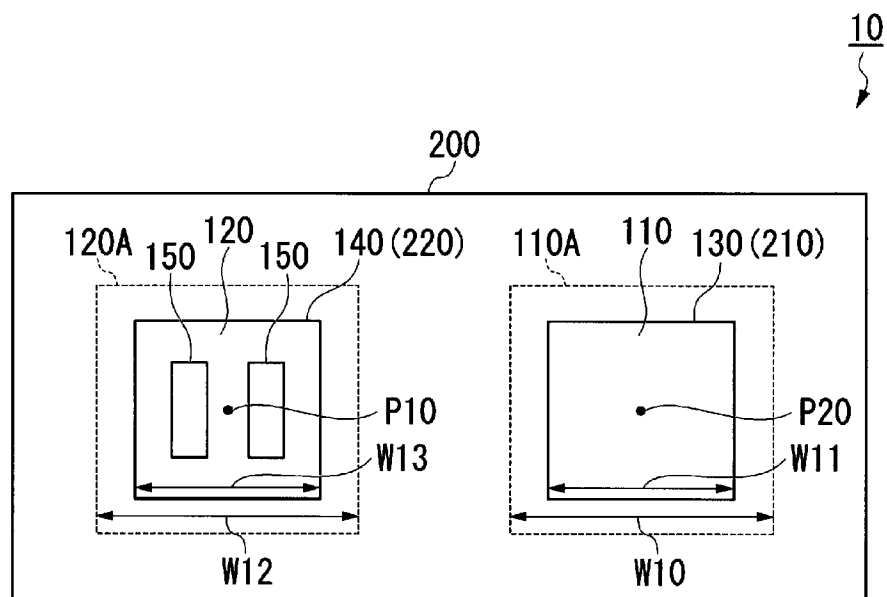
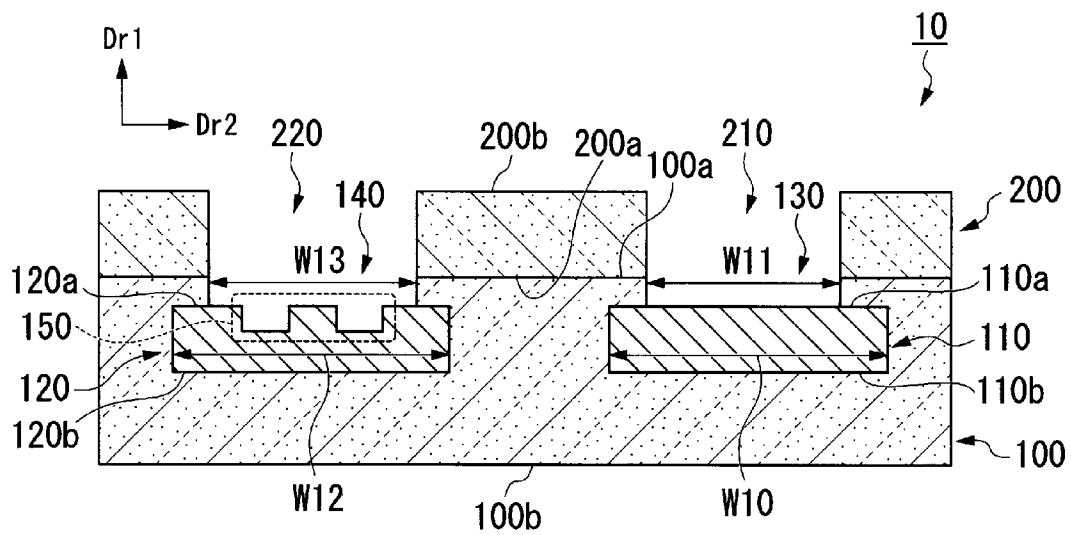
[請求項7]

金属膜を前記第1の半導体層に形成する第5の工程をさらに有し、
前記第1のパッドおよび前記第2のパッドは、同一の金属で構成され、

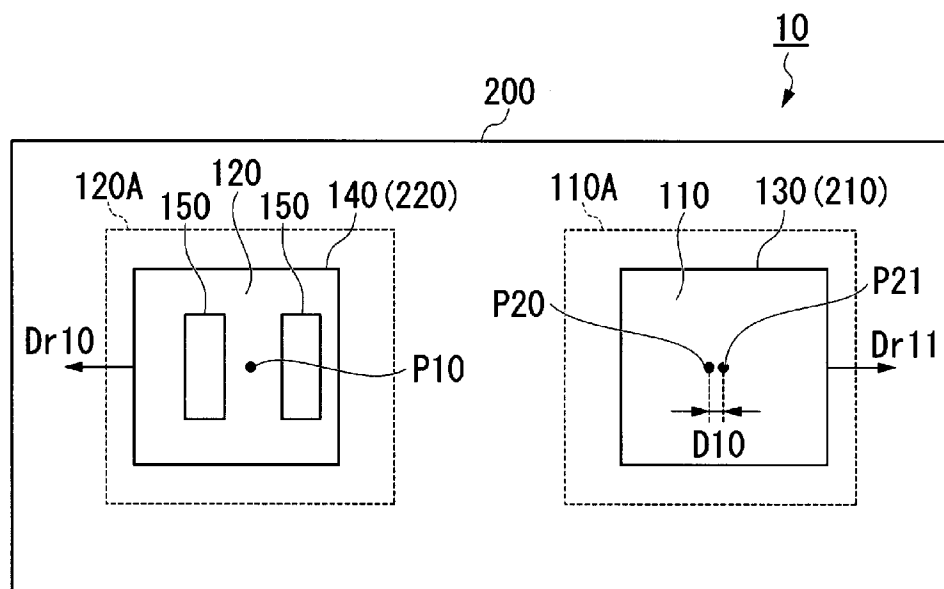
前記アライメントマークは、前記第2のパッドに形成された貫通孔であり、

前記第2のパッドは、前記第2の半導体層と前記金属膜との間に配置されている

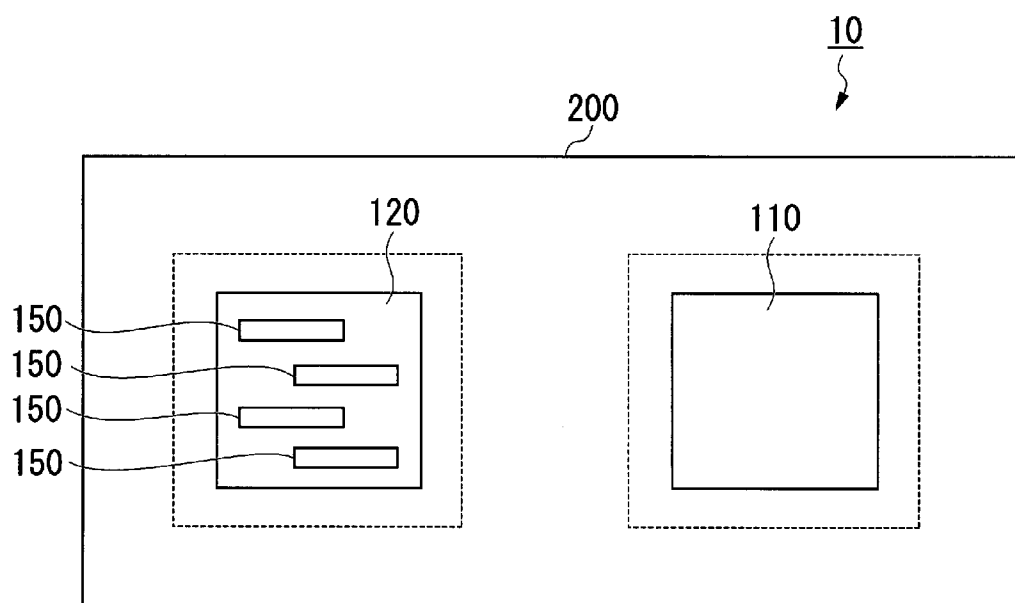
請求項6に記載の半導体装置の製造方法。



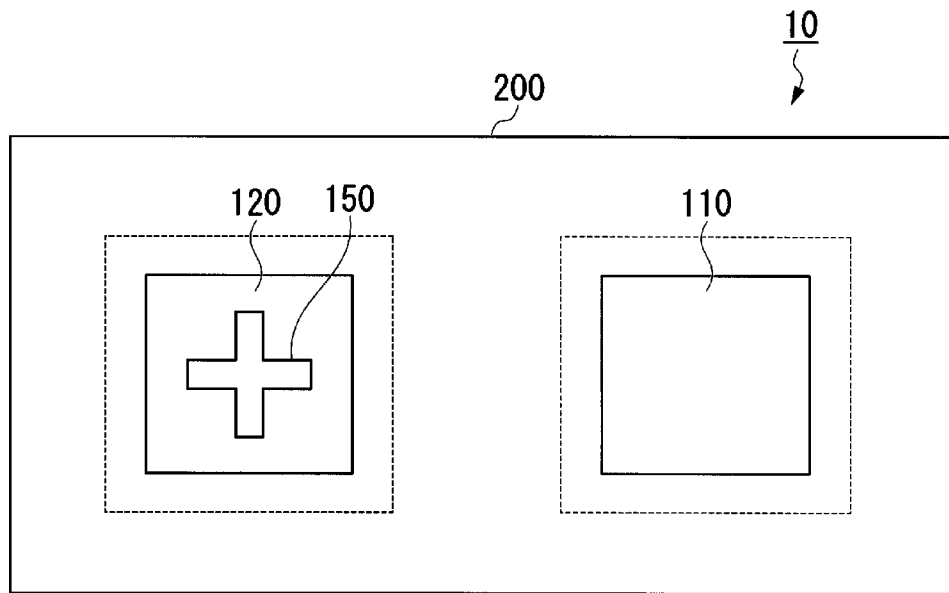
[図3]



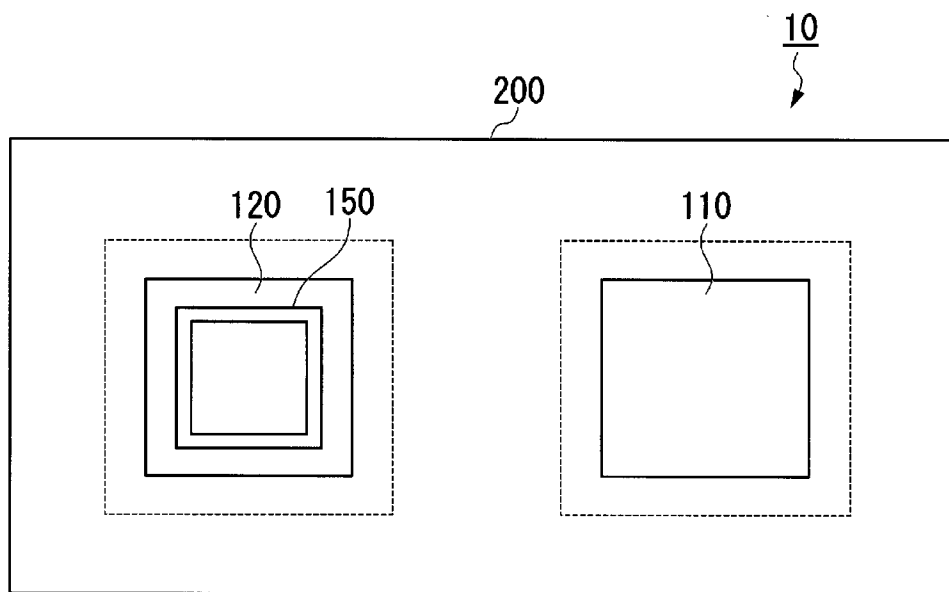
[図4]



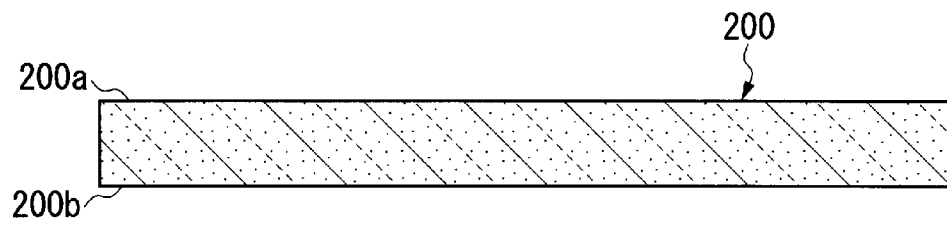
[図5]



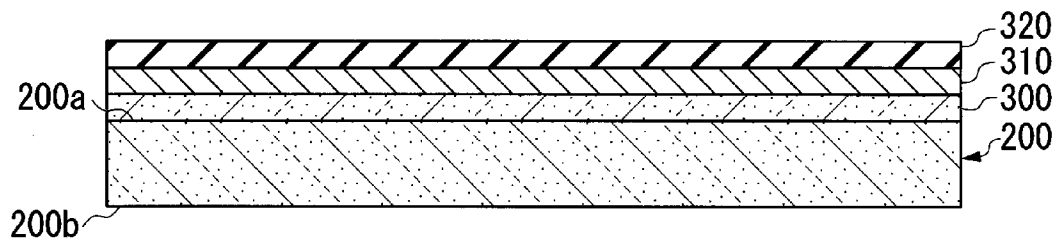
[図6]



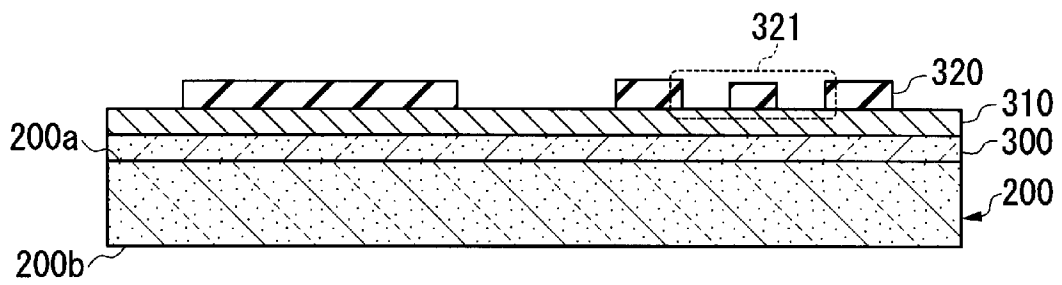
[図7]



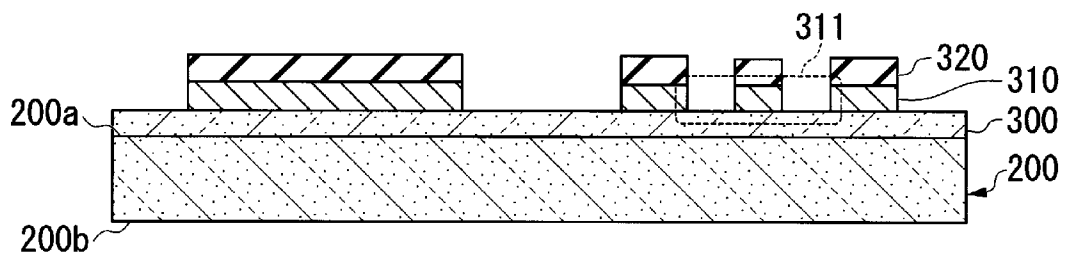
[図8]



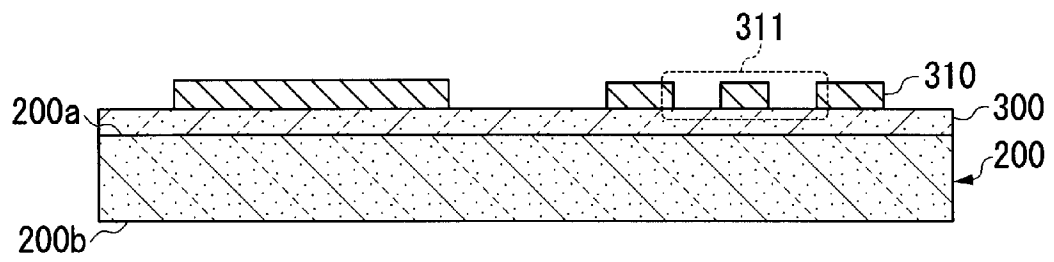
[図9]



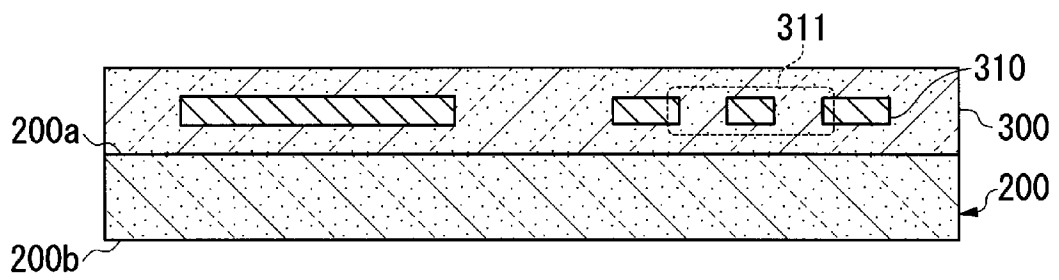
[図10]



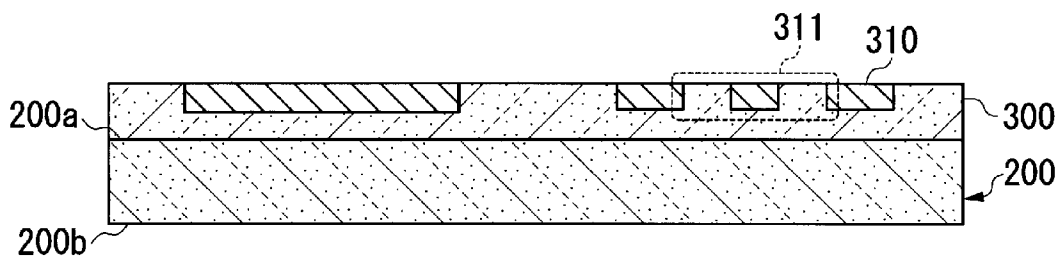
[図11]



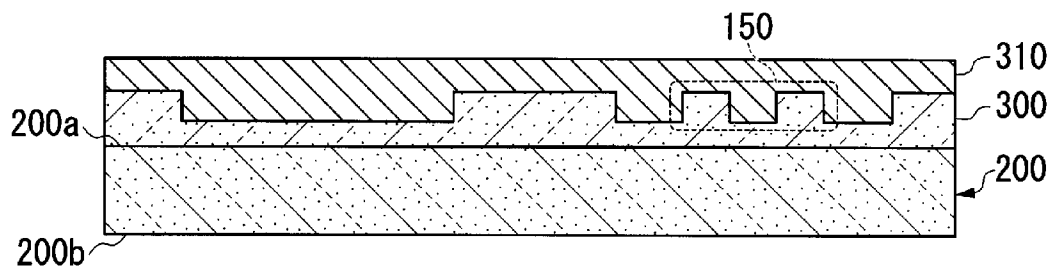
[図12]



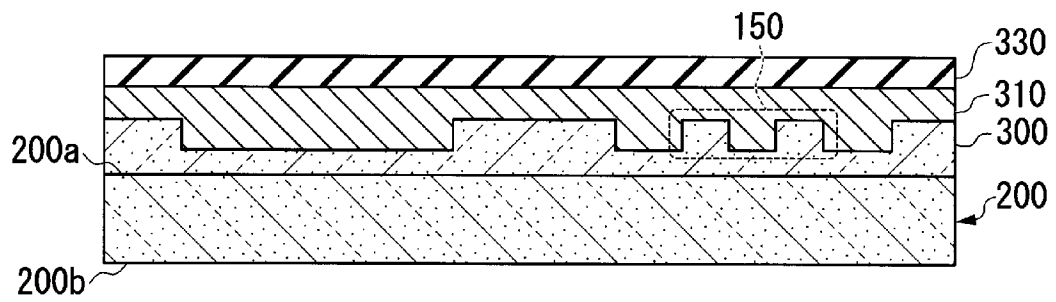
[図13]



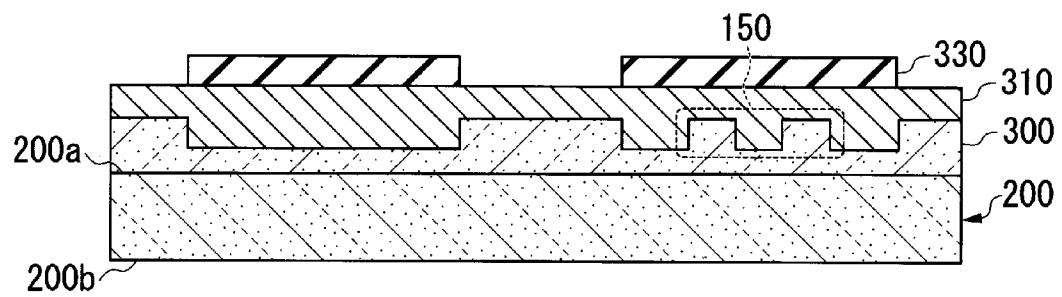
[図14]



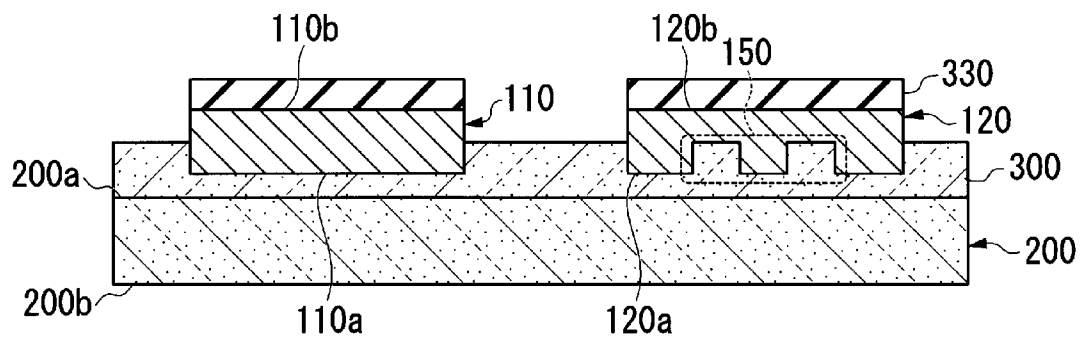
[図15]



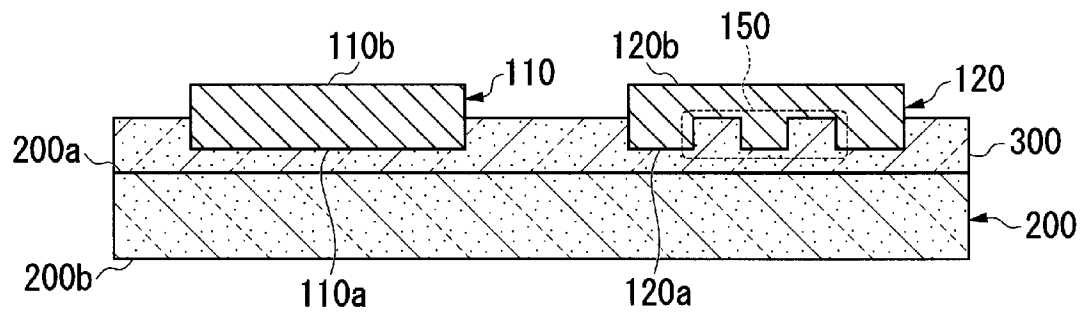
[図16]



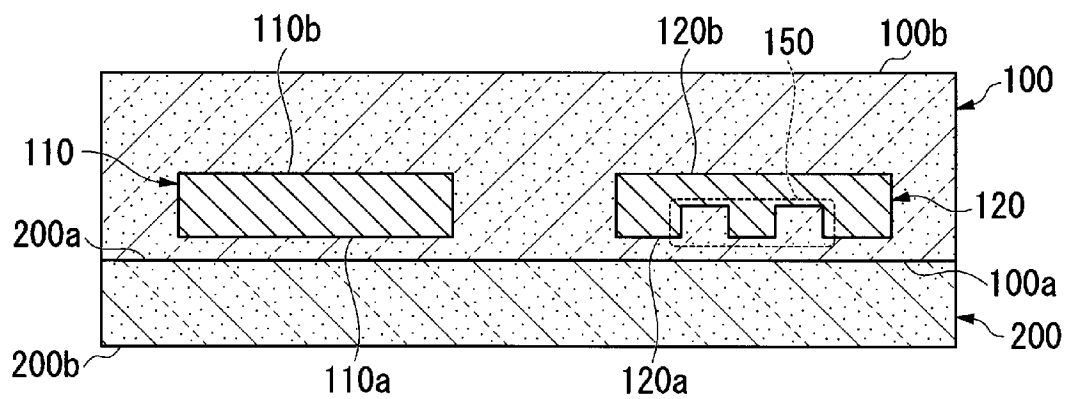
[図17]



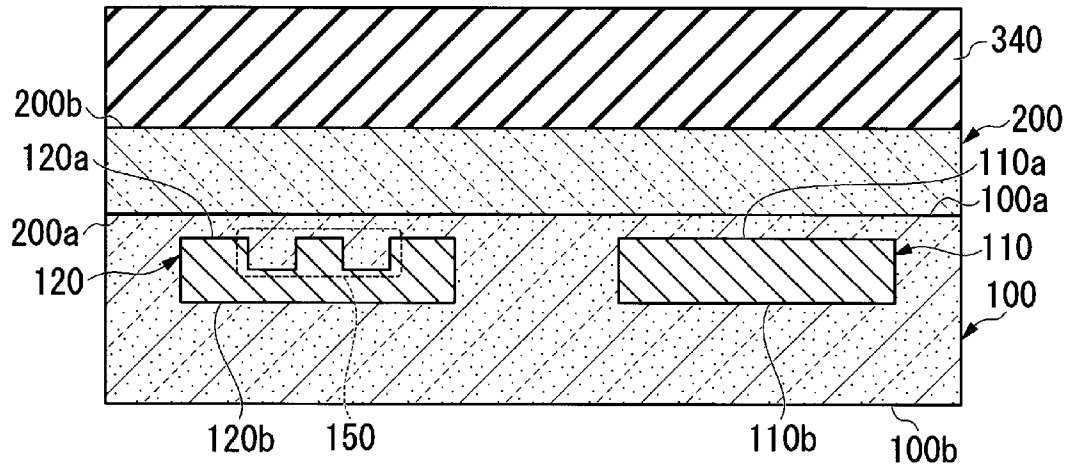
[図18]



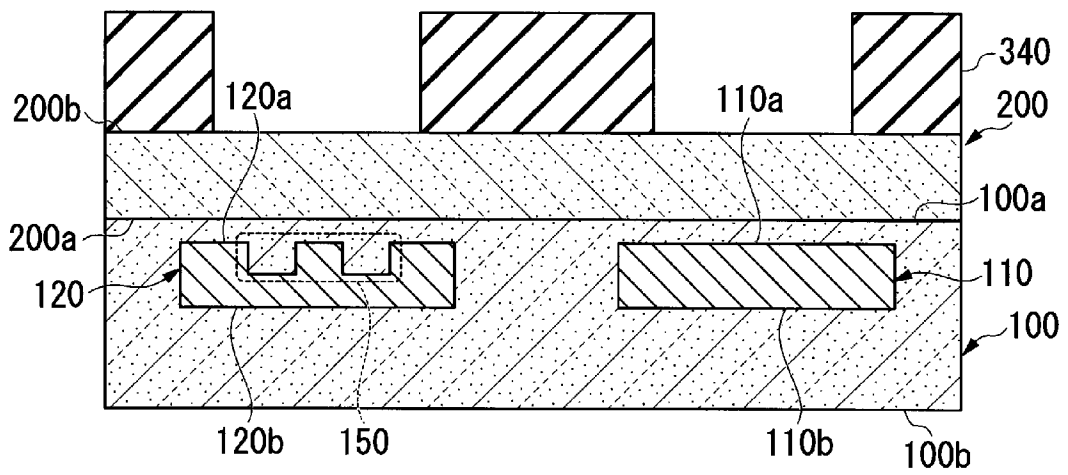
[図19]



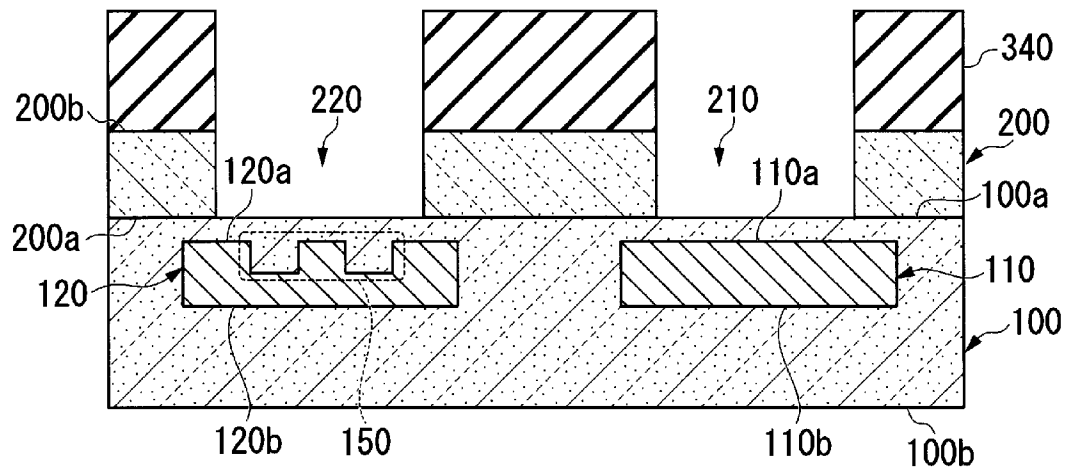
[図20]



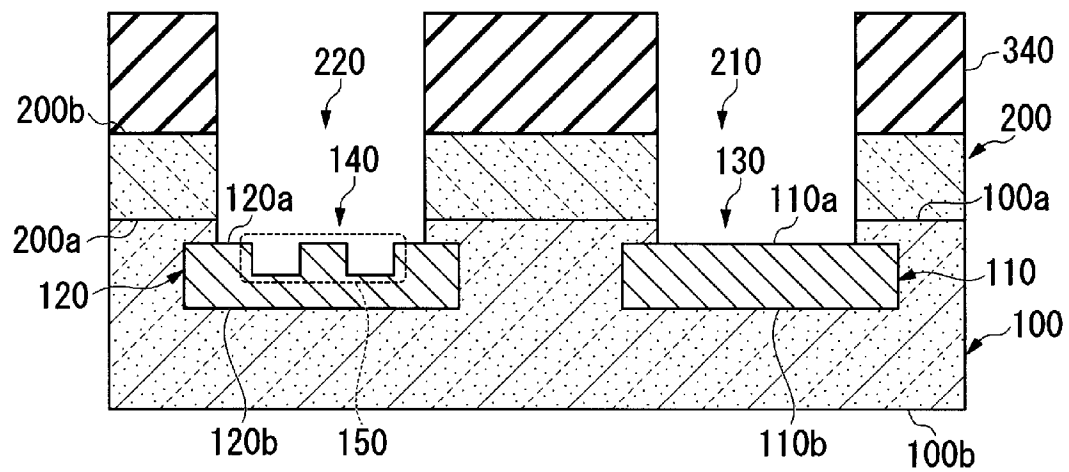
[図21]



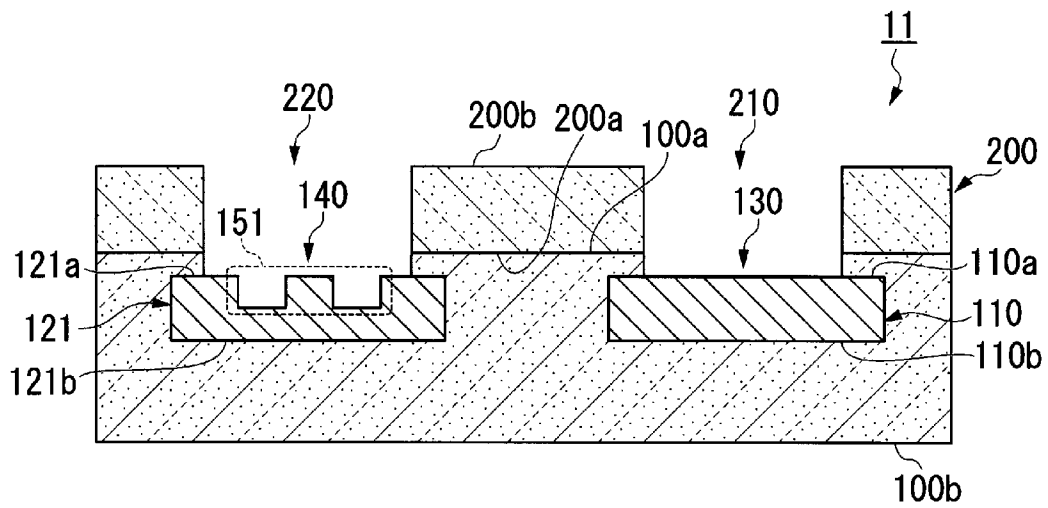
[図22]



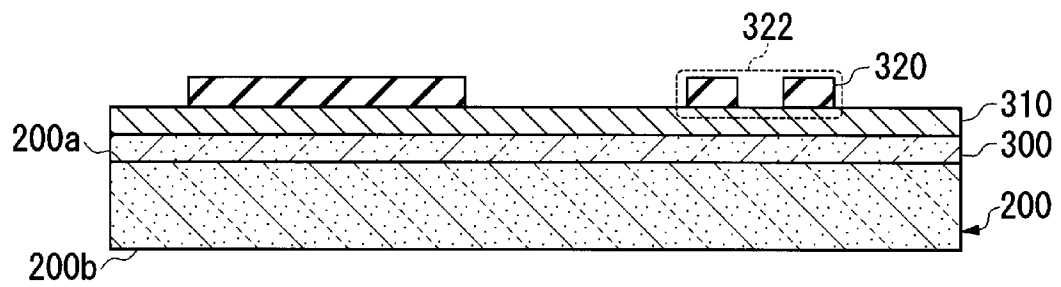
[図23]



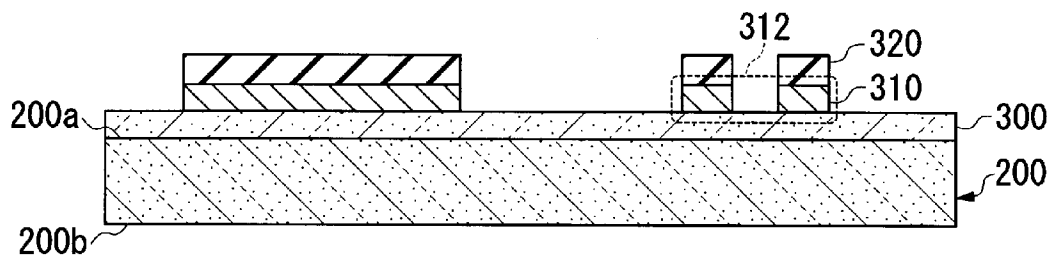
[図24]



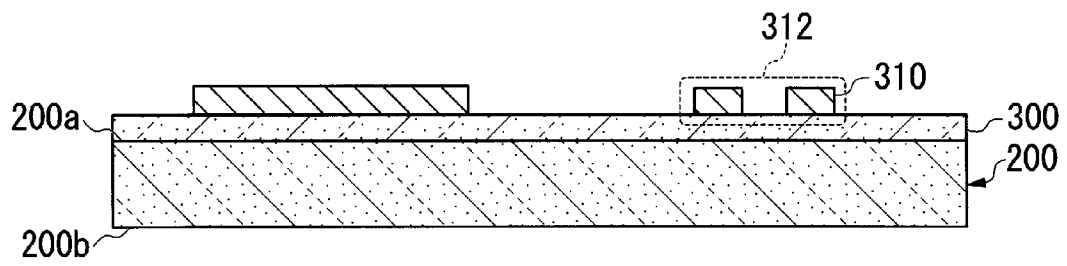
[図25]



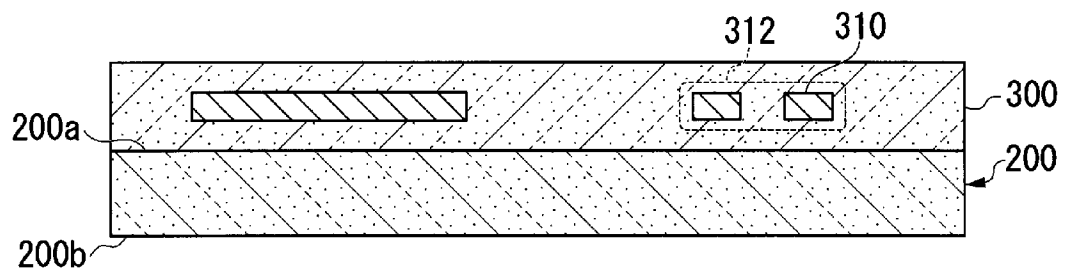
[図26]



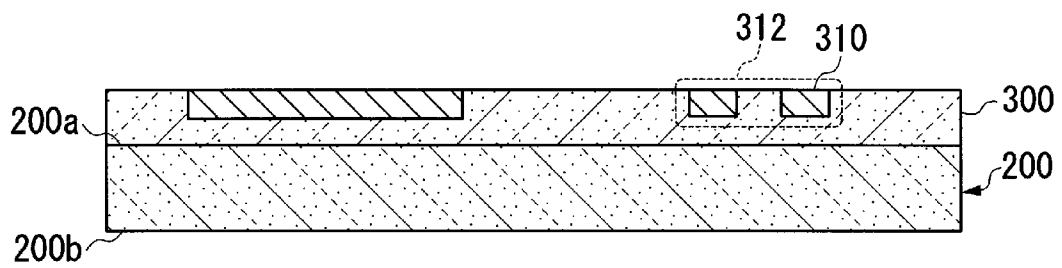
[図27]



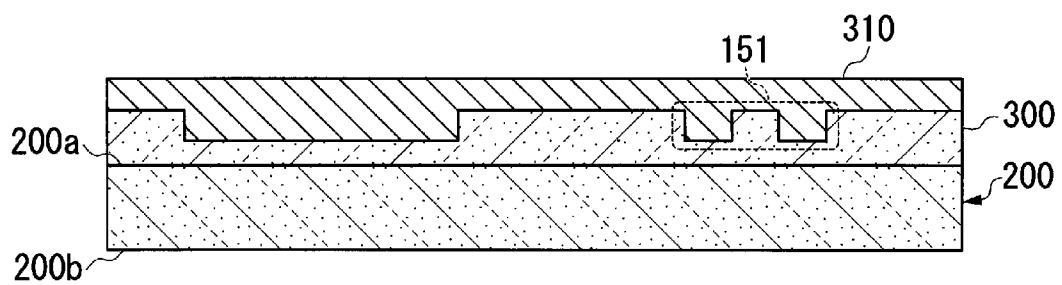
[図28]



[図29]

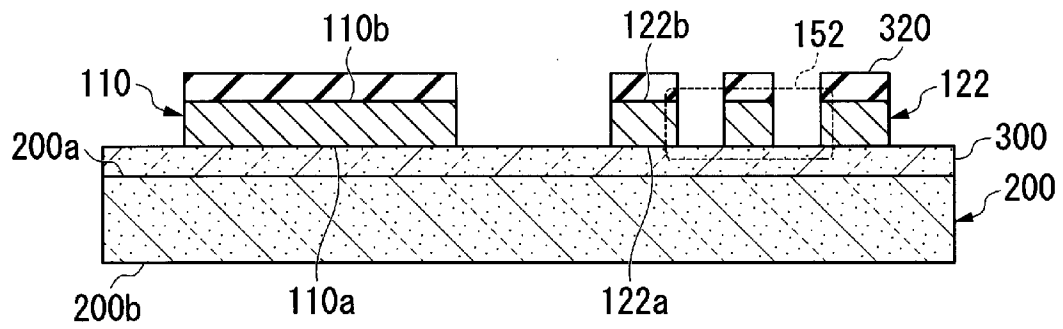


[図30]

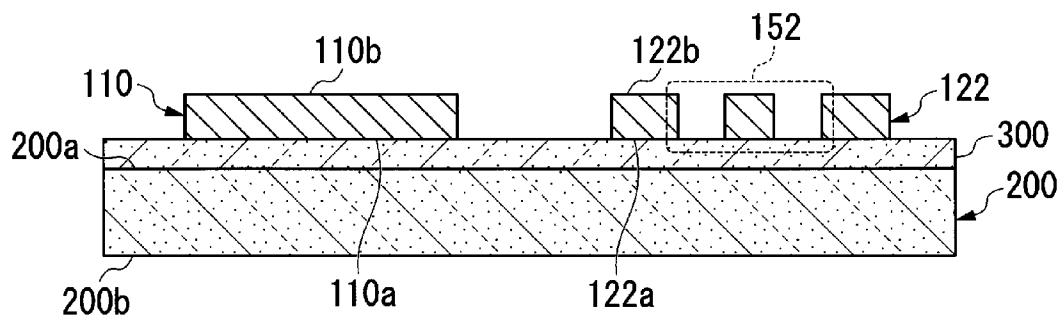


[illegible]

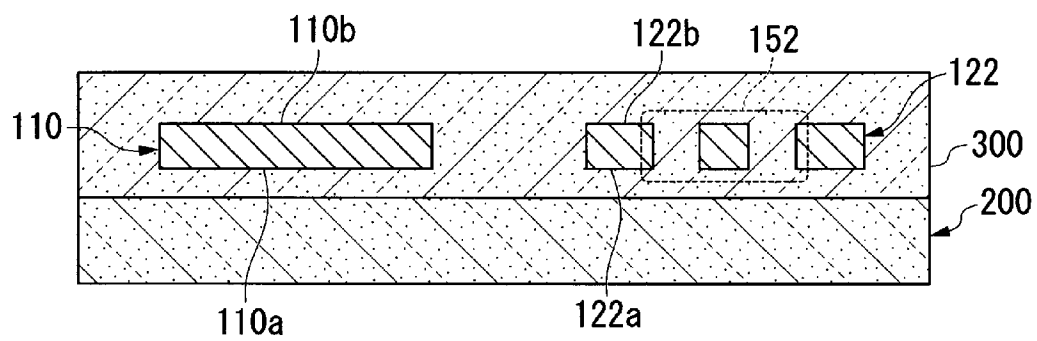
[図33]



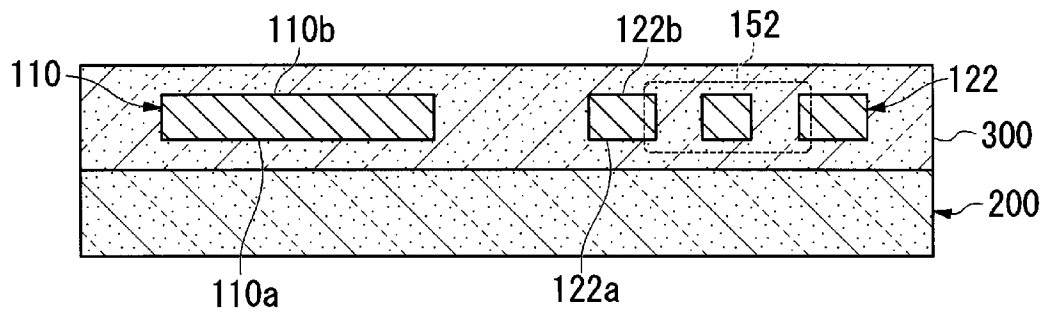
[図34]



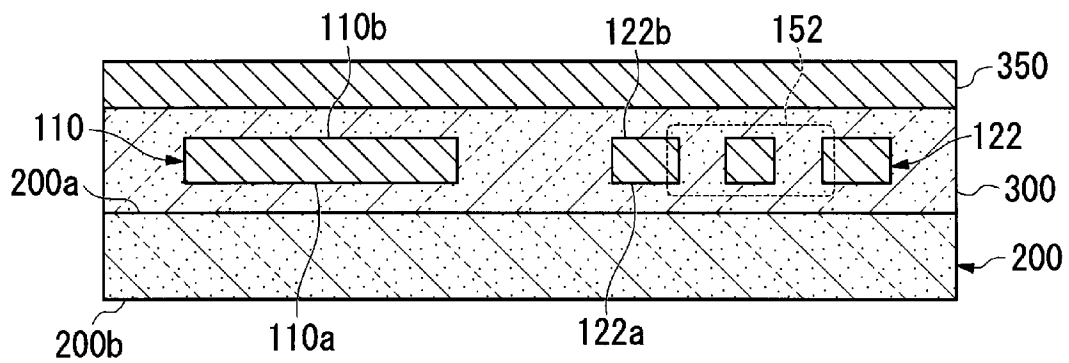
[図35]



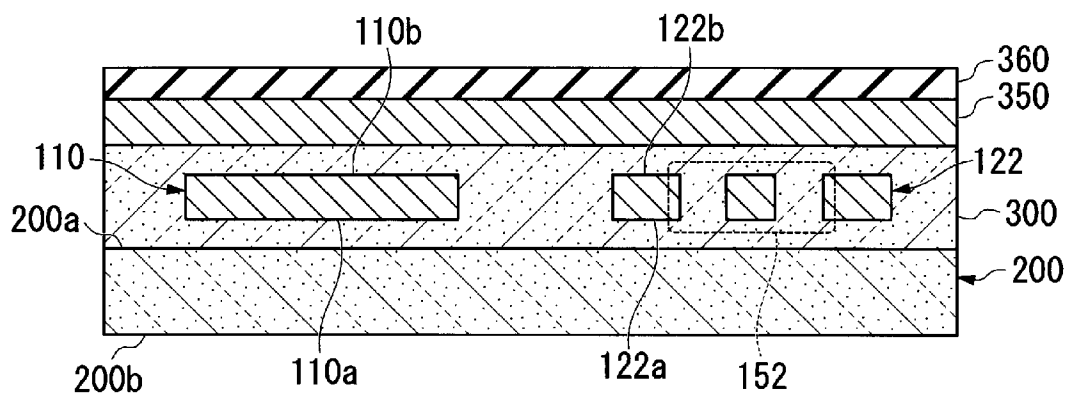
[図36]



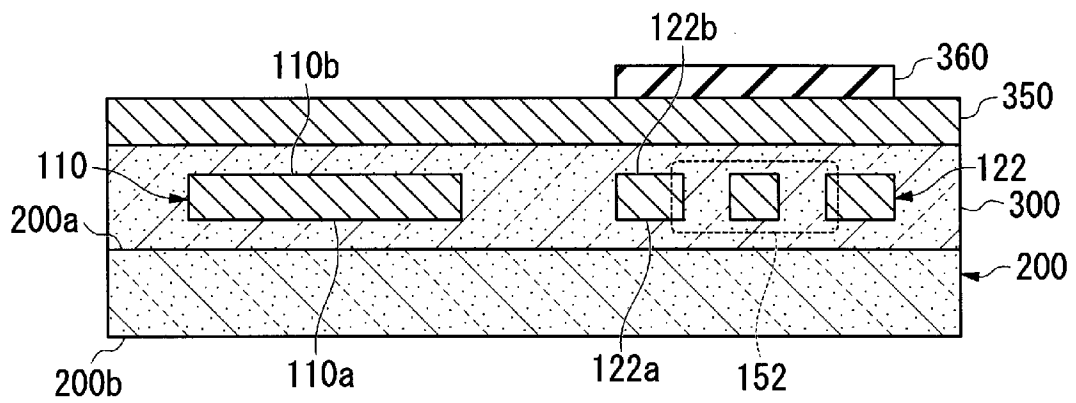
[図37]



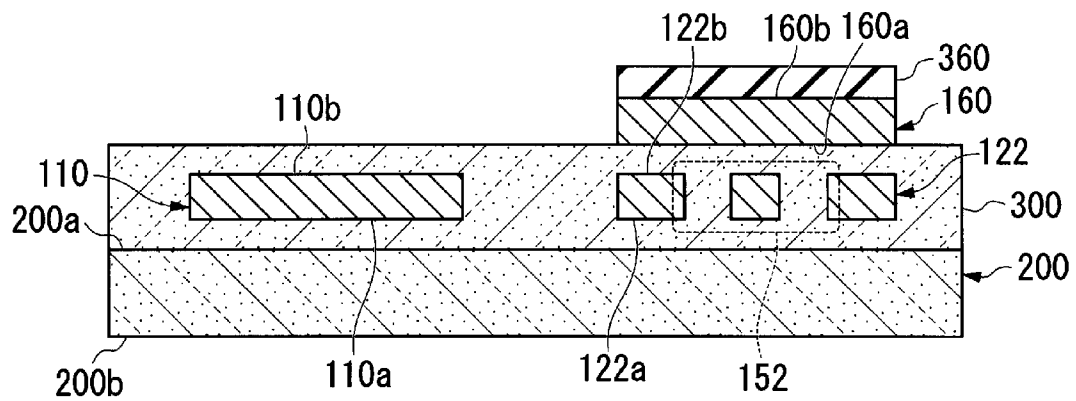
[図38]



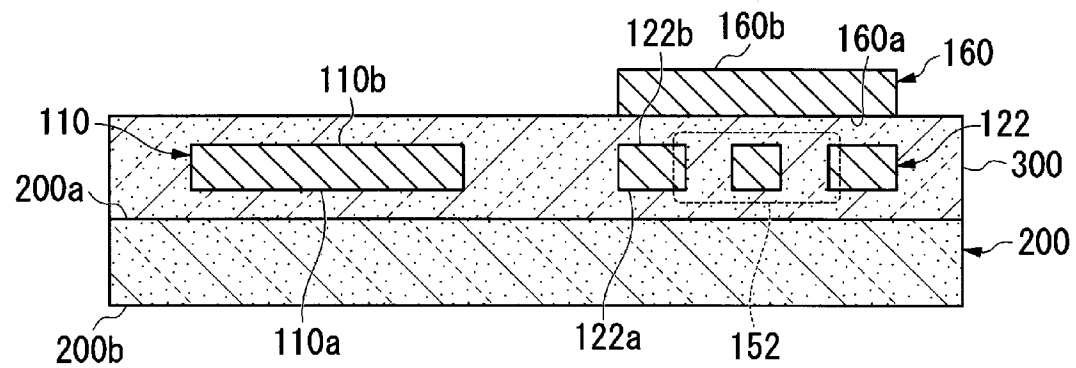
[図39]



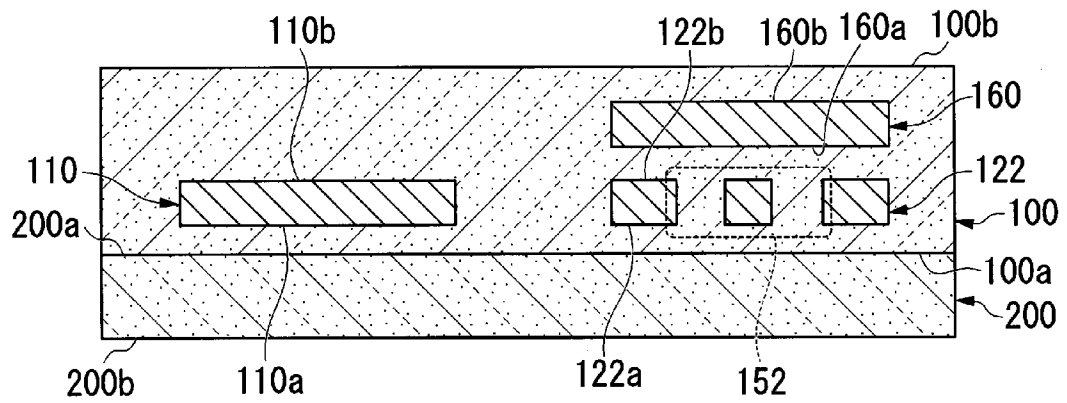
[図40]



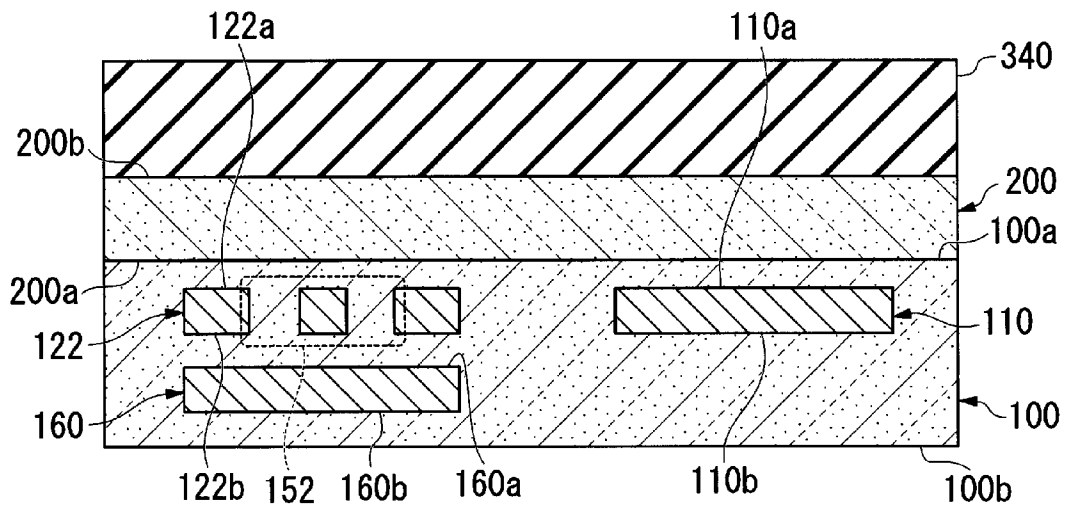
[図41]



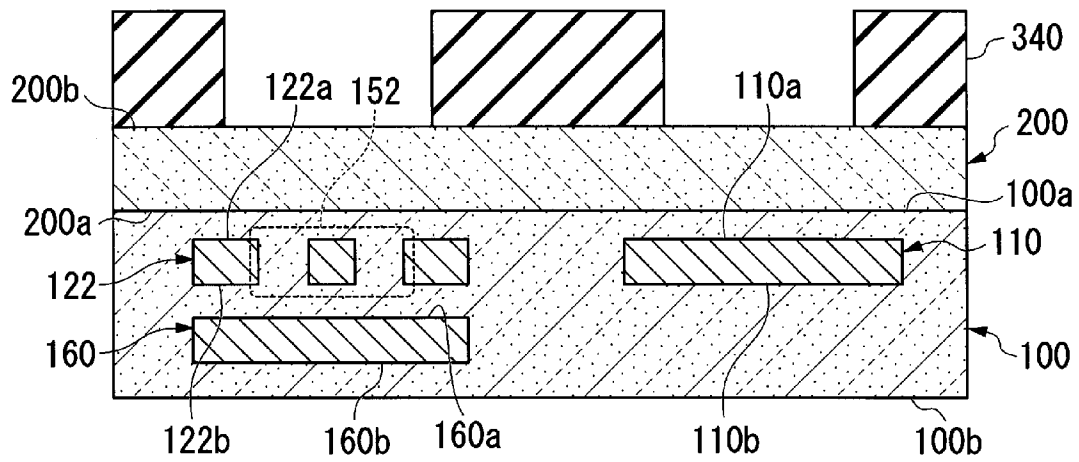
[図42]



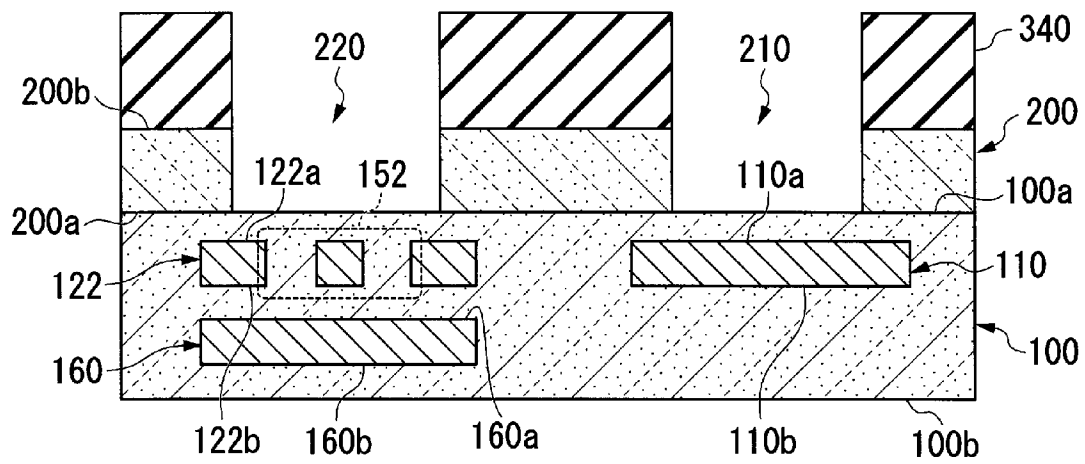
[図43]



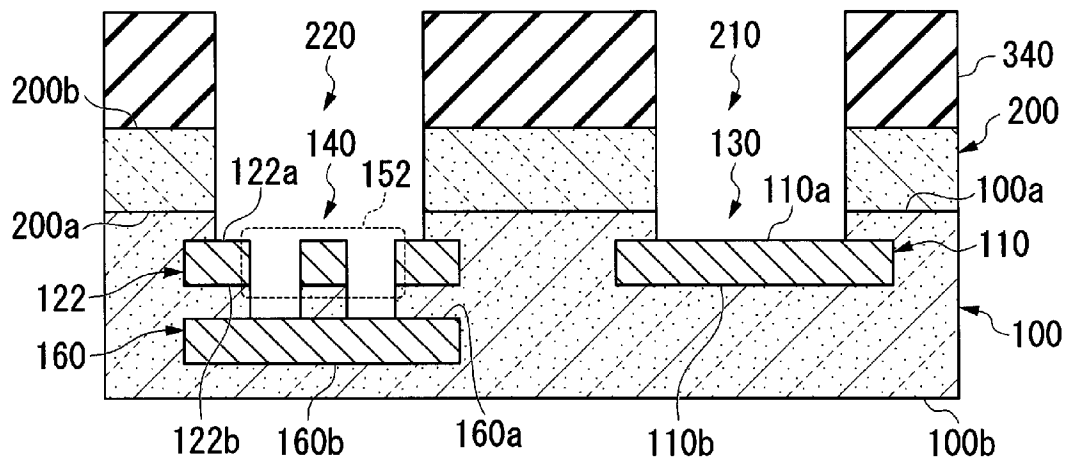
[図44]



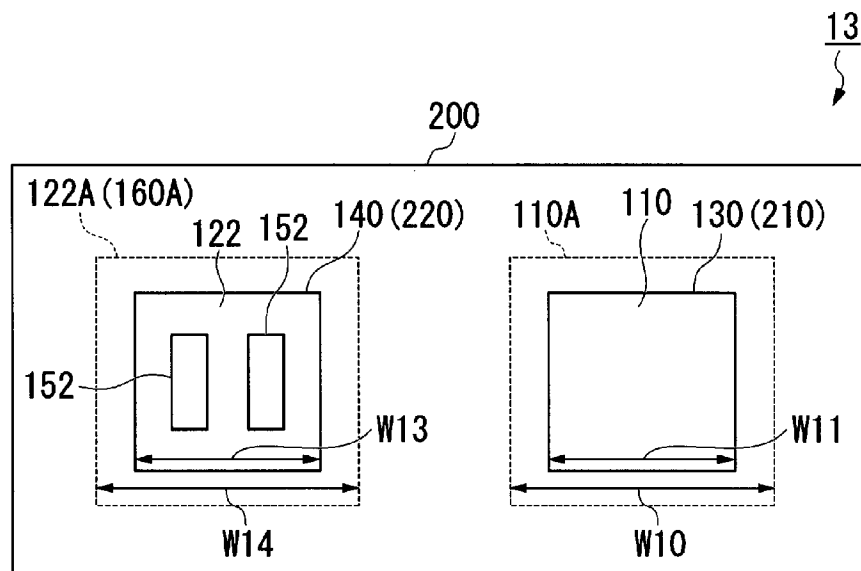
[図45]



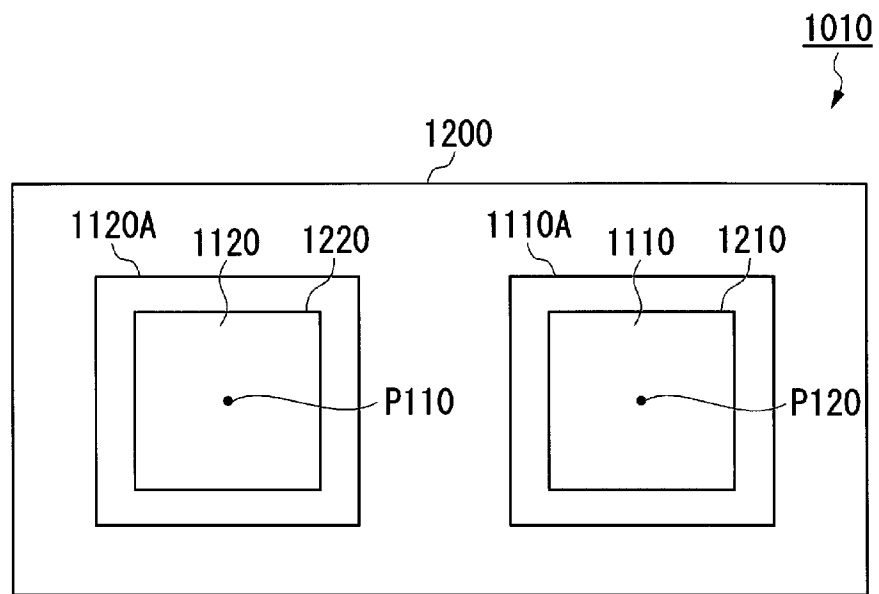
[図46]



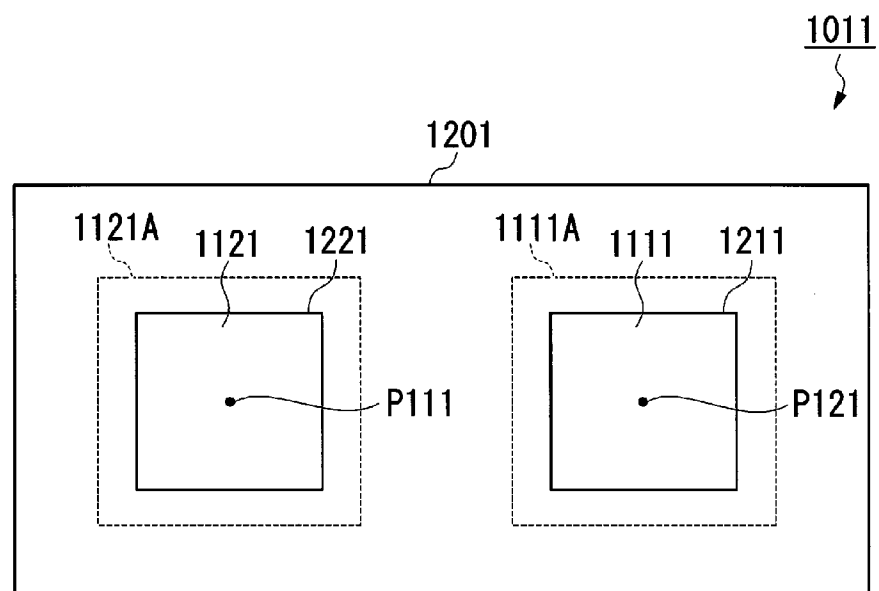
[図47]



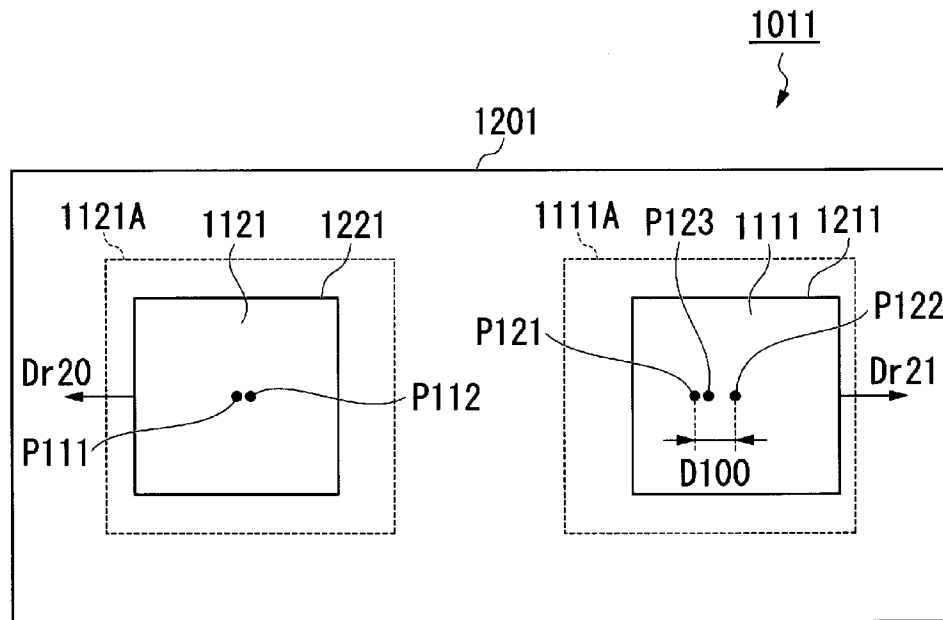
[図48]



[図49]



[図50]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/061900

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01)i, H01L21/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60, H01L21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-82281 A (Olympus Corp.), 08 May 2014 (08.05.2014), entire text; all drawings & US 2014/0103522 A1 entire text; all drawings	1-7
A	JP 2001-326241 A (Oki Electric Industry Co., Ltd.), 22 November 2001 (22.11.2001), entire text; all drawings (Family: none)	1-7
A	JP 6-232205 A (Fujitsu Ltd.), 19 August 1994 (19.08.1994), entire text; all drawings (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
08 July 2016 (08.07.16)

Date of mailing of the international search report
19 July 2016 (19.07.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/60(2006.01)i, H01L21/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/60, H01L21/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-82281 A（オリンパス株式会社）2014.05.08, 全文、全図 & US 2014/0103522 A1, 全文、全図	1-7
A	JP 2001-326241 A（沖電気工業株式会社）2001.11.22, 全文、全図（ファミリーなし）	1-7
A	JP 6-232205 A（富士通株式会社）1994.08.19, 全文、全図（ファミリーなし）	1-7

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

08.07.2016

国際調査報告の発送日

19.07.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

井上 弘亘

50

3248

電話番号 03-3581-1101 内線 3559