

(12) 特許協力条約に基づいて公開された国際出願

7_a

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日

2012 年 1 月 5 日 (05.01.2012)



(10) 国際公開番号

WO 2012/002257 A1

- (51) 国際特許分類 :
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
- (21) 国際出願番号 : PCT/JP20 11/064472
- (22) 国際出願日 : 2011 年 6 月 23 日 (23.06.2011)
- (25) 国際出願の言語 : 日本語
- (26) 国際公開の言語 : 日本語
- (30) 優先権データ :
特願 2010-150282 2010 年 6 月 30 日 (30.06.2010) JP
- (71) 出願人 (米国を除く全ての指定国について) :
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]: 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- () 発明者 ;および
() 発明者/出願人 (米国についてのみ) : 古田 成
(FURUTA, Shige). 榎山 真 (OKOYAMA, Mako-
to). 村上 祐一郎 (MURAKAMI, Yuhichiroh). 佐々
木 寧 (SASAKI, Yasushi).
- (74) 代理人 : 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADE

MARK); 〒5300041 大阪府大阪市北区天神橋 2
丁目北 2 番 6 号 大和南森町ビル Osaka (JP).

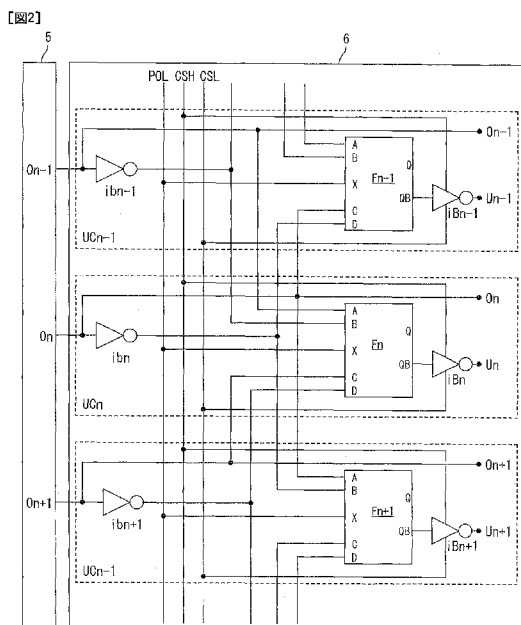
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可^レ得): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可^レ得): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類 :
- 国際調査報告 (条約第 21 条(3))

(54) Title: SIGNAL GENERATOR CIRCUIT, LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称 信号生成回路、液晶表示装置



(57) Abstract: Disclosed is a signal generator circuit, which is employed in a display device comprising: pixels further comprising pixel electrodes; conductors that form capacitance with the pixel electrodes; data signal line drive circuits that output data signals, the polarity whereof reverses once in every n horizontal scan intervals (where n is a natural number); and scan signal line drive circuits that output scan signals. The signal generator circuit generates drive signal of the conductors, and includes flip-flops of a plurality of stages. A gate circuit and a latch circuit are disposed upon each flip-flop. In a flip-flop of a given stage, the scan signal of the preceding stage and the scan signal of the following stage are inputted into the gate circuit, and the polarity signal that reverses once in every n horizontal scan intervals is inputted via the gate circuit into the latch circuit. The drive signal of the given stage is generated according to the output of the flip-flop of the given stage. It is thus possible to implement a driver circuit that is employed in a charge-coupling (CC) driven or a COM-driven liquid crystal display device with a simple configuration.

(57) 要約: 本信号生成回路は、画素電極を含む画素と、上記画素電極と容量を形成する導電体と、n 水平走査期間 (n は自然数) ごとに極性が反転するデータ信号を出力するデータ信号線駆動回路と、走査信号を出力する走査信号線駆動回路とを含む表示装置に用いられ、上記導電体の駆動信号を生成する。本信号生成回路は、複数のステージのフリップフロップを含み、各フリップフロップにはゲート回路とラッチ回路とが設けられ、自段のフリップフロップについて、ゲート回路に、自段の前段の走査信号と自段の後段の走査信号とが入力されるとともに、ラッチ回路に、n 水平走査期間ごとに反転する極性信号が上記ゲート回路を介して入力され、自段のフリップフロップの出力に応じて自段の駆動信号が生成される。こうすれば、CC (Charge Coupling) 駆動や COM 駆動の液晶表示装置に用いられるドライバ回路を簡易な構成で実現することができる。

WO 2012/002257 A1

明 細 書

発 明 の 名 称 : 信 号 生 成 回 路 、 液 晶 表 示 装 置

技 術 分 野

[0001] 本発明は、例えば、C C (Charge Coupling) 駆動 (データ書き込み後に画素電極の電位を変動させる駆動) や C O M 駆動 (データ書き込み前に共通電極の電位を変動させる駆動) を行う液晶表示装置に用いられる信号生成回路 (ドライバ回路) に関する。

背景技術

[0002] 特許文献 1 には、C C 駆動を行う従来の液晶表示装置が開示されている。この液晶表示装置では、画素電極にデータ (信号電位) を書き込み、走査信号線を非アクティブにした後に、該画素電極と容量を形成する保持容量配線 (C S 配線) の電位極性を反転させることで、該画素電極の電位を変動させる。図 3 2 は、上記液晶表示装置のゲートドライバ (走査信号線駆動回路) 3 0 および C S ドライバ (保持容量配線駆動回路) 4 0 の構成を示している。

先行技術文献

特許文献

[0003] 特許文献 1 : W O 2 0 0 9 / 0 5 0 9 2 6 号 公 報 (2 0 0 9 年 4 月 2 3 日 公 開)

発 明 の 概 要

発 明 が 解 決 し ょ う と す る 課 題

[0004] しかしながら、図 3 2 示す C S ドライバは構成が複雑になるという問題があった。

[0005] 本発明の目的は、例えば C C 駆動や C O M 駆動の液晶表示装置に用いられる信号生成回路 (ドライバ回路) を簡易な構成で実現する点にある。

課 題 を 解 決 す る た め の 手 段

[0006] 本信号生成回路は、画素電極を含む画素と、上記画素電極と容量を形成す

る導電体と、 n 水平走査期間 (n は自然数) ごとに極性が反転するデータ信号を出力するデータ信号線駆動回路と、走査信号を出力する走査信号線駆動回路とを含む表示装置に用いられ、上記導電体の駆動信号を生成する信号生成回路であつて、複数段のフリップフロップを含み、各フリップフロップにはゲート回路とラッチ回路とが設けられ、自段のフリップフロップについて、ゲート回路に、自段の前段の走査信号に同期する信号と自段の後段の走査信号に同期する信号とが入力されるとともに、ラッチ回路に、 n 水平走査期間ごとに反転する極性信号が上記ゲート回路を介して入力され、自段のフリップフロップの出力に応じて自段の駆動信号が生成されることを特徴とする。

[0007] このように、データ信号が水平走査期間 (n は自然数) ごとに極性反転する場合に、自段のフリップフロップのゲート回路に、自段の前段の走査信号に同期する信号と自段の後段の走査信号に同期する信号とを入力し、そのラッチ回路に、 n 水平走査期間ごとに反転する極性信号を上記ゲート回路を介して入力することで、自段の画素へのデータ信号の書き込み前、または自段の画素へのデータ信号の後に導電体の電位を変動させることができる。これにより、簡易な信号生成回路によって CC 駆動や COM 駆動を実現することができる。

発明の効果

[0008] 本発明によれば、簡易な構成の信号生成回路 (ドライバ回路) によって CC 駆動や COM 駆動を実現することができる。

図面の簡単な説明

[0009] [図1] 本 CS ドライバを含む液晶表示装置 (実施の形態 1) の構成を示す模式図である。

[図2] 本 CS ドライバの構成を示す回路図である。

[図3] 図 2 の CS ドライバに含まれるインバータ (出力側) の構成を示す回路図である。

[図4] 図 2 の CS ドライバに含まれるフリップフロップの構成を示す回路図で

ある。

[図5] 図2のCSドライバを含む液晶表示装置の駆動方法（順方向走査）を示すタイミングチャートである。

[図6] 図2のCSドライバを含む液晶表示装置の駆動方法（逆方向走査）を示すタイミングチャートである。

[図7] 本CSドライバの別構成を示す回路図である。

[図8] 図7のCSドライバに含まれるフリップフロップの構成を示す回路図である。

[図9] 図7のCSドライバを含む液晶表示装置の駆動方法（順方向走査）を示すタイミングチャートである。

[図10] 図7のCSドライバを含む液晶表示装置の駆動方法（逆方向走査）を示すタイミングチャートである。

[図11] 図7のCSドライバ（フリップフロップは図8の構成）を含む液晶表示装置の初期化動作を示すタイミングチャートである。

[図12] 図7のCSドライバに含まれるフリップフロップの別構成を示す回路図である。

[図13] 図7のCSドライバ（フリップフロップは図12の構成）を含む液晶表示装置の初期化動作を示すタイミングチャートである。

[図14] 本CSドライバのさらなる別構成を示す回路図である。

[図15] 図14のCSドライバに含まれるフリップフロップの構成を示す回路図である。

[図16] 図14のCSドライバに含まれるフリップフロップの別構成を示す回路図である。

[図17] 図14のCSドライバ（フリップフロップは図16の構成）を含む液晶表示装置の駆動方法を示すタイミングチャートである。

[図18] 図16のフリップフロップの変形例を示す回路図である。

[図19] 図7のCSドライバを含む液晶表示装置の別の駆動方法（2H反転）を示すタイミングチャートである。

[図20] 本液晶表示装置のゲートドライバの構成を示す回路図である。

[図21] 図21のゲートドライバに含まれるフリップフロップの構成を示す回路図である。

[図22] 図20のゲートドライバの駆動方法（順方向走査）を示すタイミングチャートである。

[図23] 図20のゲートドライバの駆動方法（逆方向走査）を示すタイミングチャートである。

[図24] 図20のゲートドライバの初期化動作を示すタイミングチャートである。

[図25] 本COMドライバを含む液晶表示装置（実施の形態2）の構成を示す模式図である。

[図26] 本COMドライバの構成を示す回路図である。

[図27] 図26のCOMドライバに含まれるフリップフロップの構成を示す回路図である。

[図28] 図26のCOMドライバを含む液晶表示装置の駆動方法（順方向走査）を示すタイミングチャートである。

[図29] 図26のCSドライバを含む液晶表示装置の駆動方法（逆方向走査）を示すタイミングチャートである。

[図30] インバータの構成例を示す回路図である。

[図31] 図1の液晶表示装置（実施の形態1）の変形例を示す模式図である。

[図32] 従来のCSドライバの構成を示す回路図である。

発明を実施するための形態

[001 0] 以下、本発明の実施の形態を、図1～31を用いて説明する。

[001 1] 実施の形態1)

図1は、本液晶表示装置1の構成を示すブロック図である。同図に示すように、本液晶表示装置1は、表示制御回路2、液晶パネル3、ソースドライバ4、ゲートドライバ5、およびCSドライバ6を備える。液晶パネル3には、走査信号線（ $G_{n-1} \cdot G_n \cdot G_{n+1}$ ）、データ信号線（ S_i ）、画

素 (PX_{n-1} 、 PX_n 、 PX_{n+1}) および保持容量配線 (CS_{n-1} ・ CS_n ・ CS_{n+1}) が設けられ、例えば、画素 PX_n に設けられた画素電極は、TFT を介して走査信号線 G_n およびデータ信号線 S_i に接続され、さらに、保持容量配線 CS_n と容量を形成している。そして、保持容量配線 CS_n は、 CS ドライバ 6 の n 段の出力端 U_n に接続され、走査信号線 G_n は、ゲートドライバ 5 の n 段の出力端 O_n に接続されている。ここで、走査信号線を駆動するゲートドライバ 5 (双方向シフトが可能) は、例えば、出力端 O_n から n 段の走査信号を出力する。データ信号線を駆動するソースドライバ 4 は、 n 水平走査期間 (n は自然数) ごとに極性が反転するデータ信号を出力する。保持容量配線を駆動する CS ドライバ 6 は、例えば、出力端 U_n から n 段の駆動信号を出力する。また、表示制御回路 2 はソースドライバ 4、ゲートドライバ 5、および CS ドライバ 6 を制御する。なお、図 1 のように表示部の一方の側にゲートドライバ 5 および CS ドライバ 6 を配置してもよいし、図 3 1 のように (液晶パネルの) 表示部の一方の側にゲートドライバ 5 を配し、他方の側に CS ドライバ 6 を配する (ゲートドライバ 5 と CS ドライバ 6 とを、それらの間に表示部が位置するように設ける) こともできる。図 3 1 の構成では狭額縁化が可能となる。また、ゲートドライバ 5 および CS ドライバ 6 の少なくとも一方が、液晶パネルに一体形成 (モノリシックに形成) されていてもよい。

[0012] 図 1 の CS ドライバ 6 の構成は図 2 のとおりである。すなわち、 CS ドライバ 6 は、段状に接続された複数の単位回路 (UC_{n-1} 、 UC_n 、 UC_{n+1}) と、 CS 極性信号ライン POL と、第 1 および第 2 CS 電位供給ライン CSH ・ CSL とを備え、単位回路 UC_{n-1} は、フリップフロップ F_{n-1} と、2 個のインバータ $i b_{n-1}$ ・ $i B_{n-1}$ と、出力端 U_{n-1} とを含み、単位回路 UC_n は、フリップフロップ F_n と、2 個のインバータ $i b_n$ ・ $i B_n$ と、出力端 U_n とを含み、単位回路 UC_{n+1} は、フリップフロップ F_{n+1} と、2 個のインバータ $i b_{n+1}$ ・ $i B_{n+1}$ と、出力端 U_{n+1} とを含む。

[0013] 図3は、インバータ iB_j ($j = n - 1 \cdot n \cdot n + 1$)の具体的回路構成である。同図に示されるように、インバータ iB_j は、入力端が、Pチャネルトランジスタの制御端子とNチャネルトランジスタの制御端子とに接続され、出力端が、Pチャネルトランジスタの一方の導通端子とNチャネルトランジスタの一方の導通端子とに接続され、Pチャネルトランジスタの他方の導通端子が第1CS電位 (V_H) 供給ラインCSHに接続されるとともに、Nチャネルトランジスタの他方の導通端子が第2CS電位 (V_L) 供給ラインに接続されている構成である (ただし、 $V_H > V_L$)。

[0014] 図4は、フリップフロップ F_j ($j = n - 1 \cdot n \cdot n + 1$)の具体的回路構成である。同図に示されるように、フリップフロップ F_j は、5つの入力端 ($A \sim D \cdot X$) と、2個の出力端 ($Q \cdot Q_B$) と、4つのアナログスイッチ $1_1 \sim 1_4$ と、2つのインバータ $2_1 \cdot 2_3$ とを含み、A端子がアナログスイッチ 1_1 のN端子とアナログスイッチ 1_3 のP端子とに接続され、B端子がアナログスイッチ 1_1 のP端子とアナログスイッチ 1_3 のN端子とに接続され、C端子がアナログスイッチ 1_2 のN端子とアナログスイッチ 1_4 のP端子とに接続され、D端子がアナログスイッチ 1_2 のP端子とアナログスイッチ 1_4 のN端子とに接続され、X端子が、アナログスイッチ 1_1 を介してインバータ 2_1 の入力端子に接続されるとともに、アナログスイッチ 1_2 を介してインバータ 2_3 の入力端子に接続され、インバータ 2_1 の出力端子が、アナログスイッチ 1_4 を介してインバータ 2_3 の入力端子に接続され、インバータ 2_3 の出力端子が、アナログスイッチ 1_3 を介してインバータ 2_1 の入力端子に接続され、Q端子がインバータ 2_1 の入力端子に接続され、 Q_B 端子がインバータ 2_1 の出力端子に接続され、アナログスイッチ $1_1 \cdot 1_2$ がゲート回路GCを構成し、アナログスイッチ $1_3 \cdot 1_4$ およびインバータ $2_1 \cdot 2_3$ がラッチ回路LCを構成している。

[0015] 図2に戻って、自段である j 段 ($j = \eta - 1 \cdot \eta \cdot \eta + 1$)の単位回路 UC_j については以下のとおりである。すなわち、インバータ ib_j の入力端は、ゲートドライバ5の j 段 (自段)の出力端 0_j と、 $j - 1$ 段 (前段)の

フリップフロップ F_{n-1} の C 端子と、 $j+1$ 段（後段）のフリップフロップ F_{n+1} の A 端子とに接続され、インバータ回路 $i b_j$ の出力端は、 $j-1$ 段（前段）のフリップフロップ F_{n-1} の D 端子と、 $j+1$ 段（後段）のフリップフロップ F_{n+1} の B 端子とに接続されている。そして、フリップフロップ F_j は、A 端子が、ゲートドライバの $j-1$ 段（前段）の出力端 O_{j-1} に接続され、B 端子が、 $j-1$ 段（前段）のインバータ $i b_{j-1}$ の出力端に接続され、C 端子が、ゲートドライバの $j+1$ 段（後段）の出力端 O_{j+1} に接続され、D 端子が、 $j+1$ 段（後段）のインバータ $i b_{j+1}$ の出力端に接続され、X 端子が、CS 極性信号ライン POL に接続され、QB 端子が、 j 段のインバータ $i B_j$ を介して単位回路 $U C_j$ の出力端 U_j に接続されている。すなわち、この単位回路 $U C_j$ では、フリップフロップ F_j の出力端 QB が H（非アクティブ）のときに出力端 U_j から電位 V_L （ L_0 側の $\bigcirc 3$ 電位）が出力され、出力端 QB が L（アクティブ）のときに出力端 U_j から電位 V_H （High 側の CS 電位）が出力される。

[001 6] 図 5 は、図 2 の CS ドライバ 6 を含む液晶表示装置 1 の駆動方法（順方向走査時のフレーム F_1 およびフレーム F_2 ）を示すタイミングチャートである。なお、CS 極性信号ライン POL には、一水平走査期間（1 H）ごとに極性が反転する CS 極性信号が供給される。また、フレーム F_1 は電源投入後の最初のフレームであり、 F_1 開始時に、ゲートドライバ 5 が初期化されてすべての出力端がアクティブにされるとともに、CS ドライバ 6 も初期化されてすべての出力端が「 V_L 」にされるものとする（後述）。以下では、 n 段を基準段（自段）とする。

[001 7] フレーム F_1 では、ゲートドライバ 5 の $n-1$ 段（前段）の出力端 O_{n-1} がアクティブになると、前段の画素 $P X_{n-1}$ にマイナスの信号電位が書き込まれる。このとき、フリップフロップ F_n は、A 端子が「H」、B 端子が「L」、C 端子が「L」、D 端子が「H」となり（アナログスイッチ 11・14 のみ ON）、出力端 QB に CS 極性信号の反転信号（「H」）が出力されるため、出力端 U_n の電位は V_L （ L_0 側の $\bigcirc 3$ 電位）のままである。

。そして、出力端 0_{n-1} が非アクティブになると、フリップフロップ F_n は、A 端子が「L」、B 端子が「H」、C 端子が「L」、D 端子が「H」となり（アナログスイッチ 13・14 のみ ON）、ラッチ状態となる（出力端 Q_B は「H」のまま）。よって、出力端 U_n の電位は V_L のままである。

[001 8] 次に、ゲートドライバ 5 の n 段の出力端 0_n がアクティブになると、自段の画素 PX_n にプラスの信号電位が書き込まれる。このとき、フリップフロップ F_n は、ラッチ状態が維持されるため、出力端 U_n の電位は V_L のままである。また、フリップフロップ F_{n+1} は、A 端子が「H」、B 端子が「L」、C 端子が「L」、D 端子が「H」となり（アナログスイッチ 11・14 のみ ON）、出力端 Q_B に CS 極性信号の反転信号（「L」）が出力されるため、出力端 U_{n+1} の電位は V_H （High 側の CS 電位）に反転する。そして、出力端 0_n が非アクティブになると、フリップフロップ F_{n+1} は、A 端子が「L」、B 端子が「H」、C 端子が「L」、D 端子が「H」となり（アナログスイッチ 13・14 のみ ON）、ラッチ状態（出力端 Q_B は「L」のまま）となる。よって、出力端 U_{n+1} の電位は V_H のままである。

[001 9] 次に、ゲートドライバ 5 の $n+1$ 段（次段）の出力端 0_{n+1} がアクティブになると、次段の画素 PX_{n+1} にマイナスの信号電位が書き込まれる。このとき、フリップフロップ F_n は、A 端子が「L」、B 端子が「H」、C 端子が「H」、D 端子が「L」となり（アナログスイッチ 12・13 のみ ON）、出力端 Q_B に CS 極性信号（「L」）が出力されるため、出力端 U_n の電位は V_H （High 側の CS 電位）に反転する。これに伴い、自段の画素 PX_n の電位は、書き込まれた信号電位（プラス）から高電位側にシフトする。そして、出力端 0_{n+1} が非アクティブになると、フリップフロップ F_n は、A 端子が「L」、B 端子が「H」、C 端子が「L」、D 端子が「H」となり（アナログスイッチ 13・14 のみ ON）、ラッチ状態となる（出力端 Q_B は「L」のまま）。よって、出力端 U_n の電位は V_H のままである。すなわち、画素 PX_n の電位は、シフト後の電位を維持する。

[0020] 次に、ゲートドライバ5の $n+2$ 段の出力端 0_{n+2} がアクティブになると、フリップフロップ F_{n+1} は、A端子が「L」、B端子が「H」、C端子が「H」、D端子が「L」となり（アナログスイッチ12・13のみON）、出力端QBにCS極性信号（「H」）が出力されるため、出力端 U_{n+1} の電位はVL（ 1_0 側のCS電位）に反転する。これに伴い、次段の画素PX $_{n+1}$ の電位は、書き込まれた信号電位（マイナス）から低電位側にシフトする。そして、出力端 0_{n+2} が非アクティブになると、フリップフロップ F_{n+1} は、A端子が「L」、B端子が「H」、C端子が「L」、D端子が「H」となり（アナログスイッチ13・14のみON）、ラッチ状態となる（出力端QBは「H」のまま）。よって、出力端 U_{n+1} の電位はVLのままである。すなわち、画素PX $_{n+1}$ の電位は、シフト後の電位を維持する。

[0021] フレームF2では、ゲートドライバ5の $n-1$ 段（前段）の出力端 0_{n-1} がアクティブになると、前段の画素PX $_{n-1}$ にプラスの信号電位が書き込まれる。このとき、フリップフロップ F_n は、A端子が「H」、B端子が「L」、C端子が「L」、D端子が「H」となり（アナログスイッチ11・14のみON）、出力端QBにCS極性信号の反転信号（「L」）が出力されるため、出力端 U_n の電位はVH（High側のCS電位）のままである。そして、出力端 0_{n-1} が非アクティブになると、フリップフロップ F_n は、A端子が「L」、B端子が「H」、C端子が「L」、D端子が「H」となり（アナログスイッチ13・14のみON）、ラッチ状態となる（出力端QBは「L」のまま）。よって、出力端 U_n の電位はVHのままである。

[0022] 次に、ゲートドライバ5の n 段の出力端 0_n がアクティブになると、自段の画素PX $_n$ にマイナスの信号電位が書き込まれる。このとき、フリップフロップ F_n は、ラッチ状態が維持されるため、出力端 U_n の電位はVHのままである。また、フリップフロップ F_{n+1} は、A端子が「H」、B端子が「L」、C端子が「L」、D端子が「H」となり（アナログスイッチ11・14のみON）、出力端QBにCS極性信号の反転信号（「H」）が出力さ

れるため、出力端 U_{n+1} の電位は V_L (Low 側の CS 電位) が維持される。そして、出力端 0_n が非アクティブになると、フリップフロップ F_{n+1} は、A 端子が 「L」、B 端子が 「H」、C 端子が 「L」、D 端子が 「H」となり (アナログスイッチ 13・14 のみ ON)、ラッチ状態となる (出力端 Q_B は 「H」のまま)。よって、出力端 U_{n+1} の電位は V_L のままである。

[0023] 次に、ゲートドライバ 5 の $n+1$ 段 (次段) の出力端 0_{n+1} がアクティブになると、次段の画素 PX_{n+1} にプラスの信号電位が書き込まれる。このとき、フリップフロップ F_n は、A 端子が 「L」、B 端子が 「H」、C 端子が 「H」、D 端子が 「L」となり (アナログスイッチ 12・13 のみ ON)、出力端 Q_B に CS 極性信号 (「H」) が出力されるため、出力端 U_n の電位は V_L (Low 側の CS 電位) に反転する。これに伴い、自段の画素 PX_n の電位は、書き込まれた信号電位 (マイナス) から低電位側にシフトする。そして、出力端 0_{n+1} が非アクティブになると、フリップフロップ F_n は、A 端子が 「L」、B 端子が 「H」、C 端子が 「L」、D 端子が 「H」となり (アナログスイッチ 13・14 のみ ON)、ラッチ状態となる (出力端 Q_B は 「H」のまま)。よって、出力端 U_n の電位は V_L のままである。すなわち、画素 PX_n の電位は、シフト後の電位を維持する。

[0024] 次に、ゲートドライバ 5 の $n+2$ 段の出力端 0_{n+2} がアクティブになると、フリップフロップ F_{n+1} は、A 端子が 「L」、B 端子が 「H」、C 端子が 「H」、D 端子が 「L」となり (アナログスイッチ 12・13 のみ ON)、出力端 Q_B に CS 極性信号 (「L」) が出力されるため、出力端 U_{n+1} の電位は V_H (High 側の CS 電位) に反転する。これに伴い、次段の画素 PX_{n+1} の電位は、書き込まれた信号電位 (プラス) から高電位側にシフトする。そして、出力端 0_{n+2} が非アクティブになると、フリップフロップ F_{n+1} は、A 端子が 「L」、B 端子が 「H」、C 端子が 「L」、D 端子が 「H」となり (アナログスイッチ 13・14 のみ ON)、ラッチ状態となる (出力端 Q_B は 「L」のまま)。よって、出力端 U_{n+1} の電位は V

Hのままである。すなわち、画素 $P \times n + 1$ の電位は、シフト後の電位を維持する。

[0025] このように、図2のCSドライバのフリップフロップは、ゲートドライバの前段（自段の直前の段）の出力端がアクティブになったときのCS極性信号の反転信号をラッチし、その後、ゲートドライバの次段（自段の直後の段）の出力端がアクティブになったときのCS極性信号をラッチする。そして、CS極性信号が1H反転であるため、ゲートドライバの前段の出力端がアクティブになったときのCS極性信号の反転信号と、後段の出力端がアクティブになったときのCS極性信号とが逆極性となる。したがって、画素への書き込みの前後で、該画素の画素電極と容量を形成する保持容量配線の電位が反転し、図2のような簡易な構成でCC駆動が実現される。さらに、2回のラッチを行うことで、最初のラッチ前における保持容量配線の電位（HまたはL）とは関係なく、該保持容量配線の電位を画素への書き込み前後で反転させることができるため、電源投入後の最初のフレーム（このフレーム開始時にCSドライバが初期化され、全段の出力端が第2CS電位（VL）とされる）でも画面の乱れがほとんどみられない。また、図5では、ソースドライバ4に出力されるソース極性信号が、POLに供給されるCS極性信号と同位相となるため、両者を共通化することも可能である。

[0026] なお、図2のCSドライバ6を含む液晶表示装置1では、図6に示すように逆方向走査が行われる。この場合、POLに供給されるCS極性信号を、ソースドライバ4に出力されるソース極性信号SPの逆位相とすればよい。

[0027] CSドライバ6の他の構成を図7に示す。図7のCSドライバ6は、段状に接続された複数の単位回路（ UC_{n-1} 、 UC_n 、 UC_{n+1} ）と、第1および第2CS極性信号ラインPOL1、POL2と、第1および第2CS電位供給ラインCSH、CSLとを備え、単位回路 UC_{n-1} は、フリップフロップ F_{n-1} と、2個のインバータ $i_{b_{n-1}}$ 、 $i_{B_{n-1}}$ と、出力端 U_{n-1} とを含み、単位回路 UC_n は、フリップフロップ F_n と、2個のインバータ i_{b_n} 、 i_{B_n} と、出力端 U_n とを含み、単位回路 UC_{n+1} は、

フリップフロップ F_{n+1} と、2 個のインバータ $i_{b_{n+1}} \cdot i_{B_{n+1}}$ と、出力端 U_{n+1} とを含む。

[0028] 図 8 は、図 7 のフリップフロップ F_j ($j = n-1 \cdot n \cdot n+1$) の具体的回路構成である。同図に示されるように、フリップフロップ F_j は、6 つの入力端 ($A \sim D \cdot X \cdot Y$) と、2 個の出力端 ($Q \cdot Q_B$) と、4 つのアナログスイッチ $1_1 \sim 1_4$ と、2 つのインバータ $2_1 \cdot 2_2$ とを含み、A 端子がアナログスイッチ 1_1 の N 端子とアナログスイッチ 1_3 の P 端子とに接続され、B 端子がアナログスイッチ 1_1 の P 端子とアナログスイッチ 1_3 の N 端子とに接続され、C 端子がアナログスイッチ 1_2 の N 端子とアナログスイッチ 1_4 の P 端子とに接続され、D 端子がアナログスイッチ 1_2 の P 端子とアナログスイッチ 1_4 の N 端子とに接続され、X 端子が、アナログスイッチ 1_1 を介してインバータ 2_1 の入力端子に接続され、Y 端子が、アナログスイッチ 1_2 を介してインバータ 2_1 の入力端子に接続され、インバータ 2_1 の出力端子が、インバータ 2_2 の入力端子に接続され、インバータ 2_2 の出力端子が、アナログスイッチ 1_4 を介してノード K に接続され、ノード K がアナログスイッチ 1_3 を介してインバータ 2_1 の入力端子に接続され、Q 端子がインバータ 2_1 の入力端子に接続され、 Q_B 端子がインバータ 2_1 の出力端子に接続され、アナログスイッチ $1_1 \cdot 1_2$ がゲート回路 GC を構成し、アナログスイッチ $1_3 \cdot 1_4$ およびインバータ $2_1 \cdot 2_2$ がラッチ回路 LC を構成している。

[0029] 図 7 に戻って、自段である j 段 ($j = n-1 \cdot n \cdot n+1$) の単位回路 U_{Cj} については以下のとおりである。すなわち、インバータ i_{bj} の入力端は、ゲートドライバ 5 の j 段 (自段) の出力端 0_j と、 $j-1$ 段 (前段) のフリップフロップ F_{n-1} の C 端子と、 $j+1$ 段 (後段) のフリップフロップ F_{n+1} の A 端子とに接続され、インバータ回路 i_{bj} の出力端は、 $j-1$ 段 (前段) のフリップフロップ F_{n-1} の D 端子と、 $j+1$ 段 (後段) のフリップフロップ F_{n+1} の B 端子とに接続されている。そして、フリップフロップ F_j は、A 端子が、ゲートドライバの $j-1$ 段 (前段) の出力端 0

$j - 1$ に接続され、B端子が、 $j - 1$ 段（前段）のインバータ $i b j - 1$ の出力端に接続され、C端子が、ゲートドライバの $j + 1$ 段（後段）の出力端 $0 j + 1$ に接続され、D端子が、 $j + 1$ 段（後段）のインバータ $i b j + 1$ の出力端に接続され、X端子が、第1CS極性信号ラインPOL1に接続され、Y端子が、第2CS極性信号ラインPOL2に接続され、QB端子が、 j 段のインバータ $i B j$ を介して単位回路 $U C j$ の出力端 $U j$ に接続されている。すなわち、この単位回路 $U C j$ では、フリップフロップ $F j$ の出力端QBがH（非アクティブ）のときに出力端 $U j$ から電位 $V L$ （ $\perp_0$ 側のCS電位）が出力され、出力端QBがL（アクティブ）のときに出力端 $U j$ から電位 $V H$ （High側のCS電位）が出力される。

[0030] 図9は、図7のCSドライバ6を含む液晶表示装置1の駆動方法（フレームF1およびフレームF2）を示すタイミングチャートである。なお、第1CS極性信号ラインPOL1には、一水平走査期間（1H）ごとに極性が反転する第1CS極性信号が供給され、第2CS極性信号ラインPOL2には、第1CS極性信号の反転信号である、第2のCS極性信号が供給される。また、フレームF1の開始時に、ゲートドライバ5が初期化されてすべての出力端がアクティブにされるとともに、CSドライバ6も初期化されてすべての出力端が「 $V L$ 」にされるものとする（初期化については後述）。以下では、 n 段を基準段（自段）とする。

[0031] フレームF1では、ゲートドライバ5の $n - 1$ 段（前段）の出力端 $0 n - 1$ がアクティブになると、フリップフロップ $F n$ は、A端子が「H」、B端子が「 $\perp$ 」、C端子が「 $\perp$ 」、D端子が「H」となり（アナログスイッチ11・14のみON）、出力端QBに第1CS極性信号の反転信号（「H」）が出力されるため、出力端 $U n$ の電位は $V L$ （ $\perp_0$ 側のCS電位）のままである。そして、出力端 $0 n - 1$ が非アクティブになると、フリップフロップ $F n$ は、A端子が「 $\perp$ 」、B端子が「H」、C端子が「 $\perp$ 」、D端子が「H」となり（アナログスイッチ13・14のみON）、ラッチ状態となる（出力端QBは「H」のまま）。よって、出力端 $U n$ の電位は $V L$ のままであ

る。

[0032] 次に、ゲートドライバ5の n 段の出力端 0_n がアクティブになると、自段の画素 PX_n にプラスの信号電位が書き込まれる。このとき、フリップフロップ F_n は、ラッチ状態が維持されるため、出力端 U_n の電位は V_L のままである。また、フリップフロップ F_{n+1} は、A端子が「H」、B端子が「L」、C端子が「L」、D端子が「H」となり（アナログスイッチ11・14のみON）、出力端 QB に第1CS極性信号の反転信号（「L」）が出力されるため、出力端 U_{n+1} の電位は V_H （High側のCS電位）に反転する。そして、出力端 0_n が非アクティブになると、フリップフロップ F_{n+1} は、A端子が「L」、B端子が「H」、C端子が「L」、D端子が「H」となり（アナログスイッチ13・14のみON）、ラッチ状態（出力端 QB は「L」のまま）となる。よって、出力端 U_{n+1} の電位は V_H のままである。

[0033] 次に、ゲートドライバ5の $n+1$ 段（次段）の出力端 0_{n+1} がアクティブになると、次段の画素 PX_{n+1} にマイナスの信号電位が書き込まれる。このとき、フリップフロップ F_n は、A端子が「L」、B端子が「H」、C端子が「H」、D端子が「L」となり（アナログスイッチ12・13のみON）、出力端 QB に第2CS極性信号の反転信号（「L」）が出力されるため、出力端 U_n の電位は V_H （High側のCS電位）に反転する。これに伴い、自段の画素 PX_n の電位は、書き込まれた信号電位（プラス）から高電位側にシフトする。そして、出力端 0_{n+1} が非アクティブになると、フリップフロップ F_n は、A端子が「L」、B端子が「H」、C端子が「L」、D端子が「H」となり（アナログスイッチ13・14のみON）、ラッチ状態となる（出力端 QB は「L」のまま）。よって、出力端 U_n の電位は V_H のままである。すなわち、画素 PX_n の電位は、シフト後の電位を維持する。

[0034] 次に、ゲートドライバ5の $n+2$ 段の出力端 0_{n+2} がアクティブになると、フリップフロップ F_{n+1} は、A端子が「L」、B端子が「H」、C端

子が「H」、D端子が「L」となり（アナログスイッチ12・13のみON）、出力端QBに第2CS極性信号の反転信号（「H」）が出力されるため、出力端Un+1の電位はVL（Low側のCS電位）に反転する。これに伴い、次段の画素PXn+1の電位は、書き込まれた信号電位（マイナス）から低電位側にシフトする。そして、出力端On+2が非アクティブになると、フリップフロップFn+1は、A端子が「L」、B端子が「H」、C端子が「L」、D端子が「H」となり（アナログスイッチ13・14のみON）、ラッチ状態となる（出力端QBは「H」のまま）。よって、出力端Un+1の電位はVLのままである。すなわち、画素PXn+1の電位は、シフト後の電位を維持する。

[0035] フレームF2では、ゲートドライバ5のn-1段（前段）の出力端On-1がアクティブになると、フリップフロップFnは、A端子が「H」、B端子が「L」、C端子が「L」、D端子が「H」となり（アナログスイッチ11・14のみON）、出力端QBに第1CS極性信号の反転信号（「L」）が出力されるため、出力端Unの電位はVH（High側のCS電位）のままである。そして、出力端On-1が非アクティブになると、フリップフロップFnは、A端子が「L」、B端子が「H」、C端子が「L」、D端子が「H」となり（アナログスイッチ13・14のみON）、ラッチ状態となる（出力端QBは「L」のまま）。よって、出力端Unの電位はVHのままである。

[0036] 次に、ゲートドライバ5のn段の出力端Onがアクティブになると、自段の画素PXnにマイナスの信号電位が書き込まれる。このとき、フリップフロップFnは、ラッチ状態が維持されるため、出力端Unの電位はVHのままである。また、フリップフロップFn+1は、A端子が「H」、B端子が「L」、C端子が「L」、D端子が「H」となり（アナログスイッチ11・14のみON）、出力端QBに第1CS極性信号の反転信号（「H」）が出力されるため、出力端Un+1の電位はVL（Low側のCS電位）が維持される。そして、出力端Onが非アクティブになると、フリップフロップF

$n + 1$ は、A 端子が 「L」、B 端子が 「H」、C 端子が 「L」、D 端子が 「H」となり (アナログスイッチ 13・14 のみ ON)、ラッチ状態となる (出力端 Q B は 「H」のまま)。よって、出力端 U_{n+1} の電位は V_L のままである。

[0037] 次に、ゲートドライバ 5 の $n + 1$ 段 (次段) の出力端 O_{n+1} がアクティブになると、次段の画素 PX_{n+1} にプラスの信号電位が書き込まれる。このとき、フリップフロップ F_n は、A 端子が 「L」、B 端子が 「H」、C 端子が 「H」、D 端子が 「L」となり (アナログスイッチ 12・13 のみ ON)、出力端 Q B に第 2 CS 極性信号の反転信号 (「H」) が出力されるため、出力端 U_n の電位は V_L (V_0 側の CS 電位) に反転する。これに伴い、自段の画素 PX_n の電位は、書き込まれた信号電位 (マイナス) から低電位側にシフトする。そして、出力端 O_{n+1} が非アクティブになると、フリップフロップ F_n は、A 端子が 「L」、B 端子が 「H」、C 端子が 「L」、D 端子が 「H」となり (アナログスイッチ 13・14 のみ ON)、ラッチ状態となる (出力端 Q B は 「H」のまま)。よって、出力端 U_n の電位は V_L のままである。すなわち、画素 PX_n の電位は、シフト後の電位を維持する。

[0038] 次に、ゲートドライバ 5 の $n + 2$ 段の出力端 O_{n+2} がアクティブになると、フリップフロップ F_{n+1} は、A 端子が 「L」、B 端子が 「H」、C 端子が 「H」、D 端子が 「L」となり (アナログスイッチ 12・13 のみ ON)、出力端 Q B に第 2 CS 極性信号の反転信号 (「L」) が出力されるため、出力端 U_{n+1} の電位は V_H (High 側の CS 電位) に反転する。これに伴い、次段の画素 PX_{n+1} の電位は、書き込まれた信号電位 (プラス) から高電位側にシフトする。そして、出力端 O_{n+2} が非アクティブになると、フリップフロップ F_{n+1} は、A 端子が 「L」、B 端子が 「H」、C 端子が 「L」、D 端子が 「H」となり (アナログスイッチ 13・14 のみ ON)、ラッチ状態となる (出力端 Q B は 「L」のまま)。よって、出力端 U_{n+1} の電位は V_H のままである。すなわち、画素 PX_{n+1} の電位は、シフ

ト後の電位を維持する。

[0039] このように、図 7 の C S ドライバのフリップフロップは、ゲートドライバの前段（自段の直前の段）の出力端がアクティブになったときの第 1 C S 極性信号の反転信号をラッチし、その後、ゲートドライバの次段（自段の直後の段）の出力端がアクティブになったときの第 2 C S 極性信号の反転信号をラッチする。そして、第 1 および第 2 C S 極性信号それぞれが 1 H 反転で、かつ両者が逆位相であるため、ゲートドライバの前段の出力端がアクティブになったときの第 1 C S 極性信号の反転信号と、後段の出力端がアクティブになったときの第 2 C S 極性信号の反転信号とが逆極性となる。したがって、画素への書き込みの前後で、該画素の画素電極と容量を形成する保持容量配線の電位が反転し、図 7 のような簡易な構成で C C 駆動が実現される。さらに、2 回のラッチを行うことで、最初のラッチ前における保持容量配線の電位（H または L）とは関係なく、該保持容量配線の電位を画素への書き込み前後で反転させることができるため、電源投入後の最初のフレーム（このフレーム開始時に C S ドライバが初期化され、全段の出力端が第 2 C S 電位（V L）とされる）でも画面の乱れがほとんどみられない。また、図 9 では、ソースドライバ 4 に出力されるソース極性信号が、P O L 1 に供給される第 1 C S 極性信号と同位相となるため、両者を共通化することも可能である。

[0040] なお、図 7 の C S ドライバ 6 を含む液晶表示装置 1 では、図 10 に示すように逆方向走査が行われる。この場合、ソースドライバ 4 に出力されるソース極性信号が、P O L 2 に供給される第 2 C S 極性信号と同位相となるため、両者を共通化することも可能である。

[0041] 図 11 は、電源投入後の最初のフレームでの図 7 の C S ドライバ 6 の初期化動作を示すタイミングチャートである。同図に示されるように、初期化時には、ゲートドライバの全段がアクティブ「H」とされるので（後述）、第 1 および第 2 C S 極性信号を同位相（それぞれを「し」）に固定しておけば、C S ドライバの全段の出力端を V L に固定することができる。なお、初期

化時には、図 8 のフリップフロップの X 端子および Y 端子それぞれに 「H」が入力され、アナログスイッチ 11・12 のみ ON となり、QB は 「H」 となっている。そして、初期化が終了し、アナログスイッチ 11・12 が OFF し、アナログスイッチ 13・14 が ON しても、QB には 「H」が維持される。

[0042] 図 2 の CS ドライバ 6 でフリップフロップを図 4 のように構成した場合、初期化時に、図 4 のフリップフロップの X 端子に 「L」を入力し (アナログスイッチ 11・12 のみ ON)、QB を 「H」としても、初期化が終了すると、フリップフロップ内に貫通電流が生じて QB に 「H」が維持されない (QB の出力が確定しない) ことがありうる。そこで、図 4 フリップフロップに、図 12 のように Y 端子を設け、X 端子に第 1 CS 極性信号が入力されるとともに、Y 端子に第 2 CS 極性信号が入力される構成とし、CS ドライバ 6 を図 7 のように構成することもできる。この場合には、図 13 に示すように、初期化時には、第 1 および第 2 CS 極性信号を逆位相 (第 1 CS 極性信号を 「L」に、第 2 CS 極性信号を 「H」) に固定し、初期化終了後は、第 1 および第 2 CS 極性信号を同位相とする。こうすれば、初期化時に、CS ドライバの全段の出力端を VL に固定することができる。なお、初期化時には、図 12 のフリップフロップの X 端子に 「L」が入力され、Y 端子に 「H」が入力され、アナログスイッチ 11・12 のみ ON となり、QB は 「H」 となっている。そして、初期化が終了し、アナログスイッチ 11・12 が OFF し、アナログスイッチ 13・14 が ON しても、QB には 「H」が維持される。

[0043] CS ドライバ 6 のさらに他の構成を図 14 に示す。図 14 の CS ドライバ 6 は、段状に接続された複数の単位回路 ($UC_{n-1} \cdot UC_n \cdot UC_{n+1}$) と、CS 極性信号ライン POL と、第 1 および第 2 CS 電位供給ライン $CS_H \cdot CS_L$ とを備え、単位回路 UC_{n-1} は、フリップフロップ F_{n-1} と、2 個のインバータ $i_{b_{n-1}} \cdot i_{B_{n-1}}$ と、出力端 U_{n-1} とを含み、単位回路 UC_n は、フリップフロップ F_n と、2 個のインバータ $i_{b_n} \cdot i_{B_n}$ とを含む。

$i B_n$ と、出力端 U_n とを含み、単位回路 $U C_{n+1}$ は、フリップフロップ F_{n+1} と、2 個のインバータ $i b_{n+1} \cdot i B_{n+1}$ と、出力端 U_{n+1} とを含む。

[0044] 図 15 は、フリップフロップ F_j ($j = n-1 \cdot n \cdot n+1$) の具体的回路構成である。同図に示されるように、フリップフロップ F_j は、3 つの入力端 ($A \cdot C \cdot X$) と、2 個の出力端 ($Q \cdot Q_B$) と、4 つのアナログスイッチ $1_1 \sim 1_4$ と、4 つのインバータ $2_1 - 2_3 - 3_1 \cdot 3_2$ とを含み、A 端子がアナログスイッチ 1_1 の N 端子とアナログスイッチ 1_3 の P 端子とインバータ 3_1 の入力端子とに接続され、インバータ 3_1 の出力端子がアナログスイッチ 1_1 の P 端子とアナログスイッチ 1_3 の N 端子とに接続され、C 端子がアナログスイッチ 1_2 の N 端子とアナログスイッチ 1_4 の P 端子とインバータ 3_2 の入力端子とに接続され、インバータ 3_2 の出力端子がアナログスイッチ 1_2 の P 端子とアナログスイッチ 1_4 の N 端子とに接続され、X 端子が、アナログスイッチ 1_1 を介してインバータ 2_1 の入力端子に接続されるとともに、アナログスイッチ 1_2 を介してインバータ 2_3 の入力端子に接続され、インバータ 2_1 の出力端子が、アナログスイッチ 1_4 を介してインバータ 2_3 の入力端子に接続され、インバータ 2_3 の出力端子が、アナログスイッチ 1_3 を介してインバータ 2_1 の入力端子に接続され、Q 端子がインバータ 2_1 の入力端子に接続され、Q_B 端子がインバータ 2_1 の出力端子に接続され、アナログスイッチ $1_1 \cdot 1_2$ およびインバータ $3_1 \cdot 3_2$ がゲート回路 G C を構成し、アナログスイッチ $1_3 \cdot 1_4$ およびインバータ $2_1 \cdot 2_3$ がラッチ回路 L C を構成している。

[0045] 図 14 に戻って、自段である j 段 ($j = \eta-1 \cdot \eta \cdot \eta+1$) の単位回路 $U C_j$ については以下のとおりである。すなわち、ゲートドライバ 5 の j 段 (自段) の出力端 0_j は、j-1 段 (前段) のフリップフロップ F_{n-1} の C 端子と、j+1 段 (後段) のフリップフロップ F_{n+1} の A 端子とに接続される。そして、フリップフロップ F_j は、A 端子が、ゲートドライバの j-1 段 (前段) の出力端 0_{j-1} に接続され、C 端子が、ゲートドライバの

$j + 1$ 段 (後段) の出力端 $0 j + 1$ に接続され、X 端子が、CS 極性信号ライン POL に接続され、QB 端子が、 j 段のインバータ $i B j$ を介して単位回路 UC j の出力端 $U j$ に接続されている。すなわち、この単位回路 UC j では、フリップフロップ F j の出力端 QB が H (非アクティブ) のときに出力端 $U j$ から電位 $V L$ (V_{0} 側の $\odot 3$ 電位) が出力され、出力端 QB が L (アクティブ) のときに出力端 $U j$ から電位 $V H$ (V_{1} 側の $\odot 3$ 電位) が出力される。

[0046] なお、図 14 の CS ドライバ 6 を含む液晶表示装置 1 の駆動方法は、図 5・図 6 に示すとおりである。図 14 の構成によれば、CS ドライバ内の配線数を削減することができる。

[0047] 図 14 の CS ドライバ 6 のフリップフロップを図 16 のように構成することもできる。図 16 のフリップフロップ F j ($j = n - 1 \cdot n \cdot n + 1$) は、3 つの入力端 (A・C・X) と、2 個の出力端 (Q・QB) と、2 つの P チャネル トランジスタ 33・34 と、2 つの N チャネル トランジスタ 31・32 と、2 つのインバータ 21・24 とを含み、A 端子が N チャネル トランジスタ 31 のゲート端子と P チャネル トランジスタ 33 のゲート端子とに接続され、C 端子が N チャネル トランジスタ 32 のゲート端子と P チャネル トランジスタ 34 のゲート端子とに接続され、X 端子が、N チャネル トランジスタ 31 を介してインバータ 21 の入力端子に接続されるとともに、N チャネル トランジスタ 32 を介してインバータ 24 の入力端子に接続され、インバータ 21 の出力端子が、P チャネル トランジスタ 34 を介してインバータ 24 の入力端子に接続され、インバータ 24 の出力端子が、P チャネル トランジスタ 33 を介してインバータ 21 の入力端子に接続され、Q 端子がインバータ 21 の入力端子に接続され、QB 端子がインバータ 21 の出力端子に接続され、N チャネル トランジスタ 31・32 がゲート回路 GC を構成し、P チャネル トランジスタ 33・34 およびインバータ 21・24 がラッチ回路 LC を構成している。

[0048] 図 16 のフリップフロップを含む図 14 の CS ドライバ 6 では、図 17 に

示すように、例えばフリップフロップ F_n の出力端 Q_B の電位は、ゲートドライバの出力端 0_{n+1} のアクティブ化に伴って、立ち下がるものの「し」までは落ちず（閾値ずれ）、ゲートドライバの出力端 0_{n+1} が非アクティブ化してフリップフロップ F_n にフィードバックがかかることで、「し」まで低下する。ゲートパルスの振幅が十分に大きい場合や、フリップフロップの出力が閾値ずれしても問題ない場合には、図16のようにして素子数を低減させることができる。

[0049] 図16のフリップフロップを図18のように構成することもできる。図18のフリップフロップ F_j ($j = n - 1 \cdot n \cdot n + 1$) は、3つの入力端 ($A \cdot C \cdot X$) と、2つの出力端 ($Q \cdot Q_B$) と、2つのPチャネルトランジスタ $3_3 \cdot 3_4$ と、2つのNチャネルトランジスタ $3_1 \cdot 3_2$ と、2つのインバータ $2_1 \cdot 2_2$ とを含み、A端子がNチャネルトランジスタ 3_1 のゲート端子とPチャネルトランジスタ 3_3 のゲート端子とに接続され、C端子がNチャネルトランジスタ 3_2 のゲート端子とPチャネルトランジスタ 3_4 のゲート端子とに接続され、X端子が、Nチャネルトランジスタ 3_1 を介してインバータ 2_1 の入力端子に接続されるとともに、Nチャネルトランジスタ 3_2 を介してインバータ 2_1 の入力端子に接続され、インバータ 2_1 の出力端子がインバータ 2_2 の入力端子に接続され、インバータ 2_2 の出力端子がPチャネルトランジスタ 3_4 を介してノードKに接続され、ノードベが、Pチャネルトランジスタ 3_3 を介してインバータ 2_1 の入力端子に接続され、Q端子がインバータ 2_1 の入力端子に接続され、 Q_B 端子がインバータ 2_1 の出力端子に接続され、Nチャネルトランジスタ $3_1 \cdot 3_2$ がゲート回路GCを構成し、Pチャネルトランジスタ $3_3 \cdot 3_4$ およびインバータ $2_1 - 2_2$ がラッチ回路LCを構成している。

[0050] 上記のCSドライバでは、CS極性信号（あるいは第1および第2CS極性信号）を1H反転とし、画素へ書き込みも1ライン反転としているがこれに限定されない。図7のCSドライバ6（フリップフロップは、例えば図8の構成とする）を図19のように駆動することもできる。すなわち、第1C

S極性信号 (P0L1の信号) および第2CS極性信号 (P0L2の信号) それぞれを2H反転とするとともに、両者を同位相とし、画素へ書き込みも2ライン反転 (2行ごとに書き込み電位の極性が反転する駆動) とする。この場合はソースドライバ4に出力されるソース極性信号SPも2H反転とし、例えば、P0L1に供給される第1CS極性信号、およびP0L2に供給される第2CS極性信号それぞれを、ソース極性信号SPに対して1H進めた位相とすればよい。

[0051] 図20は、図1のゲートドライバ5の構成を示す回路図である。図20に示すように、本ゲートドライバは、INITB (反転初期化信号) ラインと、GCK1B (第1反転ゲートクロック、同期信号) ラインと、GCK2B (第2反転ゲートクロック、同期信号) ラインと、UD1 (シフト方向信号1) ラインと、UD2 (シフト方向信号2) ラインと、初段〜末段からなるシフトレジスタとを備える。

[0052] なお、GCK1BおよびGCK2Bは、互いにアクティブ期間 (Low期間) が重ならない2つのクロック信号である。また、INITBは、初期化時に「Low (アクティブ)」となり、それ以外は「High」となる信号である。また、UD1は順方向シフト時に「High」、逆方向シフト時に「Low」となる信号であり、UD2は順方向シフト時に「Low」、逆方向シフト時に「High」となる信号である。

[0053] 例えば、シフトレジスタの第n段 (nは1~mの整数) には、フリップフロップ f_n と、2つのアナログスイッチ $SW_n \cdot sw_n$ と、インバータと、出力端 0_n とが含まれる。

[0054] フリップフロップ f_n は、入力側のa~d端子およびx・y端子と、出力側となるq端子およびqb端子とを備える。

[0055] 図21に、フリップフロップ f_n の具体的回路構成を示す。同図に示されるように、フリップフロップ f_n は、アナログスイッチ111・112と、インバータ121・122とを備え、b端子がアナログスイッチ111のP端子に接続され、a端子がアナログスイッチ111のN端子に接続され、d

端子がアナログスイッチ 112 の P 端子に接続され、c 端子がアナログスイッチ 112 の N 端子に接続され、x 端子がアナログスイッチ 111 を介してインバータ 121 の入力端子に接続され、y 端子がアナログスイッチ 112 を介してインバータ 121 の入力端子に接続されている。インバータ 121 の出力端子はインバータ 122 の入力端子に接続され、インバータ 122 の出力端子がアナログスイッチ 114 を介してノード k に接続され、ノード k がアナログスイッチ 113 を介してインバータ 121 の入力端子に接続される。

[0056] なお、図 20 のゲートドライバ 5 の駆動方法は、図 22（順方向）および図 23（逆方向）並びに図 24（初期化時）に示すとおりである。

[0057] 実施の形態 2)

図 25 は、本液晶表示装置 1 の別構成を示すブロック図である。図 25 の液晶表示装置 1 は、表示制御回路 2、液晶パネル 3、ソースドライバ 4、ゲートドライバ 5、および COM ドライバ 66 を備える。液晶パネル 3 には、走査信号線 (G_{n-1} 、 G_n 、 G_{n+1})、データ信号線 (S_i)、画素 ($P_{X\eta-1}$ 、 $P_{X\eta}$ 、 $P_{X\eta+1}$)、および共通電極 (COM_{n-1} 、 COM_n 、 COM_{n+1}) が設けられ、例えば、画素 P_{Xn} に設けられた画素電極は、TFT を介して走査信号線 G_n およびデータ信号線 S_i に接続され、さらに、共通電極 COM_n と液晶容量を形成している。そして、共通電極 COM_n は、COM ドライバ 66 の n 段の出力端 Z_n に接続され、走査信号線 G_n は、ゲートドライバ 5 の n 段の出力端 O_n に接続されている。ここで、走査信号線を駆動するゲートドライバ 5（双方向シフトが可能）は、例えば、出力端 O_n から n 段の走査信号を出力する。データ信号線を駆動するソースドライバ 4 は、 n 水平走査期間（ n は自然数）ごとに極性が反転するデータ信号を出力する。共通電極を駆動する COM ドライバ 66 は、例えば、出力端 Z_n から n 段の駆動信号を出力する。また、表示制御回路 2 はソースドライバ 4、ゲートドライバ 5、および COM ドライバ 66 を制御する。なお、図 25 のように（液晶パネルの）表示部の一方の側にゲートドライバ 5 お

よびCOMドライバ66を配置してもよいし、表示部の一方の側にゲートドライバ5を配し、他方の側にCOMドライバ66を配する（ゲートドライバ5とCOMドライバ66とを、それらの間に液晶パネルの表示部が位置するように設ける）ことも可能である。また、ゲートドライバ5およびCOMドライバ66の少なくとも一方が、液晶パネルに一体形成（モノリシックに形成）されていてもよい。

[0058] 図25のCOMドライバ66の構成は図26のとおりである。すなわち、COMドライバ66は、段状に接続された複数の単位回路（ $ZC_{n-1} \cdot ZC_n \cdot ZC_{n+1}$ ）と、COM極性信号ラインPOLと、第1および第2COM電位供給ラインCOMH・COMLとを備え、単位回路 ZC_{n-1} は、フリップフロップ F_{n-1} と、インバータ iB_{n-1} と、出力端 Z_{n-1} とを含み、単位回路 ZC_n は、フリップフロップ F_n と、インバータ iB_n と、出力端 Z_n とを含み、単位回路 ZC_{n+1} は、フリップフロップ F_{n+1} と、インバータ iB_{n+1} と、出力端 Z_{n+1} とを含む。なお、インバータ iB_j （ $j = n-1 - n - n+1$ ）の具体的回路構成は図3のとおりである（ただし、 $v_H > v_L$ ）。

[0059] 図27は、フリップフロップ F_j （ $j = n-1 \cdot n \cdot n+1$ ）の具体的回路構成である。同図に示されるように、フリップフロップ F_j は、3つの入力端（A・C・X）と、2つの出力端（Q・QB）と、2つのアナログスイッチ51・52と、2つのインバータ61・63と1つのノア回路60とを含み、A端子がノア回路60の一方の入力端子に接続され、C端子がノア回路60の他方の入力端子に接続され、X端子が、アナログスイッチ51を介してインバータ61の入力端子に接続され、ノア回路60の出力端子が、アナログスイッチ51のP端子とインバータ63の入力端子とアナログスイッチ52のN端子とに接続され、インバータ63の出力端子がアナログスイッチ51のN端子とアナログスイッチ52のP端子とに接続され、インバータ61の出力端子がインバータ62の入力端子に接続され、インバータ62の出力端子が、アナログスイッチ52を介してインバータ61の入力端子に接続

され、Q B 端子がインバータ 6 1 の出力端子に接続され、ノア回路 6 0 およびインバータ 6 3 並びにアナログスイッチ 5 1 がゲート回路 G C を構成し、アナログスイッチ 5 2 およびインバータ 6 1 ・ 6 2 がラッチ回路 L C を構成している。

[0060] 図 2 6 に戻って、自段である j 段 ($j = \eta - 1 \cdot \eta \cdot \eta + 1$) の単位回路 Z C j については以下のとおりである。すなわち、ゲートドライバ 5 の j 段 (自段) の出力端 0 j は、 $j - 1$ 段 (前段) のフリップフロップ F $n - 1$ の C 端子と、 $j + 1$ 段 (後段) のフリップフロップ F $n + 1$ の A 端子とに接続されている。そして、フリップフロップ F j は、A 端子が、ゲートドライバの $j - 1$ 段 (前段) の出力端 0 $j - 1$ に接続され、C 端子が、ゲートドライバの $j + 1$ 段 (後段) の出力端 0 $j + 1$ に接続され、X 端子が、COM 極性信号ライン P O L に接続され、Q B 端子が、 j 段のインバータ $i B j$ を介して単位回路 Z C j の出力端 Z j に接続されている。すなわち、この単位回路 Z C j では、フリップフロップ F j の出力端 Q B が H (非アクティブ) のときに出力端 Z j から電位 v_L (L o w 側の C O M 電位) が出力され、出力端 0 B が $\bar{1}$ (アクティブ) のときに出力端 Z j から電位 v_H (H i g h 側の C O M 電位) が出力される。

[0061] 図 2 8 は、図 2 6 の C O M ドライバ 6 6 を含む液晶表示装置 1 の駆動方法 (順方向走査) を示すタイミングチャートである。なお、C O M 極性信号ライン P O L には、一水平走査期間 (1 H) ごとに極性が反転する C O M 極性信号が供給される。以下では、 n 段を基準段 (自段) とする。

[0062] フレーム F 1 では、ゲートドライバ 5 の $n - 1$ 段 (前段) の出力端 0 $n - 1$ がアクティブになると、前段の画素 P X $n - 1$ にマイナスの信号電位が書き込まれる。このとき、フリップフロップ F n は、A 端子が「H」、C 端子が「 $\bar{1}$ 」、ノア回路 6 0 の出力端子が「 $\bar{1}$ 」となり (アナログスイッチ 5 1 のみ O N)、出力端 Q B に C O M 極性信号の反転信号 (「H」) が出力されるため、出力端 Z n の電位は v_L (L o w 側の C O M 電位) に反転する。そして、出力端 0 $n - 1$ が非アクティブになると、フリップフロップ F n は、

A端子が「 $\bar{L}$ 」、C端子が「 $\bar{L}$ 」、ノア回路60の出力端子が「H」となり（アナログスイッチ52のみON）、ラッチ状態となる（出力端QBは「H」のまま）。よって、出力端Znの電位は V_L のままである。

[0063] 次に、ゲートドライバ5のn段の出力端Onがアクティブになると、自段の画素PXnにプラスの信号電位が書き込まれる。このとき、フリップフロップFnは、ラッチ状態が維持され出力端Zn（共通電極COMn）の電位は V_L であることから、画素PXnには大きな電圧がかけられる。また、フリップフロップFn+1は、A端子が「H」、C端子が「 $\bar{L}$ 」、ノア回路60の出力端子が「 $\bar{L}$ 」となり（アナログスイッチ51のみON）、出力端QBにCOM極性信号の反転信号（「 $\bar{L}$ 」）が出力されるため、出力端Zn+1の電位は V_H （High側のCOM電位）に反転する。そして、出力端Onが非アクティブになると、フリップフロップFn+1は、A端子が「 $\bar{L}$ 」、C端子が「 $\bar{L}$ 」、ノア回路60の出力端子が「H」となり（アナログスイッチ52のみON）、ラッチ状態（出力端QBは「 $\bar{L}$ 」のまま）となる。よって、出力端Zn+1の電位は V_H のままである。

[0064] 次に、ゲートドライバ5のn+1段（次段）の出力端On+1がアクティブになると、次段の画素PXn+1にマイナスの信号電位が書き込まれる。このとき、フリップフロップFn+1は、ラッチ状態が維持され出力端Zn+1（共通電極COMn+1）の電位は V_H であることから、画素PXn+1には大きな電圧がかけられる。また、フリップフロップFnは、A端子が「 $\bar{L}$ 」、C端子が「H」、ノア回路60の出力端子が「 $\bar{L}$ 」となり（アナログスイッチ51のみON）、出力端QBにCOM極性信号の反転信号（「H」）が出力されるため、出力端Znの電位は V_L （Low側のCOM電位）のままである。そして、出力端On+1が非アクティブになると、フリップフロップFnは、A端子が「 $\bar{L}$ 」、C端子が「 $\bar{L}$ 」、ノア回路60の出力端子が「H」となり（アナログスイッチ52のみON）、ラッチ状態（出力端QBは「 $\bar{L}$ 」のまま）となる。よって、出力端Znの電位は V_L のままである。

[0065] このように、図 26 の COM ドライバのフリップフロップは、ゲートドライバの前段（自段の直前の段）の出力端がアクティブになったときの COM 極性信号の反転信号をラッチし、その後、ゲートドライバの次段（自段の直後の段）の出力端がアクティブになったときの COM 極性信号の反転信号をラッチする。そして、COM 極性信号が 1H 反転であるため、ゲートドライバの前段の出力端がアクティブになったときの COM 極性信号の反転信号と、後段の出力端がアクティブになったときの COM 極性信号の反転信号とが同極性となる。これにより、図 26 のような簡易な構成で COM 駆動が実現される。なお、COM ドライバ 66 を含む液晶表示装置 1 では、図 29 に示すように逆方向走査が行われる。また、図 28・29 では、ソースドライバ 4 に出力されるソース極性信号が、POL に供給される COM 極性信号と同一相であるため、両者を共通化することも可能である。

[0066] なお、各実施の形態で用いられるインバータは、例えば、図 30 のような回路、すなわち、P チャネル トランジスタの一方の導通端子と N チャネル トランジスタの一方の導通端子と出力端子 OUT とが接続され、P チャネル トランジスタの他方の導通端子が High 側電源に接続されるとともに、N チャネル トランジスタの他方の導通端子が Low 側電源に接続され、P チャネル トランジスタの制御端子と N チャネル トランジスタの制御端子と入力端子 IN とが接続された回路にて実現することができる。

[0067] 本信号生成回路では、上記導電体は画素電極と保持容量を形成する保持容量配線であり、上記駆動信号は、画素電極にデータ信号が書き込まれた後に保持容量配線の電位を変動させるものである構成とすることもできる。

[0068] 本信号生成回路では、上記ゲート回路に第 1 および第 2 スイッチが含まれ、自段のフリップフロップについて、第 1 スイッチの制御端子に、自段の前段の走査信号に同期する信号が入力されるとともに、第 2 スイッチの制御端子に、自段の後段の走査信号に同期する信号が入力され、かつ、ラッチ回路に、上記極性信号が第 1 スイッチを介して入力されるとともに、上記極性信号または n 水平走査期間ごとに反転する別の極性信号が第 2 スイッチを介し

て入力される構成とすることもできる。

[0069] 本信号生成回路では、上記極性信号と別の極性信号とが逆位相である構成とすることもできる。

[0070] 本信号生成回路では、全段のフリップフロップの出力をアクティブとする初期化を行い、初期化時における上記極性信号および別の極性信号の位相関係と、通常駆動時における上記極性信号および別の極性信号の位相関係とが異なる構成とすることもできる。

[0071] 本信号生成回路では、上記導電体は上記画素電極と液晶容量を形成する共通電極であり、上記駆動信号は、画素電極にデータ信号が書き込まれる前に共通電極の電位を変動させる構成とすることもできる。

[0072] 本信号生成回路では、上記ゲート回路にスイッチおよび論理回路が含まれ、自段のフリップフロップについて、上記論理回路に、自段の前段の走査信号に同期する信号と自段の後段の走査信号に同期する信号とが入力され、ラッチ回路に、上記極性信号が上記スイッチを介して入力される構成とすることもできる。

[0073] 本信号生成回路では、データ信号の極性反転を規定する信号と、上記極性信号とが共通化されている構成とすることもできる。

[0074] 本信号生成回路では、上記走査信号線駆動回路は順方向走査および逆方向走査が可能である構成とすることもできる。

[0075] 本信号生成回路では、同一の段について、順方向走査時に該段の走査信号がアクティブになるときの上記極性信号の極性と、逆方向走査時に該段の走査信号がアクティブになるときの上記極性信号の極性とが異なる構成とすることもできる。

[0076] 本液晶表示装置は、上記信号生成回路を備えることを特徴とする。

[0077] 本液晶表示装置では、表示部の一方の側に走査信号線駆動回路が設けられ、他方の側に上記信号生成回路が設けられている構成とすることもできる。

[0078] 本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるもの

も本発明の実施の形態に含まれる。

産業上の利用可能性

[0079] 本発明の信号生成回路は、液晶表示装置に好適である。

符号の説明

- [0080] 1 液晶表示装置
- 4 ソースドライバ (データ信号線駆動回路)
- 5 ゲートドライバ (走査信号線駆動回路)
- 6 CSドライバ (信号生成回路)
- 6 6 COMドライバ (信号生成回路)
- F n f n フリツプフロップ
- O n ゲートドライバの出力端
- U n CSドライバの出力端
- Z n COMドライバの出力端
- P O L CS極性信号ライン
- P O L 1 第1CS (COM) 極性信号ライン
- P O L 2 第2CS (COM) 極性信号ライン
- S P ソース極性信号
- I N I T B 反転初期化信号
- U D 1 シフト方向信号 1
- U D 2 シフト方向信号 2

請求の範囲

- [請求項 1] 画素電極を含む画素と、上記画素電極と容量を形成する導電体と、
n 水平走査期間（n は自然数）ごとに極性が反転するデータ信号を出力するデータ信号線駆動回路と、走査信号を出力する走査信号線駆動回路とを含む表示装置に用いられ、上記導電体の駆動信号を生成する信号生成回路であって、
 複数段のフリップフロップを含み、各フリップフロップにはゲート回路とラッチ回路とが設けられ、
 自段のフリップフロップについて、ゲート回路に、自段の前段の走査信号に同期する信号と自段の後段の走査信号に同期する信号とが入力されるとともに、ラッチ回路に、n 水平走査期間ごとに反転する極性信号が上記ゲート回路を介して入力され、
 自段のフリップフロップの出力に応じて自段の駆動信号が生成される信号生成回路。
- [請求項 2] 上記導電体は画素電極と保持容量を形成する保持容量配線であり、
 上記駆動信号は、画素電極にデータ信号が書き込まれた後に保持容量配線の電位を変動させるものである請求項 1 記載の信号生成回路。
- [請求項 3] 上記ゲート回路に第 1 および第 2 スイッチが含まれ、
 自段のフリップフロップについて、第 1 スイッチの制御端子に、自段の前段の走査信号に同期する信号が入力されるとともに、第 2 スイッチの制御端子に、自段の後段の走査信号に同期する信号が入力され、かつ、ラッチ回路に、上記極性信号が第 1 スイッチを介して入力されるとともに、上記極性信号または n 水平走査期間ごとに反転する別の極性信号が第 2 スイッチを介して入力される請求項 2 記載の信号生成回路。
- [請求項 4] 上記極性信号と別の極性信号とが逆位相である請求項 3 記載の信号生成回路。
- [請求項 5] 全段のフリップフロップの出力をアクティブとする初期化を行い、

初期化時における上記極性信号および別の極性信号の位相関係と、通常駆動時における上記極性信号および別の極性信号の位相関係とが異なる請求項 3 記載の信号生成回路。

[請求項 6] 上記導電体は上記画素電極と液晶容量を形成する共通電極であり、上記駆動信号は、画素電極にデータ信号が書き込まれる前に共通電極の電位を変動させるものである請求項 1 記載の信号生成回路。

[請求項 7] 上記ゲート回路にスイッチおよび論理回路が含まれ、自段のフリップフロップについて、上記論理回路に、自段の前段の走査信号に同期する信号と自段の後段の走査信号に同期する信号とが入力され、ラッチ回路に、上記極性信号が上記スイッチを介して入力される請求項 6 記載の信号生成回路。

[請求項 8] データ信号の極性反転を規定する信号と、上記極性信号とが共通化されている請求項 1 記載の信号生成回路。

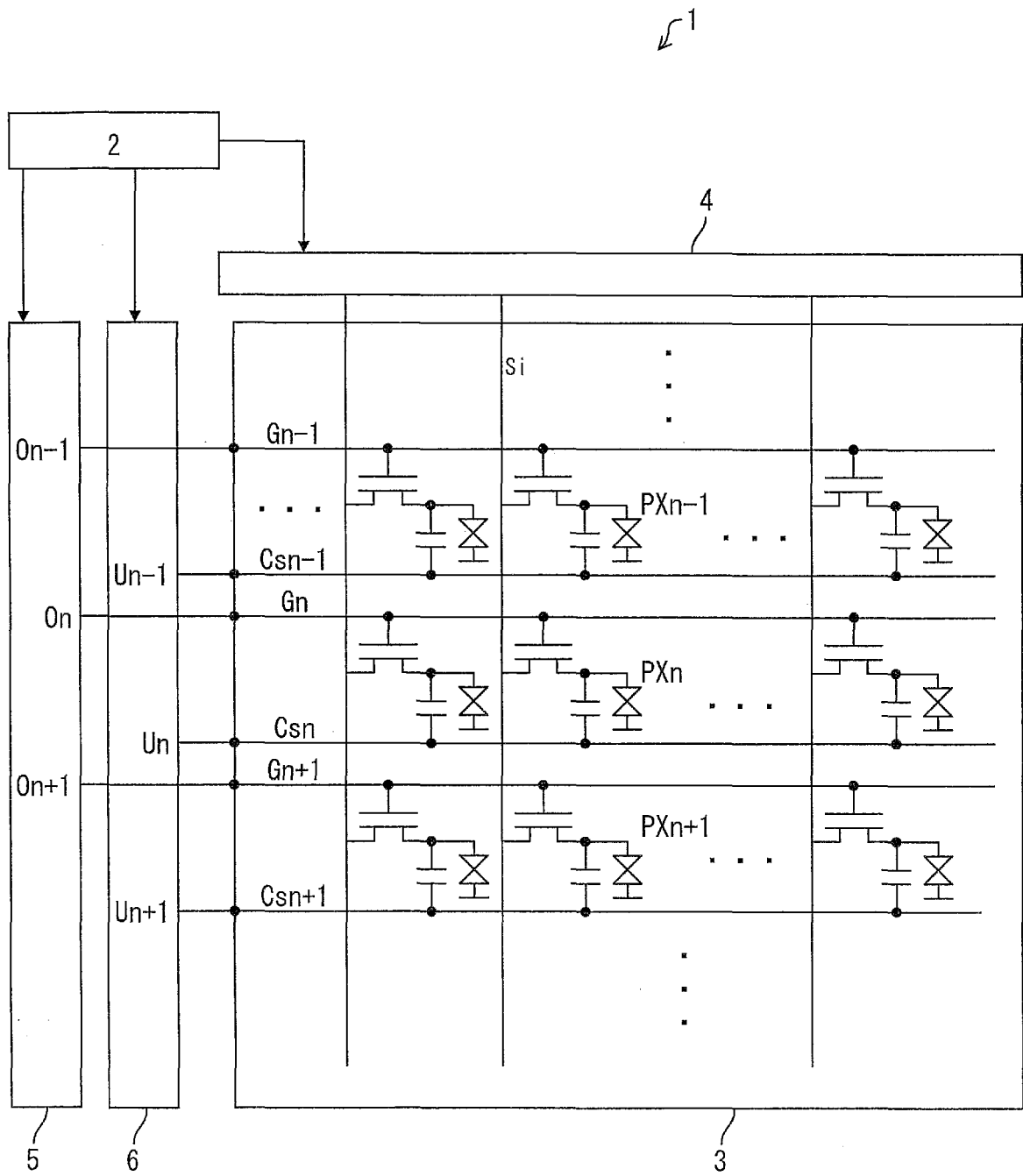
[請求項 9] 上記走査信号線駆動回路は順方向走査および逆方向走査が可能である請求項 1 記載の信号生成回路。

[請求項 10] 同一の段について、順方向走査時に該段の走査信号がアクティブになるときの上記極性信号の極性と、逆方向走査時に該段の走査信号がアクティブになるときの上記極性信号の極性とが異なる請求項 9 記載の信号生成回路。

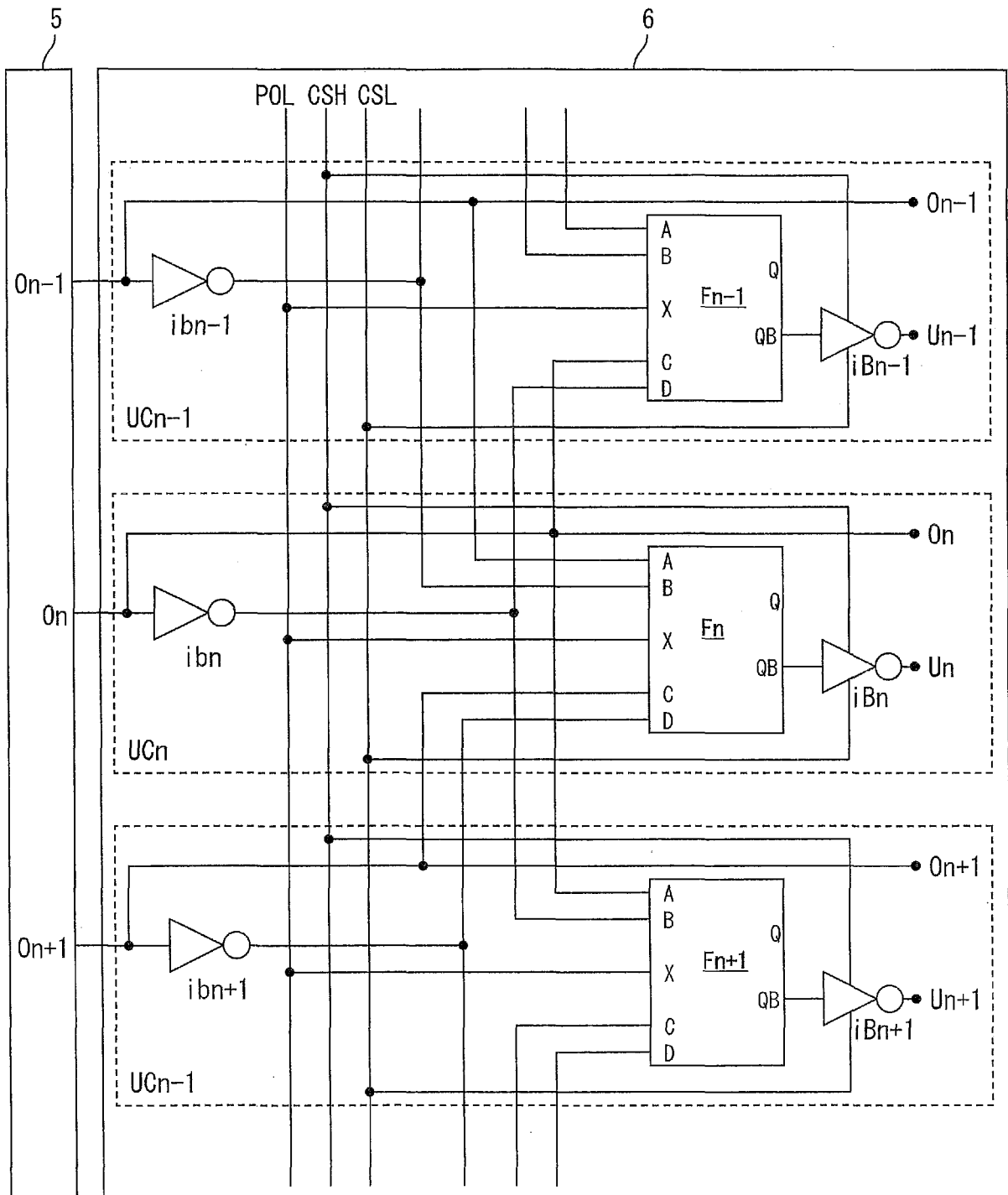
[請求項 11] 請求項 1 ~ 10 のいずれか 1 項に記載の信号生成回路を備えた液晶表示装置。

[請求項 12] 表示部の一方の側に走査信号線駆動回路が設けられ、他方の側に上記信号生成回路が設けられている請求項 11 記載の液晶表示装置。

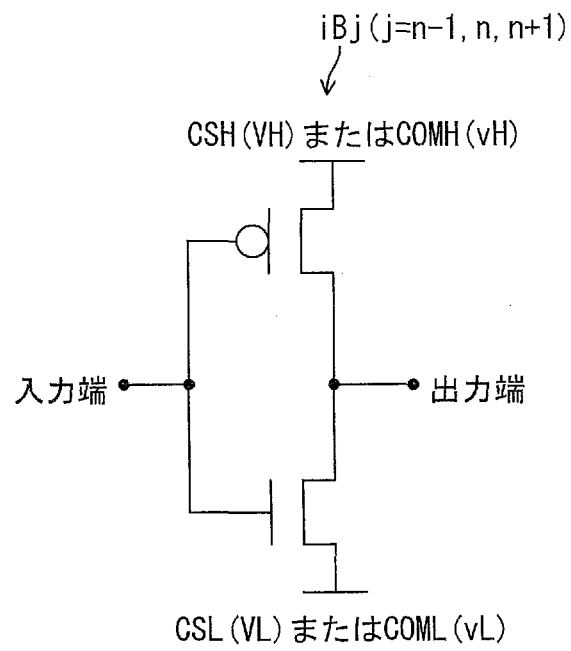
[図1]



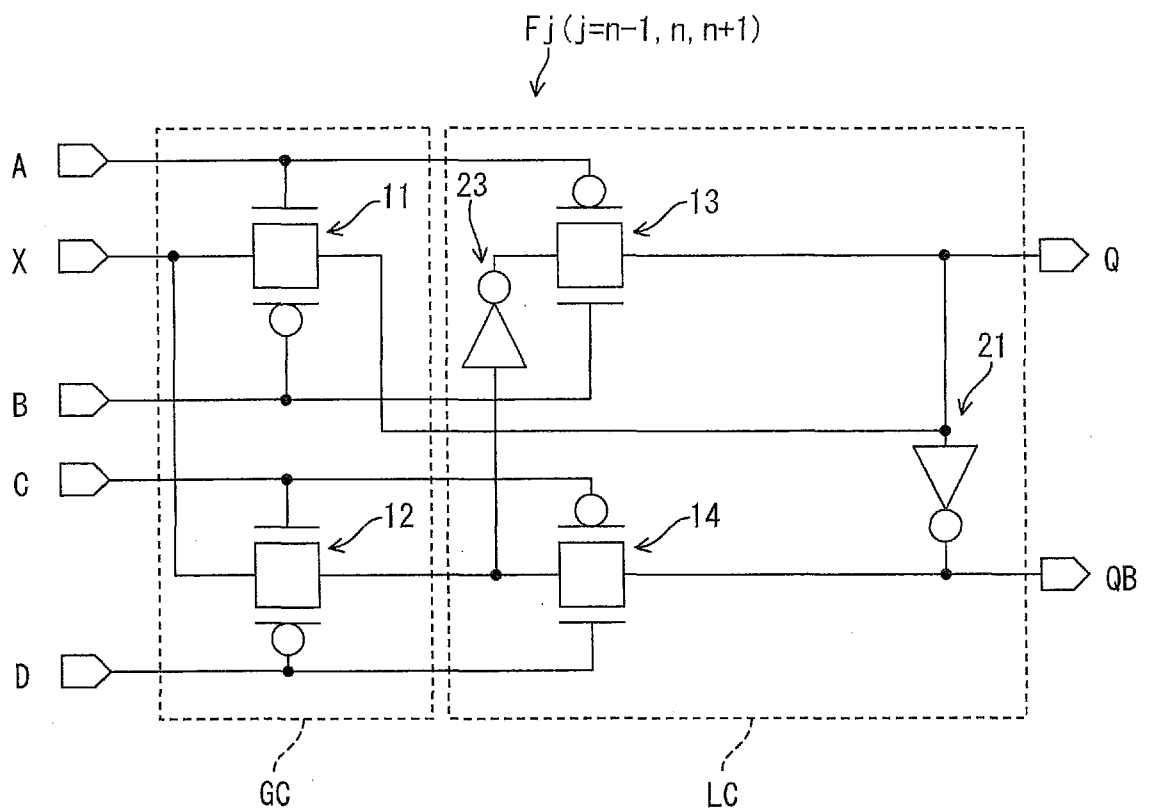
[図2]



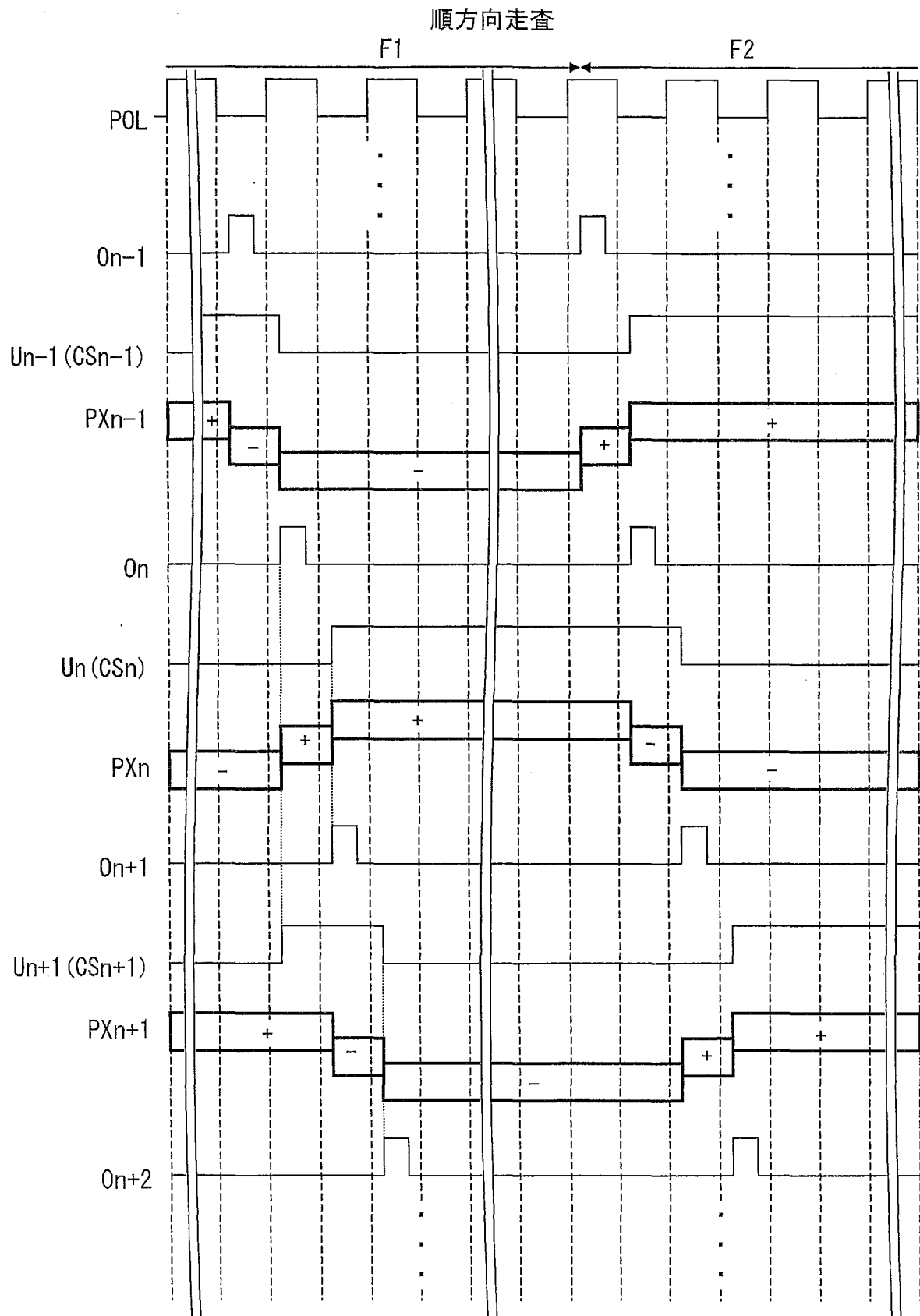
[図3]



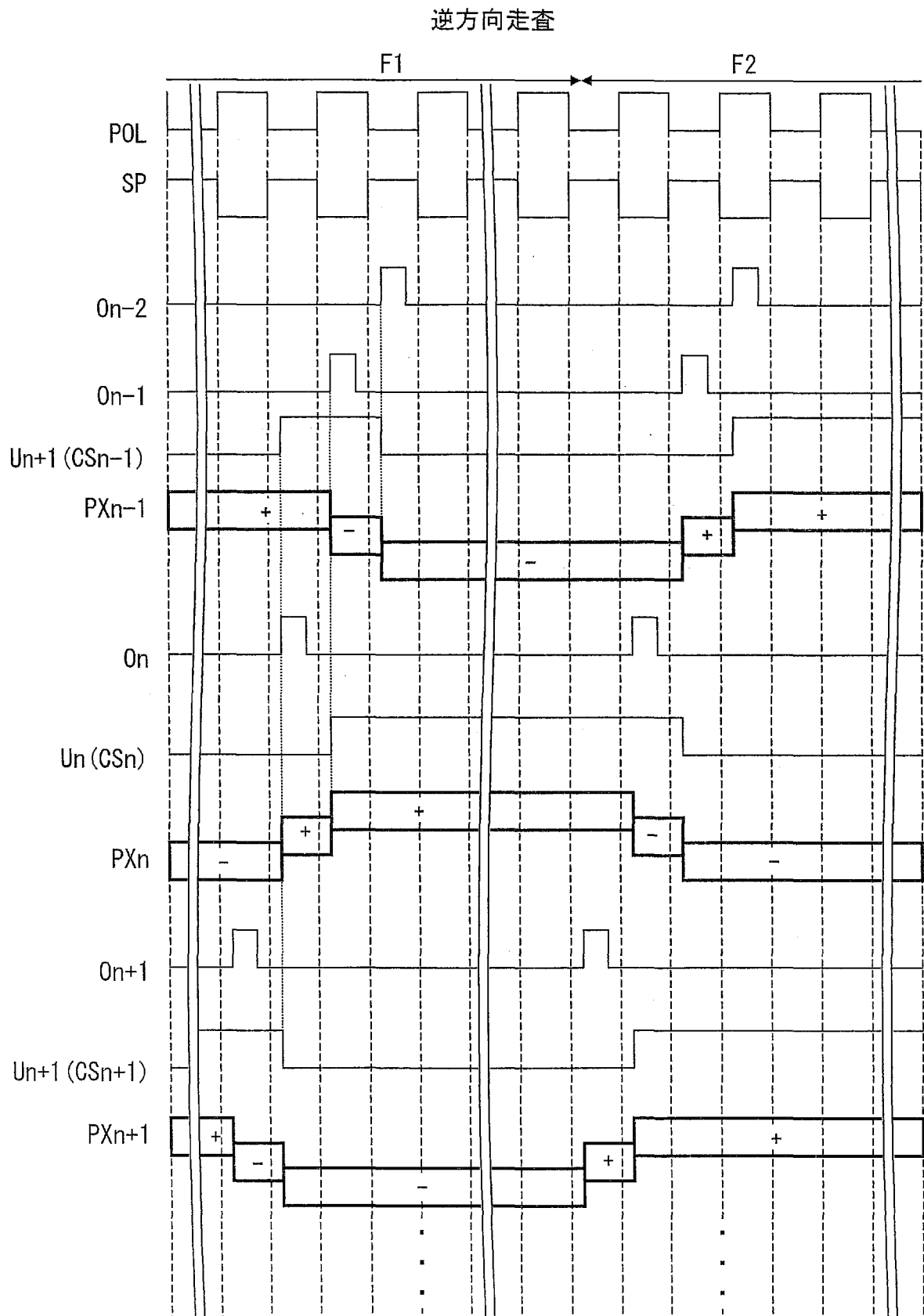
[図4]



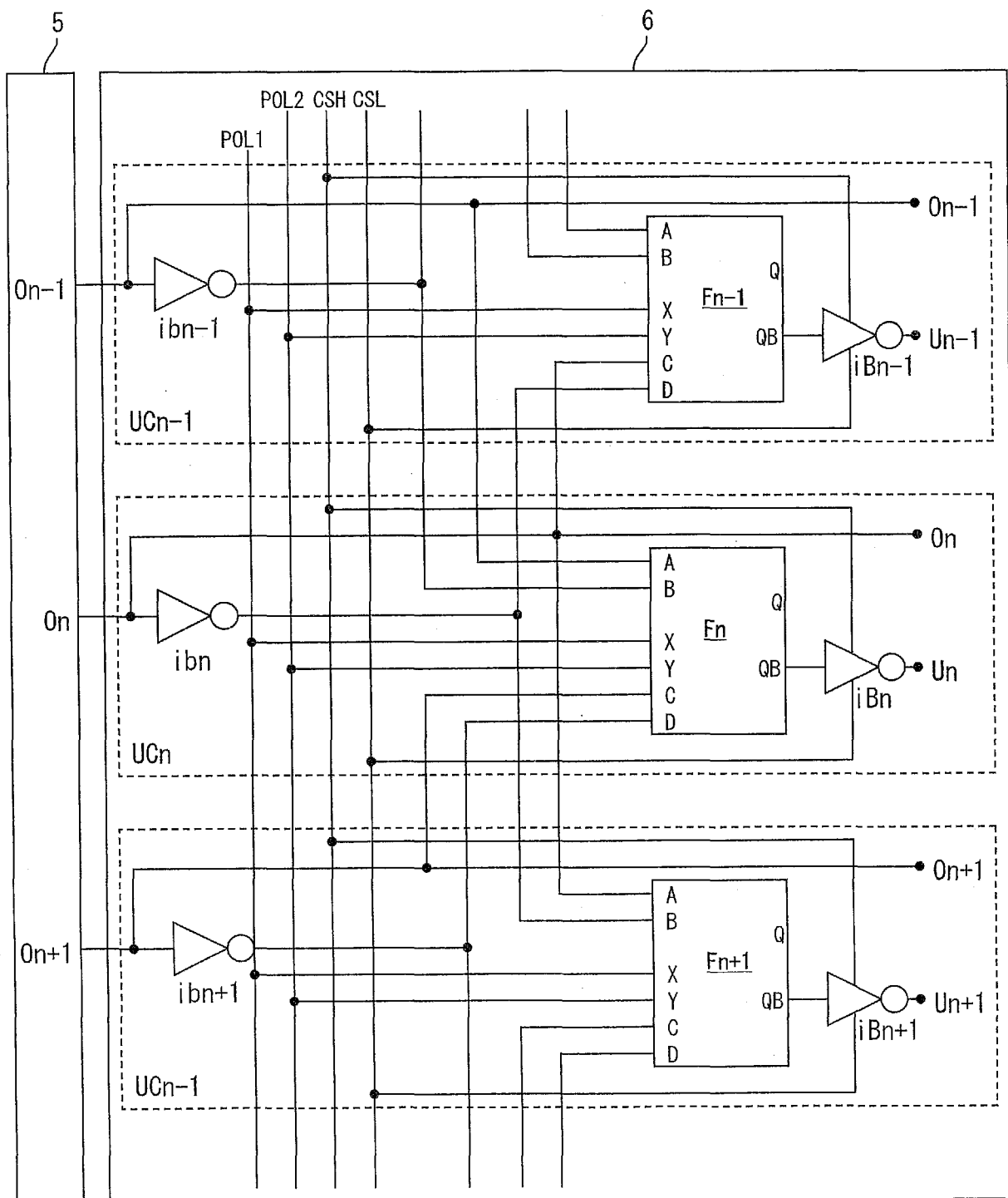
[図5]



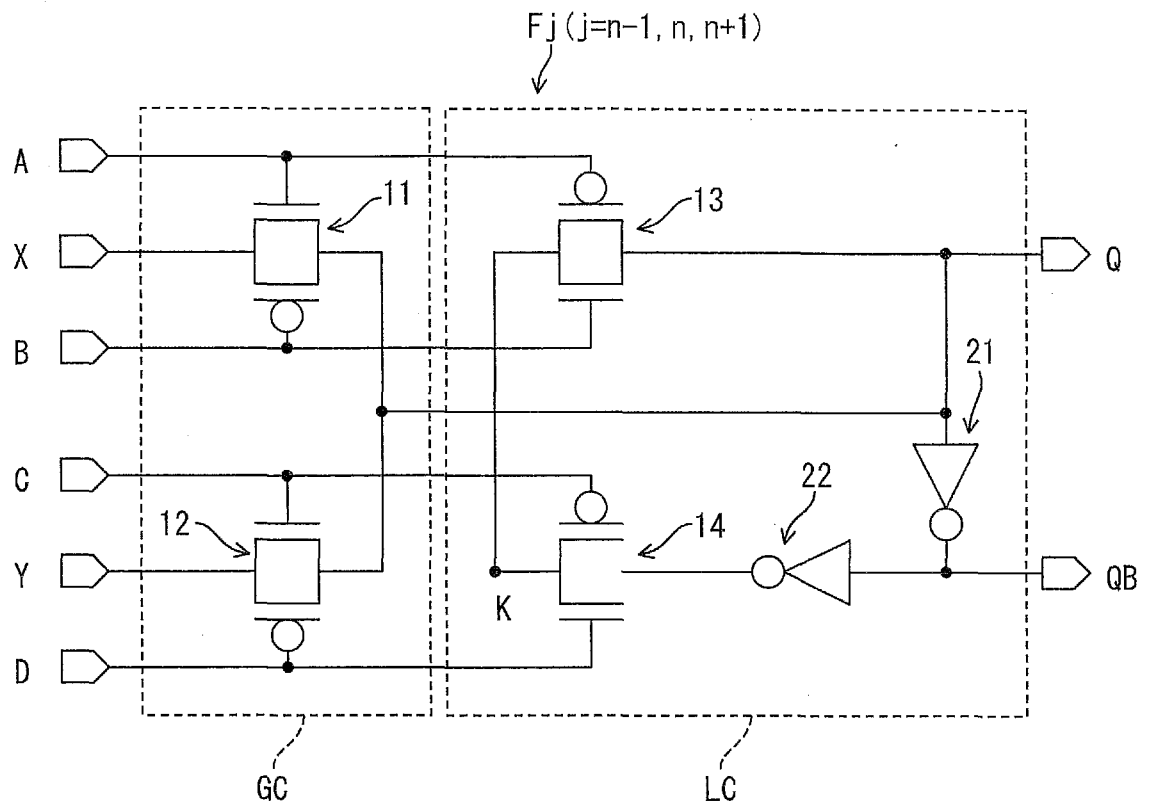
[図6]



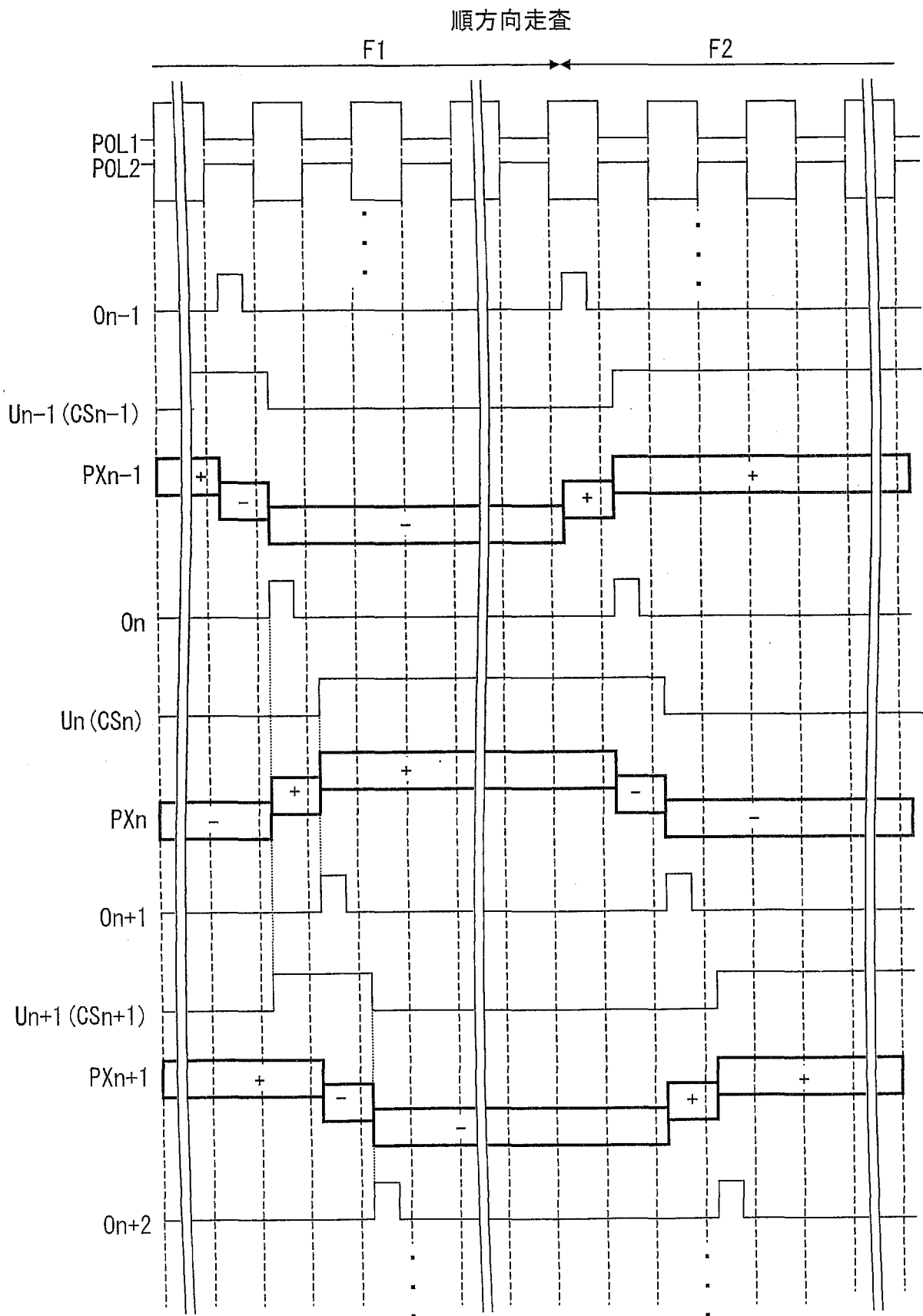
[図7]



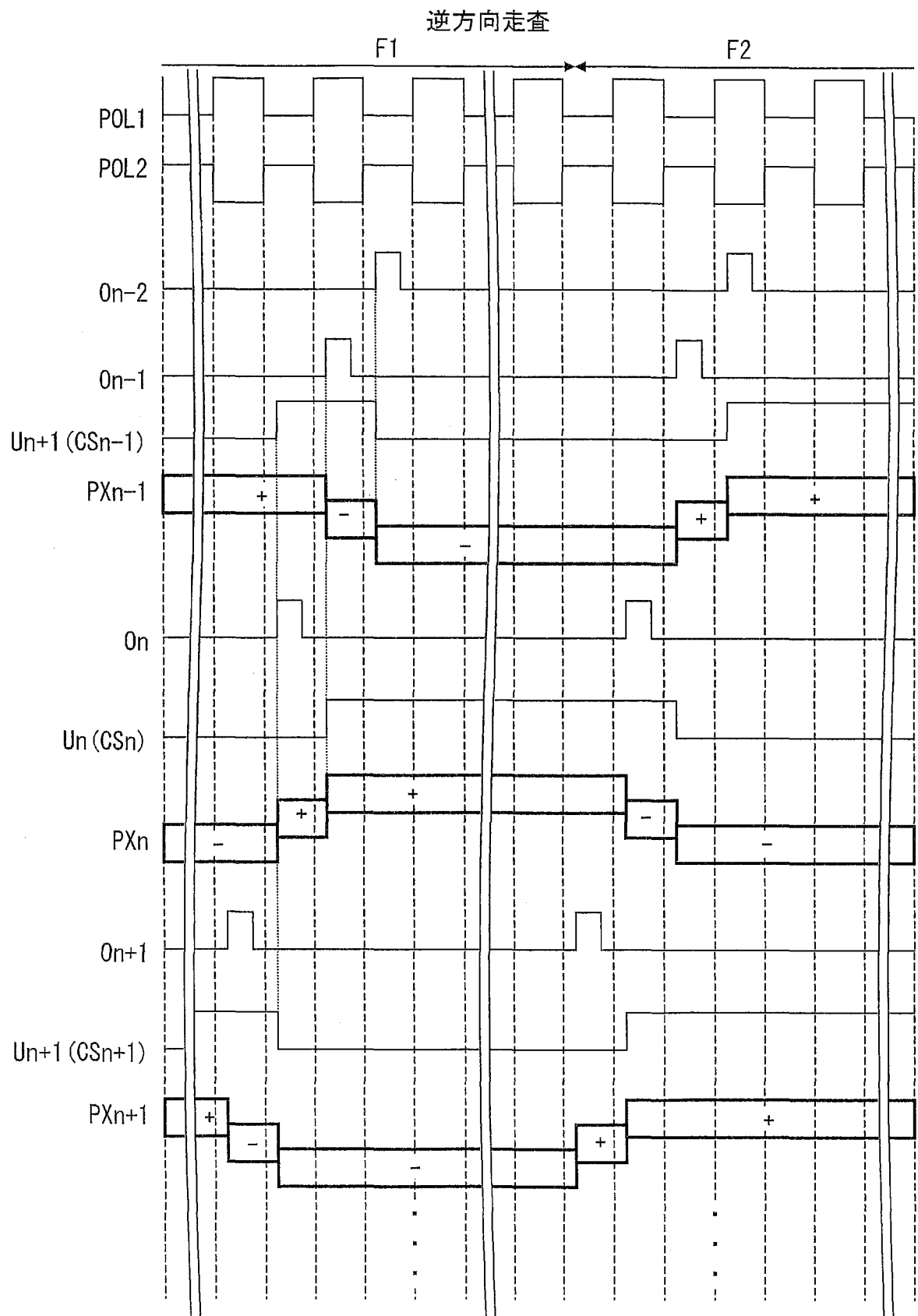
[図8]



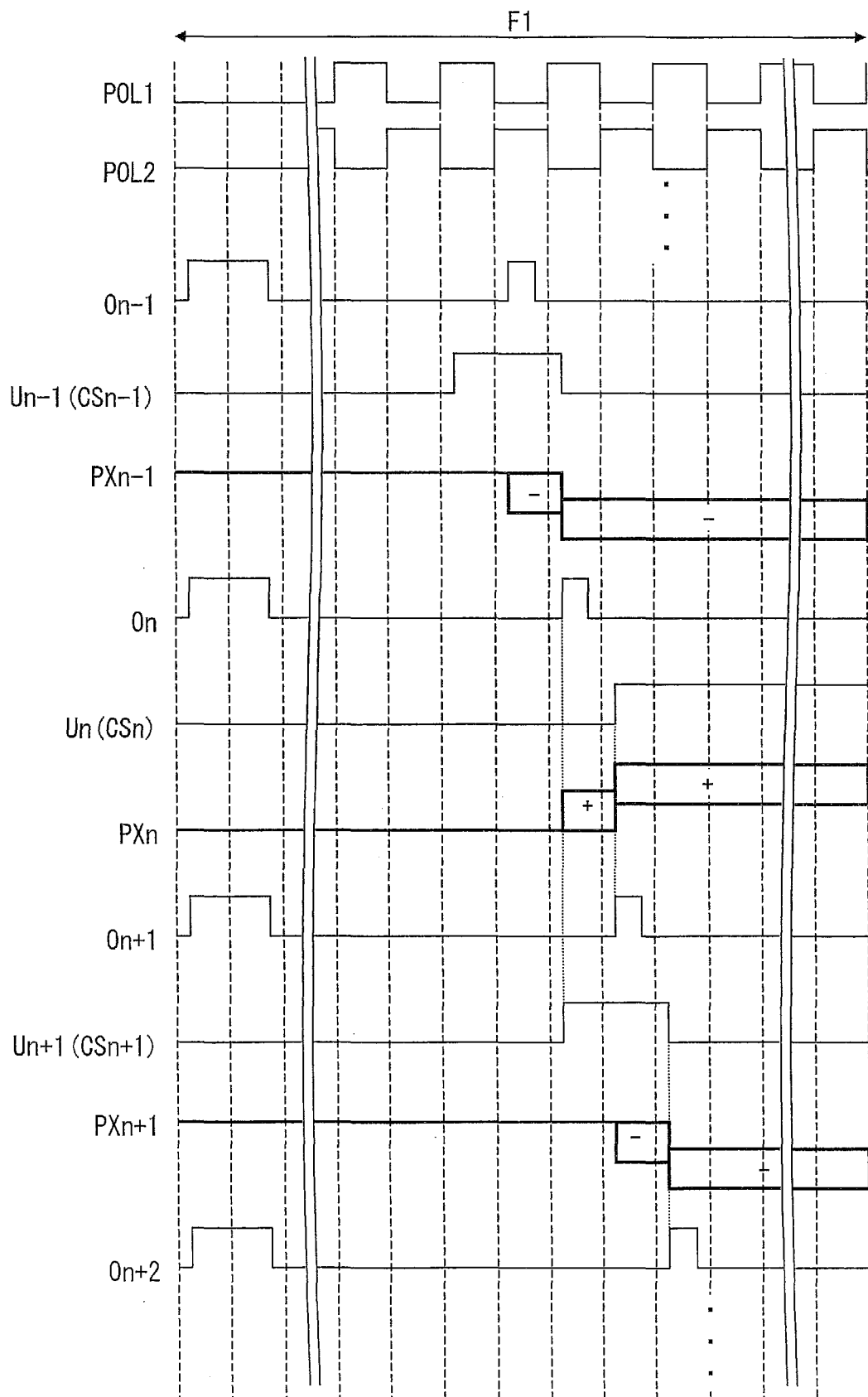
[図9]

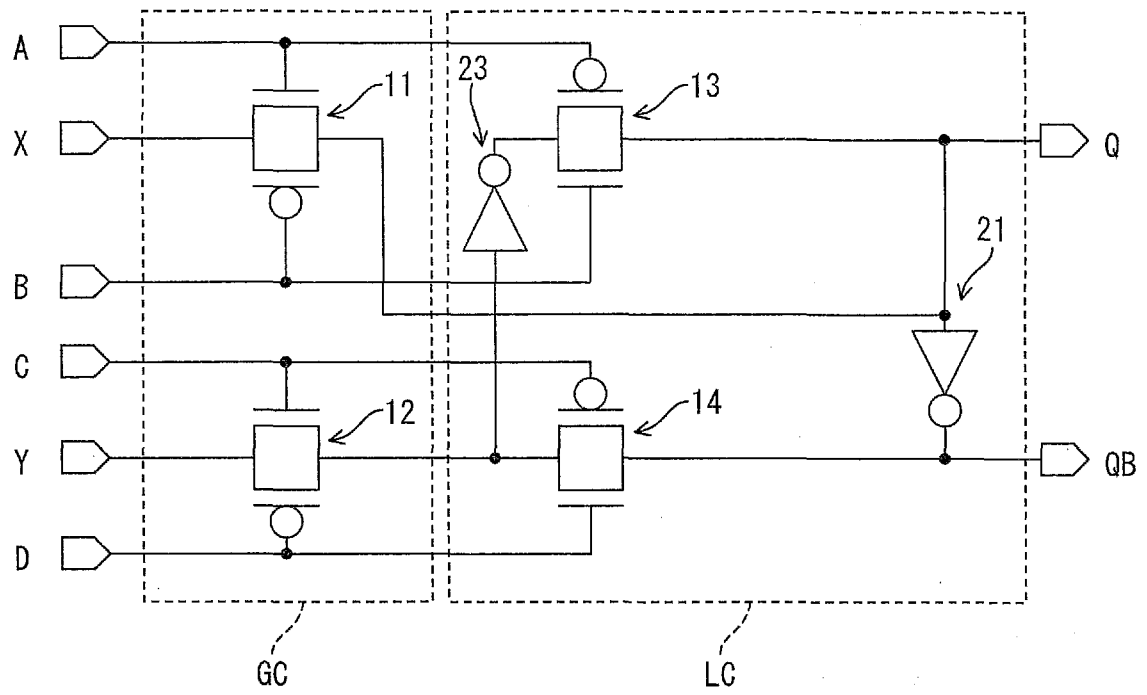


[図10]

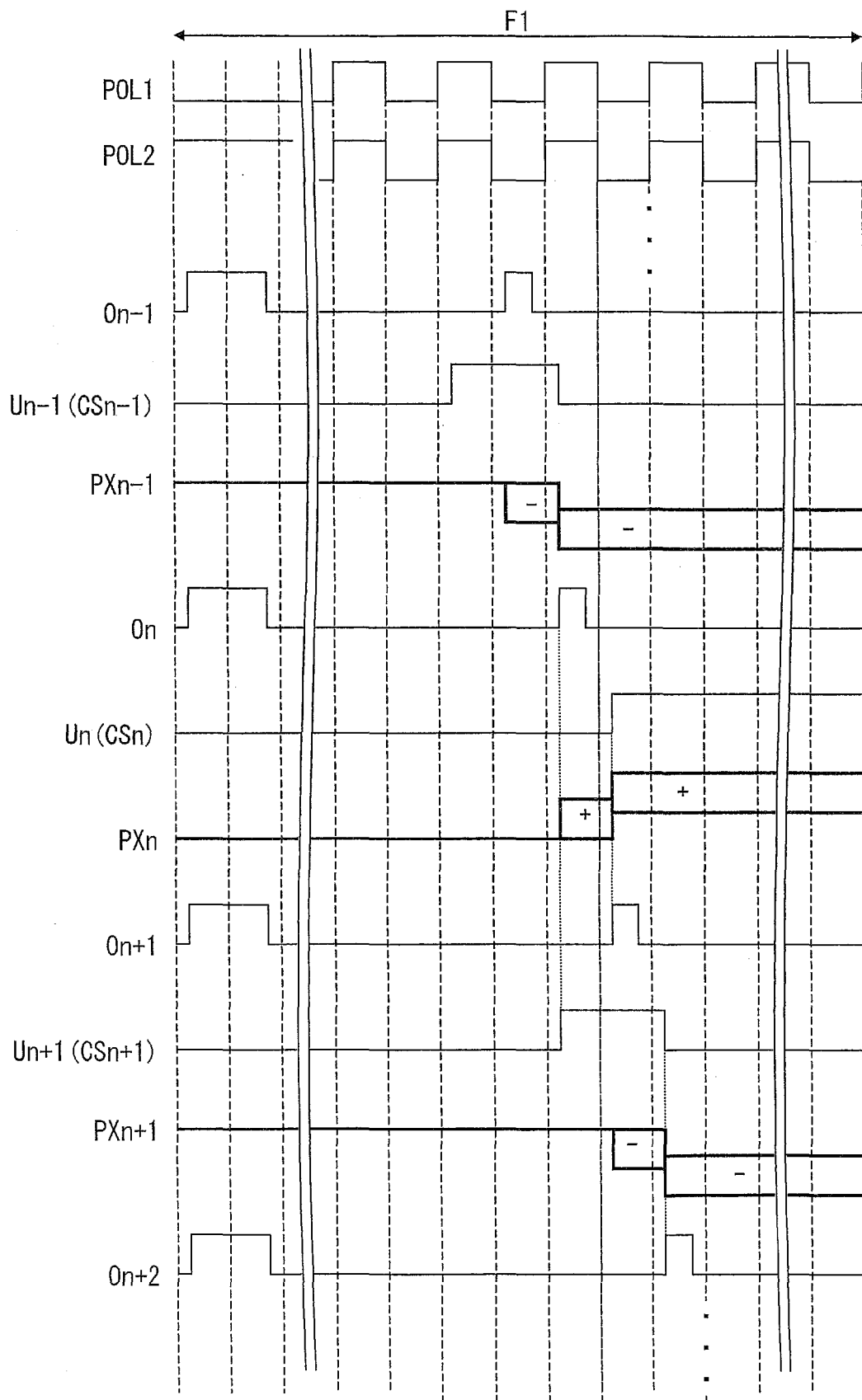


[図11]

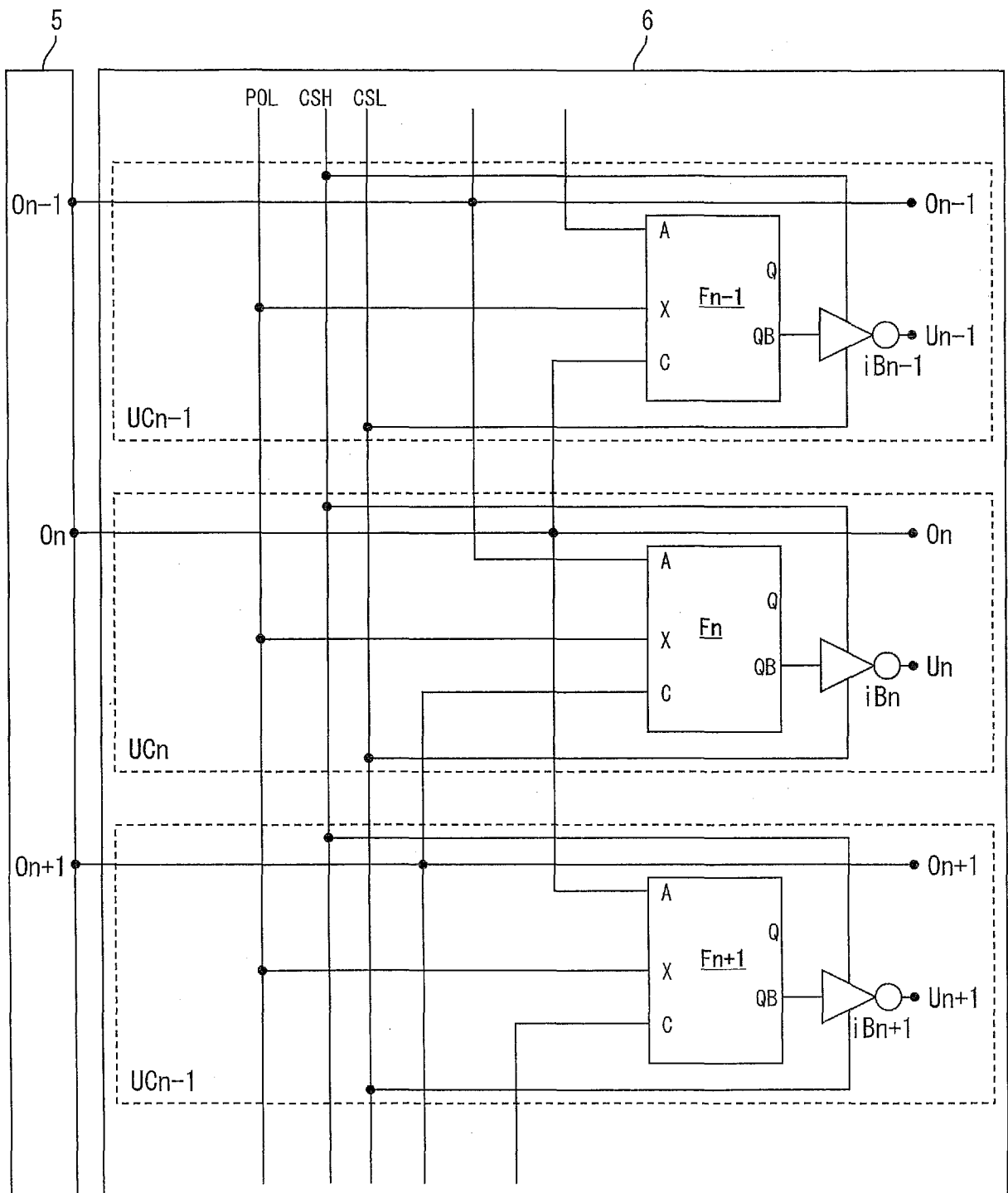


$$F_j \ (j=n-1, n, n+1)$$


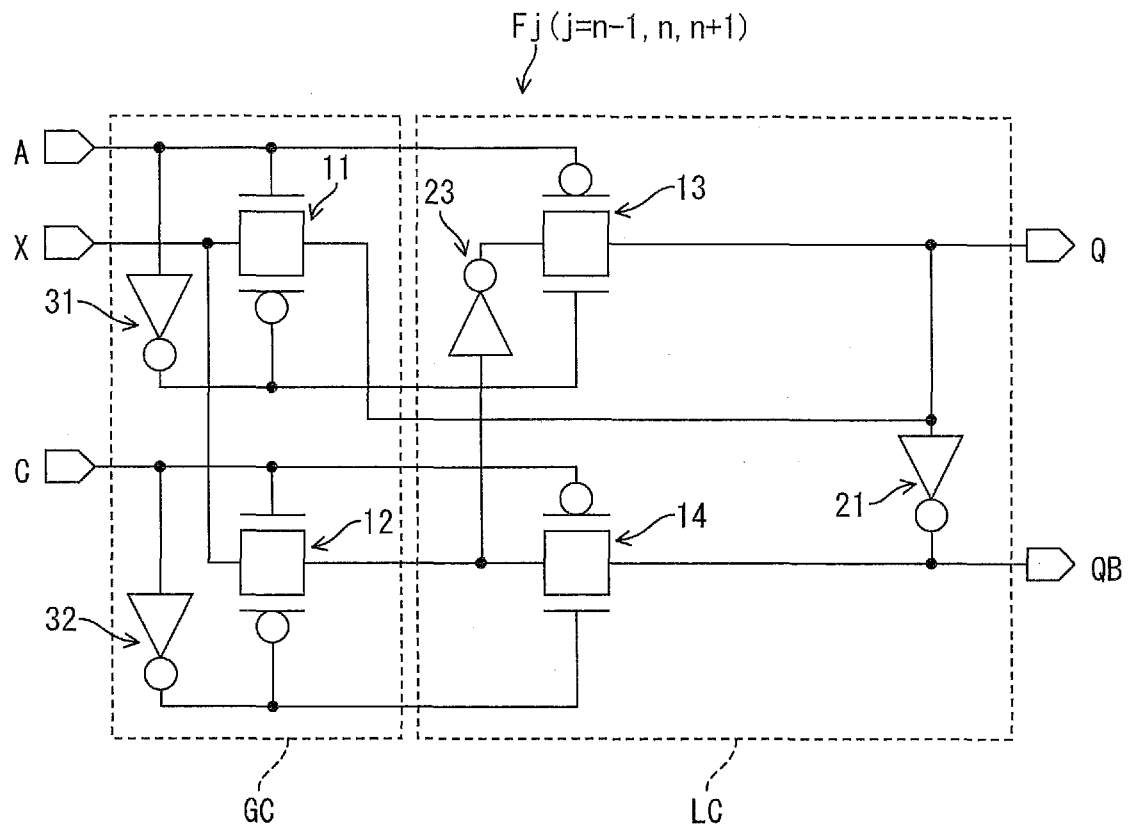
[図13]



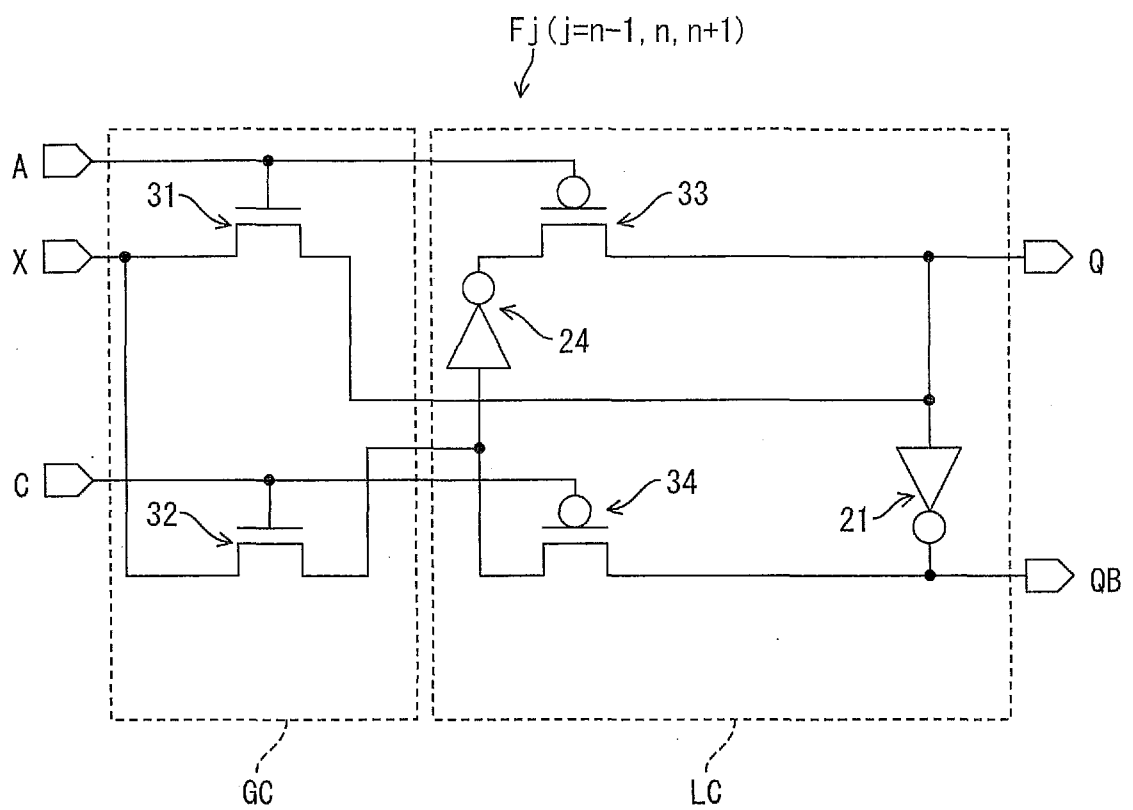
[図14]



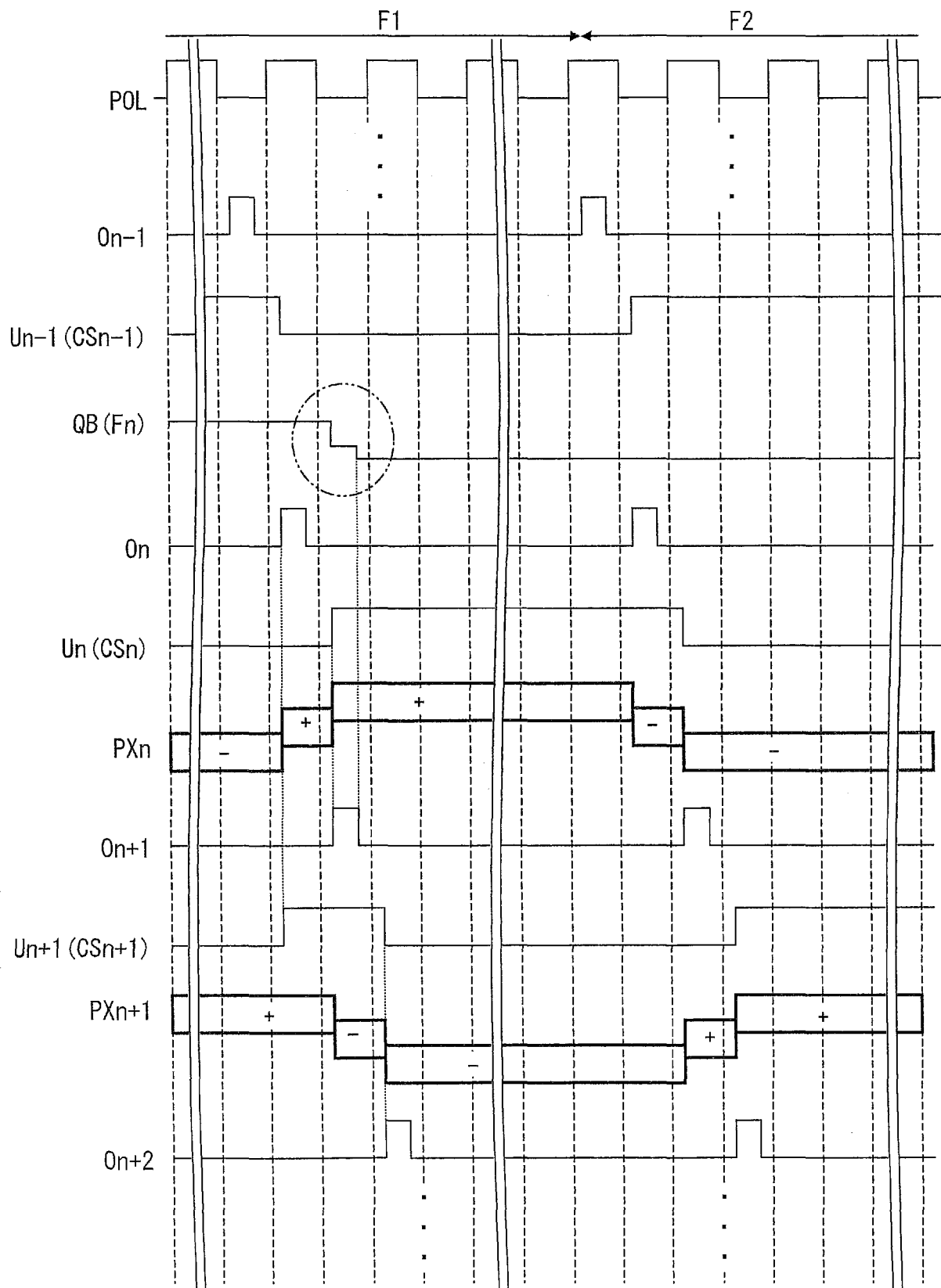
[図15]



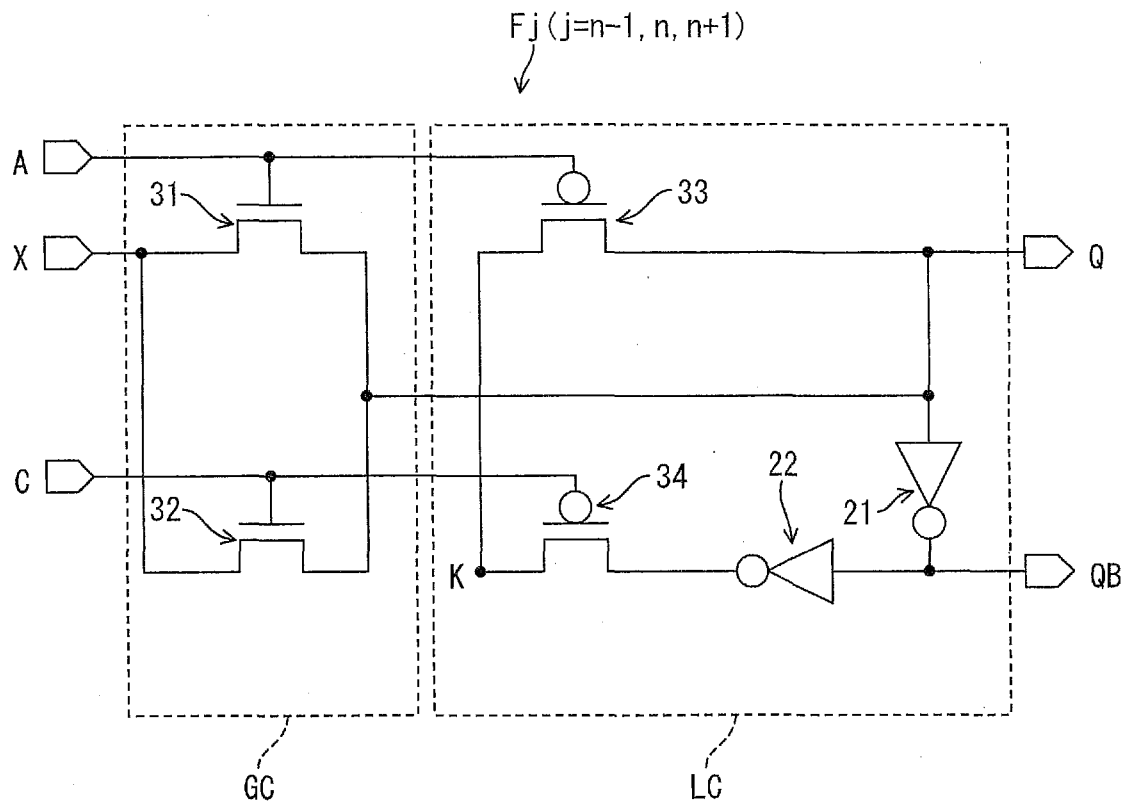
[図16]



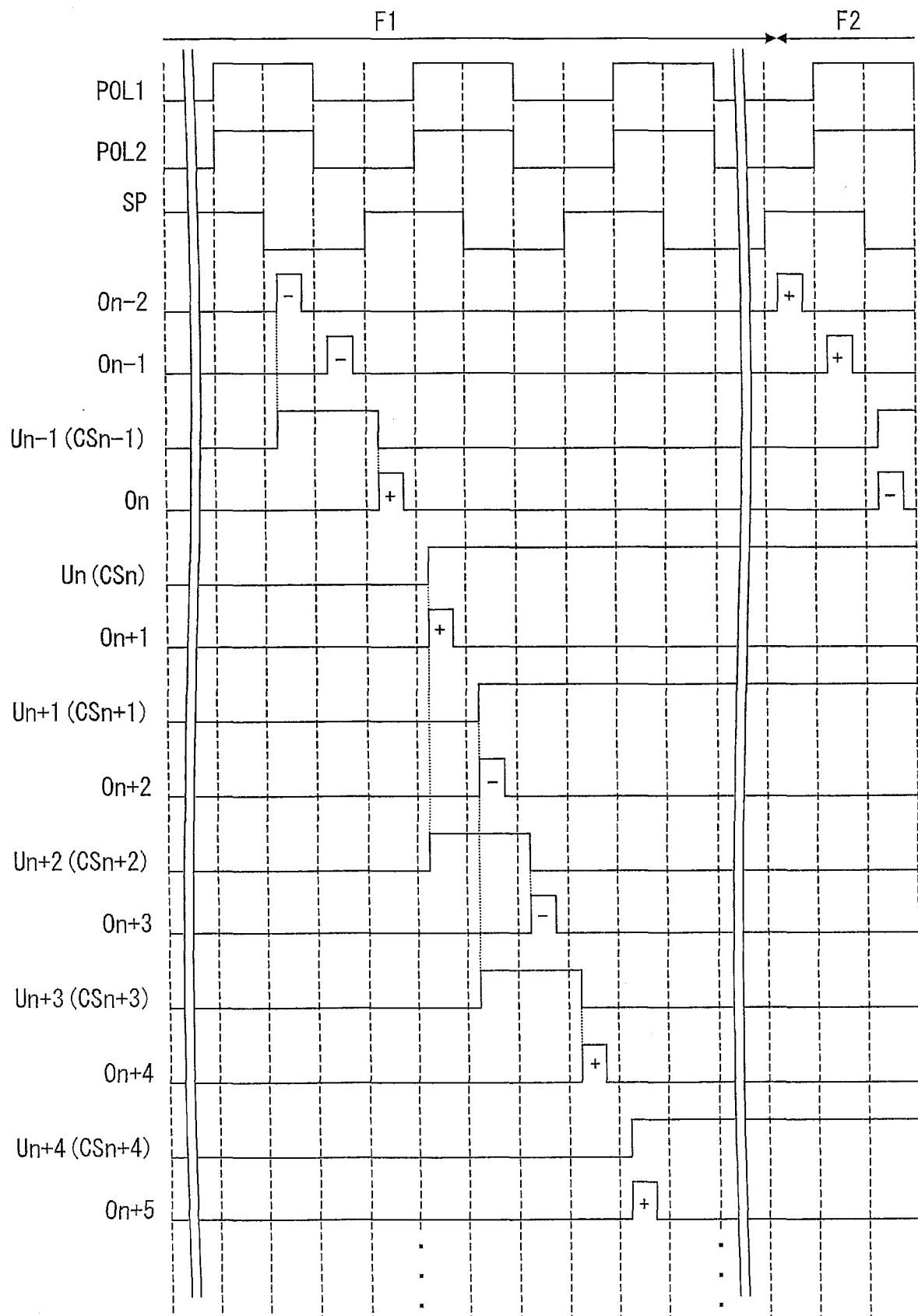
[図17]



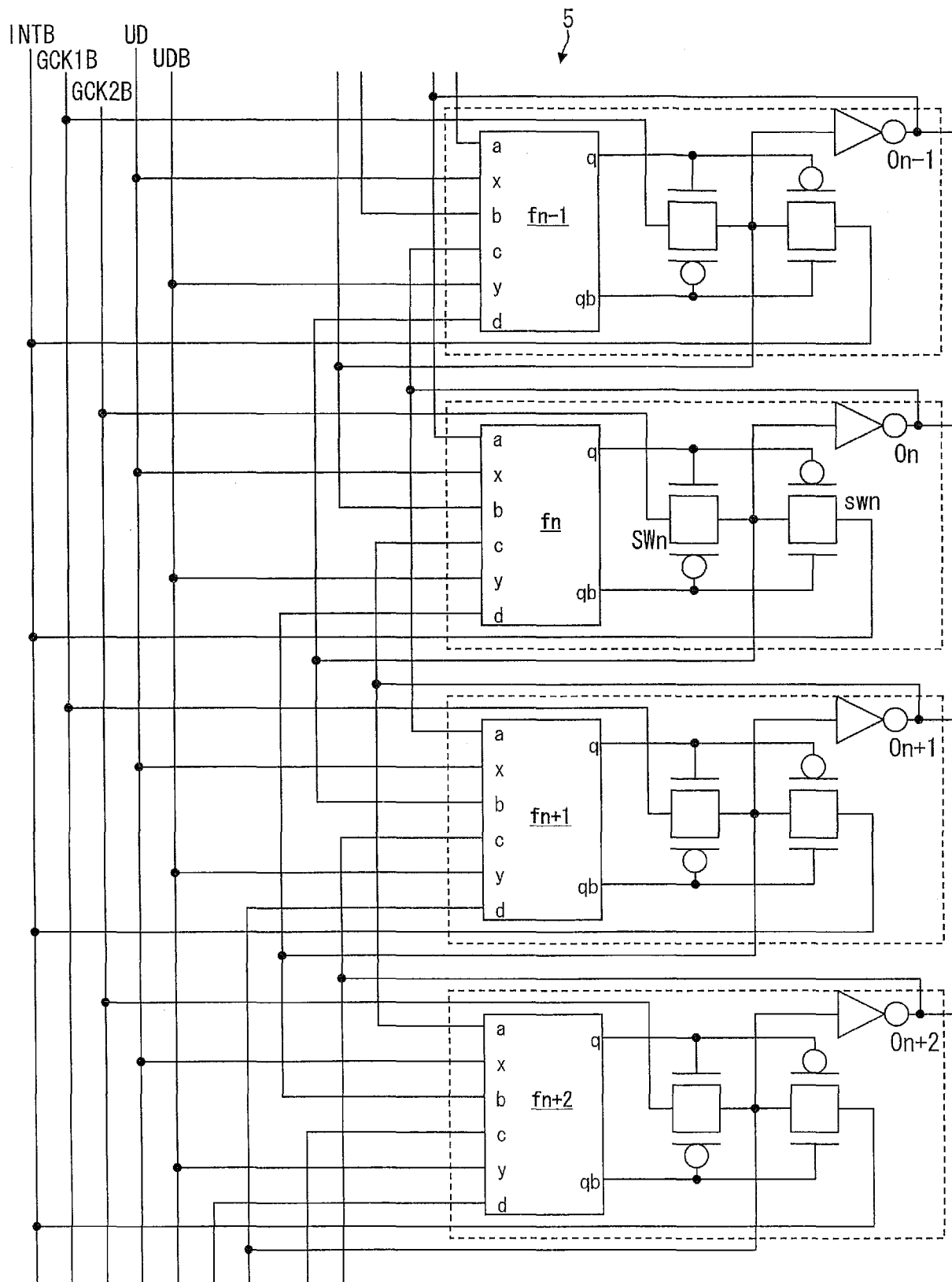
[図18]

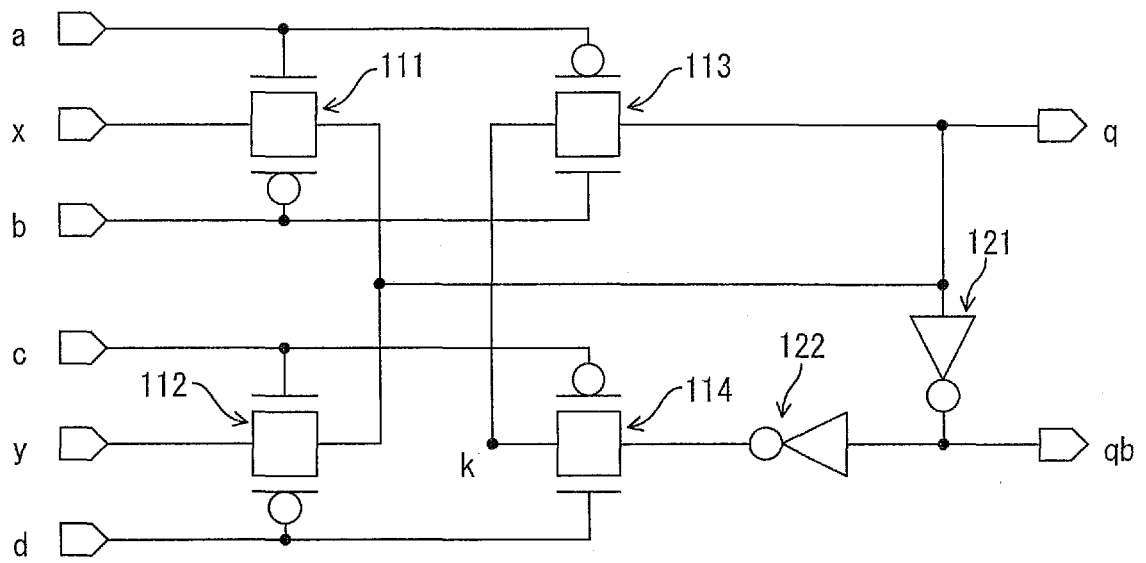


[図19]

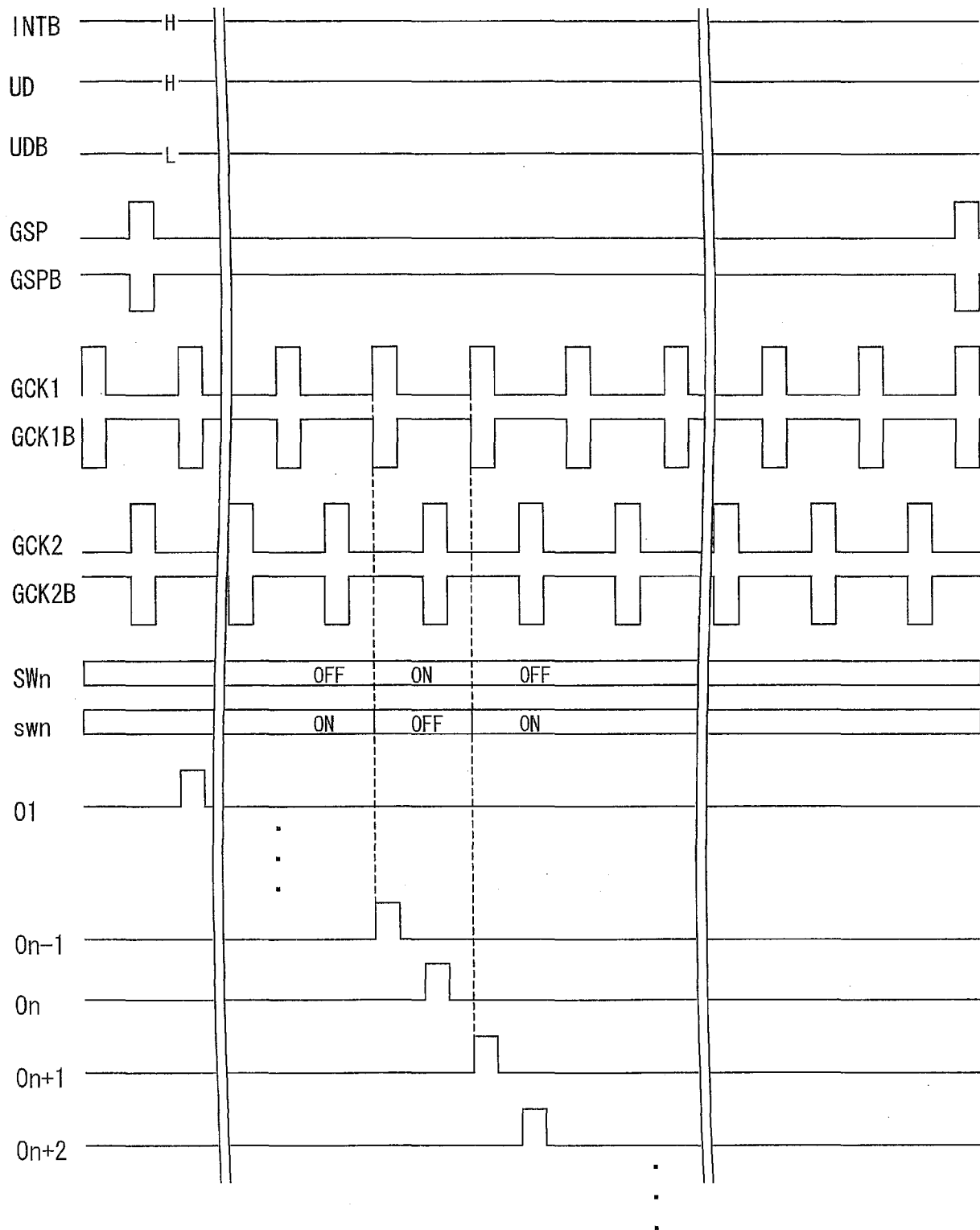


[図20]

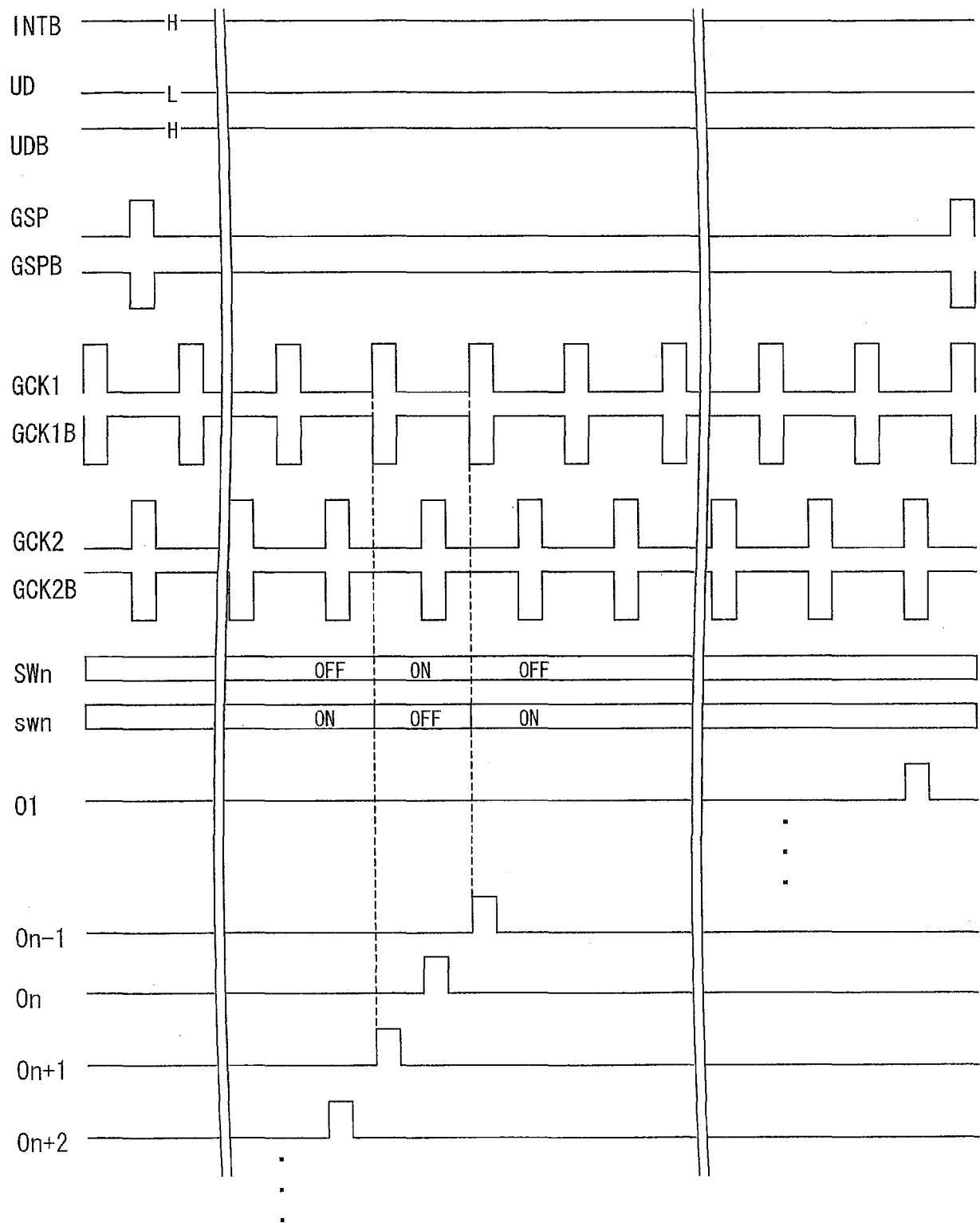


$$f_j (j=n-1, n, n+1, n+2)$$


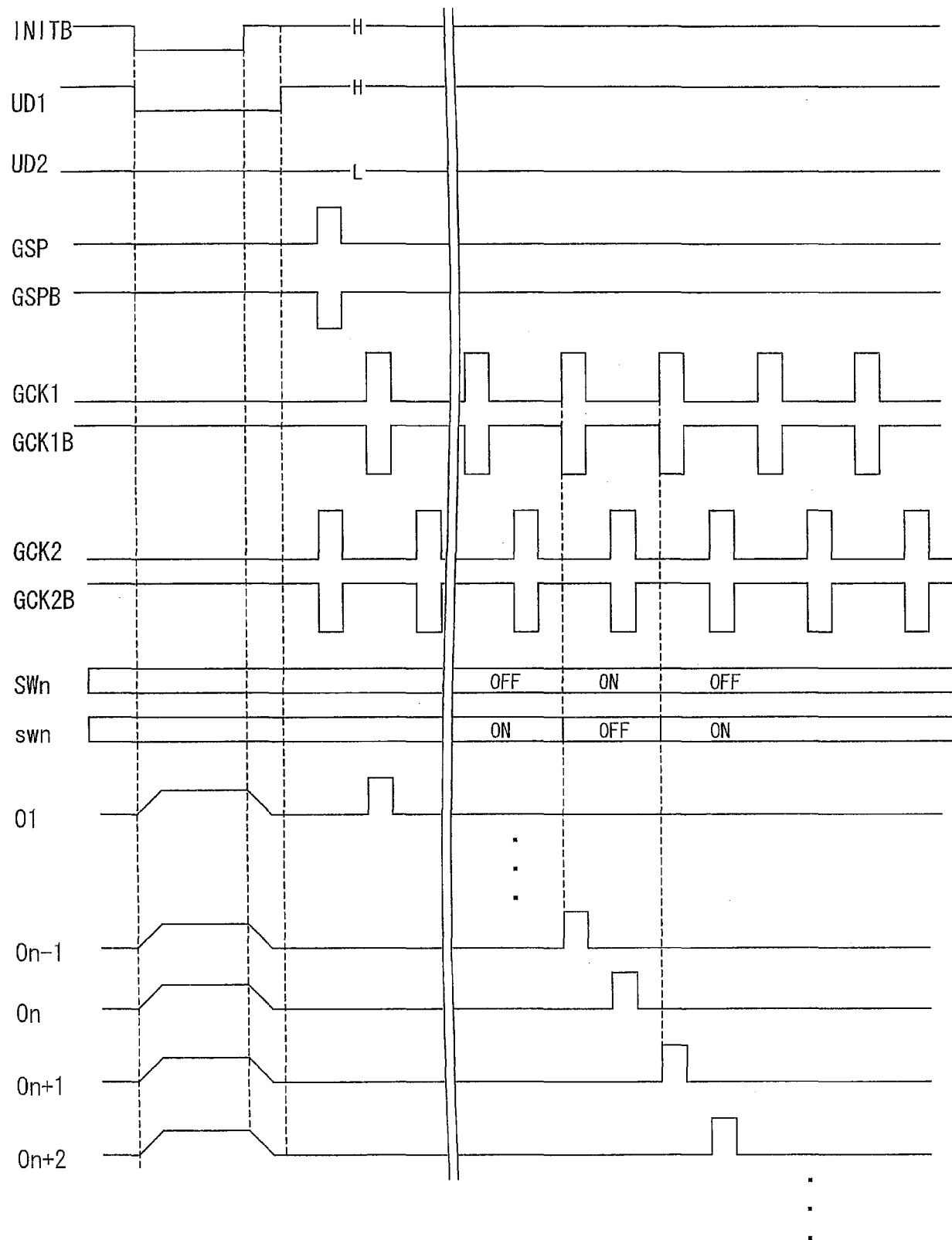
[図22]



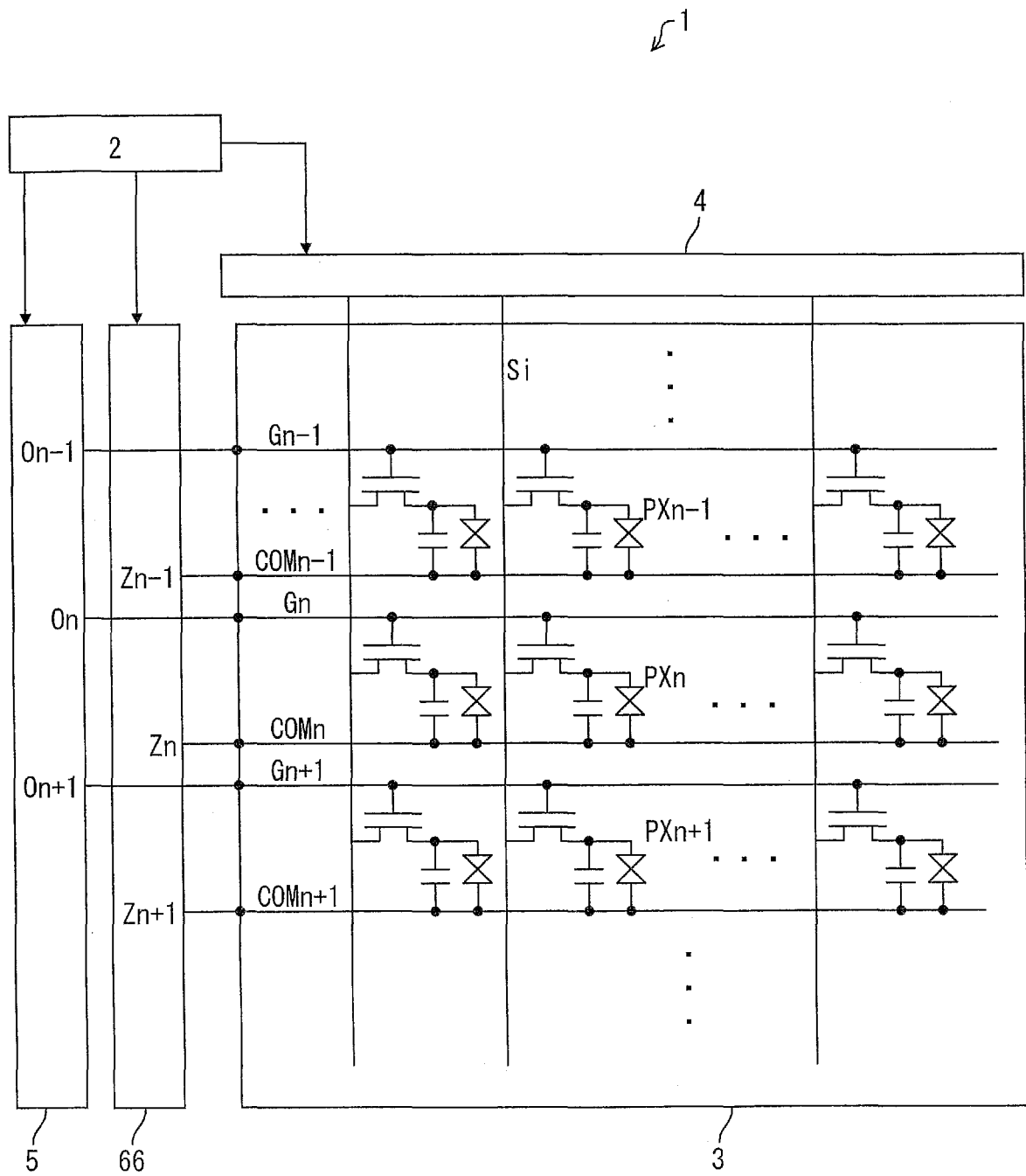
[図23]



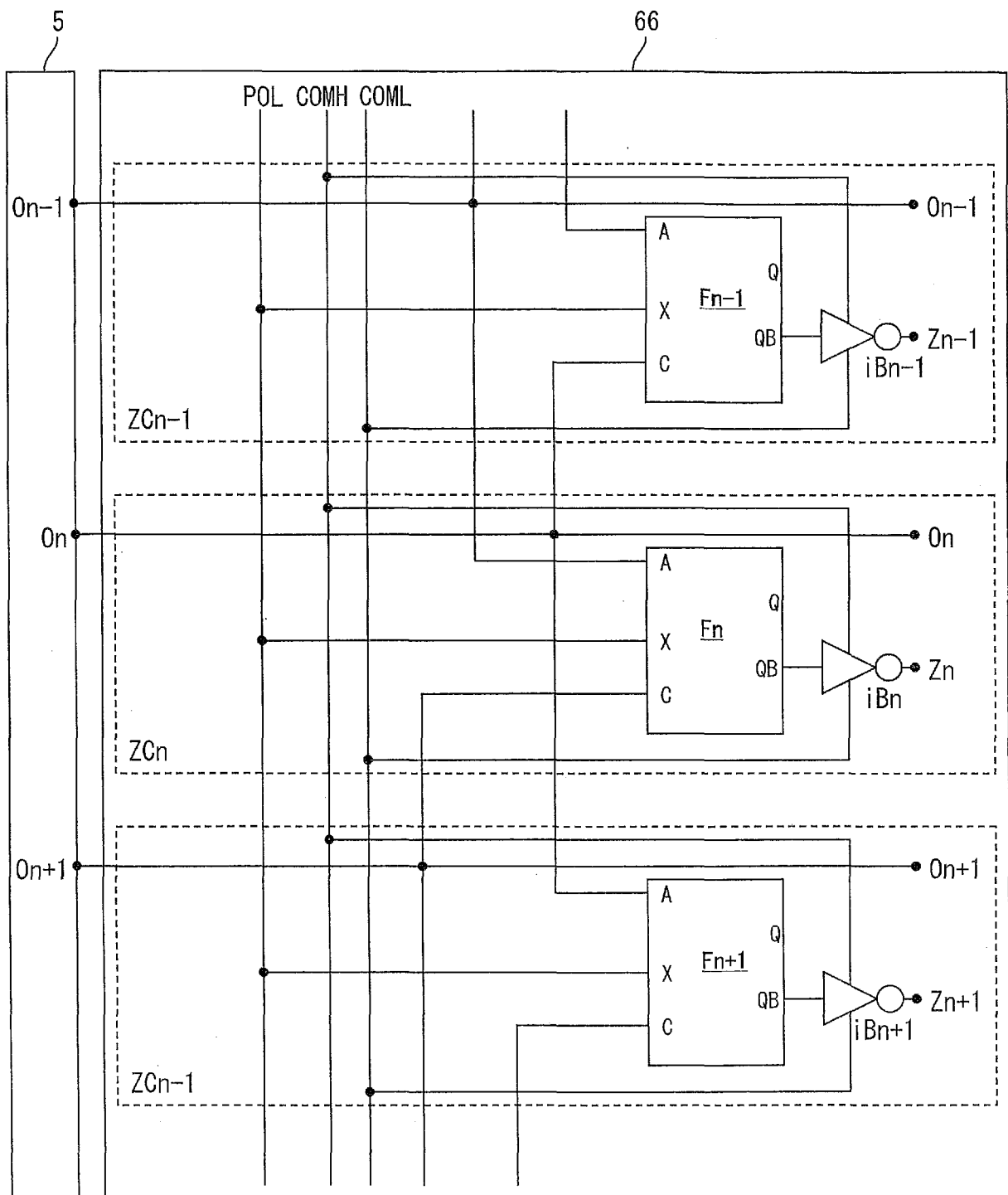
[図24]



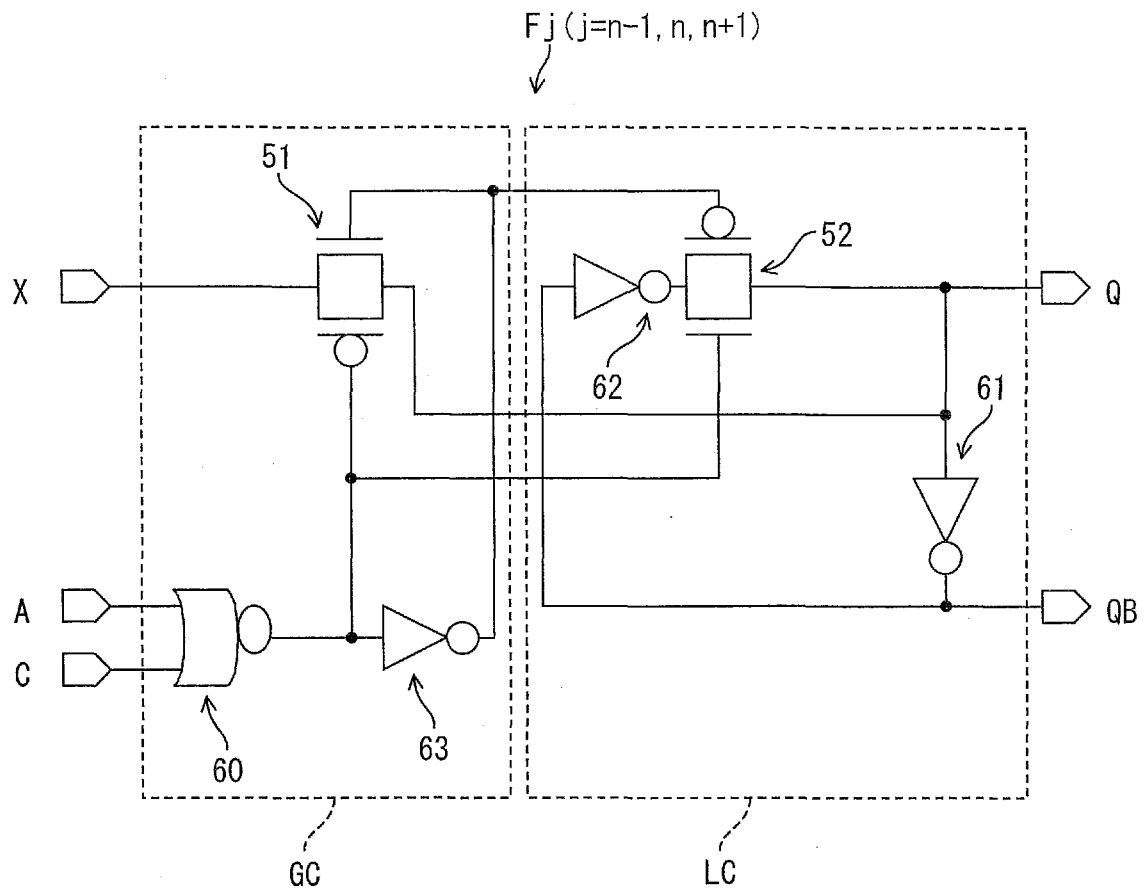
[図25]



[図26]

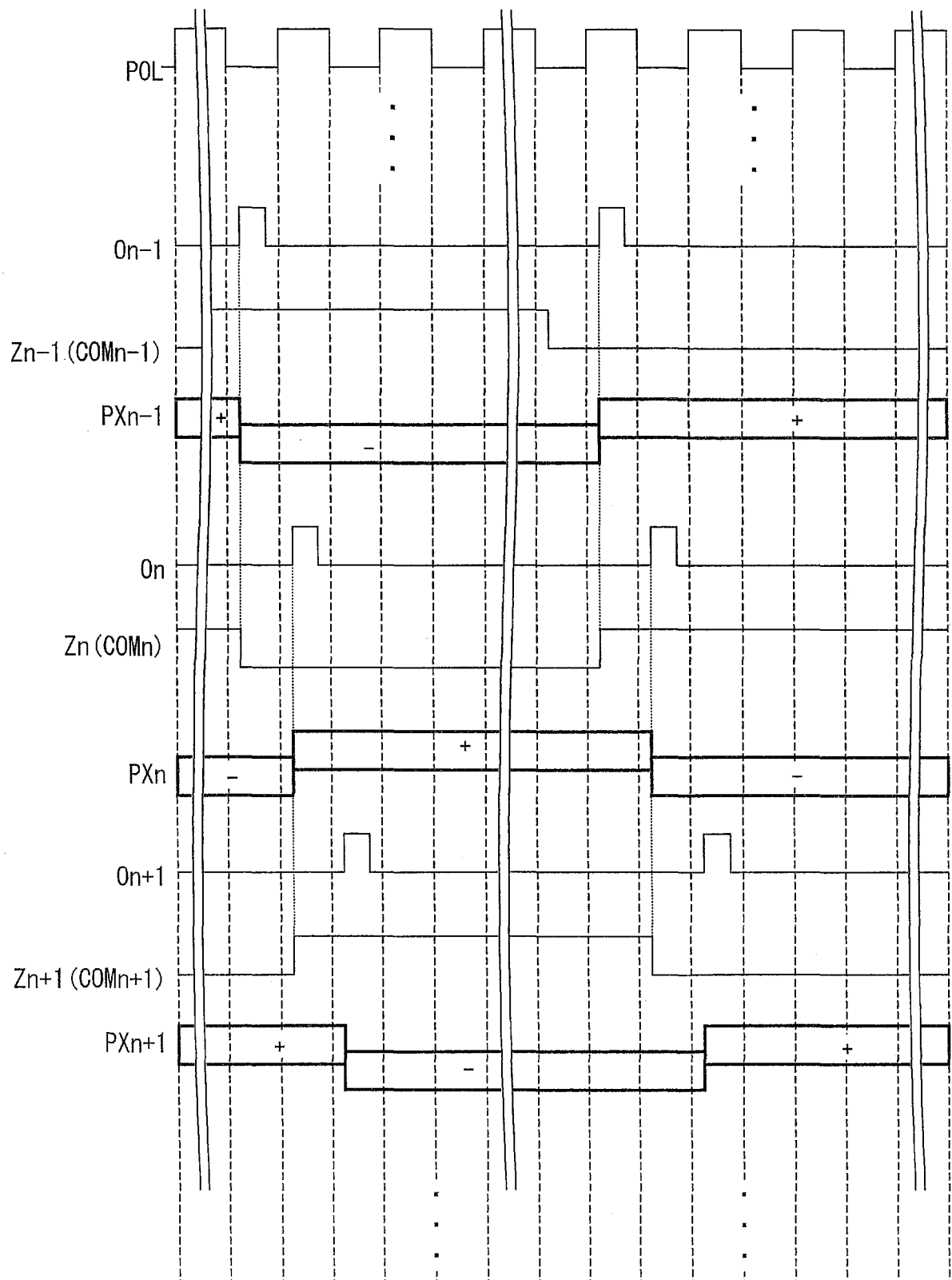


[図27]



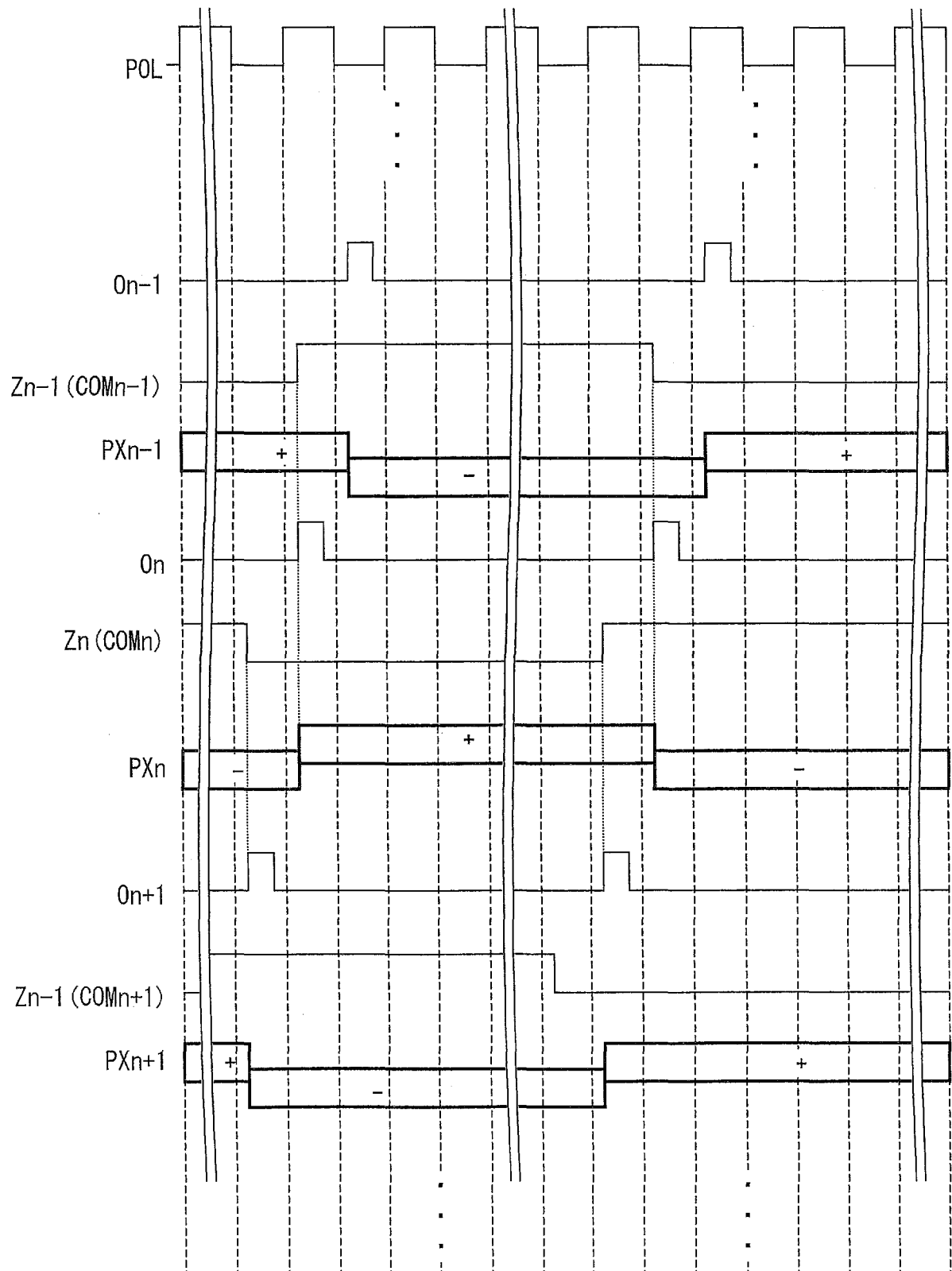
[図28]

順方向走査

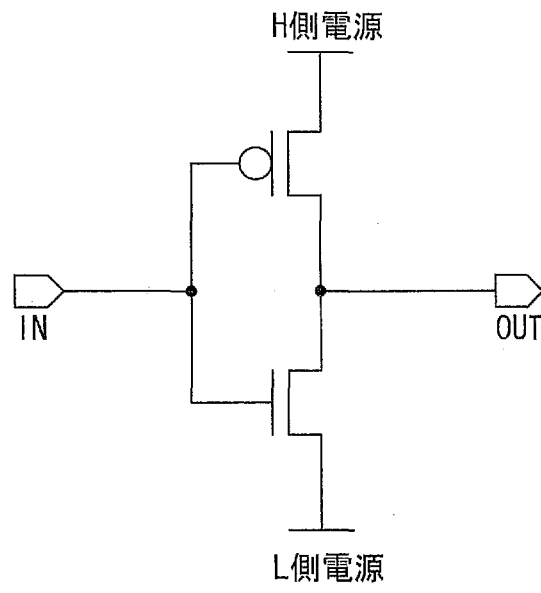


[図29]

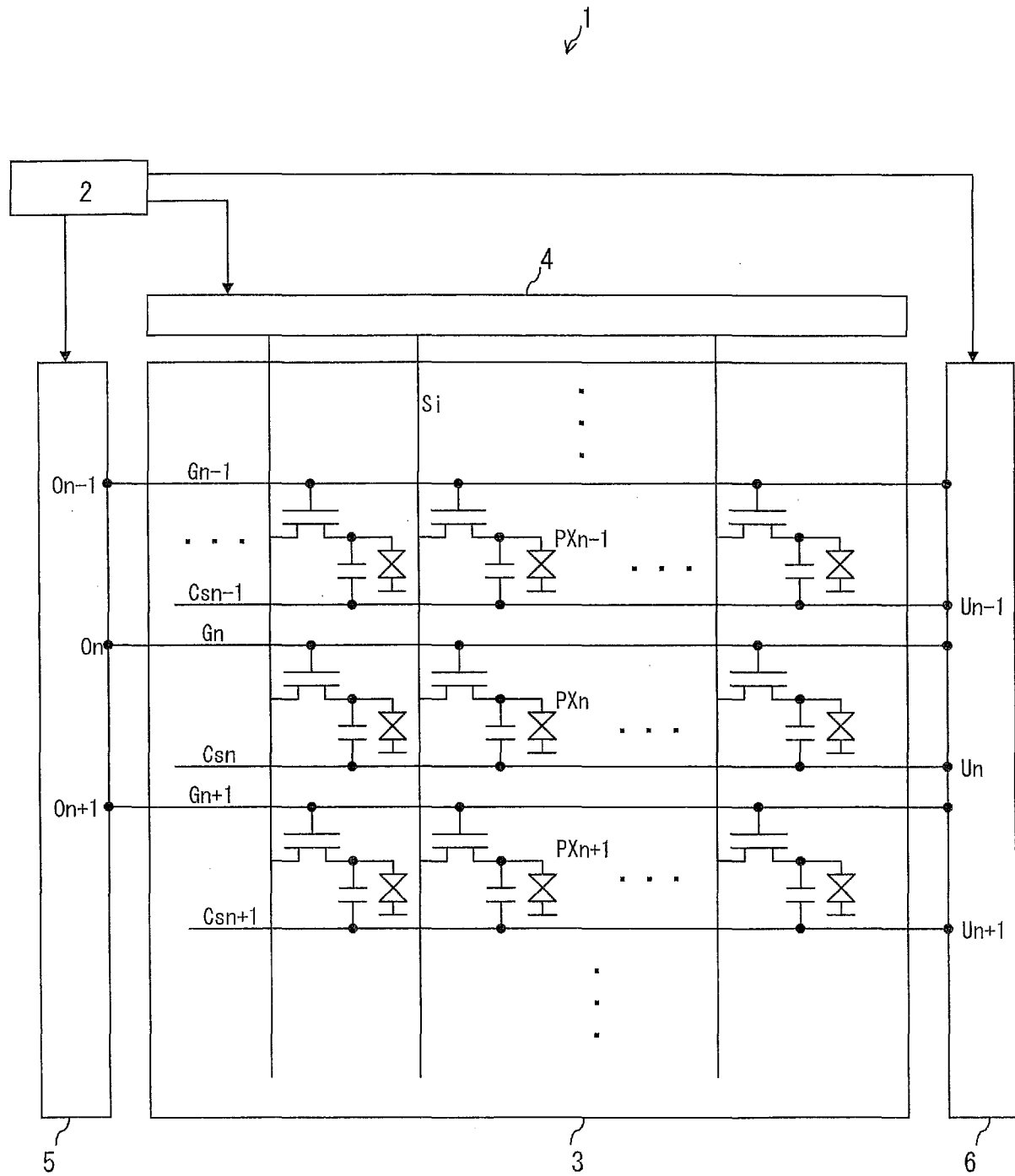
逆方向走査



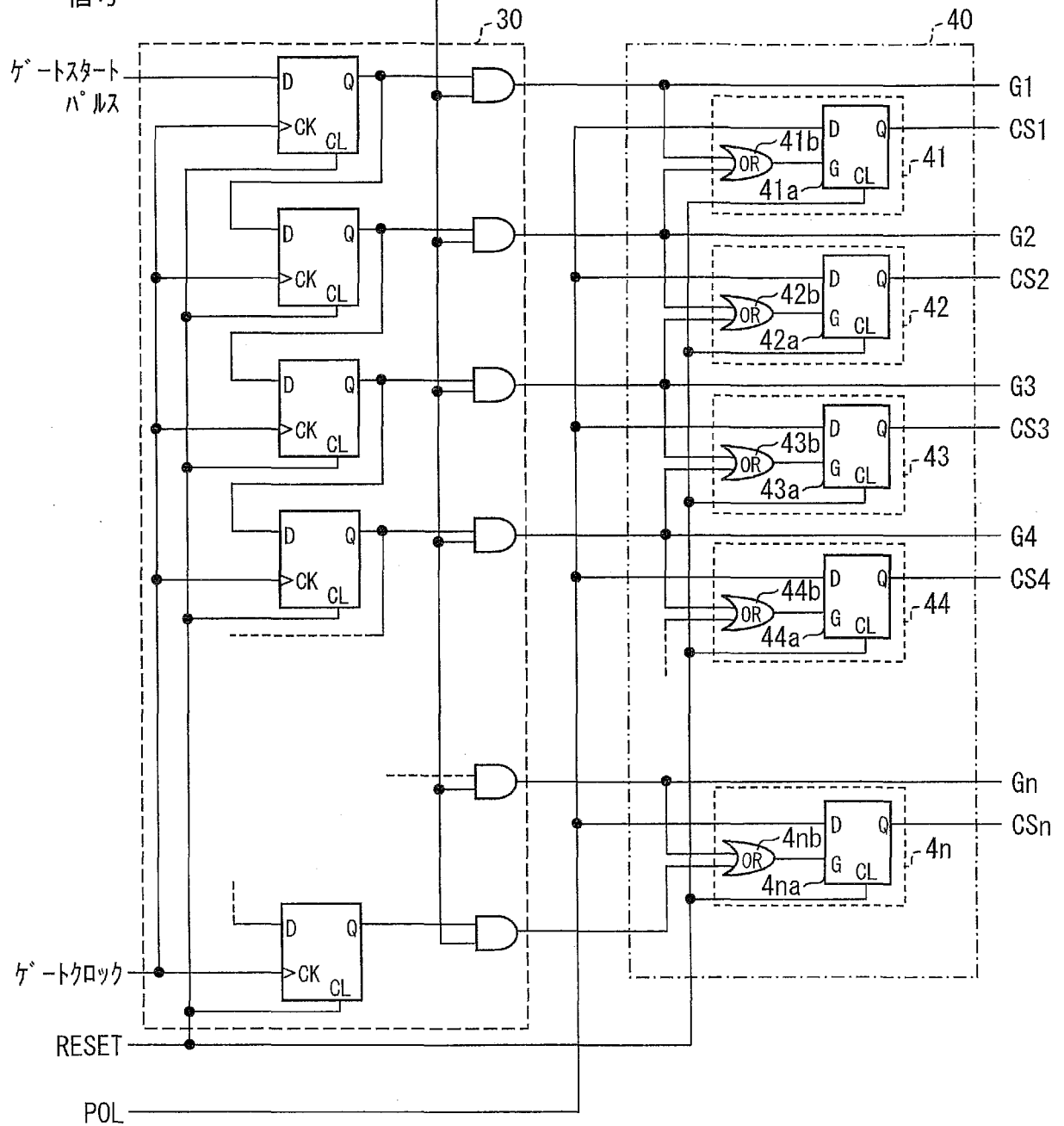
[図30]



[図31]



[図32]

ゲートタイミング
信号

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/064472

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3 6(2006.01)i, G02F1/133(2006.01)i, G09G3/2 0(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2011
Kokai	Jitsuyo	Shinan	1971-2011	Toroku	Jitsuyo	Shinan	Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-86620 A (Samsung Electronics Co., Ltd.), 23 April 2009 (23.04.2009), entire text; fig. 1 to 14 & US 2009/0086116 A1 & EP 2043083 A1 & KR 10-2009-0032712 A & CN 101399026 A	1, 8-12 2-7
X Y	WO 2009/084280 A1 (Sharp Corp.), 09 July 2009 (09.07.2009), entire text; fig. 1 to 27 & US 2010/0245305 A & EP 2226788 A1 & CN 101861617 A	1, 8-12 2-7
Y	JP 2009-75578 A (Casio Computer Co., Ltd.), 09 April 2009 (09.04.2009), paragraph [0006]; fig. 12 & JP 2009-75579 A & JP 2009-75580 A	2-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

13 July, 2011 (13.07.11)

Date of mailing of the international search report

26 July, 2011 (26.07.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/064472

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-352491 A (Samsung Electronics Co., Ltd.), 22 December 2005 (22.12.2005), entire text; fig. 1 to 10 & US 2005/0275614 A1 & KR 10-2005-0117303 A & CN 1707589 A	1-12
A	JP 2009-168901 A (Mitsubishi Electric Corp.), 30 July 2009 (30.07.2009), entire text; fig. 1 to 29 (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/36 (2006. 01) i , G02F1/133 (2006. 01) i , G09G3/20 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/00- 3/38 , G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 -
日本国公開実用新案公報	1 9 7 1 - 2
日本国実用新案登録公報	1 9 9 6 -
日本国登録実用新案公報	1 9 9 4 - 2

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009 - 86620 A (三星電子株式会社) 2009. 04. 23, 全文, 図 1 - 1 4 & US 2009/00861 16 A1 & EP 2043083 A1 & KR 10-2009-0032712 A & CN 101399026 A	1, 8-12 2-7
X Y	WO 2009/084280 A1 (シャープ株式会社) 2009. 07. 09, 全文, 図 1 - 2 7 & US 2010/0245305 A & EP 2226788 A1 & CN 101861617 A	1, 8-12 2-7

☒ c 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

IA 「特に関連のある文献ではなく、一般的技術水準を示すもの」
IE 「国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの」
I 「優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)」
Iθ 「口頭による開示、使用、展示等に言及する文献」
IP 「国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

T 「国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの」
IX 「特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの」
IY 「特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」
I& 「同一パテントファミリー文献」

国際調査を完了した日

1 3 . 0 7 . 2 0 1 1

国際調査報告の発送日

2 6 . 0 7 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

中 村 直 行

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

2 G

9 2 1 4

C (続 き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-75578 A (カシオ計算機株式会社) 2009. 04. 09, 段落 【 0 0 0 6 】 , 図 1 2 & JP 2009-75579 A & JP 2009-75580 A	2—7
A	JP 2005-352491 A (サムスン エレクトロニクス カンパニー リミテッド) 2005. 12. 22, 全文 , 図 1 — 1 0 & US 2005/0275614 A1 & KR 10-2005-01 17303 A & CN 1707589 A	1—12
A	JP 2009 - 168901 A (三菱電機株式会社) 2009. 07. 30, 全文 , 図 1 — 2 9 (フアミリーなし)	1—12