

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6128135号
(P6128135)

(45) 発行日 平成29年5月17日(2017.5.17)

(24) 登録日 平成29年4月21日(2017.4.21)

(51) Int.Cl. F I
 HO2M 7/48 (2007.01) HO2M 7/48 Z
 HO2M 7/487 (2007.01) HO2M 7/487

請求項の数 10 (全 31 頁)

<p>(21) 出願番号 特願2014-560659 (P2014-560659)</p> <p>(86) (22) 出願日 平成26年1月10日 (2014.1.10)</p> <p>(86) 国際出願番号 PCT/JP2014/000087</p> <p>(87) 国際公開番号 W02014/122877</p> <p>(87) 国際公開日 平成26年8月14日 (2014.8.14)</p> <p>審査請求日 平成27年6月10日 (2015.6.10)</p> <p>(31) 優先権主張番号 特願2013-21849 (P2013-21849)</p> <p>(32) 優先日 平成25年2月6日 (2013.2.6)</p> <p>(33) 優先権主張国 日本国(JP)</p> <p>前置審査</p>	<p>(73) 特許権者 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号</p> <p>(74) 代理人 100105854 弁理士 廣瀬 一</p> <p>(74) 代理人 100103850 弁理士 田中 秀▲てつ▼</p> <p>(72) 発明者 陳 ▲爽▼清 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内</p> <p>(72) 発明者 市川 裕章 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内</p> <p>審査官 安池 一貴</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

3レベル電力変換回路を構成する少なくとも4つの半導体素子を搭載した第1の絶縁基板と、該第1の絶縁基板を配置するベース板と、前記ベース板の1面上に、前記半導体素子の内の1つの半導体素子に接続される直流正側電位の正側導体板と、前記半導体素子の内の他の1つの半導体素子に接続される直流負側電位の負側導体板と、前記半導体素子の内の残りの2つの半導体素子に接続された中間電位の中間電位導体板と、を備え、

前記正側導体板、前記負側導体板、および前記中間電位導体板は、前記1面上に垂直に配置され、前記正側導体板及び前記負側導体板は、前記中間電位導体板に対して近接対面させて配置され、

前記半導体素子を覆う絶縁樹脂材の成型体を有し、前記正側導体板に形成された第1の外部接続端子、前記中間電位導体板に形成された第2及び第3の外部接続端子、前記負側導体板に接続された第4の外部接続端子が前記成型体の1面上に導出され、前記第1の外部接続端子、前記第2及び第3の外部接続端子、前記第4の外部接続端子の順に一直線上に並列配置され、

前記3レベル電力変換回路は、直流回路の正側電位にコレクタが接続される第1の絶縁ゲートバイポーラトランジスタと、前記直流回路の負側電位にエミッタが接続される第2の絶縁ゲートバイポーラトランジスタと、前記第1の絶縁ゲートバイポーラトランジスタのエミッタと前記第2の絶縁ゲートバイポーラトランジスタのコレクタとの接続点に、一端が接続された双方向スイッチ素子とを備え、

前記双方向スイッチ素子の他端に前記中間電位導体板が接続され、前記第1の絶縁ゲートバイポーラトランジスタのコレクタに前記正側導体板が接続され、前記第2の絶縁ゲートバイポーラトランジスタのエミッタに前記負側導体板が接続され、

前記双方向スイッチ素子は、逆阻止型絶縁ゲートバイポーラトランジスタの逆並列回路で構成され、

前記ベース板に配置された前記第1の絶縁基板は、平面形状が矩形状の第2の絶縁基板と平面形状が矩形状の第3の絶縁基板とをそれぞれ複数有し、

前記第2の絶縁基板は、前記矩形状の長手方向の一方の側に配置された前記逆阻止型絶縁ゲートバイポーラトランジスタと、前記矩形状の長手方向の他方の側に配置された前記第1の絶縁ゲートバイポーラトランジスタ、および第1のダイオードと、を備え、

前記第3の絶縁基板は、前記矩形状の長手方向の一方の側に配置された前記逆阻止型絶縁ゲートバイポーラトランジスタと、前記矩形状の長手方向の他方の側に配置された前記第2の絶縁ゲートバイポーラトランジスタ、および第2のダイオードとを備え、

複数の前記第2の絶縁基板は、それぞれの前記一方の側と前記他方の側が隣接するように配置され、

複数の前記第3の絶縁基板は、それぞれの前記一方の側と前記他方の側が隣接するように配置され、

前記複数の前記第2の絶縁基板の前記一方の側と前記複数の前記第3の絶縁基板の前記一方の側と、前記複数の前記第2の絶縁基板の前記他方の側と前記複数の前記第3の絶縁基板の前記他方の側が隣接するように配置されていることを特徴とする半導体装置。

【請求項2】

前記複数の前記第2の絶縁基板の前記第1の絶縁ゲートバイポーラトランジスタのコレクタ、および前記第1のダイオードのカソードに接続された前記正側導体板と、

前記複数の前記第3の絶縁基板の前記第2の絶縁ゲートバイポーラトランジスタのエミッタ、および前記第2のダイオードのアノードに接続された前記負側導体板と、

前記複数の前記第2の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのエミッタ、および前記複数の前記第3の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのコレクタに接続された前記中間電位導体板と、

前記複数の前記第2の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのコレクタ、前記複数の前記第3の絶縁基板の前記第2の絶縁ゲートバイポーラトランジスタのコレクタ、前記複数の前記第3の絶縁基板の前記第2のダイオードのカソード、および前記複数の前記第3の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのエミッタに接続された交流出力用導体板と、
を備える請求項1に記載の半導体装置。

【請求項3】

前記負側導体板は前記正側導体板の延長線上に配置され、

前記中間電位導体板は、前記正側導体板、および負側導体板と前記交流出力用導体板間に配置され、

前記中間電位導体板は、前記正側導体板、および負側導体板より、前記逆阻止型絶縁ゲートバイポーラトランジスタ側に配置されている請求項2に記載の半導体装置。

【請求項4】

前記複数の前記第2の絶縁基板はそれぞれ並列に接続されている請求項1に記載の半導体装置。

【請求項5】

前記複数の前記第3の絶縁基板はそれぞれ並列に接続されている請求項1に記載の半導体装置。

【請求項6】

前記第2の絶縁基板の前記第1の絶縁ゲートバイポーラトランジスタと前記第1のダイオードは並列に接続している請求項1に記載の半導体装置。

【請求項7】

10

20

30

40

50

前記第3の絶縁基板の前記第2の絶縁ゲートバイポーラトランジスタと前記第2のダイオードは並列に接続している請求項1に記載の半導体装置。

【請求項8】

前記負側導体板と前記複数の前記第3の絶縁基板の前記第2の絶縁ゲートバイポーラトランジスタのエミッタ、および前記第2のダイオードのアノードとの接続と、

前記中間電位導体板と前記複数の前記第2の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのエミッタとの接続と、

前記交流出力用導体板と前記複数の前記第3の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのエミッタとの接続と、がそれぞれボンディングワイヤを介して接続している請求項2に記載の半導体装置。

10

【請求項9】

前記複数の前記第2の絶縁基板の前記第1の絶縁ゲートバイポーラトランジスタのコレクタ、および前記第1のダイオードのカソードに接続された前記正側導体板と、

前記複数の前記第3の絶縁基板の前記第2の絶縁ゲートバイポーラトランジスタのエミッタ、および前記第2のダイオードのアノードに接続された前記負側導体板と、

前記複数の前記第2の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのコレクタ、および前記複数の前記第3の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのエミッタに接続された前記中間電位導体板と、

前記複数の前記第2の絶縁基板の前記第1の絶縁ゲートバイポーラトランジスタのエミッタ、前記複数の前記第2の絶縁基板の前記第1のダイオードのアノード、前記複数の前記第2の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのエミッタ、前記複数の前記第3の絶縁基板の前記第2の絶縁ゲートバイポーラトランジスタのコレクタ、前記複数の前記第3の絶縁基板の前記第2のダイオードのカソード、および前記複数の前記第3の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのコレクタに接続された交流出力用導体板と、
を備える請求項1に記載の半導体装置。

20

【請求項10】

前記負側導体板と前記複数の前記第3の絶縁基板の前記第2の絶縁ゲートバイポーラトランジスタのエミッタ、および前記第2のダイオードのアノードとの接続と、

前記中間電位導体板と前記複数の前記第3の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのエミッタとの接続と、

前記交流出力用導体板と前記複数の前記第2の絶縁基板の前記第1の絶縁ゲートバイポーラトランジスタのエミッタ、前記第1のダイオードのアノード、前記複数の前記第2の絶縁基板の前記逆阻止型絶縁ゲートバイポーラトランジスタのエミッタとの接続と、がそれぞれボンディングワイヤを介して接続している請求項9に記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワーデバイスを格納し、直流電力を交流電力に変換する電力変換装置などに使用する半導体装置に関する。

40

【背景技術】

【0002】

電力変換装置は、太陽電池、燃料電池、ガスエンジン等の発電ユニットの発電電力を系統電力に変換する機能備えたパワーコンディショナー（PCS：Power Conditioning Subsystem）や無停電電源装置（UPS：Uninterruptible Power Supply）等に広く用いられている。

このような電力変換装置には、絶縁ゲートバイポーラトランジスタ（IGBT：Insulated Gate Bipolar Transistor）やフリー・ホイーリング・ダイオード（FWD：Free Wheeling Diode）などのパワーデバイスを絶縁基板上に実装し、樹脂ケースに格納した半導体モジュールが用いられている。

50

【 0 0 0 3 】

この種の電力変換装置に使用する半導体モジュールの一例としては、例えば、特許文献 1 に記載されているパワー半導体モジュールが提案されている。

このパワー半導体モジュールは、ケース内に 3 レベルインバータ回路の 1 相分の回路を収容している。この 3 レベルインバータ回路では、互いに逆方向に電流が流れる U 端子と M 端子とを一方が他方の上に近接して配置されるように配線することで、ケース内のインダクタンスを低減するようにしている。

【 0 0 0 4 】

また、従来のもジュールの他の例として、特許文献 2 において記載されているパワー半導体モジュールが提案されている。このパワー半導体モジュールにおいては、特許文献 1 に記載されている 3 レベルインバータと同様に 3 レベルインバータを構成した場合に、外部端子 P, M, N, U を、その M 端子を M 1、M 2 の 2 端子とし、端子配列を M 1、P、N、M 2、U の順序、又は M 1、N、P、M 2、U の順序で一直線状に配置している。この構成により、インバータの動作モードを 3 レベルから 2 レベルモードとしたときに配線インダクタンスの影響で生ずる跳ね上がり電圧が大きくなることを防止している。

【 0 0 0 5 】

また、従来のもジュールのさらに他の例として、特許文献 3 に記載されている半導体モジュールが提案されている。この半導体モジュールは、直流電源の P 端子と N 端子との間に接続される I G B T の直列接続回路と、この直列接続回路の接続点と直流電源の中性点との間に接続される交流スイッチ素子を一つのパッケージに内蔵することにより、配線インダクタンスの低減と装置の低価格化を実現するようにしている。ここで、3 レベルインバータを構成する場合として、2 個のダイオードを逆並列接続した I G B T を直列に接続して双方向スイッチとする場合と、2 個の逆阻止 I G B T を逆並列に接続して双方向スイッチとする場合とが記載されている。逆阻止 I G B T は、逆方向の耐圧特性を有する I G B T である。

【 0 0 0 6 】

また、従来のもジュールのさらにまた他の例として、特許文献 4 に記載の半導体装置が提案されている。この半導体装置は、3 レベルインバータ回路の直流電源の P 端子と N 端子との間に接続される I G B T の直列接続回路と、この直列接続回路の接続点と直流電源の中性点との間に互いにダイオードを逆並列に接続した第 1 及び第 2 の I G B T を直列に接続し、第 1 及び第 2 の I G B T の接続個所に設けた中間端子とを備えている。この構成により、半導体装置は、I G B T やダイオードの破壊を防ぎながら絶縁試験を行うことができる。

さらに、従来のもジュールのさらにまた他の例として、特許文献 5 に記載された半導体装置が提案されている。この半導体装置は、インバータなどの装置に用いられる大容量の半導体装置であって、そこにおいて、絶縁基板上に 3 つの I G B T チップを設け、これら I G B T チップを並列に接続するために、千鳥状に配置するようにしている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【特許文献 1】特開 2 0 1 2 - 1 1 0 0 9 5 号公報

【特許文献 2】特開 2 0 1 1 - 2 5 4 6 7 2 号公報

【特許文献 3】特開 2 0 0 8 - 1 9 3 7 7 9 号公報

【特許文献 4】特開 2 0 1 1 - 1 9 3 6 4 6 号公報

【特許文献 5】特開 2 0 0 2 - 3 6 8 1 9 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

ところで、上記特許文献 1 では、U 端子と M 端子とを重ねるように配線することで、ケース内のインダクタンスを低減することができる。また、上記特許文献 2 では、端子 P と

10

20

30

40

50

端子Nとが近接し、端子Pと端子M1及び端子Nと端子M2とを隣接させているが、各端子間の重なり幅が狭く十分なインダクタンスの低減を行うことができないという未解決の課題がある。

また、上記特許文献3では、P-C1配線とM配線、及びM配線とN-E2配線とは近接配線が容易となる旨記載されているが、M配線とP-C1配線及びN-E2配線との対面幅は狭く十分なインダクタンスの低減を行うことができない。

また、上記特許文献4及び5では、インダクタンス低減についての記述はなく、単に3レベルインバータ回路の構成が開示されているだけである。

そこで、本発明は、上記従来例の未解決の課題に着目してなされたものであり、中間電位導体板と正側導体板及び負側導体板とを対面させてインダクタンスを確実に低減させるようにした半導体装置を提供することを目的としている。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明に係る半導体装置の第1の態様は、3レベル電力変換回路を構成する少なくとも4つの半導体素子を搭載した第1の絶縁基板と、該第1の絶縁基板を配置するベース板と、前記ベース板の1面上に、前記半導体素子の内の1つの半導体素子に接続される直流正側電位の正側導体板と、前記半導体素子の内の他の1つの半導体素子に接続される直流負側電位の負側導体板と、前記半導体素子の内の残りの2つの半導体素子に接続された中間電位の中間電位導体板と、を備え、前記正側導体板、前記負側導体板、および前記中間電位導体板は、前記1面上に垂直に配置され、前記正側導体板及び前記負側導体板は、前記中間電位導体板に対して近接対面させて配置され、前記半導体素子を覆う絶縁樹脂材の成型体を有し、前記正側導体板に形成された第1の外部接続端子、前記中間電位導体板に形成された第2及び第3の外部接続端子、前記負側導体板に接続された第4の外部接続端子が前記成型体の1面上に導出され、前記第1の外部接続端子、前記第2及び第3の外部接続端子、前記第4の外部接続端子の順に一直線上に並列配置され、前記3レベル電力変換回路は、直流回路の正側電位にコレクタが接続される第1の絶縁ゲートバイポーラトランジスタと、前記直流回路の負側電位にエミッタが接続される第2の絶縁ゲートバイポーラトランジスタと、前記第1の絶縁ゲートバイポーラトランジスタのエミッタと前記第2の絶縁ゲートバイポーラトランジスタのコレクタとの接続点に、一端が接続された双方向スイッチ素子とを備え、前記双方向スイッチ素子の他端に前記中間電位導体板が接続され、前記第1の絶縁ゲートバイポーラトランジスタのコレクタに前記正側導体板が接続され、前記第2の絶縁ゲートバイポーラトランジスタのエミッタに前記負側導体板が接続され、前記双方向スイッチ素子は、逆阻止型絶縁ゲートバイポーラトランジスタの逆並列回路で構成され、前記ベース板に配置された前記第1の絶縁基板は、平面形状が矩形状の第2の絶縁基板と平面形状が矩形状の第3の絶縁基板とをそれぞれ複数有し、前記第2の絶縁基板は、前記矩形状の長手方向の一方の側に配置された前記逆阻止型絶縁ゲートバイポーラトランジスタと、前記矩形状の長手方向の他方の側に配置された前記第1の絶縁ゲートバイポーラトランジスタ、および第1のダイオードと、を備え、前記第3の絶縁基板は、前記矩形状の長手方向の一方の側に配置された前記逆阻止型絶縁ゲートバイポーラトランジスタと、前記矩形状の長手方向の他方の側に配置された前記第2の絶縁ゲートバイポーラトランジスタ、および第2のダイオードとを備え、複数の前記第2の絶縁基板は、それぞれの前記一方の側と前記他方の側が隣接するように配置され、複数の前記第3の絶縁基板は、それぞれの前記一方の側と前記他方の側が隣接するように配置され、前記複数の前記第2の絶縁基板の前記一方の側と前記複数の前記第3の絶縁基板の前記一方の側と、前記複数の前記第2の絶縁基板の前記他方の側と前記複数の前記第3の絶縁基板の前記他方の側が隣接するように配置されている。

【発明の効果】

【0010】

本発明によれば、3レベル電力変換回路を構成する少なくとも4つの半導体素子を搭載

した絶縁基板に中間電位導体板に対して、正側導体板及び負側導体板を一方向から対面させることにより、互いに逆方向に電流が流れる中間電位導体板と正側導体板及び負側導体板との対向面積を広く取ってインダクタンスを大幅に低減することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の第1の実施形態に係る半導体装置を示す斜視図である。

【図2】図1に示す半導体装置のベース板に接合された絶縁基板に搭載した半導体素子を示す平面図である。

【図3】3レベル電力変換回路の一例を示す回路図である。

【図4】正側導体板、負側導体板、中間電位導体板及び交流出力用導体板の配置を示す立面図である。

【図5】本発明の第1の実施形態に係る半導体装置の一の動作モードにおける半導体素子の発熱状態を説明する模式図である。

【図6】本発明の第1の実施形態に係る半導体装置の他の動作モードにおける半導体素子の発熱状態を説明する模式図である。

【図7】本発明の第1の実施形態に係る半導体装置のさらに他の動作モードにおける半導体素子の発熱状態を説明する模式図である。

【図8】本発明の第1の実施形態に係る半導体装置のさらに他の動作モードにおける半導体素子の発熱状態を説明する模式図である。

【図9】本発明の第2の実施形態に係る半導体装置を示す斜視図である。

【図10】図9に示す半導体装置のベース板に接合された絶縁基板に搭載した半導体素子を示す平面図である。

【図11】本発明の第2の実施形態に係る半導体装置の動作モード毎の半導体素子の発熱状態を簡略化して説明する図である。

【図12】第2の実施形態における3レベル電力変換回路の一例の回路構成を(a)に、端子配置を(b)に示す図である。

【図13】第2の実施形態における3レベル電力変換回路の別の例の回路構成を(a)に、端子配置を(b)に示す図である。

【図14】第2の実施形態において正電圧を出力する状態で、図12(a)に示す回路構成における電流経路と、図13(a)に示す回路構成における電流経路との比較を示す図である。

【図15】第2の実施形態において負電圧を出力する状態で、図12(a)に示す回路構成における電流経路と、図13(a)に示す回路構成における電流経路との比較を示す図である。

【図16】第2の実施形態において零電圧を出力する状態で、図12(a)に示す回路構成における電流経路と、図13(a)に示す回路構成における電流経路との比較を示す図である。

【図17】本発明の第3の実施形態に係る半導体装置において、半導体素子を搭載した絶縁基板を示す平面図である。

【図18】本発明の第3の実施形態に係る半導体装置の動作モード毎の半導体素子の発熱状態を簡略化して説明する図である。

【図19】本発明の第3の実施形態に係る半導体装置の変形例において、半導体素子を搭載した絶縁基板を示す平面図である。

【図20】本発明の第3の実施形態に係る半導体装置の変形例において、動作モード毎の半導体素子の発熱状態を簡略化して説明する図である。

【図21】本発明の第4の実施形態に係る半導体装置において、半導体素子を搭載した絶縁基板を示す平面図である。

【図22】本発明の第4の実施形態に係る半導体装置の動作モード毎の半導体素子の発熱状態を簡略化して説明する図である。

【図23】本発明の第4の実施形態に係る半導体装置の変形例において、半導体素子を搭

10

20

30

40

50

載した絶縁基板を示す平面図である。

【図24】本発明の第4の実施形態に係る半導体装置の変形例において、動作モード毎の半導体素子の発熱状態を簡略化して説明する図である。

【図25】図1に示す本発明の第1の実施形態に係る半導体装置に対応する半導体装置において二つの外部接続端子の配置位置を互いに入れ替えた状態の変形例を示す斜視図である。

【図26】図1に示す本発明の第1の実施形態に係る半導体装置に対応する半導体装置の他の変形例を示す斜視図である。

【図27】図1に示す本発明の第1の実施形態に係る半導体装置に対応する半導体装置のさらに他の変形例を示す平面図である。

【発明を実施するための形態】

【0012】

以下、図面を参照してこの発明の実施の形態について説明する。

図1は、本発明の第1の実施形態に係る半導体装置を示す斜視図である。図2は図1に示す半導体装置のベース板に接合された絶縁基板に搭載された半導体素子を示す平面図である。図1に示す半導体装置は、パワーコンディショナー（PCS：Power Conditioning Subsystem）に適用することができる。

半導体装置1は、図1に示すように、絶縁性の樹脂で成型されたケース2を有する。このケース2は、ベース板3をねじで固定するためにベース板3に設けた穴部を露出させるとともにベース板3上の他の部分を覆っている。また、ケース2の上面側には、端子配置面4が形成されている。この端子配置面4の横方向の中央部には、端子配置面4の長手方向に延びる突条5が設けられている。突条5上には、その右端側から、直流電源の正側端子Pとなる第1の外部接続端子 t_{m1} （P）、中間端子となる第2の外部接続端子 t_{m2} （M1）と第3の外部接続端子 t_{m3} （M2）、直流電源の負側端子Nとなる第4の外部接続端子 t_{m4} （N）及び交流出力端子Uとなる第5の外部接続端子 t_{m5} （U）がその順に直線状に直列配置されている。

【0013】

端子配置面4の前端側には、右側から後述する絶縁ゲートバイポーラトランジスタT1のコレクタ電圧を出力する第1の補助端子 t_{s1} （T1P）と、絶縁ゲートバイポーラトランジスタT1のゲート電圧を供給するゲート端子となる第2の補助端子 t_{s2} （T1G）、後述する絶縁ゲートバイポーラトランジスタT1のエミッタ電圧を出力する第3の補助端子 t_{s3} （T1E）、後述する絶縁ゲートバイポーラトランジスタT2のゲート電圧を供給するゲート端子となる第4の補助端子 t_{s4} （T2G）及び絶縁ゲートバイポーラトランジスタT2のエミッタ電圧を出力する第5の補助端子 t_{s5} （T2E）が配置されている。

【0014】

端子配置面4の後端側には、右端寄り位置に後述する絶縁ゲートバイポーラトランジスタT3のエミッタ電圧が出力される第6の補助端子 t_{s6} （T3E）及び絶縁ゲートバイポーラトランジスタT3のゲート電圧を供給するゲート端子となる第7の補助端子 t_{s7} （T3G）が併置されている。また、端子配置面4の後端側には、左端寄り位置に後述する絶縁ゲートバイポーラトランジスタT4のエミッタ電圧が出力される第8の補助端子 t_{s8} （T4E）及び絶縁ゲートバイポーラトランジスタT4のゲート電圧を供給するゲート端子となる第9の補助端子 t_{s9} （T4G）が併置されている。さらに、端子配置面4の後端側には、中央部にケース2内に埋設されてケース2の内部温度を検出するサーミスタ150に接続されたサーミスタ用の第10補助端子 t_{s10} （TH2）及び第11の補助端子 t_{s11} （TH1）が配置されている。

【0015】

さらに、ケース2の突条5には、第1及び第2の外部接続端子 t_{m1} 及び t_{m2} 間の部分と、第2及び第3の外部接続端子 t_{m2} 及び t_{m3} 間の部分と、第3及び第4の外部接続端子 t_{m3} 及び t_{m4} 間の部分と、第4及び第5の外部接続端子 t_{m4} 及び t_{m5} 間の

10

20

30

40

50

部分に形成された複数の横方向のスリットを有している。これらスリット6は、前記各部分の絶縁を確保するようにその部分の沿面距離を延長するためのものである。

ケース2は、第1の補助端子 t_{s1} ～第11の補助端子 t_{s11} の下方側の各部分にスリット6と同様に形成された複数のスリット7を有している。これらスリット7は、各補助端子 t_{s1} ～ t_{s11} とベース板3（接地電位）との部分の絶縁を確保するようにその部分の沿面距離を延長するためのものである。ここで、各スリット6及び7の数は、所望の絶縁耐圧に応じて設定すればよい。

【0016】

図2に示すように、ベース板3上には、伝熱性の良いセラミックス（例えばアルミナ）基板の両面に導体パターンが形成された絶縁基板11が配置されている。図2の例では、ベース板3上に、6枚の絶縁基板11が配置されている。この6枚の絶縁基板11の2枚ごとに、3レベル電力変換装置（インバータ）回路の3相のうちの図3に示す1相分の回路を構成する4つの絶縁ゲートバイポーラトランジスタ $T1$ ～ $T4$ が実装されている。その4つの絶縁ゲートバイポーラトランジスタ $T1$ ～ $T4$ のうち、 $T1$ と $T3$ が同一の絶縁基板11に、 $T2$ と $T4$ が他の同一の絶縁基板11に実装されている。絶縁ゲートバイポーラトランジスタ $T1$ ～ $T4$ のうち、 $T3$ 、 $T4$ は、逆阻止型絶縁ゲートバイポーラトランジスタである。

10

【0017】

図2の例では、 $T1$ と $T3$ とを実装した絶縁基板11を3枚（ $SB11$ ～ $SB13$ と記す）、 $T2$ と $T4$ とを実装した絶縁基板11を3枚（ $SB21$ ～ $SB23$ と記す）を、各絶縁基板 $SB11$ ～ $SB13$ を並列に接続し、また、各絶縁基板 $SB21$ ～ $SB23$ を並列に接続して用いている。

20

ここで、図2に示した長手方向の中央線 $L1$ 及び横方向の中央線 $L2$ によってベース板3上のケース2の内部の全体のエリアを4つの領域に分割し、図2に示すようにそれぞれ領域 $DA1$ 、 $DA2$ 、 $DA3$ 、及び $DA4$ とする。

図2の例では、領域 $DA1$ には、後述する半導体素子としての絶縁ゲートバイポーラトランジスタ $T1$ 及びこれに逆並列に接続されるフリー・ホイーリング・ダイオード $D1$ を配置する。つまり、各絶縁基板 $SB11$ ～ $SB13$ の領域 $DA1$ のエリアには、絶縁ゲートバイポーラトランジスタ $T1$ 及びこれに逆並列に接続されるフリー・ホイーリング・ダイオード $D1$ が搭載されている。さらに、これら絶縁ゲートバイポーラトランジスタ $T1$ とフリー・ホイーリング・ダイオード $D1$ は、ベース板3の長手方向に直線状に配置されている。

30

【0018】

領域 $DA2$ には、後述する半導体素子としての絶縁ゲートバイポーラトランジスタ $T2$ 及びこれに逆並列に接続されるフリー・ホイーリング・ダイオード $D2$ を配置する。つまり、各絶縁基板 $SB21$ ～ $SB23$ の領域 $DA2$ のエリアには、絶縁ゲートバイポーラトランジスタ $T2$ 及びこれに逆並列に接続されるフリー・ホイーリング・ダイオード $D2$ が搭載されている。さらにこれら絶縁ゲートバイポーラトランジスタ $T2$ とフリー・ホイーリング・ダイオード $D2$ は、ベース板3の長手方向に直線状に配置されている。

【0019】

領域 $DA3$ には、後述する双方向スイッチ素子となる半導体素子としての逆阻止型絶縁ゲートバイポーラトランジスタ $T3$ が配置されている。つまり、各絶縁基板 $SB21$ ～ $SB23$ の領域 $DA3$ のエリアには、逆阻止型絶縁ゲートバイポーラトランジスタ $T3$ が搭載されている。さらにこれら逆阻止型絶縁ゲートバイポーラトランジスタ $T3$ は、ベース板3の長手方向に直線状に配置されている。

40

領域 $DA4$ には、後述する双方向スイッチ素子となる半導体素子としての逆阻止型絶縁ゲートバイポーラトランジスタ $T4$ が配置されている。つまり、各絶縁基板 $SB11$ ～ $SB13$ の領域 $DA4$ のエリアには、逆阻止型絶縁ゲートバイポーラトランジスタ $T4$ がそれぞれ搭載されている。さらに、これら逆阻止型絶縁ゲートバイポーラトランジスタ $T4$ は、ベース板3の長手方向に直線状に配置されている。

50

【 0 0 2 0 】

ここで、半導体装置 1 に内蔵される 3 レベル電力変換（インバータ）回路の回路構成、例えば U 相分の回路構成は、図 3 に示すように、直列に接続された絶縁ゲートバイポーラトランジスタ T 1 及び絶縁ゲートバイポーラトランジスタ T 2 と、これら絶縁ゲートバイポーラトランジスタ T 1 のエミッタ及び絶縁ゲートバイポーラトランジスタ T 2 のコレクタとの接続点 C 1 に接続された双方向スイッチ素子 1 2 とを備えている。

双方向スイッチ素子 1 2 は、コレクタが接続点 C 1 に接続された逆阻止型絶縁ゲートバイポーラトランジスタ T 3 とこの逆阻止型絶縁ゲートバイポーラトランジスタ T 3 に逆並列に接続された逆阻止型絶縁ゲートバイポーラトランジスタ T 4 とで構成されている。

【 0 0 2 1 】

各絶縁基板 S B 1 1 ~ S B 1 3 の一端には、導電パターン 1 2 1 a と導電パターン 1 2 1 b とが配置されている。導電パターン 1 2 1 a は、絶縁ゲートバイポーラトランジスタ T 1 のエミッタ電圧を出力する第 3 の補助端子 t s 3 (T 1 E) と電氣的に接続する。導電パターン 1 2 1 b は、絶縁ゲートバイポーラトランジスタ T 1 のゲート電圧を供給するゲート端子となる第 2 の補助端子 t s 2 (T 1 G) と電氣的に接続される。

各絶縁基板 S B 1 1 ~ S B 1 3 の他端には、導電パターン 1 2 1 h と導電パターン 1 2 1 g とが配置されている。導電パターン 1 2 1 h は、逆阻止型絶縁ゲートバイポーラトランジスタ T 3 のエミッタ電圧を出力する第 6 の補助端子 t s 6 (T 3 E) と電氣的に接続する。導電パターン 1 2 1 g は、逆阻止型絶縁ゲートバイポーラトランジスタ T 3 のゲート電圧を供給するゲート端子となる第 7 の補助端子 t s 7 (T 3 G) と電氣的に接続される。

【 0 0 2 2 】

各絶縁基板 S B 1 1 ~ S B 1 3 は、絶縁ゲートバイポーラトランジスタ T 1 を実装した領域 D A 1 に配置された導電パターン 1 2 1 c と、導電パターン 1 2 1 d を有している。導電パターン 1 2 1 c は、絶縁ゲートバイポーラトランジスタ T 1 のコレクタとフリー・ホイーリング・ダイオード D 1 のカソードとを、錫を含む半田、または銀および錫などの導電性材料を含む導電ペーストを介して接続される。導電パターン 1 2 1 d は、絶縁ゲートバイポーラトランジスタ T 1 のエミッタと電氣的に接続される。

各絶縁基板 S B 1 1 ~ S B 1 3 は、逆阻止型絶縁ゲートバイポーラトランジスタ T 3 を実装した領域 D A 4 に配置された導電パターン 1 2 1 f と導電パターン 1 2 1 e を有している。導電パターン 1 2 1 f は、逆阻止型絶縁ゲートバイポーラトランジスタ T 3 のコレクタに、錫を含む半田、または銀および錫などの導電性材料を含む導電ペーストを介して接続される。導電パターン 1 2 1 e は、逆阻止型絶縁ゲートバイポーラトランジスタ T 3 のエミッタと電氣的に接続される。

【 0 0 2 3 】

絶縁基板 S B 1 2 の導電パターン 1 2 1 a、1 2 1 b、1 2 1 g、1 2 1 h は、右側の隣接する絶縁基板 S B 1 1 の導電パターン 1 2 1 a、1 2 1 b、1 2 1 g、1 2 1 h および左側の隣接する絶縁基板 S B 1 3 の導電パターン 1 2 1 a、1 2 1 b、1 2 1 g、1 2 1 h と図 3 のワイヤ 1 3 0 によりそれぞれ接続されている。

第 3 の補助端子 t s 3 (T 1 E) と絶縁基板 S B 1 3 の導電パターン 1 2 1 a とは、ワイヤ 1 3 0 を介して接続されている。第 3 の補助端子 t s 3 (T 1 E) の位置により、第 3 の補助端子 t s 3 (T 1 E) は、絶縁基板 S B 1 1 または絶縁基板 S B 1 2 の導電パターン 1 2 1 a とワイヤ 1 3 0 を介して接続することができる。

【 0 0 2 4 】

第 2 の補助端子 t s 2 (T 1 G) と絶縁基板 S B 1 3 の導電パターン 1 2 1 b とは、ワイヤ 1 3 0 を介して接続されている。第 2 の補助端子 t s 2 (T 1 G) の位置により、第 2 の補助端子 t s 2 (T 1 G) は、絶縁基板 S B 1 1 または絶縁基板 S B 1 2 の導電パターン 1 2 1 b とワイヤ 1 3 0 を介して接続することができる。

第 1 の補助端子 t s 1 (T 1 P) と絶縁基板 S B 1 2 の導電パターン 1 2 1 c とは、ワイヤ 1 3 0 を介して接続されている。第 1 の補助端子 t s 1 (T 1 P) の位置により、第

10

20

30

40

50

1の補助端子t s 1 (T 1 P)は、絶縁基板S B 1 1または絶縁基板S B 1 3の導電パターン1 2 1 cとワイヤ1 3 0を介して接続することができる。

【 0 0 2 5 】

第6の補助端子t s 6 (T 3 E)と絶縁基板S B 1 2の導電パターン1 2 1 hとは、ワイヤ1 3 0を介して接続されている。第6の補助端子t s 6 (T 3 E)の位置により、第6の補助端子t s 6 (T 3 E)は、絶縁基板S B 1 1または絶縁基板S B 1 3の導電パターン1 2 1 hとワイヤ1 3 0を介して接続することができる。

第7の補助端子t s 7 (T 3 G)と絶縁基板S B 1 2の導電パターン1 2 1 gとは、ワイヤ1 3 0を介して接続されている。第7の補助端子t s 7 (T 3 G)の位置により、第7の補助端子t s 7 (T 3 G)は、絶縁基板S B 1 1または絶縁基板S B 1 3の導電パターン1 2 1 gとワイヤ1 3 0を介して接続することができる。

10

【 0 0 2 6 】

絶縁ゲートバイポーラトランジスタT 1のゲートパッドと導電パターン1 2 1 bとは、ワイヤ1 3 0により接続されている。絶縁ゲートバイポーラトランジスタT 1のエミッタとフリー・ホイーリング・ダイオードD 1のアノードと導電パターン1 2 1 dとは、ワイヤ1 3 0により接続されている。

逆阻止型絶縁ゲートバイポーラトランジスタT 3のゲートパッドと導電パターン1 2 1 gとは、ワイヤ1 3 0により接続されている。逆阻止型絶縁ゲートバイポーラトランジスタT 3のエミッタと導電パターン1 2 1 eとは、ワイヤ1 3 0により接続されている。

また、導電パターン1 2 1 dと導電パターン1 2 1 a、及び導電パターン1 2 1 eと導電パターン1 2 1 hもワイヤ1 3 0により接続される。

20

【 0 0 2 7 】

各絶縁基板S B 2 1 ~ S B 2 3の一端には、導電パターン1 2 2 aと導電パターン1 2 2 bとが配置されている。導電パターン1 2 2 aは、絶縁ゲートバイポーラトランジスタT 2のエミッタ電圧を出力する第5の補助端子t s 5 (T 2 E)と電氣的に接続する。導電パターン1 2 2 bは、絶縁ゲートバイポーラトランジスタT 2のゲート電圧を供給するゲート端子となる第4の補助端子t s 4 (T 2 G)と電氣的に接続する。

各絶縁基板S B 2 1 ~ S B 2 3の他端には、導電パターン1 2 2 gと導電パターン1 2 2 fとが配置されている。導電パターン1 2 2 gは、逆阻止型絶縁ゲートバイポーラトランジスタT 4のエミッタ電圧を出力する第8の補助端子t s 8 (T 4 E)と電氣的に接続する。導電パターン1 2 2 fは、逆阻止型絶縁ゲートバイポーラトランジスタT 4のゲート電圧を供給するゲート端子となる第9の補助端子t s 9 (T 4 G)と電氣的に接続する。

30

【 0 0 2 8 】

各絶縁基板S B 2 1 ~ S B 2 3は、絶縁ゲートバイポーラトランジスタT 2を実装した領域D A 2に配置された導電パターン1 2 2 cと導電パターン1 2 2 dを有している。導電パターン1 2 2 cは、絶縁ゲートバイポーラトランジスタT 2のコレクタとフリー・ホイーリング・ダイオードD 2のカソードとを、錫を含む半田、または銀および錫などの導電性材料を含む導電ペーストを介して接続する。導電パターン1 2 2 dは、絶縁ゲートバイポーラトランジスタT 2のエミッタと電氣的に接続する。

40

ここで、導電パターン1 2 2 cは、絶縁ゲートバイポーラトランジスタT 2のコレクタと逆阻止型絶縁ゲートバイポーラトランジスタT 4のエミッタとが互いに電氣的に接続されるように、領域D A 2と領域D A 3に亘って配置される。

【 0 0 2 9 】

各絶縁基板S B 2 1 ~ S B 2 3は、逆阻止型絶縁ゲートバイポーラトランジスタT 4を実装した領域D A 3に配置された導電パターン1 2 2 eと導電パターン1 2 2 cの一部を有している。導電パターン1 2 2 eは、逆阻止型絶縁ゲートバイポーラトランジスタT 4のコレクタに、錫を含む半田、または銀および錫などの導電性材料を含む導電ペーストを介して接続される。導電パターン1 2 2 cの一部は、逆阻止型絶縁ゲートバイポーラトランジスタT 4のエミッタと電氣的に接続される。

50

絶縁基板 S B 2 2 の導電パターン 1 2 2 a、1 2 2 b、1 2 2 g、1 2 2 f は、右側の隣接する絶縁基板 S B 2 1 の導電パターン 1 2 2 a、1 2 2 b、1 2 2 g、1 2 2 f および左側の隣接する絶縁基板 S B 1 3 の導電パターン 1 2 2 a、1 2 2 b、1 2 2 g、1 2 2 f とワイヤ 1 3 0 によりそれぞれ接続されている。

【 0 0 3 0 】

第 4 の補助端子 t s 4 (T 2 G) と絶縁基板 S B 2 3 の導電パターン 1 2 2 b とは、ワイヤ 1 3 0 を介して接続されている。第 4 の補助端子 t s 4 (T 2 G) の位置により、第 4 の補助端子 t s 4 (T 2 G) は、絶縁基板 S B 2 1 または絶縁基板 S B 2 2 の導電パターン 1 2 2 b とワイヤ 1 3 0 を介して接続することができる。

第 5 の補助端子 t s 5 (T 2 E) と絶縁基板 S B 2 3 の導電パターン 1 2 2 a とは、ワイヤ 1 3 0 を介して接続されている。第 5 の補助端子 t s 5 (T 2 E) の位置により、第 5 の補助端子 t s 5 (T 2 E) は、絶縁基板 S B 2 1 または絶縁基板 S B 2 2 の導電パターン 1 2 2 a とワイヤ 1 3 0 を介して接続することができる。

【 0 0 3 1 】

第 8 の補助端子 t s 8 (T 4 E) と絶縁基板 S B 2 3 の導電パターン 1 2 2 g とは、ワイヤ 1 3 0 を介して接続されている。第 8 の補助端子 t s 8 (T 4 E) の位置により、第 8 の補助端子 t s 8 (T 4 E) は、絶縁基板 S B 2 1 または絶縁基板 S B 2 2 の導電パターン 1 2 2 g とワイヤ 1 3 0 を介して接続することができる。

第 9 の補助端子 t s 9 (T 4 G) と絶縁基板 S B 2 3 の導電パターン 1 2 2 f とは、ワイヤ 1 3 0 を介して接続されている。第 9 の補助端子 t s 9 (T 4 G) の位置により、第 9 の補助端子 t s 9 (T 4 G) は、絶縁基板 S B 2 1 または絶縁基板 S B 2 2 の導電パターン 1 2 2 f とワイヤ 1 3 0 を介して接続することができる。

【 0 0 3 2 】

絶縁ゲートバイポーラトランジスタ T 2 のゲートパッドと導電パターン 1 2 2 b とは、ワイヤ 1 3 0 により接続されている。絶縁ゲートバイポーラトランジスタ T 2 のエミッタとフリー・ホイーリング・ダイオード D 2 のアノードと導電パターン 1 2 2 d とは、ワイヤ 1 3 0 により接続されている。

逆阻止型絶縁ゲートバイポーラトランジスタ T 4 のゲートパッドと導電パターン 1 2 2 f とは、ワイヤ 1 3 0 により接続されている。逆阻止型絶縁ゲートバイポーラトランジスタ T 4 のエミッタと導電パターン 1 2 1 g とは、導電パターン 1 2 1 c の一部を介してワイヤ 1 3 0 により接続されている。

【 0 0 3 3 】

また、導電パターン 1 2 2 d と導電パターン 1 2 2 a もワイヤ 1 3 0 で接続される。

そして、双方向スイッチ素子 1 2 の逆阻止型絶縁ゲートバイポーラトランジスタ T 3 のエミッタ及び逆阻止型絶縁ゲートバイポーラトランジスタ T 4 のコレクタの接続点 C 2 が、主回路端子を構成する中間端子 M 1 となる第 2 の外部接続端子 t m 2 (M 1) に接続されている。

また、絶縁ゲートバイポーラトランジスタ T 1 のコレクタが、直流電源の正極側に接続される正側端子としての第 1 の外部接続端子 t m 1 (P) に接続されている。

【 0 0 3 4 】

さらに、絶縁ゲートバイポーラトランジスタ T 2 のエミッタが、直流電源の負極側に接続される負側端子としての第 4 の外部接続端子 t m 4 (N) に接続されている。

さらにまた、双方向スイッチ素子 1 2 の逆阻止型絶縁ゲートバイポーラトランジスタ T 3 のエミッタと逆阻止型絶縁ゲートバイポーラトランジスタ T 4 のコレクタとの接続点 C 2 が、第 2 の外部接続端子 t m 2 (M 1) と、この第 2 の外部接続端子 t m 2 (M 1) に接続されて、これと同電位の第 3 の外部接続端子 t m 3 (M 2) に接続されている。

また、絶縁ゲートバイポーラトランジスタ T 1 のエミッタ及び T 2 のコレクタの接続点 C 1 が、交流出力端子としての第 5 の外部接続端子 t m 5 (U) に接続されている。

【 0 0 3 5 】

本実施形態では、3 レベル電力変換回路の図 3 に示す一相 (例えば U 相) 分の回路が、

10

20

30

40

50

4つの絶縁ゲートバイポーラトランジスタT1～T4で構成されている。これら絶縁ゲートバイポーラトランジスタT1～T4のうち、絶縁ゲートバイポーラトランジスタT1とT3とが各絶縁基板SB11～SB13の各々に搭載され、絶縁ゲートバイポーラトランジスタT1が互いに並列に接続され、また、絶縁ゲートバイポーラトランジスタT3が互いに並列に接続されている。さらに、絶縁ゲートバイポーラトランジスタT2とT4とが各絶縁基板SB21～SB23の各々に搭載され、絶縁ゲートバイポーラトランジスタT2が互いに並列に接続され、また、絶縁ゲートバイポーラトランジスタT4が互いに並列に接続されている。このようにして、図2に示す半導体装置が構成されている。

【0036】

したがって、絶縁基板SB11に搭載された絶縁ゲートバイポーラトランジスタT1とT3、及び絶縁基板SB21に搭載された絶縁ゲートバイポーラトランジスタT2とT4の電流容量が300Aであるものとする、絶縁基板SB11とSB21、SB12とSB22、及びSB13とSB23の3組とすることで、すべての絶縁ゲートバイポーラトランジスタT1～T4の合計の電流容量が900Aとなる。

そして、各絶縁基板SB11～SB13には正側導体板21が、各絶縁基板SB21～SB23には負側導体板22が図2に示すように接続されている。また、各絶縁基板SB11～SB13及びSB21～SB23には、図2に示すように、共通の中間電位導体板23が接続されている。さらに、各絶縁基板SB11～SB13及びSB21～SB23には、図2に示すように、共通の交流出力用導体板24が接続されている。

【0037】

図4は正側導体板21、負側導体板22、中間電位導体板23及び交流出力用導体板24の配置を示す立面図である。図4に示すように、これら正側導体板21、負側導体板22、中間電位導体板23及び交流出力用導体板24は、各絶縁基板SB11～SB13及びSB21～SB23に対して垂直方向に立ち上がり、且つ左右方向に延長している。正側導体板21及び負側導体板22は、図2に示すように、中間電位導体板23に対してその一面側すなわち前面側に近接して対面して配置されている。また、交流出力用導体板24は中間電位導体板23の後方側に近接して対面して配置されている。

【0038】

中間電位導体板23には、右端側に第2の外部接続端子tm2(M1)が上方に延長して形成され、中央部に第3の外部接続端子tm3(M2)が上方に延長して形成されている。また、正側導体板21には、第2の外部接続端子tm2(M1)の右側位置に第1の外部接続端子tm1(P)が上方に延長して形成されている。さらに、負側導体板22には、第3の外部接続端子tm3(M2)の左側位置に第4の外部接続端子tm4(N)が上方に延長して形成されている。なおさらに、交流出力用導体板24には、第4の外部接続端子tm4(N)の左側位置に第5の外部接続端子tm5(U)が上方に延長して形成されている。

【0039】

これら第1の外部接続端子tm1～第5の外部接続端子tm5は、それぞれの上部に形成された貫通穴25を有している。

ケース2は突条5の上面の第1の外部接続端子tm1～第5の外部接続端子tm5がそれぞれ配置される位置に、ナットを挿入するために形成された凹部(図示しない)を有し、その凹部にそれぞれナット(図示しない)が挿入されている。第1の外部接続端子tm1～第5の外部接続端子tm5の上端が、ケース2の突条5の上面から上方に突出され、突条5の上面位置で折曲げられ、それぞれの貫通穴25を突条5の凹部に挿入されたナットの雌ねじ部26に対向させている。

【0040】

次に、上記第1の実施形態の動作を説明する。

図5～図8は、本発明の第1の実施形態に係る半導体装置の動作モード毎の半導体素子の発熱状態を説明する模式図である。

図5～図8においては、各絶縁基板SB11～SB13及びSB21～SB23を2つ

10

20

30

40

50

に分割して、それぞれに1つの絶縁ゲートバイポーラトランジスタを搭載した変形例が第1の実施形態の一例として示されている。この例では、このような3枚の絶縁基板が領域DA1～DA4のそれぞれに配置されている。

今、動作が絶縁ゲートバイポーラトランジスタT1のゲートにゲートパルスを入力してスイッチングさせ、逆阻止型絶縁ゲートバイポーラトランジスタT4がリカバリするモードであるときには、図5に示すように、領域DA1の各絶縁基板SB11～SB13に配置された絶縁ゲートバイポーラトランジスタT1と、領域DA1とは対角に位置した各絶縁基板SB21～SB23の領域DA3に搭載されている逆阻止型絶縁ゲートバイポーラトランジスタT4が発熱することになる。一方、領域DA2及びDA4では、発熱を生じない。

10

【0041】

また、動作が絶縁ゲートバイポーラトランジスタT2の各ゲートにゲートパルスを供給してスイッチングさせ、逆阻止型絶縁ゲートバイポーラトランジスタT3がリカバリするモードとなると、図6に示すように、各絶縁基板SB21～SB23の領域DA2に搭載された絶縁ゲートバイポーラトランジスタT2と、領域DA2とは対角に位置した各絶縁基板SB11～SB13の領域DA4に搭載されている逆阻止型絶縁ゲートバイポーラトランジスタT3が発熱することになる。一方、領域DA1及びDA3では、発熱を生じない。

【0042】

さらに、動作が逆阻止型絶縁ゲートバイポーラトランジスタT3の各ゲートにゲートパルスを供給してスイッチングさせ、絶縁ゲートバイポーラトランジスタT1がリカバリするモードでは、図7に示すように、各絶縁基板SB11～SB13の領域DA1に搭載されたフリー・ホイーリング・ダイオードD1が発熱するとともに、領域DA1とは横方向に隣接して位置した各絶縁基板SB11～SB13の領域DA4に搭載された逆阻止型絶縁ゲートバイポーラトランジスタT3が発熱することになる。一方、領域DA2及びDA3では、発熱を生じない。

20

【0043】

さらに、動作が逆阻止型絶縁ゲートバイポーラトランジスタT4の各ゲートにゲートパルスを供給してスイッチングさせ、絶縁ゲートバイポーラトランジスタT2がリカバリするモードでは、図8に示すように、各絶縁基板SB21～SB23の領域DA2に搭載されたフリー・ホイーリング・ダイオードD2が発熱するとともに、領域DA2とは横方向に隣接して位置し、各絶縁基板SB21～SB23の領域DA3に搭載された逆阻止型絶縁ゲートバイポーラトランジスタT4が発熱することになる。一方、領域DA1及びDA4では、発熱を生じない。

30

【0044】

このように、第1の実施形態によると、半導体装置1を動作状態としたときに、領域DA1～DA4の全ての領域が発熱することではなく、対角位置にある2つの領域又は横方向に隣接した2つの領域が発熱するだけである。すなわち、動作モードに応じて部分的な2つの領域が発熱を生じるだけである。

したがって、前述した従来のモジュールの例のように、ベース板3上の絶縁基板の全体で発熱が生じる場合に比較して、発熱を分散させることができ、半導体装置1が過熱状態となることを確実に防止することができる。

40

【0045】

しかも、本実施形態の半導体装置1を前述した太陽電池を使用したメガソーラーシステムにおけるパワーコンディショナー(PCS)として使用する場合には、半導体装置1がインバータとして動作するだけであるので、フリー・ホイーリング・ダイオードD1及びD2の発熱は少ない。したがって、前述した図7及び図8に示すモードでは、フリー・ホイーリング・ダイオードD1及びD2の発熱が少ない。これにより、発熱量の大きい逆阻止型絶縁ゲートバイポーラトランジスタT3を搭載している各絶縁基板SB11～SB13の領域DA4と発熱量の大きい逆阻止型絶縁ゲートバイポーラトランジスタT4を搭載

50

している各絶縁基板SB21～SB23の領域DA3が同時に発熱すること、および熱干渉が発生することを抑制することができる。

したがって、上記第1の実施形態によると、動作モード毎に発熱領域が変化するとともに、発熱領域が部分的であり、効率的な熱分散を行うことができる。

【0046】

また、第1の実施形態では、中間電位導体板23に対して、正側導体板21及び負側導体板22が中間電位導体板23の一面側すなわち前面側に近接して対面配置されている。このため、電流が第1の外部接続端子tm1(P)から各絶縁ゲートバイポーラトランジスタT1を通じ、さらに各逆阻止型絶縁ゲートバイポーラトランジスタT3を通じて第2の外部接続端子tm2(M1)又は第3の外部接続端子tm3(M2)に流れる。これにより、中間電位導体板23に流れる電流の方向と正側導体板21に流れる電流の方向とが互いに逆である状態となる。この状態では、中間電位導体板23と正側導体板21とが互いに近接して配置されているので、中間電位導体板23に流れる電流によって生ずる磁場と正側導体板21に流れる電流によって生ずる磁場とは、互いに打ち消し合う。この結果、中間電位導体板23に流れる電流と正側導体板21に流れる電流に及ぼす磁場の影響は小さくなり、その結果に基づく中間電位導体板23及び正側導体板21との間のインダクタンスを低減させることができる。

10

【0047】

同様に、電流が第2の外部接続端子tm2(M1)又は第3の外部接続端子tm3(M2)から各逆阻止型絶縁ゲートバイポーラトランジスタT4を通じ、さらに各絶縁ゲートバイポーラトランジスタT2を通じて第4の外部接続端子tm4(N)に流れる場合にも、中間電位導体板23に流れる電流の方向と負側導体板22に流れる電流の方向は、互いに逆となり、互いに近接した中間電位導体板23及び負側導体板22との間のインダクタンスを低減させることができる。

20

しかも、正側導体板21及び負側導体板22は、それぞれ中間電位導体板23と対向しているので中間電位導体板23との対向面積を広くとることができ、インダクタンス低減効果をより発揮することができる。

さらに、正側導体板21と負側導体板22とが直線状に配置されているので、これら正側導体板21と負側導体板22とが、各絶縁基板SB11～SB13上の導電パターン121cと、各絶縁基板SB21～SB23上の導電パターン122dとに、例えば図2に示す接合部140における超音波接合によって、電氣的に接続することができる。

30

【0048】

次に、本発明の第2の実施形態を図9及び図10について説明する。

図9は、本発明の第2の実施形態に係る半導体装置を示す斜視図である。図10は、図9に示す半導体装置のベース板3に接合された絶縁基板に搭載した半導体素子を示す平面図である。

この第2の実施形態は、第1の実施形態における逆阻止型絶縁ゲートバイポーラトランジスタT3の配置位置と逆阻止型絶縁ゲートバイポーラトランジスタT4の配置位置を互いに入れ替えた半導体装置である。

すなわち、第2の実施形態では、図10に示すように、前述した第1の実施形態におけるベース板3の領域DA3に配置されていた逆阻止型絶縁ゲートバイポーラトランジスタT4が各絶縁基板SB11～SB13に搭載され、領域DA4に配置されている。これに伴って、領域DA4に配置されていた逆阻止型絶縁ゲートバイポーラトランジスタT3が各絶縁基板SB21～SB23に搭載され、領域DA3に配置されている。これに伴って、絶縁基板11の導電パターンも第1の実施形態から変更されている。

40

【0049】

各絶縁基板SB11～SB13の一端には、導電パターン123aと導電パターン123bとが配置されている。導電パターン123aは、絶縁ゲートバイポーラトランジスタT1のエミッタ電圧を出力する第3の補助端子ts3(T1E)と電氣的に接続する。導電パターン123bは、絶縁ゲートバイポーラトランジスタT1のゲート電圧を供給する

50

ゲート端子となる第2の補助端子 $t s 2 (T 1 G)$ と電氣的に接続する。

各絶縁基板 $S B 1 1 \sim S B 1 3$ の他端には、導電パターン $1 2 3 g$ と導電パターン $1 2 3 f$ とが配置されている。導電パターン $1 2 3 g$ は、逆阻止型絶縁ゲートバイポーラトランジスタ $T 4$ のエミッタ電圧を出力する第8の補助端子 $t s 8 (T 4 E)$ と電氣的に接続する。導電パターン $1 2 3 f$ は、逆阻止型絶縁ゲートバイポーラトランジスタ $T 4$ のゲート電圧を供給するゲート端子となる第9の補助端子 $t s 9 (T 4 G)$ と電氣的に接続する。

【0050】

各絶縁基板 $S B 1 1 \sim S B 1 3$ は、絶縁ゲートバイポーラトランジスタ $T 1$ を実装した領域 $D A 1$ に配置された導電パターン $1 2 3 c$ と導電パターン $1 2 3 e$ とを有している。導電パターン $1 2 3 c$ は、絶縁ゲートバイポーラトランジスタ $T 1$ のコレクタとフリー・ホイーリング・ダイオード $D 1$ のカソードとを、錫を含む半田、または銀および錫などの導電性材料を含む導電ペーストを介して接続する。導電パターン $1 2 3 e$ は、絶縁ゲートバイポーラトランジスタ $T 1$ のエミッタを電氣的に接続する。

10

ここで、導電パターン $1 2 3 e$ は、絶縁ゲートバイポーラトランジスタ $T 1$ のエミッタと逆阻止型絶縁ゲートバイポーラトランジスタ $T 4$ のエミッタとが互いに電氣的に接続されるように、領域 $D A 1$ と領域 $D A 4$ に亘って配置されている。

【0051】

各絶縁基板 $S B 1 1 \sim S B 1 3$ は、逆阻止型絶縁ゲートバイポーラトランジスタ $T 4$ を実装した領域 $D A 4$ に配置された導電パターン $1 2 3 d$ と導電パターン $1 2 3 e$ を有している。導電パターン $1 2 3 d$ は、逆阻止型絶縁ゲートバイポーラトランジスタ $T 4$ のコレクタに、錫を含む半田、または銀および錫などの導電性材料を含む導電ペーストを介して接続される。導電パターン $1 2 3 e$ は、逆阻止型絶縁ゲートバイポーラトランジスタ $T 4$ のエミッタと電氣的に接続する。

20

絶縁基板 $S B 1 2$ の導電パターン $1 2 3 a$ 、 $1 2 3 b$ 、 $1 2 3 f$ 、 $1 2 3 g$ は、右側の隣接する絶縁基板 $S B 1 1$ の導電パターン $1 2 3 a$ 、 $1 2 3 b$ 、 $1 2 3 f$ 、 $1 2 3 g$ および左側の隣接する絶縁基板 $S B 1 3$ の導電パターン $1 2 3 a$ 、 $1 2 3 b$ 、 $1 2 3 f$ 、 $1 2 3 g$ と、図10のワイヤ $1 3 0$ によりそれぞれ接続されている。

【0052】

第3の補助端子 $t s 3 (T 1 E)$ と絶縁基板 $S B 1 3$ の導電パターン $1 2 3 a$ とは、ワイヤ $1 3 0$ を介して接続されている。第3の補助端子 $t s 3 (T 1 E)$ の位置により、第3の補助端子 $t s 3 (T 1 E)$ は、絶縁基板 $S B 1 1$ または絶縁基板 $S B 1 2$ の導電パターン $1 2 3 a$ とワイヤ $1 3 0$ を介して接続することができる。

30

第2の補助端子 $t s 2 (T 1 G)$ と絶縁基板 $S B 1 3$ の導電パターン $1 2 3 b$ とは、ワイヤ $1 3 0$ を介して接続されている。第2の補助端子 $t s 2 (T 1 G)$ の位置により、第2の補助端子 $t s 2 (T 1 G)$ は、絶縁基板 $S B 1 1$ または絶縁基板 $S B 1 2$ の導電パターン $1 2 3 b$ とワイヤ $1 3 0$ を介して接続することができる。

【0053】

第1の補助端子 $t s 1 (T 1 P)$ と絶縁基板 $S B 1 2$ の導電パターン $1 2 3 c$ とは、ワイヤ $1 3 0$ を介して接続されている。第1の補助端子 $t s 1 (T 1 P)$ の位置により、第1の補助端子 $t s 1 (T 1 P)$ は、絶縁基板 $S B 1 1$ または絶縁基板 $S B 1 3$ の導電パターン $1 2 3 c$ とワイヤ $1 3 0$ を介して接続することができる。

40

第8の補助端子 $t s 8 (T 4 E)$ と絶縁基板 $S B 1 2$ の導電パターン $1 2 3 g$ とは、ワイヤ $1 3 0$ を介して接続されている。第8の補助端子 $t s 8 (T 4 E)$ の位置により、第8の補助端子 $t s 8 (T 4 E)$ は、絶縁基板 $S B 1 1$ または絶縁基板 $S B 1 3$ の導電パターン $1 2 3 g$ とワイヤ $1 3 0$ を介して接続することができる。

【0054】

第9の補助端子 $t s 9 (T 4 G)$ と絶縁基板 $S B 1 2$ の導電パターン $1 2 3 f$ とは、ワイヤ $1 3 0$ を介して接続されている。第9の補助端子 $t s 9 (T 4 G)$ の位置により、第9の補助端子 $t s 9 (T 4 G)$ は、絶縁基板 $S B 1 1$ または絶縁基板 $S B 1 3$ の導電パ

50

ーン123fとワイヤ130を介して接続することができる。

絶縁ゲートバイポーラトランジスタT1のゲートパッドと導電パターン123bとは、ワイヤ130で接続されている。絶縁ゲートバイポーラトランジスタT1のエミッタとフリー・ホイーリング・ダイオードD1のアノードと導電パターン123eとは、ワイヤ130により接続されている。

逆阻止型絶縁ゲートバイポーラトランジスタT4のゲートパッドと導電パターン123fとは、ワイヤ130により接続されている。逆阻止型絶縁ゲートバイポーラトランジスタT4のエミッタと導電パターン123eとは、ワイヤ130により接続されている。

また、導電パターン123eも導電パターン123aと導電パターン123gとにワイヤ130により接続される。

10

【0055】

各絶縁基板SB21～SB23の一端には、導電パターン124aと導電パターン124bが配置されている。導電パターン124aは、絶縁ゲートバイポーラトランジスタT2のエミッタ電圧を出力する第5の補助端子ts5(T2E)と電氣的に接続する。導電パターン124bは、絶縁ゲートバイポーラトランジスタT2のゲート電圧を供給するゲート端子となる第4の補助端子ts4(T2G)と電氣的に接続する。

各絶縁基板SB21～SB23の他端には、導電パターン124gと導電パターン124fが配置されている。導電パターン124gは、逆阻止型絶縁ゲートバイポーラトランジスタT3のエミッタ電圧を出力する第6の補助端子ts6(T3E)と接続する。導電パターン124fは、逆阻止型絶縁ゲートバイポーラトランジスタT3のゲート電圧を供給するゲート端子となる第7の補助端子ts7(T3G)と電氣的に接続する。

20

【0056】

各絶縁基板SB21～SB23は、絶縁ゲートバイポーラトランジスタT2を実装した領域DA2に配置された導電パターン124dと導電パターン124cを有している。導電パターン124dは、絶縁ゲートバイポーラトランジスタT2のコレクタとフリー・ホイーリング・ダイオードD2のカソードとを、錫を含む半田、または銀および錫などの導電性材料を含む導電ペーストを介して接続する。導電パターン124cは、絶縁ゲートバイポーラトランジスタT2のエミッタを電氣的に接続する。

ここで、導電パターン124dは、絶縁ゲートバイポーラトランジスタT2のコレクタ、フリー・ホイーリング・ダイオードD2のカソード、および逆阻止型絶縁ゲートバイポーラトランジスタT3のコレクタが互いに電氣的に接続されるように、領域DA2と領域DA3に亘って配置されている。

30

【0057】

各絶縁基板SB21～SB23は、逆阻止型絶縁ゲートバイポーラトランジスタT3を実装した領域DA3に配置された導電パターン124dと導電パターン124eを有している。導電パターン124dは、逆阻止型絶縁ゲートバイポーラトランジスタT3のコレクタを、錫を含む半田、または銀および錫などの導電性材料を含む導電ペーストを介して接続する。導電パターン124eは、逆阻止型絶縁ゲートバイポーラトランジスタT3のエミッタと電氣的に接続する。

絶縁基板SB22の導電パターン124a、124b、124f、124gは、右側の隣接する絶縁基板SB21の導電パターン124a、124b、124f、124gおよび左側の隣接する絶縁基板SB23の導電パターン124a、124b、124f、124gと、図10のワイヤ130によりそれぞれ接続されている。

40

【0058】

第4の補助端子ts4(T2G)と絶縁基板SB23の導電パターン124bとは、ワイヤ130を介して接続されている。第4の補助端子ts4(T2G)の位置により、第4の補助端子ts4(T2G)は、絶縁基板SB21または絶縁基板SB22の導電パターン124bとワイヤ130を介して接続することができる。

第5の補助端子ts5(T2E)と絶縁基板SB23の導電パターン124aとは、ワイヤ130を介して接続されている。第5の補助端子ts5(T2E)の位置により、第

50

5の補助端子t s 5 (T 2 E) は、絶縁基板S B 2 1または絶縁基板S B 2 2の導電パターン1 2 4 aとワイヤ1 3 0を介して接続することができる。

【 0 0 5 9 】

第6の補助端子t s 6 (T 3 E) と絶縁基板S B 2 3の導電パターン1 2 4 gとは、ワイヤ1 3 0を介して接続されている。第6の補助端子t s 6 (T 3 E) の位置により、第6の補助端子t s 6 (T 3 E) は、絶縁基板S B 2 1または絶縁基板S B 2 2の導電パターン1 2 4 gとワイヤ1 3 0を介して接続することができる。

第7の補助端子t s 7 (T 3 G) と絶縁基板S B 2 3の導電パターン1 2 4 fとは、ワイヤ1 3 0を介して接続されている。第7の補助端子t s 7 (T 3 G) の位置により、第7の補助端子t s 7 (T 3 G) は、絶縁基板S B 2 1または絶縁基板S B 2 2の導電パターン1 2 4 fとワイヤ1 3 0を介して接続することができる。

10

【 0 0 6 0 】

絶縁ゲートバイポーラトランジスタT 2のゲートパッドと導電パターン1 2 4 bとは、ワイヤ1 3 0により接続されている。絶縁ゲートバイポーラトランジスタT 2のエミッタとフリー・ホイーリング・ダイオードD 2のアノードと導電パターン1 2 4 cとは、ワイヤ1 3 0により接続されている。

逆阻止型絶縁ゲートバイポーラトランジスタT 3のゲートパッドと導電パターン1 2 4 fとは、ワイヤ1 3 0により接続されている。逆阻止型絶縁ゲートバイポーラトランジスタT 3のエミッタと導電パターン1 2 4 eとは、ワイヤ1 3 0により接続されている。

また、導電パターン1 2 4 aと導電パターン1 2 4 c、さらに導電パターン1 2 4 eと導電パターン1 2 4 gもそれぞれワイヤ1 3 0で接続される。

20

【 0 0 6 1 】

したがって、図9に示すように、ケース2の端子配置面4において、第6の補助端子t s 6 (T 3 E) が配置される位置と第8の補助端子t s 8 (T 4 E) が配置される位置とが、図1に示す第1の実施形態における位置からケース2の長手方向に互いに入れ替えられている。また、第7の補助端子t s 7 (T 3 G) が配置される位置と第9の補助端子t s 9 (T 4 G) が配置される位置も、図1に示す位置からケース2の長手方向に互いに入れ替えられている。

その他の構成は前述した第1の実施形態の構成と同様である。このため、図1及び図2との対応部分には同一符号を付し、その詳細説明はこれを省略する。

30

【 0 0 6 2 】

この第2の実施形態の配置は、前述した第1の実施形態における逆阻止型絶縁ゲートバイポーラトランジスタT 3の配置と、逆阻止型絶縁ゲートバイポーラトランジスタT 4の配置とを互いに長手方向に入れ替えた構成を有する。したがって、前述した第1の実施形態において発熱を生ずる領域も図示しないが当然に互いに長手方向に入れ替えられたことになる。

図11は、第2の実施形態にかかる半導体装置の動作モード毎の半導体素子の発熱状態を簡略化して説明する図である。図11においては、領域D A 1 ~ D A 4における各絶縁基板S B 1 1 ~ S B 2 3を格子の目で示し、これらの各絶縁基板S B 1 1 ~ S B 2 3に搭載された各絶縁ゲートバイポーラトランジスタT 1、T 2及び各逆阻止型絶縁ゲートバイポーラトランジスタT 3、T 4を格子の目の中に参照数字で示し、その発熱状態をハッチングで示している。

40

【 0 0 6 3 】

絶縁ゲートバイポーラトランジスタT 1がスイッチング状態で、逆阻止型絶縁ゲートバイポーラトランジスタT 4がリカバリとなるモードでは、図11(a)に示すように、領域D A 1及びD A 4で発熱を生じる。このときの発熱量としては領域D A 1の方が領域D A 4より多くなる。

絶縁ゲートバイポーラトランジスタT 2がスイッチング状態で、逆阻止型絶縁ゲートバイポーラトランジスタT 3がリカバリとなるモードでは、図11(b)に示すように、領域D A 2及びD A 3で発熱が生じる。このときの発熱量は領域D A 2の方が領域D A 3よ

50

り多くなる。

【 0 0 6 4 】

さらに、逆阻止型絶縁ゲートバイポーラトランジスタ T 3 がスイッチング状態で絶縁ゲートバイポーラトランジスタ T 1 がリカバリとなるモードでは、図 1 1 (c) に示すように、領域 D A 1 及びこれに対角位置の領域 D A 3 で発熱が生じる。このときの発熱量は、領域 D A 1 でフリー・ホイーリング・ダイオード D 1 が発熱するだけであるので、領域 D A 3 の方が領域 D A 1 より多くなる。

逆阻止型絶縁ゲートバイポーラトランジスタ T 4 がスイッチング状態で絶縁ゲートバイポーラトランジスタ T 2 がリカバリとなるモードでは、図 1 1 (d) に示すように、領域 D A 2 及びこれに対角位置の領域 D A 4 で発熱が生じる。このときの発熱量は領域 D A 2 でフリー・ホイーリング・ダイオード D 2 が発熱するだけであるので、領域 D A 4 の方が領域 D A 2 より多くなる。

【 0 0 6 5 】

正側導体板 2 1、負側導体板 2 2、中間電位導体板 2 3 及び交流出力用導体板 2 4 については、図 1 0 に示すように配置位置に変更がない。このため、前述した第 1 の実施形態と同様に、中間電位導体板 2 3 に流れる電流の方向とこれに近接して配置された正側導体板 2 1 に流れる電流の方向は、互いに逆となり、また、中間電位導体板 2 3 に流れる電流の方向とこれに近接して配置された負側導体板 2 2 に流れる電流の方向もまた互いに逆となる。これにより、中間電位導体板 2 3 及び正側導体板 2 1 との間のインダクタンス及び中間電位導体板 2 3 及び負側導体板 2 2 との間のインダクタンスを低減させることができる。

したがって、第 2 の実施形態でも、半導体装置 1 内でのインダクタンスを低減することができる。また、半導体装置 1 内のベース板 3 の全体が同時に発熱するのではなく、発熱領域が動作モードに応じて移動することになり、熱分散を確実に行って半導体装置 1 が過熱状態となることを確実に防止することができる。

【 0 0 6 6 】

図 1 2 は、この第 2 の実施形態における 3 レベル電力変換回路の一例の回路構成を (a) に、端子配置を (b) に示す図である。図 1 3 は、この第 2 の実施形態における 3 レベル電力変換回路の別の例の回路構成を (a) に、端子配置を (b) に示す図である。

前述のように、この第 2 の実施形態における 3 レベル電力変換回路の一例におけるケース 2 の端子配置は、図 1 2 (b) に示すように、第 1 の実施形態における端子配置を変更したものであるが、図 1 2 (a) に示す回路構成は、図 3 に示した第 1 の実施形態における回路構成と同一のままである。

さらに、この第 2 の実施形態では、3 レベル電力変換回路の回路構成を前述した図 1 2 (a) に示す逆阻止型絶縁ゲートバイポーラトランジスタ T 3 及び T 4 を使用した回路構成から内部配線パターンを入れ替えて、絶縁ゲートバイポーラトランジスタ T 3 及び T 4 を使用する図 1 3 (a) に示す別の例の回路構成に変更しても、図 1 3 (b) に示すケース 2 の端子配置は、図 1 2 (b) に示した端子配置のまま、同一の動作モードで同じ交流出力電圧を得ることができる。

【 0 0 6 7 】

すなわち、図 1 3 (a) に示す 3 レベル電力変換回路には、図 1 2 (a) に示す逆阻止型絶縁ゲートバイポーラトランジスタ T 3 及び T 4 に代えてこれらに対応するフリー・ホイーリング・ダイオード D 3 及び D 4 をそれぞれ逆並列に接続した絶縁ゲートバイポーラトランジスタ T 3 及び T 4 を適用している。

そして、図 1 2 (a) に示す回路に用いられているものと同じ、フリー・ホイーリング・ダイオード D 1 を逆並列に接続した絶縁ゲートバイポーラトランジスタ T 1 のエミッタには、フリー・ホイーリング・ダイオード D 4 を逆並列に接続した絶縁ゲートバイポーラトランジスタ T 4 のコレクタが接続されている。さらに、絶縁ゲートバイポーラトランジスタ T 4 のエミッタが、フリー・ホイーリング・ダイオード D 3 を逆並列に接続した絶縁ゲートバイポーラトランジスタ T 3 のコレクタに接続されている。絶縁ゲートバイ

ポーラトランジスタ T_4 のエミッタと絶縁ゲートバイポーラトランジスタ T_3 のコレクタの接続点には、第5の外部接続端子 $t_{m5}(U)$ がさらに接続されている。

【0068】

そして、絶縁ゲートバイポーラトランジスタ T_3 のエミッタは、フリー・ホイーリング・ダイオード D_2 を逆並列に接続した絶縁ゲートバイポーラトランジスタ T_2 のコレクタに接続されている。

さらに、絶縁ゲートバイポーラトランジスタ T_1 のエミッタ及び絶縁ゲートバイポーラトランジスタ T_4 コレクタの接続点には、ダイオード D_5 のカソードが接続されている。ダイオード D_5 のアノードがダイオード D_6 のカソードに接続され、ダイオード D_6 のアノードが絶縁ゲートバイポーラトランジスタ T_3 のエミッタと絶縁ゲートバイポーラトランジスタ T_2 のコレクタとの接続点に接続されている。ダイオード D_5 のアノードとダイオード D_6 のカソードとの接続点には、第2及び第3の外部接続端子 $t_{m2}(M1)$ 及び $t_{m3}(M2)$ が接続されている。

【0069】

図14は、第2の実施形態において正電圧を出力する状態で、図12(a)に示す回路構成における電流経路と、図13(a)に示す回路構成における電流経路との比較を示す図である。

この場合、図12(a)と図13(a)とに示すように互いに異なる回路構成を有する3レベル電圧変換回路において、図14に示すように、第5の外部接続端子 $t_{m5}(U)$ から出力される電圧がコンデンサ C_{11} を充電する直流電圧 $+E(V)$ となる第1の動作モードを実現するには、図12(a)に示す構成の回路においては、絶縁ゲートバイポーラトランジスタ T_1 をスイッチング動作させ、逆阻止型絶縁ゲートバイポーラトランジスタ T_4 をオン状態とし、絶縁ゲートバイポーラトランジスタ T_2 及び逆阻止型絶縁ゲートバイポーラトランジスタ T_3 をオフ状態とする。一方、図13(a)に示す構成の回路においては、絶縁ゲートバイポーラトランジスタ T_1 をスイッチング動作させ、絶縁ゲートバイポーラトランジスタ T_4 をオン状態とし、絶縁ゲートバイポーラトランジスタ T_2 及び T_3 をオフ状態とする。

【0070】

この場合に、図12(a)に示す構成の3レベル電圧変換回路に流れる電流の経路は、図14(a)に示すように、コンデンサ C_{11} の正極側から出発し、絶縁ゲートバイポーラトランジスタ T_1 を通り、誘導性負荷 L を通過してコンデンサ C_{11} の負極側に戻る経路となる。このため、誘導性負荷 L には、 $+E(V)$ の出力電圧が印加される。

これに対して図13(a)に示す構成の3レベル電圧変換回路に流れる電流の経路は、図14(b)に示すように、コンデンサ C_{11} の正極側から絶縁ゲートバイポーラトランジスタ T_1 及び T_4 を通り、誘導性負荷 L を通過してコンデンサ C_{11} の負極側に戻る経路となる。これにより、誘導性負荷 L には、 $+E(V)$ の出力電圧が印加される。

したがって、図12(a)に示す構成の回路の4つの絶縁ゲートバイポーラトランジスタ $T_1 \sim T_4$ 、及び図13(a)に示す構成の回路の4つの絶縁ゲートバイポーラトランジスタ $T_1 \sim T_4$ に対しては、同一種類のゲート信号を与えることにより、同じ出力電圧が出力されることになる。

【0071】

図15は、第2の実施形態において負電圧を出力する状態で、図12(a)に示す回路構成における電流経路と、図13(a)に示す回路構成における電流経路との比較を示す図である。

上記と逆に第5の外部接続端子 $t_{m5}(U)$ から出力される電圧がコンデンサ C_{12} を充電する直流電圧 $-E(V)$ となる第2の動作モードを実現するには、図15に示すように、図12(a)に示す構成の回路においては、絶縁ゲートバイポーラトランジスタ T_2 をスイッチング動作させ、逆阻止型絶縁ゲートバイポーラトランジスタ T_3 をオン状態とするゲート信号を入力する。残りの絶縁ゲートバイポーラトランジスタ T_1 及び逆阻止型絶縁ゲートバイポーラトランジスタ T_4 については、トランジスタ T_1 と T_4 とをそれぞれ

10

20

30

40

50

れオフ状態とするゲート信号を入力する。

【0072】

この場合に図12(a)に示す構成の3レベル電圧変換回路に流れる電流の経路は、図15(a)に示すように、コンデンサC12の正極側から出発し、誘導性負荷Lを通り、絶縁ゲートバイポーラトランジスタT2を通過してコンデンサC12の負極側に戻る経路となる。このため、誘導性負荷Lには、出力電圧 $-E(V)$ を印加することができる。

これに対して、図13(a)に示す構成の3レベル電圧変換回路に流れる電流の経路は、図15(b)に示すように、コンデンサC12の正極側から出発し誘導性負荷Lを通過して、絶縁ゲートバイポーラトランジスタT3及び第2の絶縁ゲートバイポーラトランジスタT2を通過してコンデンサC12の負極側に戻る電流経路となる。このため、誘導性負荷Lには、出力電圧 $-E(V)$ を印加することができる。

10

【0073】

この場合も、図12(a)に示す構成の回路の4つの絶縁ゲートバイポーラトランジスタT1~T4、及び図13(a)に示す構成の回路の4つの絶縁ゲートバイポーラトランジスタT1~T4に対しては、同一のゲート信号を与えることにより、図12(a)の構成及び図13(a)の構成で同じ出力電圧が出力されることになる。

さらにまた、第5の外部接続端子 $t_{m5}(U)$ の出力電圧を $0(V)$ とする第3の動作モードでは、図16に示すように、逆阻止型絶縁ゲートバイポーラトランジスタT3をオン状態とするゲート信号を入力し、他の全ての絶縁ゲートバイポーラトランジスタT1、T2及び逆阻止型絶縁ゲートバイポーラトランジスタT4には、オフ状態とするゲート信号を入力する。

20

【0074】

この場合に図12(a)に示す構成の3レベル電圧変換回路に流れる電流は、図16(a)に示すように、コンデンサC11及びC12間の接続点から出発し、誘導性負荷Lを通り、逆阻止型絶縁ゲートバイポーラトランジスタT3を通過してコンデンサC11及びC12間の接続点に戻る経路となる。このため、誘導性負荷Lに印加される出力電圧は $0(V)$ となる。

一方、図13(a)に示す構成の3レベル電圧変換回路に流れる電流経路は、図16(b)に示すように、コンデンサC11及びC12間の接続点から誘導性負荷Lを通り、絶縁ゲートバイポーラトランジスタT3を通過してダイオードD6を通過してコンデンサC11及びC12間の接続点に戻る電流経路が形成され、誘導性負荷Lに印加される出力電圧は $0(V)$ となる。

30

【0075】

したがって、この動作モードでも図12(a)に示す構成の回路の4つの絶縁ゲートバイポーラトランジスタT1~T4、及び図13(a)に示す構成の回路の4つの絶縁ゲートバイポーラトランジスタT1~T4に対しては、同一種類のゲート信号を与えることにより、図12(a)の構成及び図13(a)の構成で同じ出力電圧が出力されることになる。

このように、半導体装置1に内蔵される3レベル電力変換回路の構成が異なる場合でも、第1~第5の外部接続端子 $t_{m1} \sim t_{m5}$ と第1~第11の補助端子 $t_{s1} \sim t_{s11}$ の配置位置は回路構成に対して共通とし、各動作モードで同一種類のゲート信号に対して同一の出力電圧が得られることになる。したがって、ユーザーが半導体装置1に内蔵される3レベル電力変換回路の構成を意識することなく使用することができ、互換性の高い半導体装置を提供することができる。

40

【0076】

次に、本発明の第3の実施形態を図17及び図18について説明する。

図17は、本発明の第3の実施形態にかかる半導体装置において、半導体素子を搭載した絶縁基板を示す平面図である。図2で示したベース板3、第1補助端子 $t_{s1} \sim$ 第11補助端子 t_{s11} については図示を省略する。この第3の実施形態では、前述した第1の実施形態において発熱量の一番大きい絶縁ゲートバイポーラトランジスタT1及びT2を

50

互いに対角位置に配置するようにしたものである。

【0077】

すなわち、第3の実施形態は、図17に示すように、前述した第1の実施形態における図2に示す構成において、領域DA2に配置されていた絶縁ゲートバイポーラトランジスタT2を各絶縁基板SB21～SB23の領域DA3に配置し、領域DA3に配置されていた逆阻止型絶縁ゲートバイポーラトランジスタT4を各絶縁基板SB21～SB23の領域DA2に配置した構成を有する。

この配置替えに応じて、中間電位導体板23に対する負側導体板22及び交流出力用導体板24の配置関係が変更されている。

すなわち、中間電位導体板23及び正側導体板21の配置は、前述した第1の実施形態における配置と同様であるが、負側導体板22が領域DA3に配置されて中間電位導体板23の背面側に近接して対面している。さらに、交流出力用導体板24が領域DA2及びDA4に分割されて配置されている。

10

【0078】

他の構成については、前述した第1の実施形態と同様の構成である。したがって、図2との対応部分には同一符号を付し、その詳細説明はこれを省略する。

この第3の実施形態によると、中間電位導体板23に対して、正側導体板21が正面側に近接して対面して配置され、負側導体板22が背面側に近接して対面して配置されている。中間電位導体板23に流れる電流の方向と正側導体板21に流れる電流の方向が互いに逆となり、また中間電位導体板23に流れる電流の方向と負側導体板22に流れる電流の方向が互いに逆となり、これによって前述のように、中間電位導体板23と正側導体板21との間のインダクタンス及び中間電位導体板23と負側導体板22との間のインダクタンスを低減することができる。

20

【0079】

また、絶縁ゲートバイポーラトランジスタT2と逆阻止型絶縁ゲートバイポーラトランジスタT4を配置換えしたことにより、導電パターンもまた変更されている。

また、熱の発生に関しては、第3の実施形態では、前述した第1の実施形態に対して、領域DA2及びDA3を入れ替えたものであるため、動作モード毎の発熱状態は、図18(a)～(d)に簡略化して示すようになる。

すなわち、動作が絶縁ゲートバイポーラトランジスタT1のゲートにゲートパルスを入力してスイッチングさせ、逆阻止型絶縁ゲートバイポーラトランジスタT4がリカバリ状態となるモードであるときには、図18(a)に示すように、領域DA1に配置された各絶縁基板SB11～SB13に搭載された絶縁ゲートバイポーラトランジスタT1及び領域DA1とは左側に隣接する領域DA2に配置された各絶縁基板SB21～SB23に搭載されている逆阻止型絶縁ゲートバイポーラトランジスタT4が発熱することになる。一方、領域DA3及びDA4では発熱を生じない。

30

【0080】

また、動作が絶縁ゲートバイポーラトランジスタT2のゲートにゲートパルスを供給してスイッチングさせ、逆阻止型絶縁ゲートバイポーラトランジスタT3がリカバリ状態とするモードとなると、図18(b)に示すように、領域DA3に配置された各絶縁基板SB21～SB23に搭載された絶縁ゲートバイポーラトランジスタT2及び領域DA3の右側に隣接する領域DA4に配置された各絶縁基板SB11～SB13に搭載されている逆阻止型絶縁ゲートバイポーラトランジスタT3が発熱することになる。一方、領域DA1及びDA2では発熱を生じない。

40

【0081】

さらに、動作が逆阻止型絶縁ゲートバイポーラトランジスタT3のゲートにゲートパルスを供給してスイッチングさせ、絶縁ゲートバイポーラトランジスタT1がリカバリ状態となるモードでは、図18(c)に示すように、領域DA1の各絶縁基板SB11～SB13に搭載されたフリー・ホイーリング・ダイオードD1が発熱するとともに、その後方側の領域DA4の各絶縁基板SB11～SB13に搭載された逆阻止型絶縁ゲートバイポ

50

ーラトランジスタT3が発熱することになる。一方、領域DA2及びDA3では発熱を生じない。

【0082】

さらに、動作が逆阻止型絶縁ゲートバイポーラトランジスタT4のゲートにゲートパルスを供給してスイッチングさせ、絶縁ゲートバイポーラトランジスタT2がリカバリするモードでは、図18(d)に示すように、領域DA2の各絶縁基板SB21～SB23に搭載された逆阻止型絶縁ゲートバイポーラトランジスタT4が発熱するとともに、その後側に隣接する領域DA3のフリー・ホイーリング・ダイオードD1が発熱する。一方、領域DA1及びDA4では発熱を生じない。

【0083】

このように、第3の実施形態によると、半導体装置1を動作状態としたときに、前述した第1の実施形態と同様に領域DA1～DA4の全ての領域が同時に発熱することではなく、左右に隣接する2つの領域又は前後に隣接する2つの領域で発熱が生じるだけである。すなわち、動作モードに応じて部分的な2つの領域で発熱が生じるだけである。

したがって、前述した従来のモジュールの例のように、ベース板3上の絶縁基板の全体に発熱が生じる場合に比較して、発熱を分散させることができ、半導体装置1が過熱状態となることを確実に防止することができる。

【0084】

上記第3の実施形態においては、前述した第1の実施形態において、領域DA2及びDA3に配置された絶縁ゲートバイポーラトランジスタT2と逆阻止型絶縁ゲートバイポーラトランジスタT4とをそれぞれ領域DA3とDA2に配置されるように入れ替えた場合について説明した。しかしながら、本発明は上記構成に限定されるものではなく、図19及び図20に示すように、第3の実施形態において、領域DA2及びDA4の逆阻止型絶縁ゲートバイポーラトランジスタT4と逆阻止型絶縁ゲートバイポーラトランジスタT3とをそれぞれ領域DA4と領域DA2とに配置されるように入れ替えた構成に変更してもよい。

【0085】

図19は本発明の第3の実施形態に係る半導体装置の変形例において、半導体素子を搭載した絶縁基板を示す平面図であり、図20は本発明の第3の実施形態に係る半導体装置の変形例において、動作モード毎の半導体素子の発熱状態を簡略化して説明する図である。

この変形例の場合には、詳細説明はこれを省略するが、正側導体板21、負側導体板22、中間電位導体板23及び交流出力用導体板24の配置関係は、前述した第3の実施形態と同じであり、インダクタンス低減効果を発揮することができる。また、前述した図18(a)～(d)のモードにおける発熱状態が、図20(a)～(d)に示すようになる。これにより、前述した第3の実施形態と同様に、前後に隣接する2つの領域と左右に隣接する2つの領域が発熱することになり、前述した第1～第3の実施形態と同様の作用効果を得ることができる。

【0086】

次に、本発明の第4の実施形態を図21及び図22について説明する。

図21は、本発明の第4の実施形態に係る半導体装置において、半導体素子を搭載した絶縁基板を示す平面図である。図2で示したベース板3、第1～第11の補助端子については図示を省略する。

前述した第1～第3の実施形態では、3レベル電力変換回路を構成する4つの絶縁ゲートバイポーラトランジスタT1～T4のうち、絶縁ゲートバイポーラトランジスタT1とT3あるいは絶縁ゲートバイポーラトランジスタT1とT4とを実装した3枚の同じ各絶縁基板SB11～SB13が隣接して配置され、絶縁ゲートバイポーラトランジスタT2とT4あるいは絶縁ゲートバイポーラトランジスタT2とT3とを実装した3枚の同じ各絶縁基板SB21～SB23が隣接して配置されて、T1～T4のうちの参照文字の参照数字が同一である同一機能のトランジスタが互いに隣接して配置されている。しかし、こ

10

20

30

40

50

の第4の実施形態では、前述した第1～第3の実施形態とは異なり、図21に示すように、これらの各絶縁基板SB11～SB13と各絶縁基板SB21～SB23が隣接されず交互に右側から参照文字の参照数字の順にSB11, SB21, SB12, SB22, SB13, SB23のように配置されて、絶縁ゲートバイポーラトランジスタT1とT2が隣接されずに交互に配置され、逆阻止型絶縁ゲートバイポーラトランジスタT3とT4が隣接されずに交互に配置されるようにしたものである。

【0087】

この場合には、図21に示すように、中間電位導体板23及び交流出力用導体板24は前述した第1の実施形態と同様に配置される。これに対し中間電位導体板23に対して正面側から正側導体板21が略全長に亘って近接して対面し、背面側から負側導体板22が略全面に亘って近接して対面している。

10

このため、互いに逆方向の電流が流れる中間電位導体板23と正側導体板21との対向面積、及び互いに逆方向の電流が流れる中間電位導体板23と負側導体板22との対向面積が第1の実施形態より広くとることができ、これにより、インダクタンス低減効果をより発揮することができる。

【0088】

図22は、本発明の第4の実施形態に係る半導体装置の動作モード毎の発熱状態を簡略化して説明する図である。詳細説明はこれを省略するが、動作が絶縁ゲートバイポーラトランジスタT1がスイッチング状態で、逆阻止型絶縁ゲートバイポーラトランジスタT4がリカバリとなるモードでは、図22(a)に示すように、千鳥状に発熱する。

20

動作が絶縁ゲートバイポーラトランジスタT2のスイッチング状態で、逆阻止型絶縁ゲートバイポーラトランジスタT3がリカバリとなるモードでは、図22(b)に示すように、図22(a)の千鳥状とは前後反転した千鳥状に発熱する。

さらに、動作が逆阻止型絶縁ゲートバイポーラトランジスタT3のスイッチング状態で絶縁ゲートバイポーラトランジスタT1がリカバリとなるモードでは、図22(c)に示すように、1つ置きに発熱する。

【0089】

なおさらに、動作が逆阻止型絶縁ゲートバイポーラトランジスタT4のスイッチング状態で絶縁ゲートバイポーラトランジスタT2がリカバリとなるモードでは、図22(d)に示すように、図22(c)に示されるモードで発熱しなかった1つ置きの絶縁基板中の2つの領域が発熱する。

30

したがって、この第4の実施形態でも、半導体装置1内でのインダクタンスを低減することができる。また、半導体装置1内のベース板3の全体が同時に発熱するのではなく、発熱領域が動作モードに応じて移動することになり、熱分散を確実に行って半導体装置1が過熱状態となることを確実に防止することができる。

【0090】

図23は、本発明の第4の実施形態に係る半導体装置の変形例において、半導体素子を搭載した絶縁基板を示す平面図である。図24は、本発明の第4の実施形態に係る半導体装置の変形例において、動作モード毎の半導体素子の発熱状態を簡略化して説明する図である。

40

上記第4の実施形態においては、図23及び図24に示すように、各絶縁基板SB21～SB23の絶縁ゲートバイポーラトランジスタT2と逆阻止型絶縁ゲートバイポーラトランジスタT4の前後方向の配列を入れ替えることもできる。この場合には、図24(a)～(d)に示す前述した第3実施形態の発熱状態と第4実施形態の発熱状態とが混在した発熱状態となり、前述した第1～第4の実施形態と同様の作用効果を得ることができる。

【0091】

また、上記第1～第4の実施形態においては、絶縁ゲートバイポーラトランジスタT1、T2と逆阻止型絶縁ゲートバイポーラトランジスタT3、T4を搭載した絶縁基板の組を3組配置する場合について説明している。本発明はこれに限定されるものではなく、必

50

要とする電流量に応じて絶縁基板の組数を任意に決定することができる。

また、上記第1～第4の実施形態においては、ケース2に形成する第1～第5の外部接続端子 t_{m1} ～ t_{m5} の配置位置が固定である場合について説明したが、これに限定されるものではない。図25は、図1に示す本発明の第1の実施形態に係る半導体装置において、2つの外部接続端子の配置位置を互いに入れ替えた状態の変形例を示す斜視図である。すなわち、図25に示すように、第1の外部接続端子 $t_{m1}(P)$ と第2の外部接続端子 $t_{m2}(M1)$ の配置位置が互いに入れ替えるようにしてもよい。

【0092】

また、上記第1～第4の実施形態においては、ケース2に内蔵する3レベル電力変換回路に必要な数の外部接続端子及び補助端子を設ける場合について説明している。本発明は、これに限定されるものではない。図26は、図1に示す本発明の第1の実施形態に対応する半導体装置の他の変形例を示す平面図である。すなわち、図26に示すように、前述した図1における第1～第5の外部接続端子 t_{m1} ～ t_{m5} 、第1～第11の補助端子 t_{s1} ～ t_{s11} の他に補助端子が形成可能な領域に補助端子形成用孔31を形成するようにしてもよい。この場合には、ユーザーの仕様に応じて補助端子の位置を変更したり、追加したりすることが可能となり、汎用性の高い半導体装置を提供することができる。

【0093】

また、上記第1～第4の実施形態では、3レベル電力変換回路が図12(a)あるいは図13(a)に示す構成である場合について説明したが、本発明はこれに限定されるものではない。すなわち、本発明では、双方向スイッチ素子を前述した特許文献4に記載されているように、ダイオードを逆並列に接続された2個の絶縁ゲートバイポーラトランジスタのコレクタ同士を接続して直列に接続した双方向スイッチ素子を構成する3レベル電力変換回路も適用することができる。この場合には、特許文献4に記載されているように、絶縁ゲートバイポーラトランジスタのコレクタの接続点には、絶縁試験における大きな電位差による絶縁ゲートバイポーラトランジスタの破壊を防止する中間端子を設ける必要がある。このため、図27は、図1に示す本発明の第1の実施形態にかかる半導体装置に対応する半導体装置のさらに他の変形例を示す斜視図である。図27に示すように、ケース2の端子配置面4に中間端子 t_c を配置する。

【0094】

また、本発明は、半導体モジュールの端子接続の組み合わせだけで所望する回路構成が得られることから、本発明は上述したパワーコンディショナー(PCS: Power Conditioning Subsystem)の半導体装置への適用に限定されるものではなく、無停電電源装置(UPS)や他の任意の電力変換装置や高周波用途のスイッチングIC等の他の装置の半導体装置に適用することができる。

【符号の説明】

【0095】

1...半導体装置、2...成型体、3...ベース板、4...端子配置面、5...突条、 t_{m1} ...第1の外部接続端子、 t_{m2} ...第2の外部接続端子、 t_{m3} ...第3の外部接続端子、 t_{m4} ...第4の外部接続端子、 t_{m5} ...第5の外部接続端子、 t_{s1} ～ t_{s11} ...補助端子、SB11、SB12、SB13、SB21、SB22、SB23...絶縁基板、21...正側導体板、22...負側導体板、23...中間電位導体板、24...交流出力用導体板、121a～121h、122a～122g、123a～123g、124a～124g...導電パターン、130...ワイヤ、140...接合部、150...サーミスタ

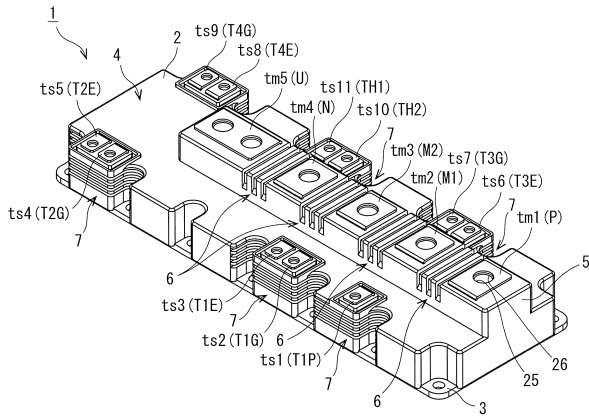
10

20

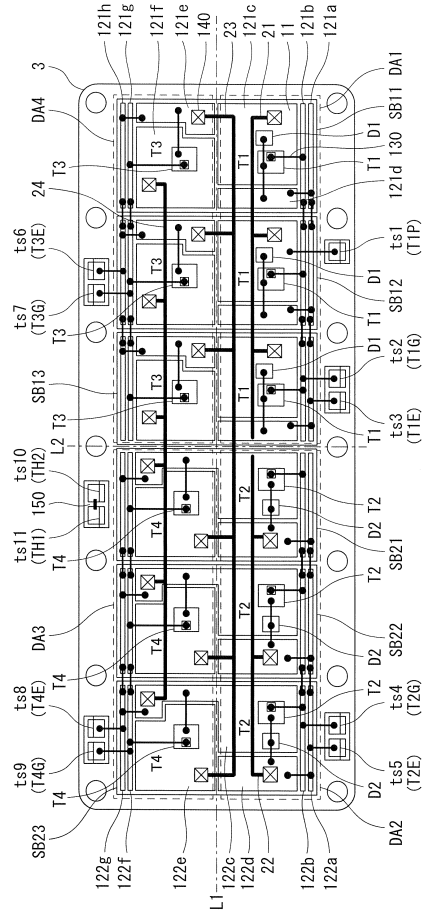
30

40

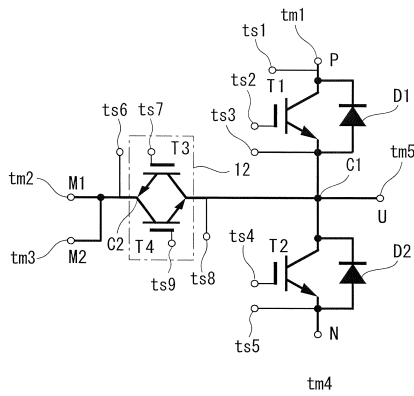
【図1】



【図2】

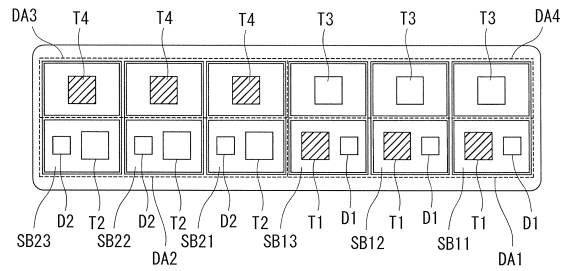


【図3】

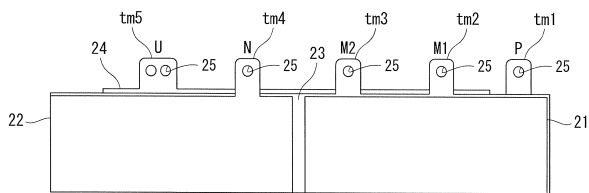


【図5】

T1 IGBT素子がスイッチング、T4 RB-IGBT素子がリカバリーするモード

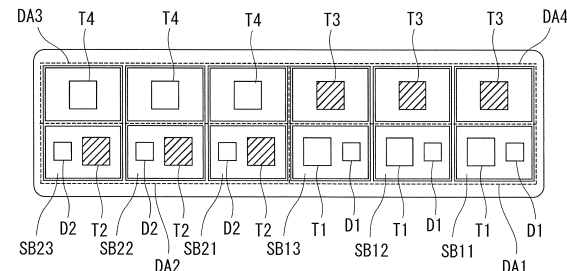


【図4】

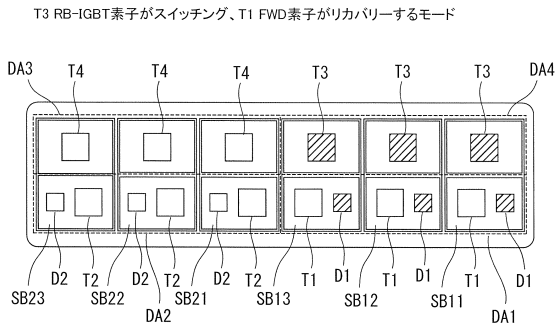


【図6】

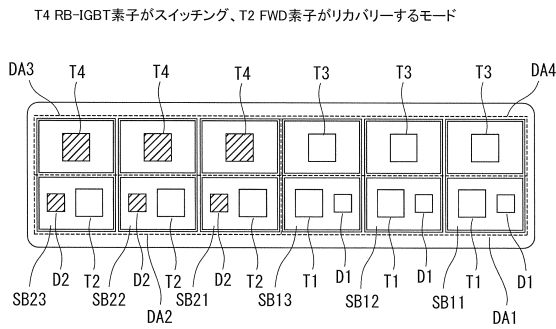
T2 IGBT素子がスイッチング、T3 RB-IGBT素子がリカバリーするモード



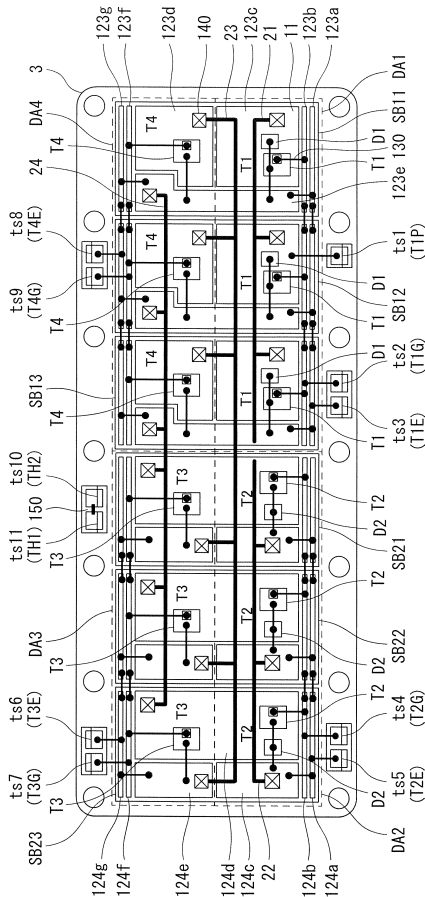
【図7】



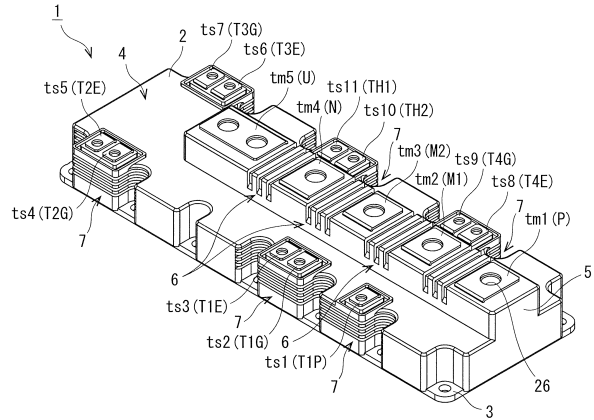
【図8】



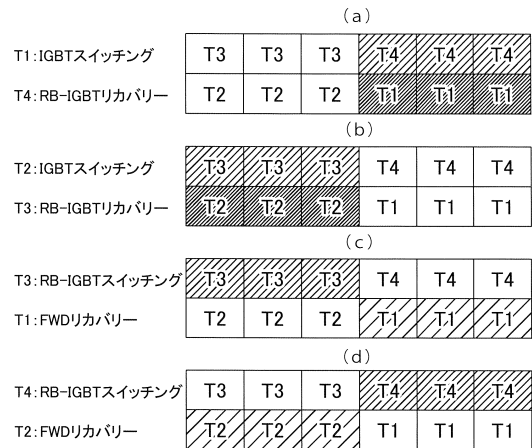
【図10】



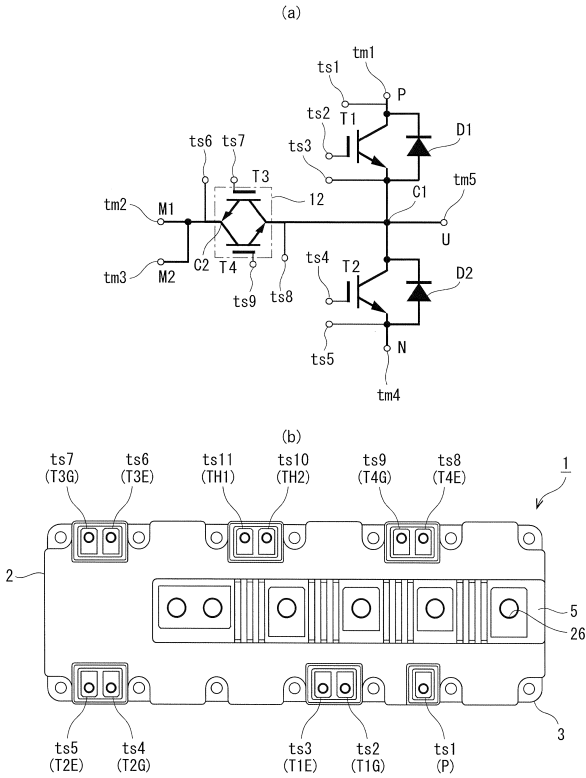
【図9】



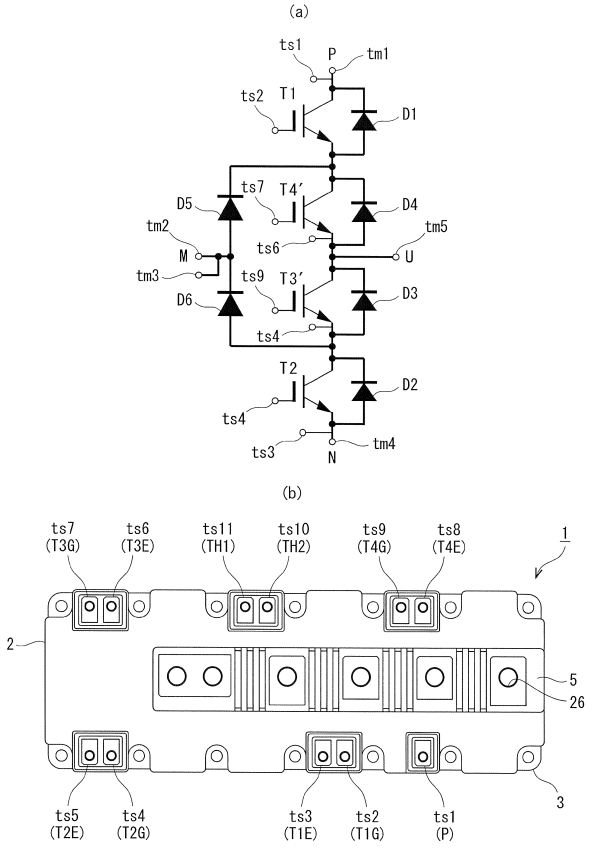
【図11】



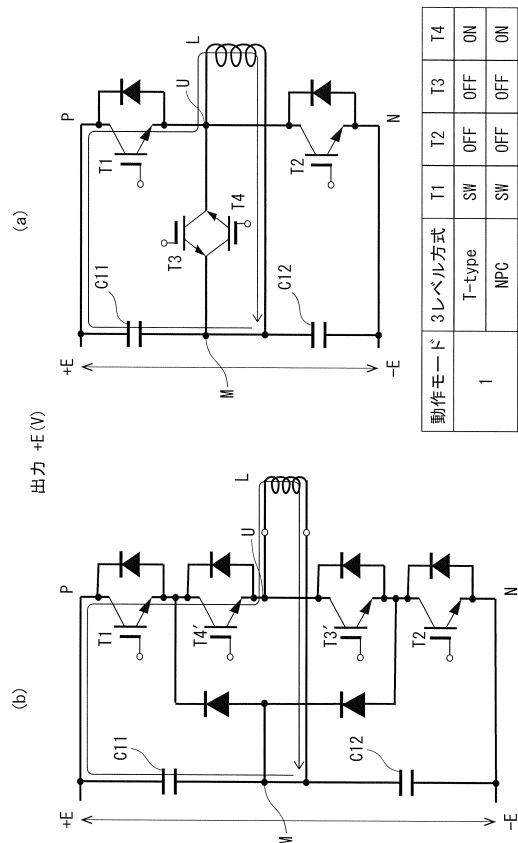
【図12】



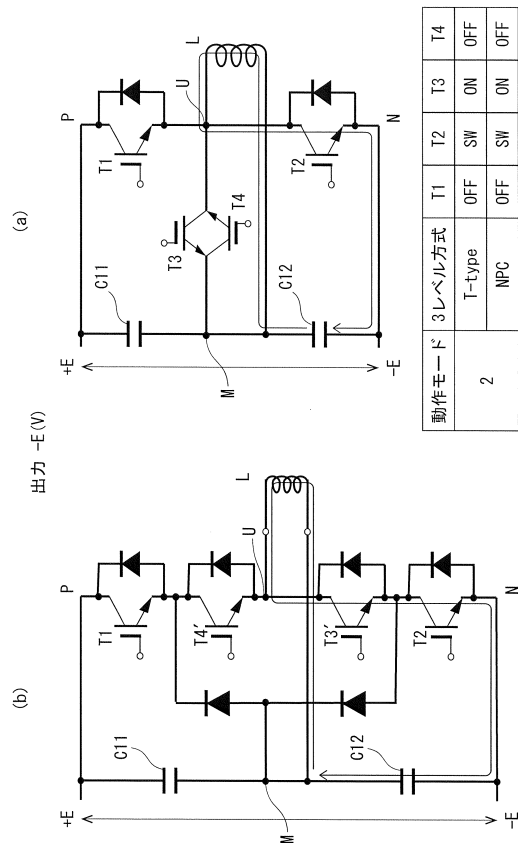
【図13】



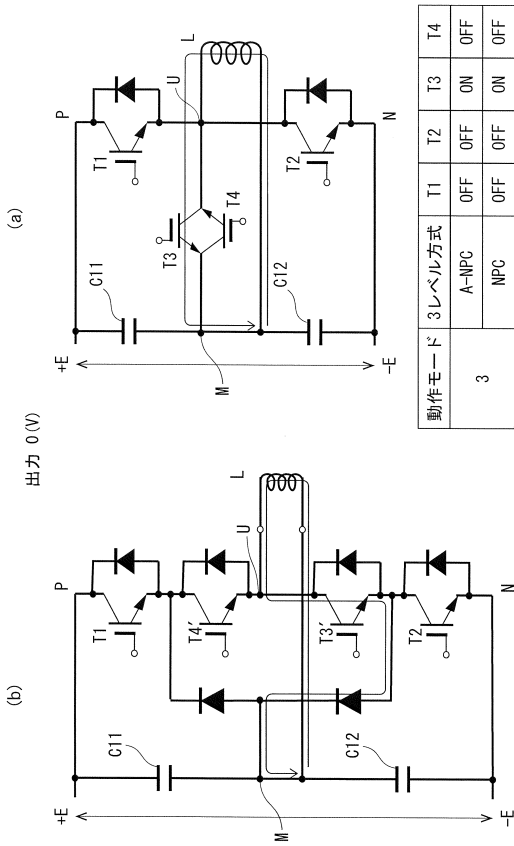
【図14】



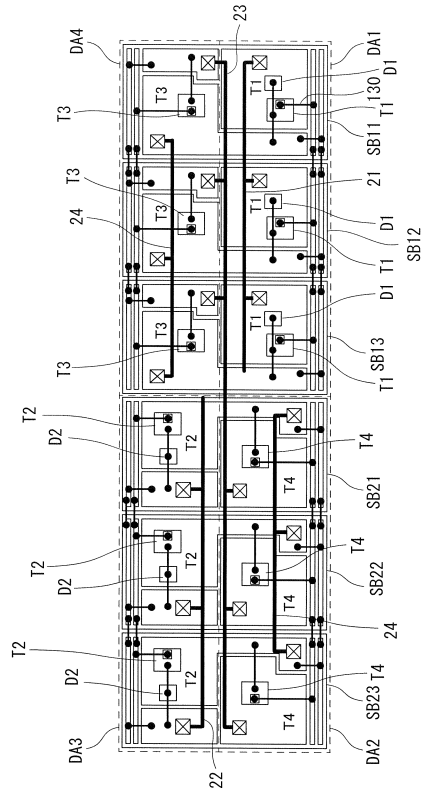
【図15】



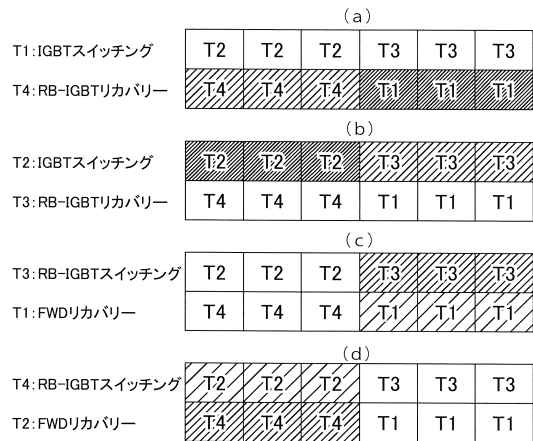
【図 16】



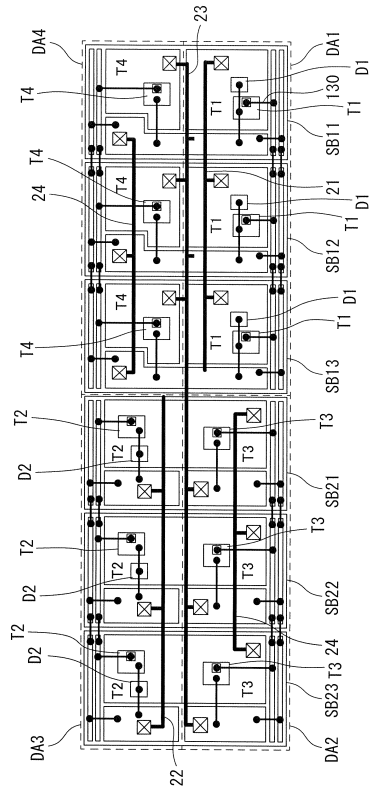
【図 17】



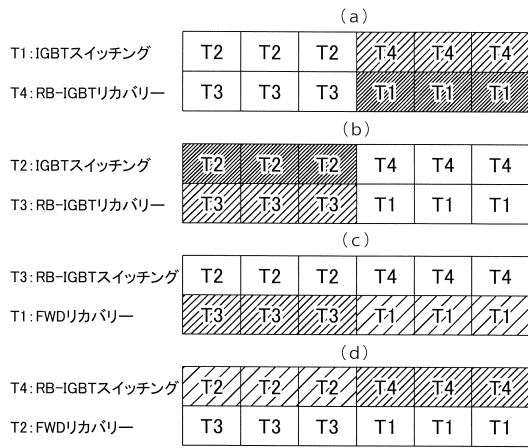
【図 18】



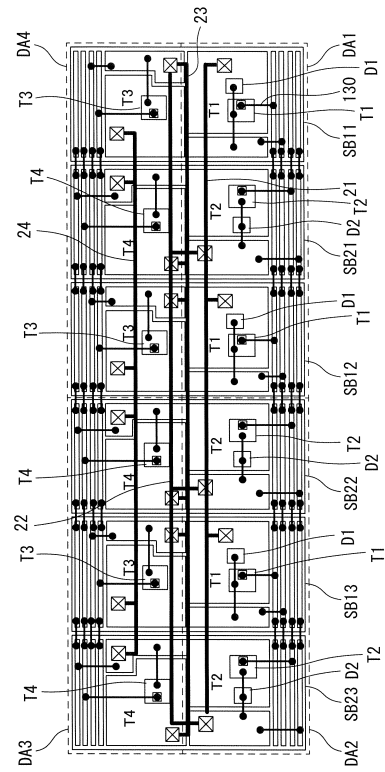
【図 19】



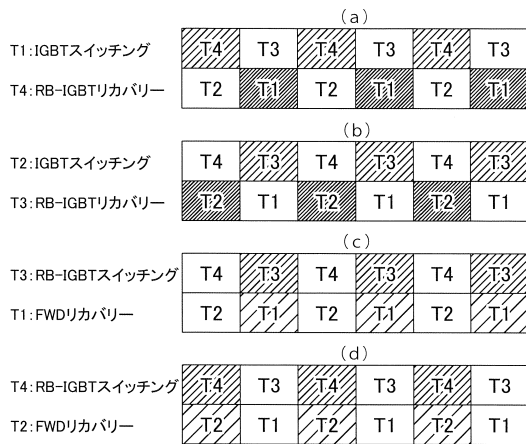
【図20】



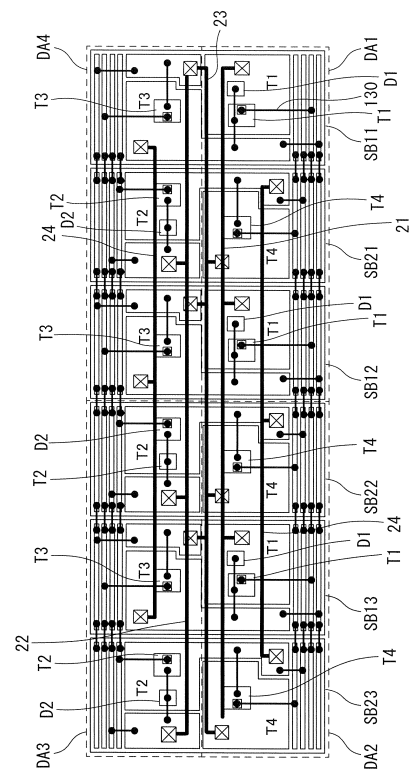
【図21】



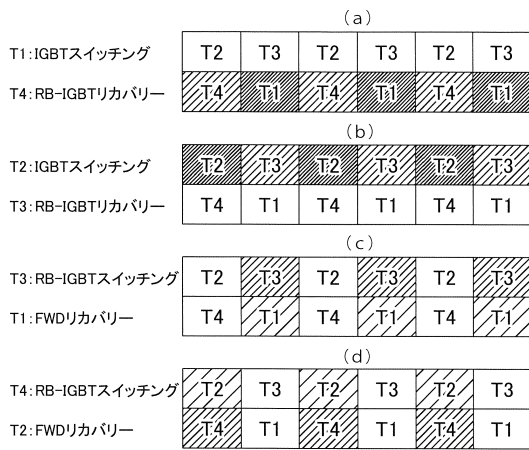
【図22】



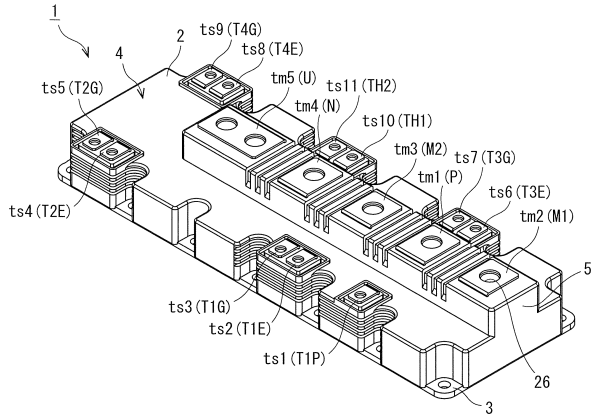
【図23】



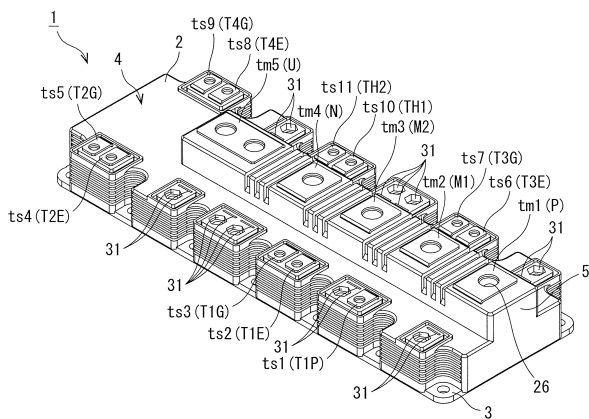
【図24】



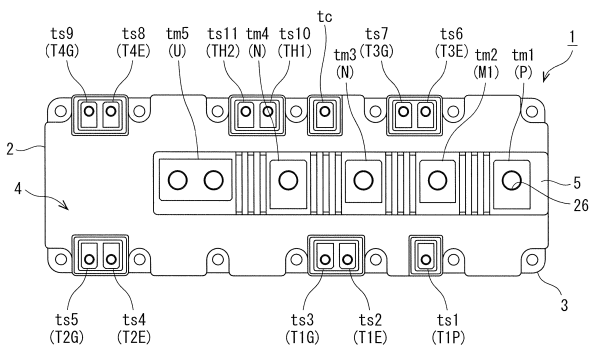
【図25】



【図26】



【図27】



フロントページの続き

- (56)参考文献 特開2012-110095(JP,A)
国際公開第2001/031771(WO,A1)
特開平11-089249(JP,A)
米国特許出願公開第2006/0274561(US,A1)
特開2011-254672(JP,A)
国際公開第2012/169521(WO,A1)
特開平04-071303(JP,A)
特開2008-252055(JP,A)
特表2002-526023(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 7/48
H02M 7/487