



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0029068
H01L 21/304 (2006.01) (43) 공개일자 2007년03월13일

(21) 출원번호 10-2006-0086014
(22) 출원일자 2006년09월07일
심사청구일자 2006년09월07일

(30) 우선권주장 JP-P-2005-00260469 2005년09월08일 일본(JP)

(71) 출원인 도쿄 오카 고교 가부시킴가이샤
일본 가나가와켄 가와사키시 나카하라쿠 나카마루코 150반지

(72) 발명자 나카무라 아키히코
일본 가나가와켄 가와사키시 나카하라쿠 나카마루코 150반지 도쿄오카
고교 가부시킴가이샤 내
미야나리 아쓰시
일본 가나가와켄 가와사키시 나카하라쿠 나카마루코 150반지 도쿄오카
고교 가부시킴가이샤 내
이나오 요시히로
일본 가나가와켄 가와사키시 나카하라쿠 나카마루코 150반지 도쿄오카
고교 가부시킴가이샤 내

(74) 대리인 서종완

전체 청구항 수 : 총 5 항

(54) 기관의 박판화 방법 및 회로소자의 제조방법

(57) 요약

본 발명은, 기관 표면에 서포트 플레이트의 관통구멍 흔적이 전사되지 않고, 또한 기관 표면이 불균일하게 연삭되는 문제가 발생하지 않는 기관의 박판화 방법 및 회로소자의 제조방법을 제공한다.

기관(W)와 접착제층(2)에 의해 일체화된 서포트 플레이트(1)에 있어서, 시트(6)이 첩착된 면을 흡착 헤드(7) 윗면에 올려 놓고 흡인 고정하여, 이 상태에서 기관(W)의 윗면(회로를 형성하고 있지 않은 면)을 그라인더(8)에 의해 연삭한다.

대표도

도 1

특허청구의 범위

청구항 1.

다수의 관통구멍을 갖는 서포트 플레이트를 사용한 기관의 박판화 방법으로서,

상기 기관의 회로 형성면에, 상기 서포트 플레이트의 한쪽 면을 첩합시켜 적층체를 형성하는 공정과,

상기 적층체에 있어서, 상기 서포트 플레이트의 다른 쪽 면에 시트를 첩합시키는 공정과,

상기 시트를 매개로 하여 상기 적층체가 고정된 상태에서, 상기 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정을 갖는 것을 특징으로 하는 기관의 박판화 방법.

청구항 2.

제1항의 박판화 방법을 사용한 회로소자의 제조방법에 있어서,

상기 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정에 이어서, 상기 시트를 박리하는 공정과,

상기 기관의 회로 형성면과는 반대쪽 면에 다이싱 테이프를 첩합시키는 공정과,

용제를 사용하여, 상기 서포트 플레이트와 상기 기관의 회로 형성면의 사이에 개재된 접착제층을 용해시키는 공정과,

상기 기관으로부터 상기 서포트 플레이트를 박리하는 공정을 갖는 것을 특징으로 하는 회로소자의 제조방법.

청구항 3.

제2항의 회로소자의 제조방법에 있어서, 상기 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정 직후, 상기 회로 형성면과는 반대쪽 면에 회로를 형성하고, 그 다음에, 상기 시트를 박리하는 공정을 행하는 것을 특징으로 하는 회로소자의 제조방법.

청구항 4.

제1항의 박판화 방법을 사용한 회로소자의 제조방법에 있어서,

상기 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정에 이어서, 상기 기관의 회로 형성면과는 반대쪽 면에 다이싱 테이프를 첩합시키는 공정과,

상기 시트를 박리하는 공정과,

용제를 사용하여, 상기 서포트 플레이트와 상기 기관의 회로 형성면의 사이에 개재된 접착제층을 용해시키는 공정과,

상기 기관으로부터 상기 서포트 플레이트를 박리하는 공정을 갖는 것을 특징으로 하는 회로소자의 제조방법.

청구항 5.

제4항의 회로소자의 제조방법에 있어서, 상기 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정 직후, 상기 회로 형성면과는 반대쪽 면에 회로를 형성하고, 그 다음에, 상기 시트를 박리하는 공정을 행하는 것을 특징으로 하는 회로소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 웨이퍼 등의 기관의 박판화 방법과, 이 방법을 사용한 회로소자의 제조방법에 관한 것이다.

IC 카드나 휴대전화의 박형화(薄型化), 소형화, 경량화가 요구되고 있고, 이 요구를 만족시키기 위해서는 삽입되는 반도체 칩에 대해서도 얇은 두께의 반도체칩으로 해야한다. 이 때문에 반도체칩의 토대가 되는 웨이퍼의 두께는 현재상태에서는 125 μm ~150 μm 이지만, 차세대 칩용으로는 25 μm ~50 μm 의 두께가 요구된다고 말하여지고 있다.

반도체 웨이퍼의 박판화 방법으로서, 특허문헌 1에 개시되는 방법이 제안되어 있다.

이 방법은, 반도체 웨이퍼의 회로소자 형성면에 유리판, 세라믹판 또는 금속판 등의 강성(剛性)이 높은 서포트 플레이트를 접부(貼付)하여 일체화하고, 일체화된 상태에서 서포트 플레이트를 흡착 헤드 상에 고정하여, 이 상태에서 반도체 웨이퍼의 이면(裏面)을 그라인더로 연삭(研削)하여 박판화하도록 하고 있다.

[특허문헌 1] 일본국 특허공개 제2005-150434호 공보

발명이 이루고자 하는 기술적 과제

그런데, 특허문헌 1에 개시되는 박판화 방법에 있어서는, 박판화한 후에 다이싱하기 위해, 기관으로부터 서포트 플레이트를 박리해야 한다. 그러나 기관과 서포트 플레이트는 극간(隙間) 없이 접촉제로 접촉되어 있기 때문에, 간단하게 박리할 수 없다.

따라서, 본 발명자 등은 먼저, 용제(溶劑)가 흐르는 다수의 관통구멍이 형성된 서포트 플레이트를 제안하였다.

이러한 서포트 플레이트를 사용하여 박판화(연삭)를 행하는 경우는, 도 6에 나타내는 바와 같이, 서포트 플레이트를 반도체 웨이퍼(W)의 한쪽 면(회로 형성면)에 접합(貼合)시켜 적층체(積層體)를 형성한 후, 이 적층체에 있어서 서포트 플레이트측을 흡착 헤드에 올려놓고 고정하여, 이 상태에서 반도체 웨이퍼(W)의 다른 쪽 면(회로 형성면과는 반대 면)을 그라인더에 의해 연삭한다.

그러나, 이러한 박판화 방법의 경우, 연삭 중에는 상시(常時) 흡인(吸引)(진공흡착)되기 때문에, 진공흡착시의 음압(陰壓)에 의해 관통구멍 내가 감압되고, 이만큼 접촉제층을 매개로 하여 박판화한 반도체 웨이퍼(W)의 회로소자 형성면에 관통구멍의 모양이 전사(轉寫)되어 버리는 경우가 있다.

또한, 반도체 웨이퍼(W)의 다른 쪽 면을 그라인더에 의해 연삭할 때, 진공흡착의 음압에 의해 반도체 웨이퍼(W)가 서포트 플레이트 및 접촉제층을 매개로 하여 흡착 헤드측으로 당겨져 버리는 경우도 있다.

이 경우, 그라인더로부터 웨이퍼(W)가 이간(離間)되기 때문에, 웨이퍼(W)의 표면(다른 쪽 면)이 불균일하게 연삭되거나 표면 조도(粗度)가 악화된다는 문제가 발생하는 경우도 있다. 이것은, 예를 들면 웨이퍼(W)의 다른 쪽 면에 회로소자를 형성하는 경우에 형성되는 회로소자의 특성에 크게 영향을 미치는 것으로 이어진다.

전술한 점에 비추어, 본 발명은, 관통구멍 흔적이 기관으로 전사되는 것을 저감시킬 수 있는 것과 동시에, 기관의 표면이 불균일하게 연삭되는 등의 문제가 발생하는 것을 저감시킬 수 있는 기관의 박판화 방법 및 회로소자의 제조방법을 제공하는 것이다.

발명의 구성

본 발명의 박판화 방법은, 다수의 관통구멍을 갖는 서포트 플레이트를 사용한 기관의 박판화 방법으로서, 기관의 회로 형성면에, 서포트 플레이트의 한쪽 면을 첩합시켜 적층체를 형성하는 공정과, 적층체에 있어서 서포트 플레이트의 다른 쪽 면에 시트를 첩합시키는 공정과, 시트를 매개로 하여 적층체가 고정된 상태에서, 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정을 갖는 것을 특징으로 한다.

본 발명의 기관의 박판화 방법에 의하면, 기관의 회로 형성면에, 서포트 플레이트의 한쪽 면을 첩합시켜 적층체를 형성하는 공정과, 적층체에 있어서 서포트 플레이트의 다른 쪽 면에 시트를 첩합시키는 공정과, 시트를 매개로 하여 상기 적층체가 고정된 상태에서, 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정을 갖기 때문에, 시트를 매개로 하여 상기 적층체가, 예를 들면 흡착 헤드에 의해 진공흡착으로 고정된 상태에서, 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정시, 이 공정 보다 이전에 서포트 플레이트의 다른 쪽 면에 접착된 시트에 의해, 진공흡착시의 음압을 차단하여 관통구멍 내가 감압되는 것을 억제할 수 있다. 이에 따라, 기관의 회로소자 형성면에 관통구멍의 모양이 전사되는 것을 저감시킬 수 있다.

또한, 시트에 의해 진공흡착시의 음압을 차단하여 기관이, 예를 들면 흡착 헤드측으로 당겨지는 것을 방지할 수 있기 때문에, 기관의 표면이 불균일하게 연삭되는 문제 등이 발생하는 것을 저감시킬 수 있다.

본 발명의 회로소자의 제조방법은, 상기 기관의 박판화 방법을 사용한 회로소자의 제조방법으로서, 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정에 이어서, 시트를 박리하는 공정과, 기관의 회로 형성면과는 반대쪽 면에 다이싱 테이프를 첩합시키는 공정과, 용제를 사용하여, 서포트 플레이트와 기관의 회로 형성면의 사이에 개재된 접착제층을 용해시키는 공정과, 기관으로부터 서포트 플레이트를 박리하는 공정을 갖도록 한다.

전술한 본 발명의 회로소자의 제조방법에 의하면, 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정에 이어서, 시트를 박리하는 공정과, 기관의 회로 형성면과는 반대쪽 면에 다이싱 테이프를 첩합시키는 공정과, 용제를 사용하여, 서포트 플레이트와 기관의 회로 형성면의 사이에 개재된 접착제층을 용해시키는 공정과, 기관으로부터 서포트 플레이트를 박리하는 공정을 갖기 때문에, 예를 들면 그 다음, 기관을 소자마다 절단하는 공정을 행한 경우는, 전술한 작용에 추가로, 특성에 영향을 미치지 않는 회로소자를 얻는 것이 가능해진다.

또한, 본 발명의 회로소자의 제조방법은, 상기 기관의 박판화 방법을 사용한 회로소자의 제조방법으로서, 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정에 이어서, 기관의 회로 형성면과는 반대쪽 면에 다이싱 테이프를 첩합시키는 공정과, 시트를 박리하는 공정과, 용제를 사용하여, 서포트 플레이트와 기관의 회로 형성면의 사이에 개재된 접착제층을 용해시키는 공정과, 기관으로부터 서포트 플레이트를 박리하는 공정을 갖도록 한다.

전술한 본 발명의 회로소자의 제조방법에 의하면, 기관의 회로 형성면과는 반대쪽 면을 연삭하는 공정에 이어서, 기관의 회로 형성면과는 반대쪽 면에 다이싱 테이프를 첩합시키는 공정과, 시트를 박리하는 공정과, 용제를 사용하여, 서포트 플레이트와 기관의 회로 형성면의 사이에 개재된 접착제층을 용해시키는 공정과, 기관으로부터 서포트 플레이트를 박리하는 공정을 갖기 때문에, 예를 들면 그 다음, 기관을 소자마다 절단하는 공정을 행한 경우는, 전술한 작용에 추가로, 특성에 영향을 미치지 않는 회로소자를 얻는 것이 가능해진다.

이하에 본 발명의 실시형태를 첨부 도면을 토대로 설명한다.

도 1은 본 발명의 웨이퍼 박판화 방법의 하나의 실시형태를 나타내는 개략 단면도이다.

또한, 도 2는 서포트 플레이트의 사시도이고, 도 3은 서포트 플레이트의 단면도이다.

또한, 도 1에 있어서는, 서포트 플레이트의 다른 쪽 면에 이미 시트가 첩부되어 있는 상태를 나타내고 있다.

도 1에 있어서, 1은 유리판, 세라믹판 또는 금속판 등으로 되는 서포트 플레이트로서, 이 서포트 플레이트(1)의 한쪽 면과 반도체 웨이퍼(W)의 회로 형성면이 접착제층(2)에 의해 첩합되어 있다.

서포트 플레이트(1)에 있어서는, 도 2 및 도 3에 나타내는 바와 같이, 용제가 흐르는 관통구멍(3)이 두께방향으로 다수 형성되어 있다. 또한, 서포트 플레이트(1)의 바깥주위부(外周部)(가장자리 주위부(緣周部))는 관통구멍(3)이 형성되어 있지 않은 평탄부(4)로 되어 있다.

관통구멍(3)의 형성수나 형성위치 등은 한정되지 않고 여러 가지의 태양을 생각할 수 있다.

용제(약액(藥液))로서는, 예를 들면 알코올계 또는 알칼리계의 것을 사용할 수 있다.

또한, 도 1~도 3에 나타내는 서포트 플레이트(1)로서는, 바깥주위부는 관통구멍(3)이 형성되어 있지 않은 평탄부(4)로 된 것을 사용하였지만, 이것 이외에도, 바깥주위부까지의 거의 전역에 걸쳐 관통구멍(3)이 형성된 것을 사용하는 것도 생각할 수 있다.

서포트 플레이트(1)의 다른 쪽 면에 첩부된 시트(6)으로서, 실제로 박판화될 때에 발생하는 열에 대한 내성, 또한 사용되는 용제에 대한 내성 등의 특징을 갖는 것이 적합하다. 또한 이들의 특징에 서포트 플레이트(1)에 대한 적당한 점착성과 박리성 등의 특징을 갖고 있다면 더욱 적합하다.

이러한 특징을 갖는 시트(6)으로서, 본 실시형태에서는 예를 들면 수지 시트(예를 들면 폴리이미드 등)를 사용하고 있다.

이어서, 이러한 구성의 서포트 플레이트(1)을 사용한 기관의 박판화 방법의 하나의 실시형태를 설명한다.

먼저, 반도체 웨이퍼(W)의 회로 형성면에, 접착제층(2)를 매개로 하여 서포트 플레이트(1)의 한쪽 면을 첩합시켜 적층체를 형성한다.

이어서, 적층체에 있어서, 서포트 플레이트(1)의 다른 쪽 면에 시트(6)을 첩합시킨다.

이어서, 서포트 플레이트(1)의 시트(6)이 첩착된 면을 흡착 헤드(7)의 윗면에 올려놓고 흡인 고정하여, 이 상태에서 반도체 웨이퍼(W)의 회로가 형성되어 있지 않은 면을 그라인더(8)에 의해 연삭한다. 이와 같이 하여 반도체 웨이퍼(W)의 박판화가 행하여진다.

본 실시형태에 있어서는, 흡착 헤드(7)과 서포트 플레이트(1)의 사이에 시트(6)이 첩부되어 있기 때문에, 연삭 중에 상시 흡인되고 있어도, 이 시트(6)에 의해 음압을 차단할 수 있고, 흡착 헤드(7)에 의한 감압이 관통구멍(3) 내에 미치지 않도록 할 수 있다. 이 때문에, 박판화된 반도체 웨이퍼(W)에 관통구멍(3)의 모양이 전사되는 것을 저감시킬 수 있다.

또한, 시트(6)에 의해 이 음압을 차단 또는 완화시킬 수 있기 때문에, 반도체 웨이퍼(W)가 당겨지는 것을 억제하고, 연삭 불균일 등의 발생을 억제할 수 있다.

또한, 처리액(예를 들면 물)이 공급되면서 연삭이 행하여지지만, 시트(6)에 의해 예를 들면 흡착 헤드(7)과 서포트 플레이트(1)의 사이로부터 관통구멍(3)에 물이 들어가는 것을 방지할 수 있다. 이에 따라, 반도체 웨이퍼(W)로부터 서포트 플레이트(1)이 박리되는 것을 방지할 수 있다. 또한, 재차 서포트 플레이트(1)을 이용할 때에 서포트 플레이트(1)의 건조에 필요한 시간을 대폭으로 단축할 수 있다.

또한, 시트(6)에 의해 연삭 부스러기가 관통구멍(3)에 들어가는 것을 방지하는 것도 가능하다.

또한, 시트(6)이 내약품성이 우수하기 때문에, 서포트 플레이트(1)의 손상을 방지하는 것도 가능하다.

이어서, 이러한 반도체 웨이퍼(W)의 박막화(薄膜化) 후에 행하여지는, 서포트 플레이트(1)의 박리공정을 설명한다.

먼저, 도 4에 나타내는 바와 같이, 흡착 헤드로부터 박판화된 반도체 웨이퍼(W)와 서포트 플레이트(1)이 첩합된 적층체를 떼어내고, 반도체 웨이퍼(W)의 회로가 형성되어 있지 않은 면(즉 회로 형성면과는 반대쪽 면)을 다이싱 테이프(9)에 첩부한다.

이어서, 서포트 플레이트(1)로부터 시트(6)을 박리하고, 플레이트(용제 공급 플레이트)(10)을 서포트 플레이트(1)의 다른 쪽 면에 밀어붙인다.

이러한 상태에 있어서, 도 4에 나타내는 바와 같이, 플레이트(10)의 용제 공급구멍(11)을 매개로 하여 용제를 공급하면, 용제는 서포트 플레이트(1)의 다수의 관통구멍(3)을 통하여 접착제층(2)에 고루 미쳐 접착제층(2)을 용해한다.

그리고, 접착제층(2)을 용해한 용제는 플레이트(10)의 용제 배출구멍(12)를 매개로 하여 외부로 배출(회수)된다.

그 다음, 서포트 플레이트(1)을 반도체 웨이퍼(W)로부터 박리하기 위해서는, 서포트 플레이트(1)을, 예를 들면 클램프(clamp)형상의 암(arm)에 의해 끼워넣고 끌어올린다.

이에 따라, 반도체 웨이퍼(W)는 다이싱 테이프(9)에 남고, 서포트 플레이트(1)만이 박리된다.

그리고, 다이싱 테이프(9) 상의 반도체 웨이퍼(W)를 스트리트를 따라 커터(cutter)로 절단하여 각각의 회로소자를 얻는다.

또한, 반도체 웨이퍼(W)의 양면에 회로(관통전극도 포함한다)를 형성하는 경우는, 반도체 웨이퍼(W)를 박판화한 후에 반도체 웨이퍼(W)와 서포트 플레이트(1)이 일체화되어 있는 상태에서, 반도체 웨이퍼(W)의 다른 쪽 면(연삭면)에 새로운 회로를 형성한다.

이 경우, 본 실시형태에서는, 전술한 바와 같이 연삭시에 반도체 웨이퍼(W)의 다른 쪽 면에 연삭 불균일이 발생하는 것을 저감시킬 수 있기 때문에, 특성에 영향을 미치지 않는 회로소자를 형성할 수 있다.

전술한 실시형태에서는, 시트(6)으로서 수지 시트(폴리이미드)를 사용한 경우를 설명하였지만, UV 조사나 가열 등, 외부로부터의 원격적인 수단에 의해 점착력이 저하되는 소위 반응쪽 테이프나, BG 테이프나 다이싱 테이프 등의 첩부, 박리 가능한 감압형 테이프를 사용하는 것도 가능하다.

또한, 전술한 실시형태에서는, 시트(6)을 첩부한 경우를 들어 설명하였지만, 시트(6)의 대신에 예를 들면 보호막을 형성하는 것도 가능하다. 이 경우, 서포트 플레이트(1)의 다른 쪽 면에, 예를 들면 수용성 수지액이나 가용제 수지 등의 보호막을 형성한다.

이 경우에 있어서도, 시트(6)을 첩부한 경우와 동일한 작용을 얻을 수 있다.

또한, 전술한 본 실시형태에서는, 반도체 웨이퍼(W)의 회로가 형성되어 있지 않은 면(즉 회로 형성면과는 반대쪽 면)을 그라인더(8)에 의해 연삭한 후, 이 면에 다이싱 테이프(9)를 첩합시키고, 시트(6)을 박리하는 경우를 들어 설명하였다.

그러나, 반도체 웨이퍼(W)의 회로가 형성되어 있지 않은 면을 (8)로 연삭한 후, 시트(6)을 박리하고, 반도체 웨이퍼(W)의 회로가 형성되어 있지 않은 면에 다이싱 테이프(9)를 첩합시키도록 하는 것도 가능하다.

즉, 다이싱 테이프(9)를 첩합시킨 후에 시트(6)을 박리하거나, 시트(6)을 박리한 후에 다이싱 테이프(9)를 첩합시키도록 하거나의 차이이다.

이 경우에 있어서도, 전술한 실시형태와 동일한 작용을 얻을 수 있다.

도 5는 반도체 웨이퍼(W)의 연삭면의 평면도를 시트(6)을 첩착한 경우와 첩착하지 않은 경우에 대해서 측정한 그래프이다.

또한, 이 그래프는, 서포트 플레이트의 각 관통구멍(3) 직경마다 행한 경우를 나타내고 있다.

또한, 테이프가 있는 경우는 부호 X, 테이프가 없는 경우는 부호 Y로 나타내고 있다.

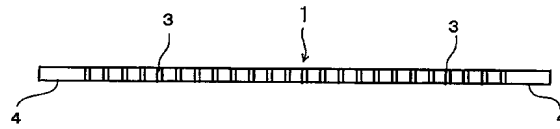
도 5로부터, 시트(6)을 첩착한 경우는, 시트(6)을 첩착하지 않은 경우와 비교하여 관통구멍(3)의 모양이 반도체 웨이퍼에 전사되는 것을 저감시킬 수 있어, 요철이 적어져 있는 것을 알 수 있다.

또한, 본 발명은, 전술한 실시형태에 한정되는 것은 아니고, 본 발명의 요지를 일탈하지 않는 범위에서 그 밖의 여러 가지의 구성을 취할 수 있다.

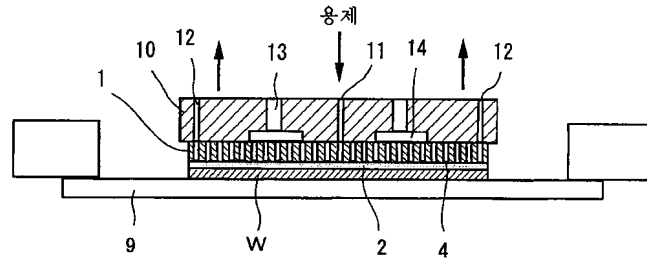
발명의 효과

본 발명에 의하면, 기관에 관통구멍의 모양이 전사되는 것을 저감시킬 수 있는 것과 동시에, 기관이 불균일하게 연삭되는 문제의 저감이나 표면 조도의 악화를 억제할 수 있는 기관의 박판화 방법 및 회로소자의 형성방법을 제공하는 것이 가능해진다.

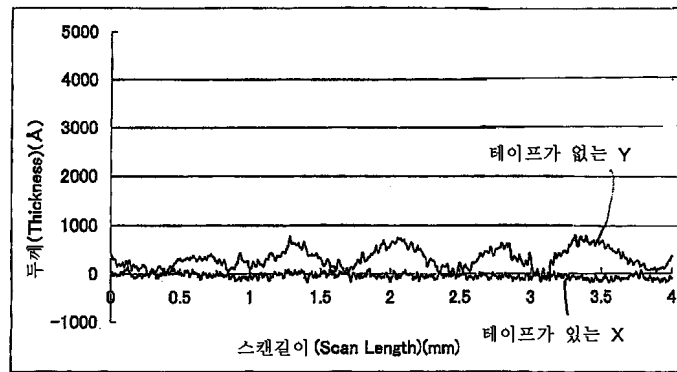
도면3



도면4



도면5



도면6

