

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年3月17日(2005.3.17)

【公開番号】特開2001-256068(P2001-256068A)

【公開日】平成13年9月21日(2001.9.21)

【出願番号】特願2000-70824(P2000-70824)

【国際特許分類第7版】

G 06 F 11/10

G 06 F 3/06

G 06 F 12/16

H 03 M 13/01

【F I】

G 06 F 11/10 3 3 0 D

G 06 F 3/06 3 0 5 A

G 06 F 12/16 3 2 0 F

H 03 M 13/01

【手続補正書】

【提出日】平成16年4月20日(2004.4.20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

c (c > 0) ビット誤り訂正・d (d > c) ビット誤り検出符号を使用した情報通信システム、あるいはメモリシステムの誤り検出・訂正方法において、

送信対象データを符号化する以前に発生した障害の有無、及びこの障害の発生原因を示す障害情報と、前記送信対象データとから検査ビットを生成して前記障害情報、送信対象データ並びに検査ビットから成る符号語を生成するステップと、

前記符号語から前記障害情報を除いた符号列を通信路もしくはメモリに送出するステップと、

前記通信路もしくはメモリから受信した符号語について、除かれた前記障害情報に当たる部分を固定値であると仮定した符号列からシンドロームを生成し、該シンドロームのパターンに基づき、前記符号列の誤り検出・訂正を行い、もって前記障害情報を再現するステップとを有することを特徴とする誤り検出・訂正方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項2

【補正方法】変更

【補正の内容】

【請求項2】

プロセッサと、主記憶と、誤り制御符号化されたデータを格納する主記憶制御装置と、I/O装置と、複数の前記プロセッサと前記主記憶制御装置を接続するプロセッサバスと、前記主記憶と前記主記憶制御装置を接続するメモリバスと、前記I/O装置と前記主記憶制御装置を接続するI/Oバスを備える計算機システムにおいて、前記主記憶制御装置は、

前記プロセッサバスから転送された前記主記憶への書き込み対象データの誤りを検出する第1の誤り検出回路と、

前記I/Oバスから転送された前記主記憶への書き込み対象データの誤りを検出する第2の

誤り検出回路と、

前記書き込み対象データについて前記第1もしくは第2の誤り検出回路で訂正不能な誤りを検出したか否かをそれぞれの符号パターンで示す障害情報と、該書き込み対象データとから成る符号列から検査ビットを生成し、該障害情報を除いて該書き込み対象データと該検査ビットとから成る符号列を前記主記憶に書き込む符号語として出力する符号化回路と、前記主記憶から読み出した符号語について、除かれた前記障害情報に当たる部分が固定のパターンであると仮定した符号列からシンドロームを生成し、該シンドロームのパターンに基づき、前記符号列の誤り検出・訂正を行い、もって前記障害情報を再現する復号回路と、前記復号回路で再現された障害情報の符号パターンを検出して前記符号化回路による符号化以前に発生した訂正不能な誤りの発生源を識別する障害情報検出テーブルとを備えることを特徴とする計算機システムの主記憶制御装置。