



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월23일
(11) 등록번호 10-2002815
(24) 등록일자 2019년07월17일

(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) H01L 21/768 (2006.01)
(21) 출원번호 10-2012-0098464
(22) 출원일자 2012년09월05일
심사청구일자 2017년08월07일
(65) 공개번호 10-2014-0033579
(43) 공개일자 2014년03월19일
(56) 선행기술조사문헌
JP2001217310 A*
JP2009123775 A*
JP2010056112 A*
KR1020060014425 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
한규희
경기 화성시 영통로50번길 14, 201동 1404호 (반월동, 신동탄두산위브아파트)
안상훈
경기 고양시 일산동구 호수로 606, A동 608호 (장항동, 코오롱레이크폴리스I)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 20 항

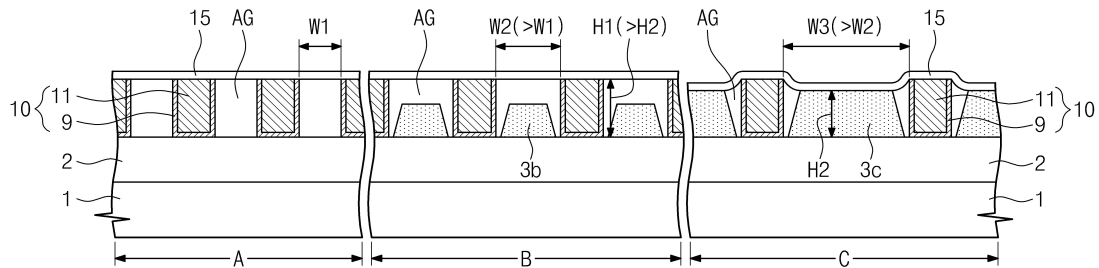
심사관 : 강병섭

(54) 발명의 명칭 반도체 장치 및 이의 제조 방법

(57) 요약

본 발명은 반도체 장치 및 이의 제조 방법을 제공한다. 이 장치에서는 도전 패턴들과 이들의 상부면을 덮는 캐핑막에 의해 에어 갭 영역이 제공된다. 이 방법에서는 도전 패턴들 사이의 간격이 넓은 곳에서 지지 패턴이 자동적으로 형성된다.

대표도



명세서

청구범위

청구항 1

제 1 영역과 제 2 영역을 포함하는 기판 상에 배치되는 도전 패턴들;
 상기 도전 패턴들의 상부면들을 연결하고 상기 도전 패턴들 사이의 에어 갭 영역을 정의하는 캐핑막;
 상기 제 1 영역에서 상기 도전 패턴들 사이에 배치되는 잔여 패턴; 및
 상기 제 2 영역에서 상기 도전 패턴들 사이에 배치되며 상기 캐핑막 패턴과 접하는 지지 패턴을 포함하되,
 상기 지지 패턴은 상기 도전 패턴들의 상부면들 보다 낮은 상부면을 가지고,
 상기 잔여 패턴의 하부면과 상기 지지 패턴의 하부면은 같은 높이에 위치하는 반도체 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 영역에서 상기 도전 패턴들의 간격은 상기 제 2 영역에서 상기 도전 패턴들의 간격보다 좁은 반도체 장치.

청구항 3

제 1 항에 있어서,
 상기 지지 패턴의 측면은 경사진 반도체 장치.

청구항 4

제 3 항에 있어서,
 상기 지지 패턴의 하부 모서리와 이웃하는 상기 도전 패턴들과의 거리는 상기 지지 패턴의 상부 모서리와 이웃하는 상기 도전 패턴들과의 거리보다 좁은 반도체 장치.

청구항 5

제 1 항에 있어서,
 상기 제 2 영역에서 상기 에어 갭 영역은 상기 지지 패턴의 측면과 상기 도전 패턴들의 측면 사이에 배치되는 반도체 장치.

청구항 6

제 1 항에 있어서,
 상기 잔여 패턴의 측면은 경사진 반도체 장치.

청구항 7

제 1 항에 있어서,
 상기 잔여 패턴은 상기 지지 패턴과 동일한 물질로 이루어지는 반도체 장치.

청구항 8

제 1 항에 있어서,
 상기 잔여 패턴은 상기 지지 패턴의 상부면 보다 낮은 상부면을 가지는 반도체 장치.

청구항 9

제 1 항에 있어서,
상기 도전 패턴과 상기 캐핑막 사이에 배치되는 제 1 보호막; 및
상기 도전 패턴들의 측면을 덮는 제 2 보호막을 더 포함하는 반도체 장치.

청구항 10

제 9 항에 있어서,
상기 제 1 보호막은 상기 제 2 보호막과 다른 물질인 반도체 장치.

청구항 11

제 10 항에 있어서,
상기 제 1 보호막은 탄탈륨, 루테튬, 코발트, 망간, 티타늄, 텅스텐, 니켈 및 알루미늄을 포함하는 그룹에서 선택되는 적어도 하나의 금속, 상기 적어도 하나의 금속의 산화막, 질화막 또는 산질화막을 포함하고,
상기 제 2 보호막은 질화실리콘(SiN), 질화탄화실리콘(SiCN) 및 질화붕소(BN)을 포함하는 그룹에서 선택되는 적어도 하나의 물질을 포함하는 반도체 장치.

청구항 12

제 9 항에 있어서,
상기 제 2 보호막은 연장되어 상기 제 1 보호막의 상부면과 상기 캐핑막 사이에 개재되며 상기 도전 패턴들 사이의 상기 기판을 덮는 반도체 장치.

청구항 13

제 9 항에 있어서,
상기 제 2 영역에서 상기 제 2 보호막은 상기 지지 패턴의 측면을 덮으며 상기 지지 패턴의 상부면과 상기 캐핑막 사이에 개재되는 반도체 장치.

청구항 14

제 9 항에 있어서,
상기 제 2 보호막은 상기 잔여 패턴의 측면과 상부면을 덮는 반도체 장치.

청구항 15

제 1 항에 있어서,
상기 캐핑막은 이산화실리콘(SiO_2), 질화실리콘(SiN), 수소탄화산화실리콘(SiOCH), 질화탄화실리콘(SiCN), 질화산화실리콘(SiON)을 포함하는 그룹에서 선택되는 적어도 하나의 물질을 포함하는 반도체 장치.

청구항 16

제 1 항에 있어서,
상기 기판은 상기 제 1 영역 및 상기 제 2 영역과 이격되는 제 3 영역을 더 포함하며,
상기 도전 패턴들은 상기 제 3 영역에서 상기 기판 상에도 배치되며,
상기 제 3 영역에서 상기 도전 패턴들 사이에는 상기 잔여 패턴과 상기 지지 패턴이 부재하며,
상기 제 1 영역에서 상기 도전 패턴들의 간격은 상기 제 3 영역에서 상기 도전 패턴들의 간격보다 넓되, 상기 제 2 영역에서 상기 도전 패턴들의 간격보다 좁은 반도체 장치.

청구항 17

제 1 항에 있어서,

상기 지지 패턴은 이산화실리콘(SiO_2), 질화실리콘(SiN), 질화탄화실리콘(SiCN), 수소탄화산화실리콘(SiOCH), 다공성-수소탄화산화실리콘(porous- SiOCH)을 포함하는 그룹에서 선택되는 적어도 하나의 물질을 포함하는 반도체 장치.

청구항 18

제 1 항에 있어서,

상기 제 2 영역에서 상기 지지 패턴에 인접한 도전 패턴들의 간격은 100nm 이상인 반도체 장치.

청구항 19

제 1 항에 있어서,

상기 캐핑막은 상기 도전 패턴의 상부 측벽을 일부 덮는 반도체 장치.

청구항 20

제 19 항에 있어서,

상기 도전 패턴의 측벽을 덮는 보호막을 더 포함하되,

상기 캐핑막은 상기 보호막의 상부 측벽을 일부 덮는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치들은 고집적, 고밀도, 저전력 소비 및 고속 동작이 요구되고 있다. 고집적 회로를 가지는 반도체 장치는 다층 연결 배선 구조를 사용하여 설계된다. 이러한 배선들은 알루미늄과 같은 금속 물질로 형성되어 왔다. 알루미늄으로 배선을 형성하기 위해, 절연막 상에 알루미늄층을 증착하고 식각하는 공정을 진행한다.

[0003] 그러나, 디자인 룰이 작아짐에 따라, 배선의 재료로 알루미늄 대신 구리로 대체되고 있다. 왜냐하면 알루미늄의 전기저항이 상대적으로 크며, 알루미늄 배선 선평이 작아질수록 전기저항이 더욱 커져 고속 동작이 어려워지기 때문이다. 따라서 전기저항이 작으며 값이 싼 구리를 배선의 재료로 선호하게 되었다. 그러나, 구리는 식각 공정으로 식각되기가 어렵다. 따라서 구리로 배선을 형성하기 위해 다마신 공정을 사용할 수 있다.

[0004] 그러나 반도체 장치의 고집적화로 인해 배선들 간격도 좁아지고 있다. 따라서 위와 같이 배선 재료를 바꿀지라도, 배선들 간의 좁은 간격 때문에, 간섭 현상이 심해질 수 있다. 이로써, 배선의 신호 전달 속도가 지연될 수 있다. 이를 해결하기 위하여 다양한 연구가 계속되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 신호전달 속도를 향상시킬 수 있는 반도체 장치를 제공하는데 있다.

[0006] 본 발명이 해결하고자 하는 다른 과제는 공정을 단순화시킬 수 있는 반도체 장치의 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0007] 상기 과제를 달성하기 위한 본 발명에 따른 반도체 장치는, 제 1 영역과 제 2 영역을 포함하는 기판; 상기 기판 상에 배치되는 도전 패턴들; 상기 도전 패턴들의 상부면을 연결하는 캐핑막; 상기 도전 패턴들 사이에 배치되는

에어 갭 영역; 및 상기 제 2 영역에서 상기 도전 패턴들 사이에 배치되며 상기 캐핑막 패턴과 접하는 지지 패턴을 포함하되, 상기 지지 패턴은 상기 도전 패턴의 상부면 보다 낮은 상부면을 가진다.

- [0008] 상기 제 1 영역에서 상기 도전 패턴들의 간격은 상기 제 2 영역에서 상기 도전 패턴들의 간격보다 좁다.
- [0009] 상기 지지 패턴의 측면은 경사질 수 있다.
- [0010] 상기 지지 패턴의 하부 모서리와 이웃하는 상기 도전 패턴과의 거리는 상기 지지 패턴의 상부 모서리와 이웃하는 상기 도전 패턴과의 거리보다 좁을 수 있다.
- [0011] 상기 제 2 영역에서 상기 에어 갭 영역은 상기 지지 패턴의 측면과 상기 도전 패턴의 측면 사이에 배치될 수 있다.
- [0012] 상기 반도체 장치는, 상기 제 1 영역에서 상기 도전 패턴들 사이에 배치되며 상기 캐핑막과 이격되는 잔여 패턴을 더 포함할 수 있다.
- [0013] 상기 잔여 패턴은 상기 지지 패턴과 동일한 물질로 이루어질 수 있다.
- [0014] 상기 잔여 패턴은 상기 지지 패턴의 상부면 보다 낮은 상부면을 가질 수 있다.
- [0015] 상기 반도체 장치는, 상기 도전 패턴과 상기 캐핑막 사이에 배치되는 제 1 보호막; 및 상기 도전 패턴의 측면을 덮는 제 2 보호막을 더 포함할 수 있다.
- [0016] 상기 제 1 보호막은 상기 제 2 보호막과 다를 수 있다.
- [0017] 상기 제 1 보호막은 탄탈륨, 루테튬, 코발트, 망간, 티타늄, 텅스텐, 니켈 및 알루미늄을 포함하는 그룹에서 선택되는 적어도 하나의 금속, 상기 적어도 하나의 금속의 산화막, 질화막 또는 산질화막으로 이루어질 수 있다. 상기 제 2 보호막은 질화실리콘(SiN), 질화탄화실리콘(SiCN) 및 질화붕소(BN)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.
- [0018] 상기 제 2 보호막은 연장되어 상기 제 1 보호막의 상부면과 상기 캐핑막 사이에 개재되며 상기 도전 패턴들 사이의 상기 기판을 덮을 수 있다.
- [0019] 상기 제 2 영역에서 상기 제 2 보호막은 상기 지지 패턴의 측면을 덮으며 상기 지지 패턴의 상부면과 상기 캐핑막 사이에 개재될 수 있다.
- [0020] 상기 잔여 패턴은 상기 캐핑막과 이격될 수 있다. 상기 제 2 보호막은 상기 잔여 패턴의 측면과 상부면을 덮을 수 있다.
- [0021] 상기 캐핑막은 이산화실리콘(SiO_2), 질화실리콘(SiN), 수소탄화산화실리콘(SiOCH), 질화탄화실리콘(SiCN), 질화산화실리콘(SiON)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.
- [0022] 상기 캐핑막은 0.001~5nm의 두께를 가질 수 있다.
- [0023] 상기 지지 패턴은 이산화실리콘(SiO_2), 질화실리콘(SiN), 질화탄화실리콘(SiCN), 수소탄화산화실리콘(SiOCH), 다공성-수소탄화산화실리콘(porous- SiOCH)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다.
- [0024] 상기 제 2 영역에서 상기 지지 패턴에 인접한 도전 패턴들의 간격은 100nm 이상일 수 있다.
- [0025] 상기 다른 과제를 달성하기 위한 본 발명에 따른 반도체 장치의 제조 방법은, 기판 상에 절연막을 형성하는 단계; 상기 절연막을 패터닝하여 복수개의 리세스된 영역들을 형성하는 단계; 상기 리세스된 영역들을 채우는 도전 패턴들을 형성하는 단계; 상기 절연막에 대하여 플라즈마 처리하는 단계; 상기 절연막의 적어도 일부를 제거하여 적어도 상기 도전 패턴들의 측벽을 노출시키는 단계; 및 상기 도전 패턴들 사이를 채우는 희생막을 형성하는 단계; 상기 도전 패턴들의 상부면을 연결하는 캐핑막을 형성하는 단계; 및 상기 희생막을 제거하여 상기 도전 패턴들 사이에서 에어 갭 영역을 형성하는 단계를 포함할 수 있다.
- [0026] 상기 절연막의 적어도 일부를 제거하는 단계는 지지 패턴을 형성하는 단계를 포함할 수 있으며, 상기 지지 패턴은 상기 희생막이 제거된 후에 상기 캐핑막과 접할 수 있다.
- [0027] 상기 절연막의 적어도 일부를 제거하는 단계는 상기 캐핑막과 이격되는 잔여 패턴을 형성하는 단계를 포함할 수 있으며, 상기 잔여 패턴은 상기 희생막이 제거된 후에 상기 캐핑막과 접하지 않을 수 있다.

- [0028] 상기 리세스된 영역들을 형성하는 공정은 이방성 식각 공정으로 이루어질 수 있다.
- [0029] 일 예에 있어서, 상기 절연막은 탄소를 포함하는 유전막으로 형성될 수 있으며, 상기 식각 공정과 상기 플라즈마 처리에 의해 상기 절연막의 적어도 일부분에서 탄소가 제거될 수 있다.
- [0030] 상기 절연막에 대하여 상기 플라즈마 처리하는 단계는 온도 200~400℃, 압력 3~8Torr, 플라즈마 파워 300~800W의 조건에서 수소(H₂), 암모니아(NH₃), 이수소이질소(N₂H₂), 일산화이질소(N₂O), 산소(O₂), 이산화탄소(CO₂), 일산화탄소(CO) 중에 적어도 하나의 가스를 공급하여 진행될 수 있다.
- [0031] 상기 희생막은 탄화수소막으로 형성될 수 있다.
- [0032] 상기 캐핑막을 형성하는 단계는 ALD(Atomic layer deposition), PE-CVD(Plasma-enhanced chemical vapor deposition), AP-CVD(Atmospheric pressure chemical vapor deposition) 및 FCVD(Flowable chemical vapor deposition)를 포함하는 그룹에서 선택되는 적어도 하나의 방법으로 이루어질 수 있다.
- [0033] 상기 희생막을 제거하는 단계는 애싱(ashing) 공정으로 진행될 수 있다.
- [0034] 상기 애싱 공정으로 상기 희생막이 분해되어 가스 형태로 상기 캐핑막을 통해 빠져나갈 수 있다.
- [0035] 상기 애싱 공정은 20~400℃ 온도에서 암모니아(NH₃), 수소(H₂), 일산화이질소(N₂O), 산소(O₂), 이산화탄소(CO₂) 및 일산화탄소(CO) 중에 적어도 하나의 가스를 공급하여 진행될 수 있다.
- [0036] 상기 방법은, 상기 절연막의 적어도 일부를 제거하는 단계 전에, 상기 도전 패턴들의 상부면을 덮는 제 1 보호막을 형성하는 단계를 더 포함할 수 있다.
- [0037] 상기 방법은, 상기 절연막의 적어도 일부를 제거하는 단계 후에 상기 희생막을 형성하기 전에 상기 도전 패턴들을 덮는 제 2 보호막을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0038] 본 발명에 따른 반도체 장치에서는 도전 패턴들과 이들의 상부면을 덮는 캐핑막에 의해, 도전 패턴들 사이에서 에어갭 영역이 배치된다. 에어 갭의 유전율이 다른 유전막 보다 현저히 낮으므로, 반도체 장치의 동작시, 도전 패턴들 간의 간섭을 최소화할 수 있다. 이로써, 도전 패턴의 신호 전달 속도를 향상시키고, 전력 소모(Power consumption)를 줄일 수 있다.
- [0039] 또한 본 발명에 따른 반도체 장치에서는 도전 패턴들 사이의 간격이 넓은 곳에서 지지 패턴이 배치된다. 상기 지지 패턴은 그 위의 캐핑막의 과도한 처짐을 방지할 수 있다. 이로써 캐핑막의 과도한 처짐에 의한 도전 패턴들의 쓰러짐을 방지할 수 있다. 또한 캐핑막의 과도한 처짐에 의한 캐핑막 표면의 과도한 굴곡에 의해 후속 공정의 어려움을 방지할 수 있다. 이로써 반도체 장치의 신뢰성을 향상시킬 수 있다.
- [0040] 또한 본 발명에 따른 반도체 장치에서는 도전 패턴의 상부면과 측면을 덮는 보호막들에 의해 도전 패턴들의 신뢰성을 향상시킬 수 있다.
- [0041] 본 발명에 따른 반도체 장치의 제조 방법에서는, 공정 조건을 적절하게 조절함으로써, 에어 갭 영역의 위치와 크기등을 조절할 수 있다.
- [0042] 또한 본 발명에 따른 반도체 장치의 제조 방법에서는, 도전 패턴들 간격이 넓은 곳에서 지지 패턴이 자동적으로 형성되므로 지지 패턴을 형성하기 위한 별도의 포토리소그라피 공정이나 또는 포토 마스크의 디자인 변경을 필요로 하지 않는다. 따라서 공정을 단순화시킬 수 있다.

도면의 간단한 설명

- [0043] 도 1은 본 발명의 일 예에 따른 반도체 장치의 단면도이다.
- 도 2 내지 도 10은 도 1의 반도체 장치를 제조하는 과정을 순차적으로 나타낸 단면도들이다.
- 도 11은 본 발명의 다른 예에 따른 반도체 장치의 단면도이다.
- 도 12 내지 도 16은 도 11의 반도체 장치를 제조하는 과정을 순차적으로 나타낸 단면도들이다.
- 도 17은 본 발명의 또 다른 예에 따른 반도체 장치의 단면도이다.

도 18 및 19는 도 17의 반도체 장치를 제조하는 과정을 순차적으로 나타낸 단면도들이다.

도 20은 본 발명의 또 다른 예에 따른 반도체 장치의 단면도이다.

도 21a 내지 21c는 본 발명의 실험예들에 따라 제조된 반도체 장치의 단면 사진들을 나타낸다.

도 22는 본 발명의 예들에 따른 구조를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0045] 본 명세서에서, 어떤 구성 요소가 다른 구성 요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [0046] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운디지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다. 본 명세서의 다양한 실시예들에서 제1, 제2 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이들 구성요소들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 구성요소를 다른 구성요소와 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 실시예들은 그것의 상보적인 실시예들도 포함한다.
- [0047] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprise)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.
- [0048] 이하, 도면들을 참조하여, 본 발명의 실시예들에 대해 상세히 설명하기로 한다.
- [0049] 도 1은 본 발명의 일 예에 따른 반도체 장치의 단면도이다.
- [0050] 도 1을 참조하면, 제 1 영역(A), 제 2 영역(B), 및 제 3 영역(C)을 포함하는 기판(1)이 준비된다. 상기 기판(1) 상에 제 1 절연막(2)이 배치된다. 상기 제 1 절연막(2)은 층간절연막이거나 식각 저지막일 수 있다. 도시하지는 않았지만, 상기 기판(1) 상에는 소자분리막(미도시)과 트랜지스터들(미도시)이 배치될 수 있다. 또한, 상기 제 1 절연막(2) 내에는 배선(미도시)이나 콘택들(미도시)이 배치될 수 있다. 상기 제 1 절연막(2) 상에 복수개의 도전 패턴들(10)이 배치될 수 있다. 상기 도전 패턴들(10)은 일 방향으로 연장되는 복수개의 라인 형태이거나, 콘택 형태 또는 콘택과 라인이 결합된 형태일 수도 있다. 도시하지는 않았지만, 상기 도전 패턴들(10)은 상기 제 1 절연막(2) 내부에 배치될 수 있는 콘택(미도시)이나 배선들(미도시)과 전기적으로 연결될 수 있다.
- [0051] 상기 도전 패턴(10)은 도전막(11)과 상기 도전막(11)의 측벽과 하부면을 덮는 확산 방지막(9)을 포함할 수 있다. 상기 도전막(11)은 구리, 텅스텐 및 알루미늄과 같이 낮은 저항의 도전성 물질로 이루어질 수 있다. 상기 확산 방지막(9)은 티타늄(Ti), 티타늄질화막(TiN), 탄탈륨(Ta), 탄탈륨질화막(TaN), 루테튬(Ru), 코발트(Co), 망간(Mn), 텅스텐질화막(WN), 니켈(Ni), 및 니켈붕소(NiB)를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 상기 도전 패턴들(10) 사이에는 빈 공간인 에어 갭 영역(Air-gap region, AG)이 배치된다. 상기 도전 패턴들(10)의 상부면들은 캐핑막(15)으로 연결된다. 상기 캐핑막(15)은 유전율 1.8~8을 가지는 유전막으로 이루어질 수 있다. 바람직하게는 상기 캐핑막(15)은 이산화실리콘(SiO₂), 질화실리콘(SiN), 수소산화산화실리콘(SiOCH), 질화탄화실리콘(SiCN), 질화산화실리콘(SiON)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 더욱 바람직하게는 상기 캐핑막(15)은 이산화실리콘(SiO₂), 수소산화산화실리콘

(SiOCH), 질화탄화실리콘(SiCN)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 상기 캐핑막(15)은 0.001~5nm의 두께를 가질 수 있다.

[0052] 계속해서, 상기 제 1 영역(A)에서 상기 도전 패턴들(10) 간의 제 1 간격(W1)은 상기 제 2 영역(B)에서 상기 도전 패턴들(10) 간의 제 2 간격(W2) 보다 작다. 상기 제 3 영역(C)에서 상기 도전 패턴들(10) 간의 제 3 간격(W3)은 상기 제 2 간격(W2) 보다 크다. 상기 제 3 영역(C)에서 상기 도전 패턴들(10) 사이의 제 3 간격(W3)은 바람직하게는 100nm이상일 수 있다. 상기 제 1 간격(W1)은 바람직하게는 50nm이하일 수 있다. 상기 제 2 간격(W2)은 50nm~100nm일 수 있다.

[0053] 상기 제 3 영역(C)에서 상기 도전 패턴들(10) 사이에 지지 패턴(3c)이 배치된다. 상기 지지 패턴(3c)은 상기 캐핑막(15)과 접한다. 상기 도전 패턴(10)의 상부면의 높이(H1)는 상기 지지 패턴(3c)의 상부면의 높이(H2) 보다 높다. 상기 지지 패턴(3c)의 측벽은 경사질 수 있다. 상기 지지 패턴(3c)의 하단 모서리로부터 이웃하는 상기 도전 패턴(10) 사이의 거리는 상기 지지 패턴(3c)의 상단 모서리로부터 이웃하는 상기 도전 패턴(10) 사이의 거리보다 작을 수 있다. 상기 제 2 영역(B)에서 상기 도전 패턴들(10) 사이에 잔여 패턴(3b)이 배치된다. 상기 잔여 패턴(3b)의 상부면의 높이는 상기 지지 패턴(3c)의 상부면의 높이보다 낮다. 상기 잔여 패턴(3b)은 상기 캐핑막(15)과 이격된다. 상기 제 1 영역(A)에서 상기 도전 패턴들(10) 사이에는 상기 잔여 패턴(3b)이나 상기 지지 패턴(3c)이 개재되지 않는다. 상기 지지 패턴(3c)과 상기 잔여 패턴(3b)은 동일한 물질로 이루어질 수 있다. 상기 지지 패턴(3c)과 상기 잔여 패턴(3b)은 유전율 1.8~8을 가지는 유전막일 수 있다. 바람직하게는 상기 지지 패턴(3c)과 상기 잔여 패턴(3b)은 탄소를 포함하는 절연물질일 수 있다. 더욱 바람직하게는 상기 지지 패턴(3c)과 상기 잔여 패턴(3b)은 질화실리콘(SiN), 질화탄화실리콘(SiCN), 수소탄화산화실리콘(SiOCH), 다공성-수소탄화산화실리콘(porous-SiOCH)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 상기 지지 패턴(3c)과 상기 잔여 패턴(3b)은 이산화실리콘(SiO₂)일 수도 있다.

[0054] 본 예에 따른 반도체 장치에서는 도전 패턴들(10) 사이에서 이들의 상부면을 연결하는 캐핑막(15)에 의해 에어 갭 영역(AG)이 제공된다. 상기 에어 갭 영역(AG)의 유전율이 약 1로써 다른 유전막의 유전율보다 현저히 낮으므로, 도전 패턴들(10) 간의 간섭을 최소화할 수 있다. 이로써 신호 전달 속도를 향상시키고 전력 소모(Power consumption)를 줄일 수 있다. 또한 상기 지지 패턴(3c)은 상대적으로 넓은 간격의 도전 패턴들(10) 사이에서 상기 캐핑막(15)의 무너짐(또는 과도한 처짐)을 막고 지지하는 역할을 함으로써 반도체 장치의 신뢰성을 향상시킬 수 있다.

[0055] 도 2 내지 도 10은 도 1의 반도체 장치를 제조하는 과정을 순차적으로 나타낸 단면도들이다.

[0056] 도 2를 참조하면, 제 1 영역(A), 제 2 영역(B) 및 제 3 영역(C)을 포함하는 기판(1) 상에 제 1 절연막(2)을 형성한다. 도시하지는 않았지만, 상기 제 1 절연막(2) 아래, 내부 및 위에 소자분리막, 트랜지스터, 콘택, 배선 및 식각 저지막 등을 형성할 수 있다. 상기 제 1 절연막(2)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막 등으로 형성될 수 있다. 상기 제 1 절연막(2) 상에 제 2 절연막(3)을 형성한다.

[0057] 상기 제 2 절연막(3)은 유전율 1.8~8을 가지는 유전막으로 형성될 수 있다. 바람직하게는 상기 제 2 절연막(3)은 탄소를 포함하는 유전막으로 형성될 수 있다. 더욱 바람직하게는 상기 제 2 절연막(3)은 질화탄화실리콘(SiCN), 수소탄화산화실리콘(SiOCH), 다공성-수소탄화산화실리콘(porous-SiOCH)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 매우 바람직하지는 않지만, 상기 제 2 절연막(3)은 탄소를 포함하지 않는 이산화실리콘(SiO₂), 실리콘 질화막, 실리콘 산화질화막 등으로 형성될 수도 있다. 상기 제 2 절연막(3)은 ALD, CVD, FCVD, SOD 및 확산 방식 중 적어도 하나의 방법으로 형성될 수 있다. 상기 제 2 절연막(3)이 다공성-수소탄화산화실리콘(porous-SiOCH)으로 형성될 경우, 열처리(Thermal cure), 자외선 처리(UV cure), 이빔 처리(e-Beam cure) 공정 중에 적어도 하나를 진행하여 형성될 수 있다.

[0058] 상기 제 2 절연막(3) 상에 도전 패턴들(10)이 형성될 영역을 정의하는 개구부들(7)을 가지는 마스크 패턴(5)을 형성한다. 상기 마스크 패턴(5)은 예를 들면 포토레지스트 패턴일 수 있다. 상기 제 1 영역(A), 제 2 영역(B) 및 제 3 영역(C)에서 상기 마스크 패턴(5)의 폭들(W1, W2, W3)은 각각 도 1을 참조하여 설명한 상기 영역들(A, B, C)에서의 상기 도전 패턴들(10) 간의 간격들(W1, W2, W3)에 대응될 수 있다. 즉, 상기 제 2 영역(B)에서 상기 마스크 패턴(5)의 폭(W2)이 상기 제 1 영역(A)에서 상기 마스크 패턴(5)의 폭(W1) 보다 크며, 상기 제 3 영역(C)에서 상기 마스크 패턴(5)의 폭(W3) 보다 작다.

[0059] 도 3을 참조하면, 상기 마스크 패턴(5)을 식각 마스크로 이용하여 상기 제 2 절연막(3)을 이방성 식각하여 상기 개구부(7)가 전사된 제 2 절연막 패턴(3a)을 형성한다. 상기 이방성 식각 공정에 의해 상기 제 2 절연막 패턴

(3a)의 측벽은 식각 손상을 받게 된다. 상기 이방성 식각 공정 동안, 상기 제 2 절연막 패턴(3a)의 상부가 그 하부보다 노출되는 시간이 많으므로, 상기 제 2 절연막 패턴(3a)의 식각 손상 부분(D1)은 상기 제 2 절연막 패턴(3a)의 상단으로 갈수록 더 클 수 있고 그 하단으로 갈수록 작을 수 있다. 상기 식각 손상 부분(D1)에서는 상기 이방성 식각 공정에 사용되는, 예를 들면 불화 탄소(C_xF_y) 계열의, 식각 가스(플라즈마)에 의해 상기 제 2 절연막 패턴(3a) 내부에 포함되어 있는 탄소가 일부 제거될 수 있다. 상기 제 2 절연막(3)이 수소산화산화실리콘($SiOCH$)이나 다공성-수소산화산화실리콘(porous- $SiOCH$)으로 형성될 경우, 상기 이방성 식각 공정에 의해 손상 받은 부분(D1)에서는 상기 제 2 절연막(3)의 탄소(C)가 식각 가스의 수소나 산소와 결합하여 메탄(CH_4), 일산화탄소(CO), 이산화탄소(CO_2) 등의 형태로 바뀌어 상기 제 2 절연막 패턴(3a) 밖으로 빠져나갈 수 있다. 이로써 상기 식각 손상 부분(D1)에서는 실리콘 산화막(Si_xO_y) 계열의 형태로 바뀌게 된다. 즉, 상기 식각 손상 부분(D1)은 상기 제 2 절연막 패턴(3a) 내에서 탄소가 제거된 부분에 대응될 수 있다.

[0060] 도 4를 참조하면, 상기 마스크 패턴(5)을 선택적으로 제거하여 상기 제 2 절연막 패턴(3a)의 상부면을 노출시킨다. 상기 마스크 패턴(5)이 포토레지스트 패턴일 경우 애싱 공정으로 제거될 수 있다. 그리고 확산 방지막(9)과 도전막(11)을 차례로 형성하여 상기 개구부(7)를 채운다. 상기 확산 방지막(9)은 티타늄(Ti), 티타늄질화막(TiN), 탄탈륨(Ta), 탄탈륨질화막(TaN), 루테튬(Ru), 코발트(Co), 망간(Mn), 텅스텐질화막(WN), 니켈(Ni), 및 니켈붕소(NiB)를 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다. 상기 확산 방지막(9)은 증착 공정으로 형성될 수 있다. 상기 도전막(11)을 형성하기 전에 시드막을 형성할 수 있다. 상기 도전막(11)은 증착 공정이나 도금 공정으로 형성될 수 있다. 상기 도전막(11)은 구리, 텅스텐이나 알루미늄과 같은 막으로 형성될 수 있다.

[0061] 도 5를 참조하면, 상기 도전막(11)과 상기 확산 방지막(9)에 대하여 평탄화 식각 공정을 진행하여 상기 제 2 절연막 패턴(3a) 상의 상기 확산 방지막(9)과 상기 도전막(11)을 제거하고, 상기 개구부(7) 내에 도전 패턴(10)을 형성한다. 상기 평탄화 식각 공정은 전면 에치백(etch back) 공정이거나 화학적 기계적 연마(Chemical mechanical polishing, CMP) 공정일 수 있다. 이때 상기 제 2 절연막 패턴(3a)의 상부면이 노출된다.

[0062] 도 6을 참조하면, 노출된 상기 제 2 절연막 패턴(3a)의 상부면에 대하여 플라즈마 처리 공정(13)을 진행한다. 상기 플라즈마 처리 공정에 의해 상기 제 2 절연막 패턴(3a) 내에 포함된 탄소가 선택적으로 제거될 수 있다. 이로써 상기 손상 부분(D1)의 면적이 넓어지게 된다. 상기 도전 패턴들(10) 간격이 좁은 제 1 영역(A)에서는 상기 제 2 절연막 패턴(3a)의 부피도 작으므로, 상기 이방성 식각 공정과 상기 플라즈마 처리에 의해 거의 모든 부분에서 탄소가 제거될 수 있다. 한편, 상기 도전 패턴들(10)의 간격이 제일 넓은 제 3 영역(C)에서 상기 제 2 절연막 패턴(3a)의 부피가 제일 크므로, 이방성 식각 공정과 플라즈마 처리에 의해 탄소가 제거되는 비율이 제일 작을 수 있다. 상기 제 3 영역(C)에서 상기 플라즈마 처리에 의해 상기 제 2 절연막 패턴(3a)의 상부면에 인접한 일부에서 탄소가 제거될 수 있다. 상기 제 2 영역(B)에서 상기 도전 패턴들(10)의 간격은 상기 제 1 영역(A)과 상기 제 3 영역(C)의 사이에 해당하므로 탄소가 제거되는 비율도 상기 제 1 영역(A)과 상기 제 3 영역(C)의 사이에 해당할 수 있다. 상기 제 2 영역(B)에서 상기 제 2 절연막 패턴(3a)의 상당 부분에서 탄소가 제거될 수 있다. 이와 같이 제 2 절연막 패턴(3a)의 부피에 따라 탄소 제거 비율을 다르게 할 수 있는 상기 플라즈마 처리 공정은 바람직하게는 온도 200~400℃, 압력 3~8Torr, 플라즈마 파워 300~800W의 조건에서 수소(H_2), 암모니아(NH_3), 이소수소이질소(N_2H_2), 일산화이질소(N_2O), 산소(O_2), 이산화탄소(CO_2), 일산화탄소(CO) 중에 적어도 하나의 가스를 공급하여 진행될 수 있다.

[0063] 도 7을 참조하면, 상기 제 2 절연막 패턴(3a)의 적어도 일부를 제거한다. 이때 상기 이방성 식각 공정과 상기 플라즈마 처리 공정에 의해 탄소가 제거된 부분(D1)이 선택적으로 제거될 수 있다. 상기 제 2 절연막 패턴(3a)의 적어도 일부를 제거하기 위하여 불산(HF)을 이용하는 습식 식각이나, 또는 불화탄소(C_xF_y) 같은 가스를 이용하는 건식 식각을 이용할 수 있다. 상기 탄소가 제거된 부분(D1)은 실리콘 산화막(Si_xO_y) 계열의 형태로 바뀌어 불산이나 불화탄소(C_xF_y)에 의해 제거가 용이하게 된다. 그러나 탄소가 제거되지 않은 부분은 불산이나 불화탄소(C_xF_y)에 의해 제거가 잘 되지 않고 남을 수 있다. 이로써, 상기 제 3 영역(C)에서는 지지 패턴(3c)이 형성되고, 상기 제 2 영역(B)에서는 상기 지지 패턴(3c) 보다 작은 잔여 패턴(3b)이 남을 수 있다. 상기 제 1 영역(C)에서 상기 제 2 절연막 패턴(3a)은 모두 제거되어 상기 제 1 절연막(2)의 상부면이 노출될 수 있다.

[0064] 도 8을 참조하면, 상기 기판(1)의 전면 상에 희생막(13)을 형성한다. 상기 희생막(13)은 탄화수소(C_xH_y)로 형성될 수 있다. 상기 희생막(13)은 SOD(Spin on Dielectrics) 또는 PE-CVD 공정으로 형성될 수 있다. 상기 희생막

(13)은 상기 도전 패턴들(11) 사이를 채우면서 상기 도전 패턴들(11)의 상부면을 덮도록 형성될 수 있다.

[0065] 도 9를 참조하면, 상기 회생막(13)에 대하여 평탄화 식각 공정을 진행하여 상기 도전 패턴들(11) 상의 상기 회생막(13)을 제거하고 상기 도전 패턴들(11)의 상부면들을 노출시킨다. 상기 평탄화 식각 공정은 전면 에치백 공정 또는 CMP 공정일 수 있다.

[0066] 도 10을 참조하면, 상기 기판(1)의 전면 상에 캐핑막(15)을 형성한다. 상기 캐핑막(15)은 바람직하게는 ALD(Atomic layer deposition) 공정으로 형성되고, PE-CVD(Plasma-enhanced chemical vapor deposition), AP-CVD(Atmospheric pressure chemical vapor deposition) 및 FCVD(Flowable chemical vapor deposition)를 포함하는 그룹에서 선택되는 적어도 하나의 방법으로도 형성될 수 있다. 상기 캐핑막(15)은 유전율 1.8~8을 가지는 유전막으로 형성될 수 있다. 바람직하게는 상기 캐핑막(15)은 이산화실리콘(SiO_2), 질화실리콘(SiN), 수소탄화산화실리콘(SiOCH), 질화탄화실리콘(SiCN), 질화산화실리콘(SiON)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다. 더욱 바람직하게는 상기 캐핑막(15)은 이산화실리콘(SiO_2), 수소탄화산화실리콘(SiOCH), 질화탄화실리콘(SiCN)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다. 상기 캐핑막(15)은 0.001~5nm의 두께를 가질 수 있다. 상기 캐핑막(15)은 상기 도전 패턴들(10)의 상부면들과 상기 회생막(13)의 상부면을 덮도록 형성된다.

[0067] 다시, 도 1을 참조하면, 상기 캐핑막(15)으로 덮인 상태에서 상기 회생막(13)을 선택적으로 제거한다. 이때 애싱 공정이 진행될 수 있다. 상기 애싱 공정은 20~400℃ 온도에서 수소 라디칼 또는 산소 라디칼을 생성할 수 있는 암모니아(NH_3), 수소(H_2), 일산화이질소(N_2O), 산소(O_2), 이산화탄소(CO_2) 및 일산화탄소(CO) 중에 적어도 하나의 가스를 공급하여 진행될 수 있다. 이때 애싱 공정에서 생성된 수소 라디칼 또는 산소 라디칼은 상기 캐핑막(15)을 통과해서 상기 회생막(13)을 구성하는 탄화수소와 반응한다. 이로써 상기 회생막(13)이 메탄(CH_4)이나 이산화탄소(CO_2) 또는 일산화탄소(CO)의 가스 형태로 변해 상기 캐핑막(15)을 통과해서 빠져나갈 수 있다. 이로써 상기 회생막(13)이 제거됨과 동시에 상기 회생막(13)이 있었던 곳에 에어 갭 영역(AG)이 형성된다. 상기 회생막(13)이 제거되면서 상기 도전 패턴들(10) 사이에서 상기 캐핑막(15)이 일부 처질 수 있다. 이때 도전 패턴들(10) 사이 간격이 상대적으로 좁은 제 1 및 제 2 영역들(A, B)에서는 상기 도전 패턴들(10)에 의해 상기 캐핑막(15)이 거의 처지지 않는다. 도전 패턴들(10) 사이 간격이 가장 넓은 제 3 영역(C)에서는 상기 지지 패턴(3c)이 상기 캐핑막(15)의 과도한 처짐을 방지할 수 있다. 이로써 상기 제 3 영역(C)에서 상기 캐핑막(15)의 과도한 처짐에 의해 발생할 수 있는 상기 도전 패턴(10)의 쓰러짐을 방지할 수 있다.

[0068] 도시하지는 않았지만, 상기 도전 패턴들(10)과 그 주변의 구조를 형성한 후에, 상기 캐핑막(15) 상에 추가로 배선들을 형성할 수 있다. 이때 상기 배선들과 상기 도전 패턴들(10)간의 전기적 연결을 위하여 상기 캐핑막(15)을 일부 식각할 수 있다. 만약 상기 제 3 영역(C)에서 상기 지지 패턴(3c)이 없다면, 상기 캐핑막(15)이 과도하게 처져서 상기 캐핑막(15) 상에 식각 마스크 패턴을 정확하게 형성하기가 어려울 수 있다. 그러나 본 발명에서 지지 패턴(3c)이 있으므로, 후속 배선 공정의 어려움을 방지할 수 있다.

[0069] 도 11은 본 발명의 다른 예에 따른 반도체 장치의 단면도이다.

[0070] 도 11을 참조하면, 본 예에 따른 반도체 장치에서는 도전 패턴(10)의 상부면에는 제 1 보호막(23)이 배치되고, 상기 도전 패턴(10)의 측면에는 제 2 보호막(25)이 배치된다. 상기 제 1 보호막(23)과 상기 제 2 보호막(25)은 서로 다른 물질로 형성될 수 있다. 상기 제 1 보호막(23)은 탄탈륨, 루테튬, 코발트, 망간, 티타늄, 텅스텐, 니켈 및 알루미늄을 포함하는 그룹에서 선택되는 적어도 하나의 금속, 상기 적어도 하나의 금속의 산화막, 질화막 또는 산질화막으로 이루어질 수 있다. 상기 제 2 보호막(25)은 유전율 1.8~8을 가지는 유전막을 형성될 수 있다. 바람직하게는, 상기 제 2 보호막(25)은 질화실리콘(SiN), 질화탄화실리콘(SiCN) 및 질화붕소(BN)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 이루어질 수 있다. 상기 제 2 보호막(25)은 연장되어 상기 제 1 보호막(23)의 상부면과 상기 캐핑막(15) 사이에 개재될 수 있다. 상기 제 1 영역(A)에서 상기 제 2 보호막(25)은 연장되어 상기 도전 패턴들(10) 사이의 상기 제 1 절연막(2)을 덮을 수 있다. 상기 제 2 영역(B)에서 상기 제 2 보호막(25)은 연장되어 상기 잔여 패턴(3b)의 측벽과 상부면을 덮을 수 있다. 상기 잔여 패턴(3b)의 상부면을 덮는 상기 제 2 보호막(25)은 그 위의 상기 캐핑막(15)과 이격될 수 있다. 상기 제 3 영역(C)에서 상기 제 2 보호막(25)은 연장되어 상기 지지 패턴(3c)의 측벽을 덮으며 상기 지지 패턴(3c)의 상부면과 상기 캐핑막(15) 사이에 개재될 수 있다. 그 외의 구성은 도 1을 참조하여 설명한 바와 동일/유사할 수 있다.

[0071] 도 12 내지 16은 도 11의 반도체 장치를 제조하는 과정을 순차적으로 나타낸 단면도들이다.

- [0072] 도 12를 참조하면, 도 6에서처럼, 상기 제 2 절연막 패턴(3a)에 대하여 플라즈마 처리(13)를 한 후에, 상기 제 2 절연막 패턴(3a)의 적어도 일부를 제거하기 전에, 도전 패턴들(10)의 상부면 상에 제 1 보호막(23)을 형성한다. 상기 제 1 보호막(23)은 탄탈륨, 루테튬, 코발트, 망간, 티타늄, 텅스텐, 니켈 및 알루미늄을 포함하는 그룹에서 선택되는 적어도 하나의 금속, 상기 적어도 하나의 금속의 산화막, 질화막 또는 산질화막으로 형성될 수 있다. 상기 제 1 보호막(23)은 증착 공정과 식각 공정을 진행하여 형성될 수 있다. 또는 상기 제 1 보호막(23)이 금속막으로만 형성될 경우, 도금 공정을 진행하여 형성될 수 있다.
- [0073] 도 13을 참조하면, 상기 제 1 보호막(23)이 덮여져 있는 상태에서, 상기 제 2 절연막 패턴(3a)의 적어도 일부분을 제거한다. 상기 제 2 절연막 패턴(3a)의 적어도 일부를 제거하기 위하여 불산(HF)을 이용하는 습식 식각이나, 또는 불화탄소(C_xF_y) 같은 가스를 이용하는 건식 식각을 이용할 수 있다. 상기 탄소가 제거된 부분(D1)은 실리콘 산화막(Si_xO_y) 계열의 형태로 바뀌어 불산이나 불화탄소(C_xF_y)에 의해 제거가 용이하게 된다. 그러나 탄소가 제거되지 않은 부분은 불산이나 불화탄소(C_xF_y)에 의해 제거가 잘 되지 않고 남을 수 있다. 이로써, 상기 제 3 영역(C)에서는 지지 패턴(3c)이 형성되고, 상기 제 2 영역(B)에서는 상기 지지 패턴(3c) 보다 작은 잔여 패턴(3b)이 남을 수 있다. 상기 제 1 영역(C)에서 상기 제 2 절연막 패턴(3a)은 모두 제거되어 상기 제 1 절연막(2)의 상부면이 노출될 수 있다. 이때 상기 제 1 보호막(23)은 상기 도전 패턴(10)의 상부면을 보호하는 역할을 한다. 상기 도전 패턴(10)의 측면은 이를 덮는 상기 확산 방지막(9)에 의해 보호될 수 있다.
- [0074] 도 14를 참조하면, 상기 기판(1)의 전면 상에 제 2 보호막(25)을 콘포말하게 형성한다. 상기 제 2 보호막(25)은 유전율 1.8~8을 가지는 유전막을 형성될 수 있다. 바람직하게는, 상기 제 2 보호막(25)은 질화실리콘(SiN), 질화탄화실리콘(SiCN) 및 질화붕소(BN)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다. 상기 제 2 보호막(25)은 ALD, PE-CVD, AP(atmospheric pressure)-CVD 및 FCVD 중에 적어도 하나의 방법을 이용하여 형성될 수 있다. 상기 제 2 보호막(25)은 상기 도전 패턴(10)을 완벽히 감싸, 상기 도전 패턴(10) 내에서 상기 확산 방지막(9)과 도전막(11) 사이의 슬릿 보이드(slits void)를 방지하는 역할을 할 수 있다.
- [0075] 도 15를 참조하면, 상기 기판(1)의 전면 상에 회생막(13)을 형성한다. 상기 회생막(13)은 탄화수소(C_xH_y)로 형성될 수 있다. 상기 회생막(13)은 SOD(Spin on Dielectrics) 또는 PE-CVD 공정으로 형성될 수 있다. 상기 회생막(13)은 상기 도전 패턴들(11) 사이를 채우면서 상기 도전 패턴들(11)의 상부면을 덮도록 형성될 수 있다. 상기 회생막(13)에 대하여 평탄화식각 공정을 진행한다. 이때 상기 제 2 보호막(25)의 상부면이 노출된다.
- [0076] 도 16을 참조하면, 상기 기판(1)의 전면 상에 캐핑막(15)을 형성한다. 상기 캐핑막(15)은 바람직하게는 ALD 공정으로 형성되고, PE-CVD, AP-CVD 및 FCVD를 포함하는 그룹에서 선택되는 적어도 하나의 방법으로도 형성될 수 있다. 상기 캐핑막(15)은 유전율 1.8~8을 가지는 유전막으로 형성될 수 있다. 바람직하게는 상기 캐핑막(15)은 이산화실리콘(SiO_2), 질화실리콘(SiN), 수소탄화산화실리콘($SiOCH$), 질화탄화실리콘(SiCN), 질화산화실리콘($SiON$)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다. 더욱 바람직하게는 상기 캐핑막(15)은 이산화실리콘(SiO_2), 수소탄화산화실리콘($SiOCH$), 질화탄화실리콘(SiCN)을 포함하는 그룹에서 선택되는 적어도 하나의 물질로 형성될 수 있다. 상기 캐핑막(15)은 0.001~5nm의 두께를 가질 수 있다. 상기 캐핑막(15)은 상기 제 2 보호막(25)의 상부면들과 상기 회생막(13)의 상부면을 덮도록 형성된다.
- [0077] 그리고 다시 도 11을 참조하여, 상기 캐핑막(15)으로 덮인 상태에서 상기 회생막(13)을 선택적으로 제거한다. 상기 애싱 공정은 20~400℃ 온도에서 수소 라디칼 또는 산소 라디칼을 생성할 수 있는 암모니아(NH_3), 수소(H_2), 일산화이질소(N_2O), 산소(O_2), 이산화탄소(CO_2) 및 일산화탄소(CO) 중에 적어도 하나의 가스를 공급하여 진행될 수 있다. 이로써 상기 회생막(13)이 제거됨과 동시에 상기 회생막(13)이 있었던 곳에 에어 갭 영역(AG)이 형성된다. 상기 회생막(13)이 제거되면서 상기 도전 패턴들(10) 사이에서 상기 캐핑막(15)이 일부 처질 수 있다. 도전 패턴들(10) 사이 간격이 가장 넓은 제 3 영역(C)에서는 상기 캐핑막(15)이 상기 지지 패턴(3c) 상의 상기 제 2 보호막(25)과 접하게 된다.
- [0078] 도 17은 본 발명의 또 다른 예에 따른 반도체 장치의 단면도이다.
- [0079] 도 17을 참조하면, 본 예에 따른 반도체 장치에서는 상기 캐핑막(15)이 상기 제 2 보호막(25)의 상부면 뿐만 아니라 상기 제 2 보호막(25)의 측면을 일부 덮는다. 그 외의 구성은 도 11을 참조하여 설명한 반도체 장치와 동일/유사할 수 있다.
- [0080] 도 18 및 19는 도 17의 반도체 장치를 제조하는 과정을 순차적으로 나타낸 단면도들이다.

- [0081] 도 18을 참조하면, 도 15의 상태에서 희생막(13)에 대한 평탄화 식각 공정으로 전면 에치백 공정을 진행하고, 전면 에치백 공정 시간을 좀더 늘릴 경우, 상기 희생막(13)의 상부면이 상기 제 2 보호막(25)의 상부면 보다 낮게 형성될 수 있다. 이로써 상기 제 2 보호막(25)의 측벽이 노출될 수 있다.
- [0082] 도 19를 참조하면, 상기 기판(1)의 전면 상에 캐핑막(15)을 형성한다. 이때 상기 캐핑막(15)은 상기 제 2 보호막(25)의 노출된 측면을 일부 덮을 수 있다. 그리고 상기 희생막(13)을 애싱공정으로 제거하면, 도 17의 구조를 형성할 수 있다.
- [0083] 도 20은 본 발명의 또 다른 예에 따른 반도체 장치의 단면도이다.
- [0084] 도 20을 참조하면, 본 예에 따른 반도체 장치에서는 도 1의 구조에서처럼, 제 1 및 제 2 보호막들(23, 25)을 포함하지 않는다. 그러나 캐핑막(15)이 도전 패턴(10)의 상부 측면을 일부 덮을 수 있다. 그 외의 구성은 도 1을 참조하여 설명한 반도체 장치와 동일/유사할 수 있다.
- [0085] 도 20의 반도체 장치를 형성하는 과정은 도 8 및 9의 상태에서 평탄화 식각 공정으로 전면 에치백 공정을 적용하고, 희생막(13)에 대한 에치백 공정 시간을 좀더 늘림으로써 상기 도전 패턴(10)의 상부 측면이 노출될 수 있다. 후속으로 상기 기판(1)의 전면 상에 캐핑막(15)을 형성하고 상기 희생막(13)을 애싱공정으로 제거하여 도 20의 구조를 형성할 수 있다.
- [0086] 이상과 같이, 본 발명의 반도체 장치에 포함되는 도전 패턴들 및 그 주변의 구조에 대하여 설명하였다. 상기 제 1 영역(A)에 해당하는 구조는, 낸드 플래시 메모리나 상변환 메모리 장치와 같은 메모리 칩의 셀 어레이 영역에서 비트라인들의 구조에 대응될 수 있다. 상기 제 3 영역(C)에 해당하는 구조는, 메모리 칩의 주변회로 영역이나, 로직 칩에 배치되는 배선들의 구조에 대응될 수 있다. 상기 제 2 영역(B)은 메모리 칩이나 로직 칩의 배선들 구조에 대응될 수 있다.
- [0087] 도 21a 내지 21c는 본 발명의 실험예들에 따라 제조된 반도체 장치의 단면 사진들을 나타낸다.
- [0088] 도 21a를 참조하면, 본 발명의 일 실험예에서 실제로 제조해본 도전 패턴들의 단면의 투과전자현미경(TEM: transmission electron microscope) 사진을 나타낸다. 본 실험예에서, 도 2에서처럼 제 2 절연막(3)으로 다공성-수소탄화산화실리콘(SiOCH)막을 형성하고, 도 3에서처럼, 상기 제 2 절연막(3)을 패터닝하여 개구부(7)를 형성하였다. 도 4 및 5에서처럼, 상기 개구부(7)를 채우는 구리로 된 도전 패턴들(11)을 형성하였다. 이때 상기 도전 패턴들(11)의 사이의 간격은 약 40nm이었다. 도 6에서처럼, 수소 가스 플라즈마를 이용하여 제 2 절연막 패턴(3a)을 플라즈마처리하였다. 도 12에서처럼, 상기 도전 패턴(11)의 상부면을 덮는 제 1 보호막(23)을 구리실리콘질화막(CuSiN)으로 형성하였고, 도 14에서처럼, 상기 도전 패턴(11)의 측벽을 덮는 제 2 보호막(25)을 실리콘 탄화질화막(SiCN)으로 형성하였다. 도 15에서처럼, 상기 도전 패턴들(11)의 사이 공간을 채우는 희생막(13)을 SOD 공정을 진행하여 탄화수소(C_xH_y)막으로 형성하였다. 도 16에서처럼, 캐핑막(15)을 ALD 방식을 이용하여 실리콘산화막으로 형성하였으며, 캐핑막의 두께는 약 4nm이었다. 그 후 도 11을 참조하여 설명하였듯이, 산소 가스를 공급하여 애싱공정을 진행하여 상기 희생막(13)을 제거하였다. 이 후의 결과물의 TEM 사진이 도 21a이다. 도 21a를 살펴보면, 도전 패턴들 사이에 에어 갭 영역의 형성이 잘 이루어졌음을 알 수 있다. 상기 에어 갭 영역의 상부의 상기 캐핑막의 하부면은 대체적으로 둥글고 평탄하였다. 이는 상기 캐핑막이 ALD방식으로 형성된 실리콘산화막의 막질이 상대적으로 견고하므로, 희생막이 제거된 후에도 캐핑막의 원래의 형태를 잘 유지하기 때문인 것으로 판단된다.
- [0089] 도 21b 및 21c를 참조하면, 본 발명의 다른 실험예들에 따른 도전 패턴들의 단면의 VSEM(Virtual Scanning Electron Microscope) 사진들을 나타낸다. 도 21b에서 도전 패턴들의 간격은 약 60nm이었고, 도 21c에서 도전 패턴들의 간격은 약 200nm이었다. 이 실험예들에서 공정 순서는 한가지 차이점을 제외하고는, 도 21a를 참조하여 설명한 실험예와 동일하다. 이 차이점으로는, 도 18을 참조하여 설명한 바와 같이, 상기 희생막(13)의 상부를 일부 과식각하여 상기 제 2 보호막(23)의 상부 측벽이 노출되도록 하였다. 그 외의 막들의 종류, 두께 및 공정 가스들은 도 21a를 참조하여 설명한 실험예와 동일하다. 도 21b에서 도전 패턴들 사이에 잔여 패턴과 에어 갭이 형성되었으며, 도 21c에서 지지 패턴과 에어 갭이 형성되었음을 알 수 있다. 잔여 패턴과 지지 패턴은 도 21a의 제 2 절연막(3)과 같이, 다공성-수소탄화산화실리콘(SiOCH)막으로 형성되었다.
- [0090] 이와 같이, 본 발명에서는 도전 패턴들의 간격이 좁아질 수록 도전 패턴들 사이에서 에어 갭 영역이 차지하는 비율이 증가한다. 상기 에어 갭 영역의 유전율이 1로 매우 작으므로, 도전 패턴들 사이의 좁은 간격에 따른 신호 전달 속도 지연을 방지할 수 있다. 또한, 도전 패턴들 간격이 넓은 곳에서 지지 패턴이 형성되어 캐핑막의

과도한 처짐을 막을 수 있다.

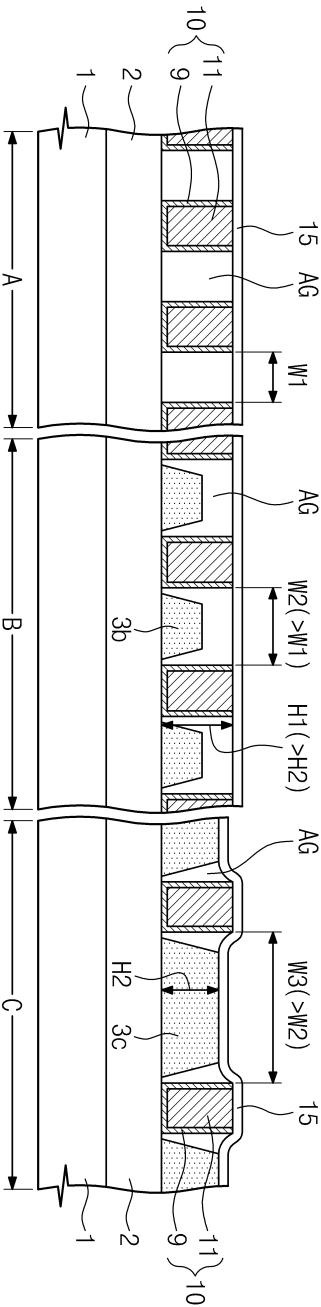
- [0091] 도 22는 본 발명의 예들에 따른 구조를 포함하는 메모리 시스템의 일 예를 나타내는 개략 블록도이다.
- [0092] 도 22를 참조하면, 메모리 시스템(1100)은 PDA, 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.
- [0093] 메모리 시스템(1100)은 컨트롤러(1110), 키패드(keypad), 키보드 및 디스플레이와 같은 입출력 장치(1120), 메모리(1130), 인터페이스(1140), 및 버스(1150)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.
- [0094] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서, 디지털 시그널 프로세서, 마이크로 컨트롤러, 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리(1130)는 컨트롤러에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입출력 장치(1120)는 키보드, 키패드 또는 디스플레이 소자를 포함할 수 있다.
- [0095] 메모리(1130)는 본 발명의 실시예들에 따른 비휘발성 메모리 소자를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수시 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.
- [0096] 인터페이스(1140)는 데이터를 통신 네트워크로 송출하거나, 네트워크로부터 데이터를 받는 역할을 한다.

부호의 설명

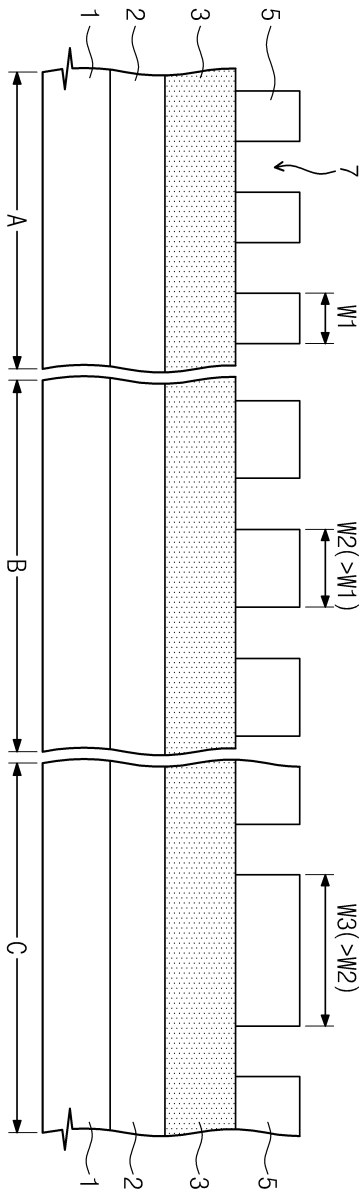
- [0097]
- | | |
|----------------|----------------|
| 1: 기관 | 2: 제 1 절연막 |
| 3: 제 2 절연막 | 3a: 제 2 절연막 패턴 |
| 3b: 잔여 패턴 | 3c: 지지 패턴 |
| 5: 마스크 패턴 | 7: 개구부 |
| D1: 탄소가 제거된 부분 | 9: 확산 방지막 |
| 10: 도전 패턴 | 11: 도전막 |
| 13: 희생막 | 15: 캐핑막 |
| 23: 제 1 보호막 | 25: 제 2 보호막 |
| AG: 에어 갭 영역 | |

도면

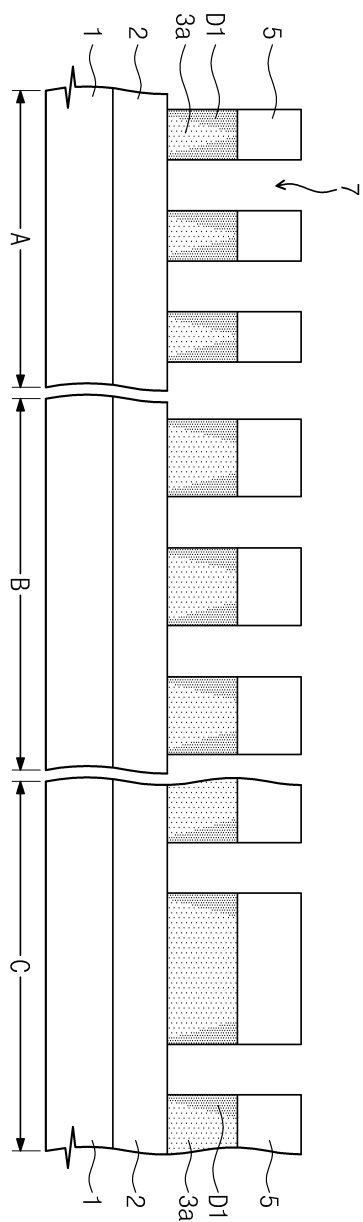
도면1



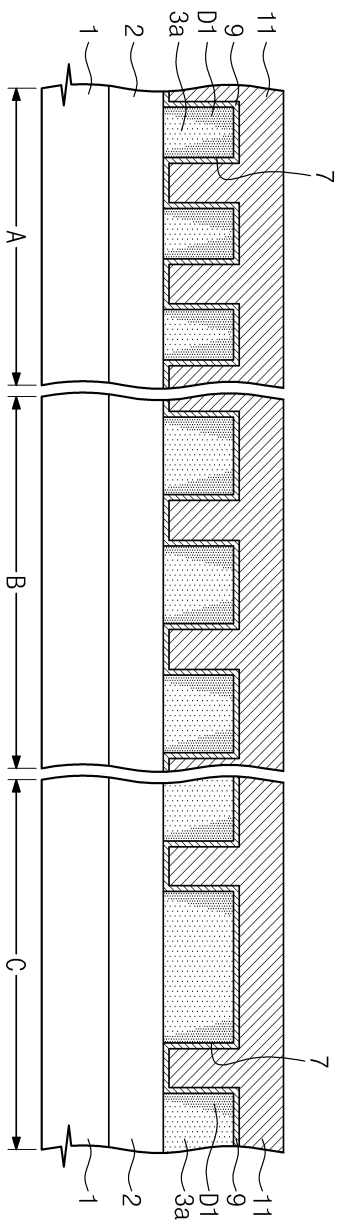
도면2



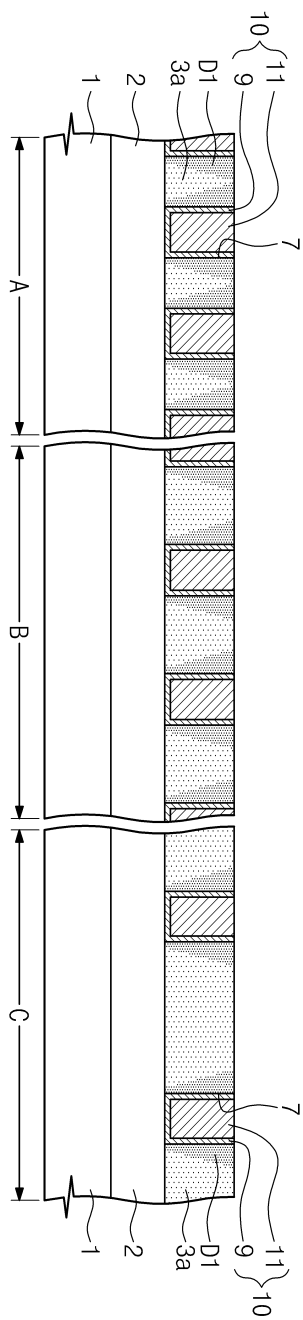
도면3



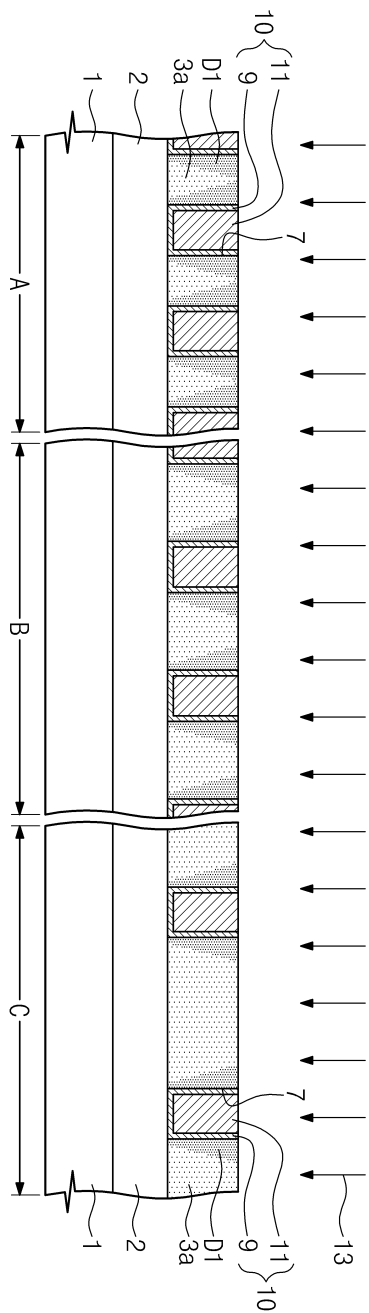
도면4



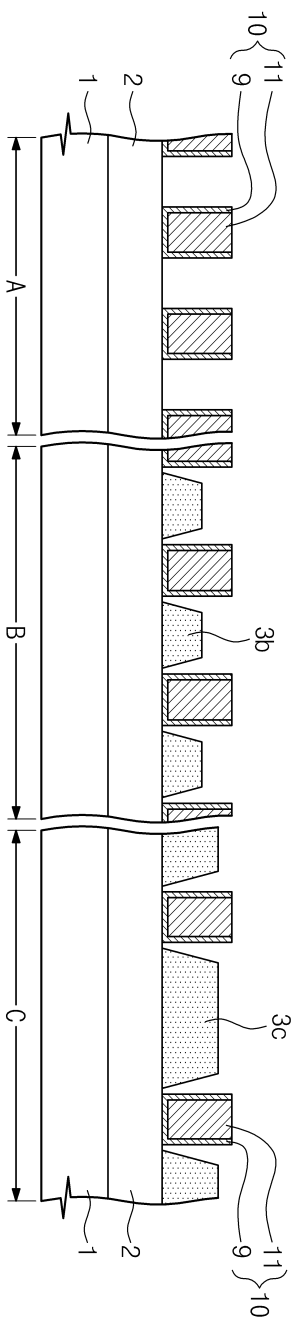
도면5



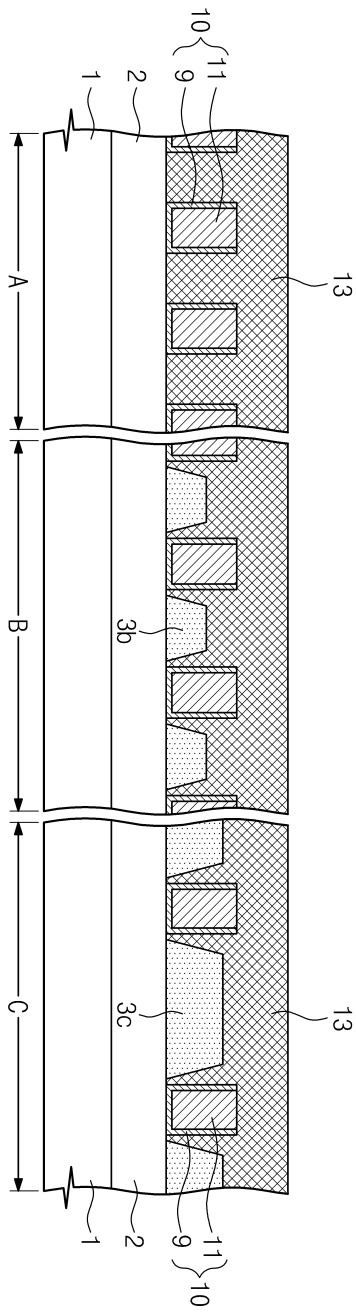
도면6



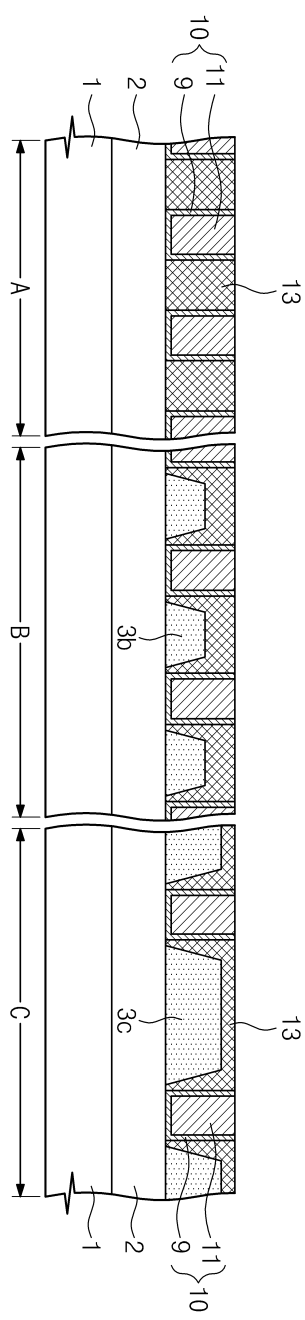
도면7



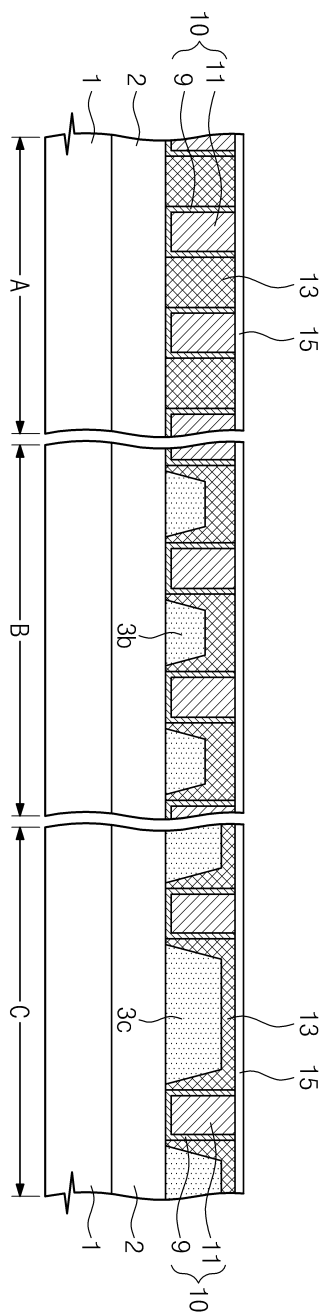
도면8



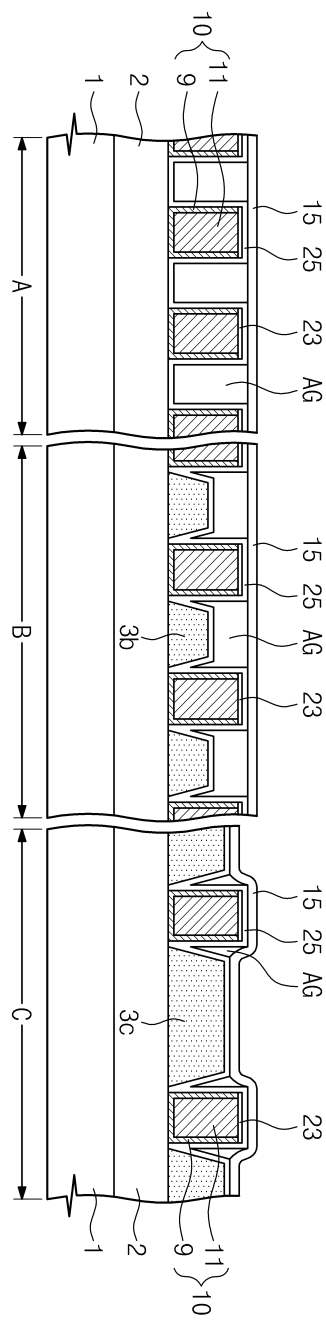
도면9



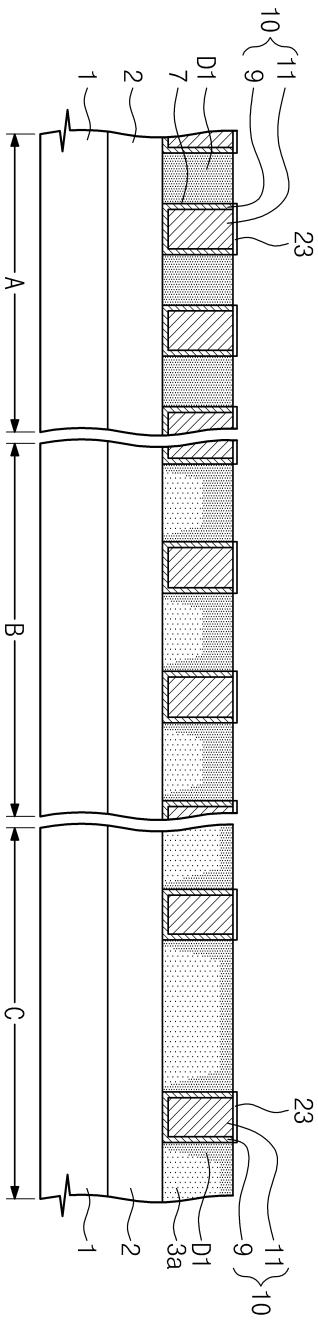
도면10



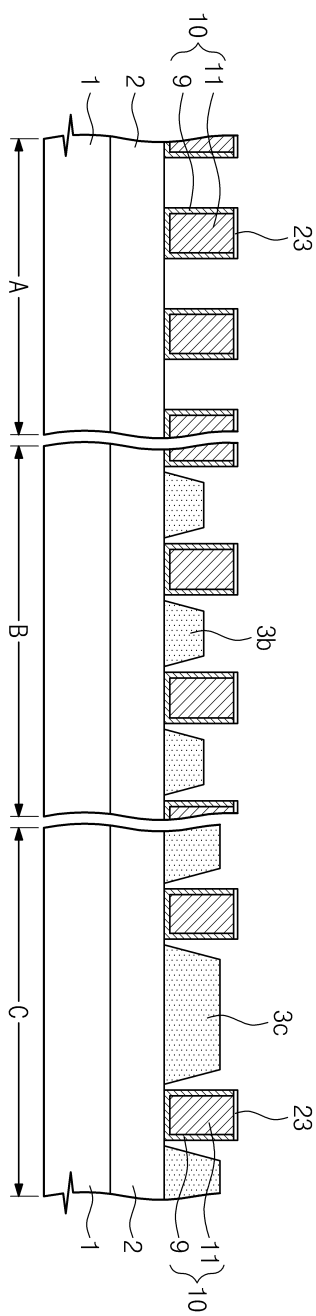
도면11



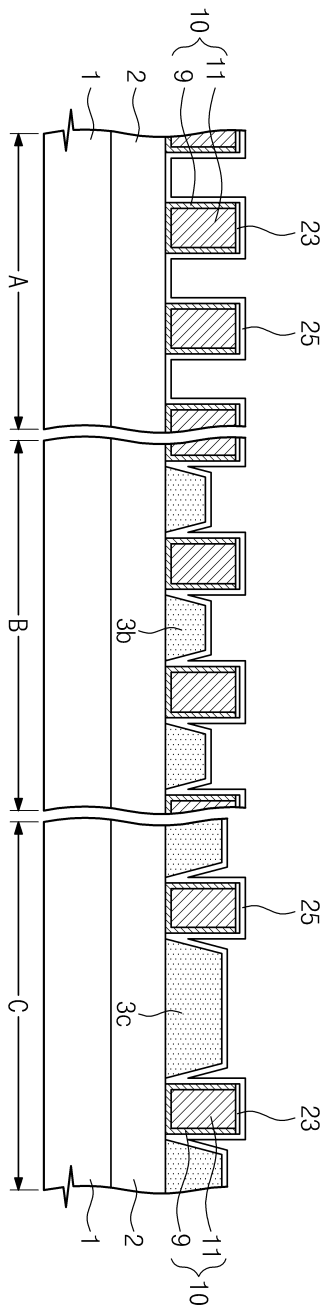
도면12



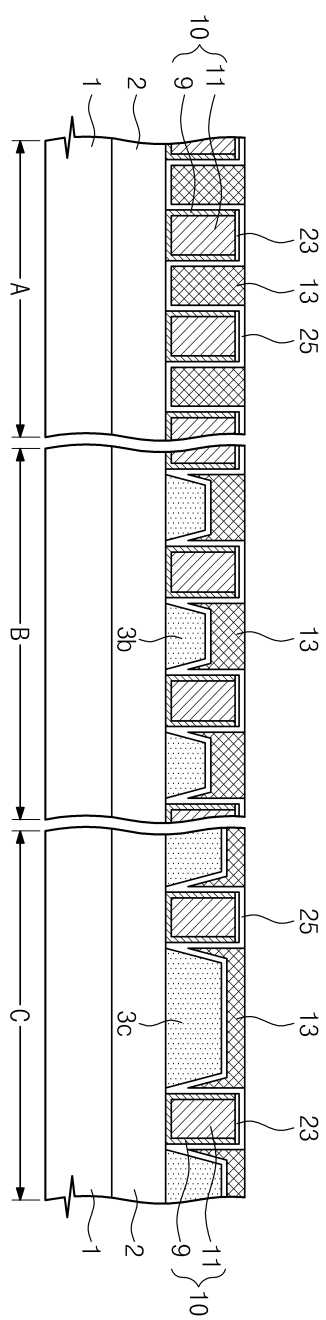
도면13



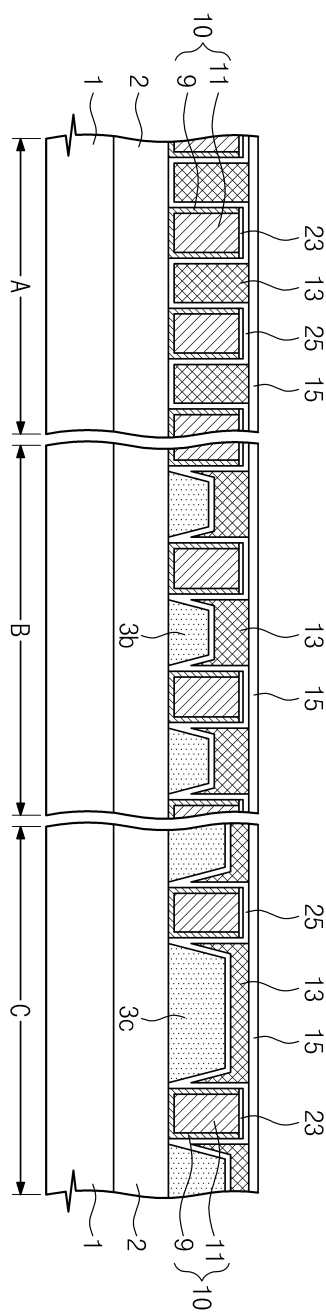
도면14



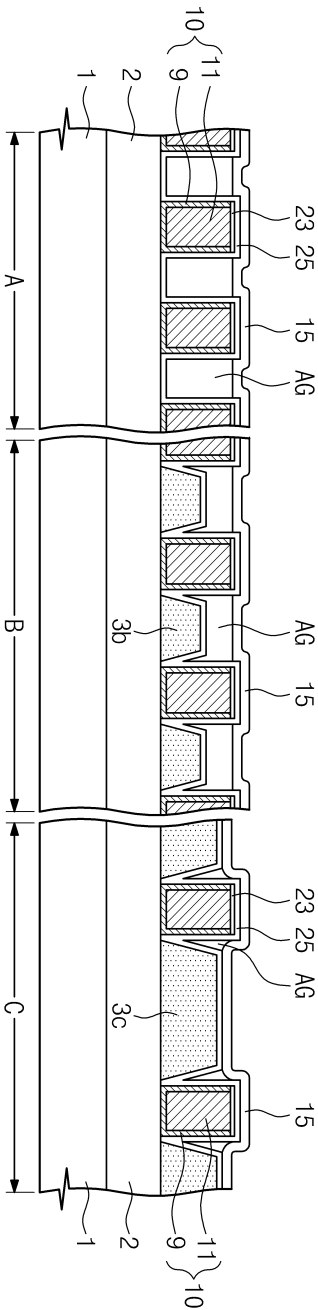
도면15



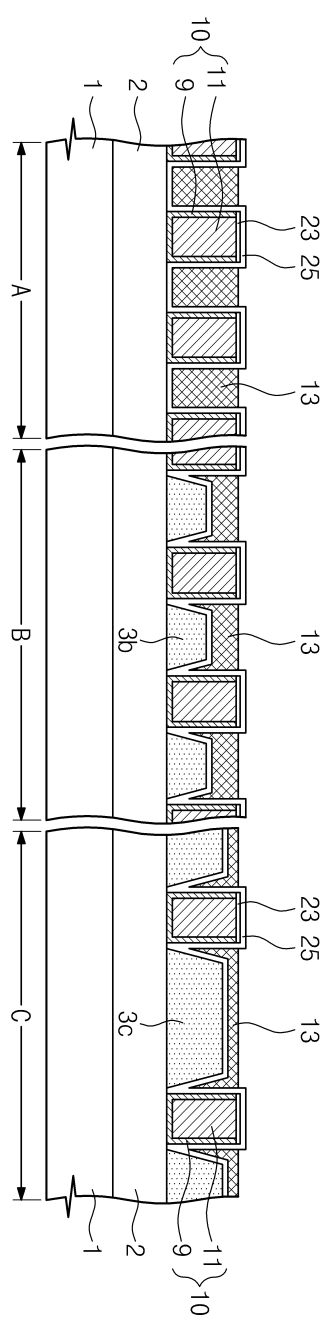
도면16



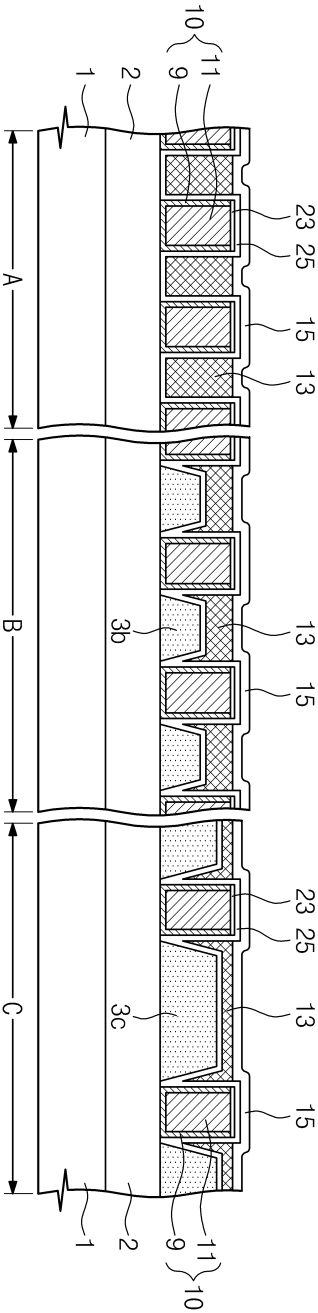
도면17



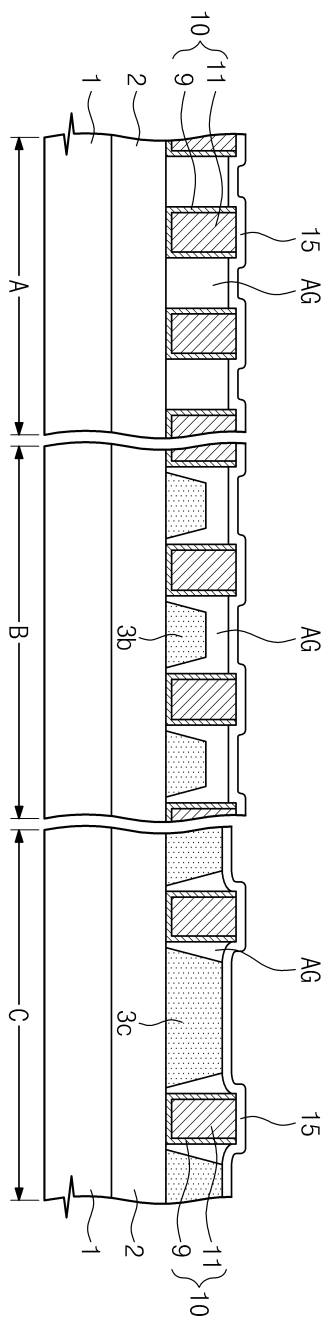
도면18



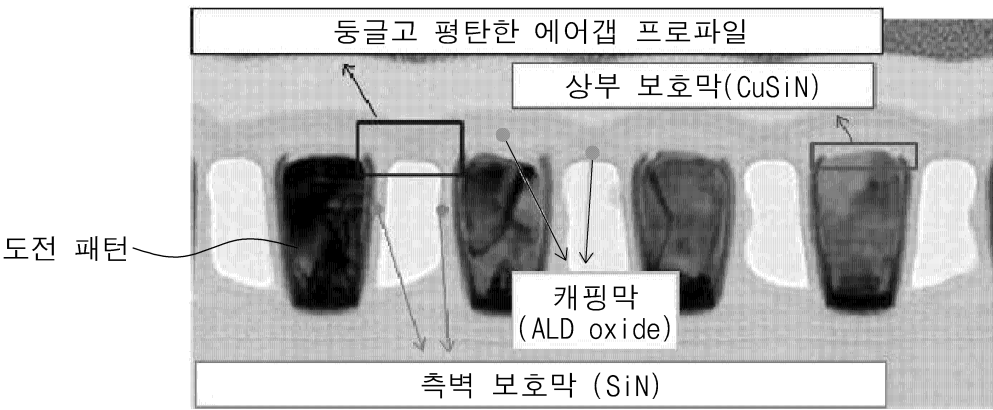
도면19



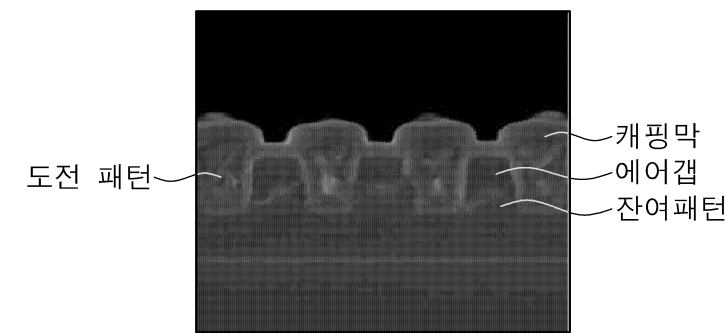
도면20



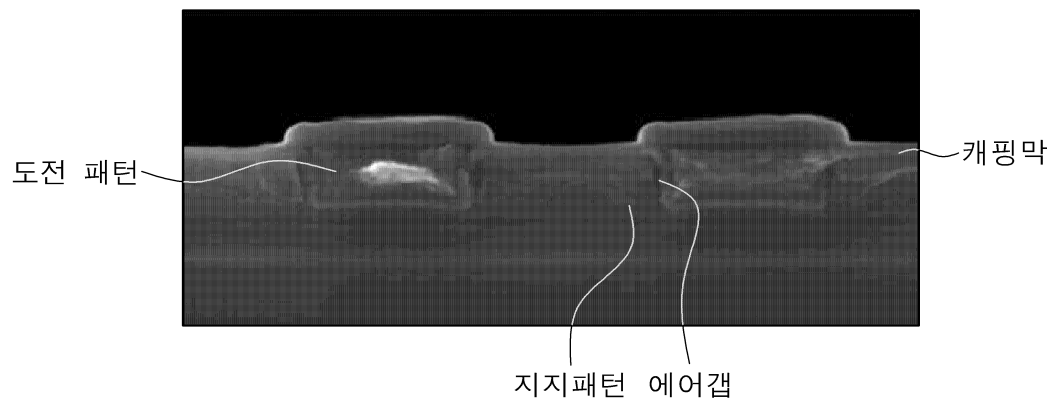
도면21a



도면21b



도면21c



도면22

