

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5669752号
(P5669752)

(45) 発行日 平成27年2月18日(2015.2.18)

(24) 登録日 平成26年12月26日(2014.12.26)

(51) Int.Cl.

F 1

HO1L 21/8234	(2006.01)	HO1L	27/08	102B
HO1L 27/088	(2006.01)	HO1L	27/08	331E
HO1L 27/08	(2006.01)	HO1L	27/08	321C
HO1L 21/8238	(2006.01)	HO1L	29/78	618B
HO1L 27/092	(2006.01)	HO1L	29/78	618E

請求項の数 18 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2011-542725 (P2011-542725)
(86) (22) 出願日	平成21年12月29日(2009.12.29)
(65) 公表番号	特表2012-514318 (P2012-514318A)
(43) 公表日	平成24年6月21日(2012.6.21)
(86) 國際出願番号	PCT/EP2009/009307
(87) 國際公開番号	W02010/076018
(87) 國際公開日	平成22年7月8日(2010.7.8)
審査請求日	平成24年12月12日(2012.12.12)
(31) 優先権主張番号	102008063402.6
(32) 優先日	平成20年12月31日(2008.12.31)
(33) 優先権主張国	ドイツ(DE)
(31) 優先権主張番号	12/637,112
(32) 優先日	平成21年12月14日(2009.12.14)
(33) 優先権主張国	米国(US)

(73) 特許権者	591016172 アドバンスト・マイクロ・ディバイシズ・ インコーポレイテッド ADVANCED MICRO DEVICES INCORPORATED アメリカ合衆国、94088-3453 カリフォルニア州、サンノイベイル、ビィ・ オウ・ボックス・3453、ワン・エイ・ エム・ディ・ブレイス、メイル・ストップ ・68 (番地なし)
(74) 代理人	100108833 弁理士 早川 裕司
(72) 発明者	ステファン クロンホルツ ドイツ、O1129 ドレスデン、ワイン バーグシュトラッセ 18

最終頁に続く

(54) 【発明の名称】チャネル半導体合金を備えたトランジスタにおける堆積不均一性の低減によるスレッショルド電圧ばらつきの低減

(57) 【特許請求の範囲】

【請求項 1】

第1のシリコン含有結晶性半導体領域及び第2のシリコン含有結晶性半導体領域上にシリコン含有半導体合金の層を形成することと、

前記第2のシリコン含有結晶性半導体領域から前記シリコン含有半導体合金の層を選択的に除去することと、

第1のトランジスタの第1のゲート電極構造であって、高k誘電体ゲート絶縁層及び前記高k誘電体ゲート絶縁層上に形成される金属含有ゲート電極材質を備えている第1のゲート電極構造を前記シリコン含有半導体合金の層上に形成することと、

第2のトランジスタの第2のゲート電極構造であって、高k誘電体ゲート絶縁層及び第2のゲート電極構造の前記高k誘電体ゲート絶縁層上に形成される金属含有ゲート電極材質を備えている第2のゲート電極構造を前記第2のシリコン含有結晶性半導体領域の上方に形成することと、

前記第1及び第2のトランジスタのドレイン及びソース領域の各々を、前記第1及び第2のシリコン含有結晶性半導体領域の各々に形成することと、を備え、

前記シリコン含有半導体合金の層を形成した後に前記第1のシリコン含有結晶性半導体領域内に第1のドーパント種を導入すると共に前記第2のシリコン含有結晶性半導体領域内に第2のドーパント種を導入することと、

前記第1及び第2のドーパント種を導入するのに先立ち前記シリコン含有半導体合金の層の上方にマスク層を形成することと、

10

20

前記第1のドーパント種を導入するために用いられる注入マスクを通じて前記マスク層をエッチングすることによって、前記第2のシリコン含有結晶性半導体領域の上方から前記マスク層を除去することと、を更に備えた方法。

【請求項2】

前記シリコン含有半導体合金の層を除去することは、前記第1のシリコン含有結晶性半導体領域の上方にハードマスク層を選択的に形成することと、前記ハードマスク層に基きエッチングプロセスを実行することとを備えている請求項1の方法。

【請求項3】

前記エッチングプロセスを実行することはウエット化学的エッチングレシピを適用することを備えている請求項2の方法。 10

【請求項4】

前記エッチングプロセスを実行することはテトラメチルアンモニアヒドロキシド(TM A H)に基いてウエット化学的エッチングレシピを適用することを備えている請求項3の方法。

【請求項5】

前記ハードマスク層を除去するように更なるエッチングプロセスを実行することとを更に備えた請求項2の方法。

【請求項6】

前記シリコン含有半導体合金の層を形成することは、前記第1及び第2のシリコン含有結晶性半導体領域を横方向に分離する分離構造上の材質堆積を抑制するように選択的エピタキシャル成長プロセスを実行することとを備えている請求項1の方法。 20

【請求項7】

前記シリコン含有半導体合金の層を形成するのに先立ち分離構造を形成することとを更に備え、前記分離構造は前記第1及び第2のシリコン含有結晶性半導体領域を横方向に分離する請求項1の方法。

【請求項8】

前記シリコン含有半導体合金の層を形成した後に分離構造を形成することとを更に備え、前記分離構造は前記第1及び第2のシリコン含有結晶性半導体領域を横方向に分離する請求項1の方法。

【請求項9】

前記シリコン含有半導体合金の層を形成するのに先立ち、前記第1及び第2のシリコン含有結晶性半導体領域の横方向の間に分離構造を形成することとを更に備えた請求項1の方法。 30

【請求項10】

前記シリコン含有半導体合金の層を形成した後に、前記第1及び第2のシリコン含有結晶性半導体領域の横方向の間に分離構造を形成することとを更に備えた請求項1の方法。

【請求項11】

前記半導体合金はシリコン／ゲルマニウム合金を備えている請求項1の方法。

【請求項12】

第1及び第2のシリコン含有半導体領域上にスレッショルド調節半導体材質を形成することと、 40

前記第1のシリコン含有半導体領域を覆う注入マスクを用いることによって、前記第2のシリコン含有半導体領域内にドーパント種を導入することと、

前記注入マスクを通じて前記スレッショルド調節半導体材質をエッチングすることによって、前記第2のシリコン含有半導体領域から選択的に前記スレッショルド調節半導体材質を除去することと、

前記スレッショルド調節半導体材質上の第1のトランジスタの第1のゲート電極構造及び前記第2のシリコン含有半導体領域上の第2のトランジスタの第2のゲート電極構造を形成することと、

前記第1及び第2のトランジスタのドレイン及びソース領域の各々を、前記第1及び第 50

2 のシリコン含有結晶性半導体領域の各々に形成することと、を備えた方法であって、前記第 1 及び第 2 のゲート電極構造は高 k 誘電体材質と前記高 k 誘電体材質上に形成される金属含有電極材質とを備えている方法。

【請求項 1 3】

前記第 2 のシリコン含有半導体領域から選択的に前記スレッショルド調節半導体材質を除去することは、マスク層を形成することと、前記注入マスクを用いることによって前記マスク層をパターニングすることと、前記パターニングされたマスク層をエッティングマスクとして用いることによって前記スレッショルド調節半導体合金をエッティングすることとを備えている請求項1 2 の方法。

【請求項 1 4】

前記スレッショルド調節半導体材質をエッティングすることはウエット化学的エッティングプロセスを実行することを備えている請求項1 3 の方法。

【請求項 1 5】

前記ウエット化学的エッティングプロセスはテトラメチルアンモニアヒドロキシド (TM A H) に基いて実行される請求項1 4 の方法。

【請求項 1 6】

前記スレッショルド調節半導体材質を形成するのに先立ち前記第 1 及び第 2 のシリコン含有半導体領域の横方向の間に分離構造を形成することを更に備えた請求項1 2 の方法。

【請求項 1 7】

前記スレッショルド調節半導体材質を形成した後に前記第 1 及び第 2 のシリコン含有半導体領域の横方向の間に分離構造を形成することを更に備えた請求項1 2 の方法。

【請求項 1 8】

前記スレッショルド調節半導体材質はシリコン / ゲルマニウム合金を備えている請求項1 2 の方法。

【発明の詳細な説明】

【技術分野】

【0001】

概して、本開示は、金属含有電極と二酸化シリコン及びシリコン窒化物のようなゲート誘電体に比べて大きな誘電率の高 k 誘電体とを含む高容量性ゲート構造を備えた進歩的なトランジスタ要素を含む洗練された集積回路に関する。

【背景技術】

【0002】

CPU、記憶デバイス、ASIC（特定用途向け集積回路）等の高度な集積回路の製造は、指定された回路レイアウトに従い所与のチップ区域上に形成されるべき多数の回路要素を必要とし、電界効果トランジスタは、集積回路の性能を実質的に決定する回路要素の 1 つの重要な種類を代表する。概して多くのプロセス技術が現在のところ実施されており、電界効果トランジスタを含め多くの種類の複雑な回路に対しては、動作速度及び / 又は電力消費及び / 又は費用効果を考慮した優れた特性により、現在のところ MOS 技術が最も有望な手法の 1 つである。例えば MOS 技術を用いた複雑な集積回路の製造においては、何百万のトランジスタ、例えば n チャネルトランジスタ及び / 又は p チャネルトランジスタが結晶性の半導体層を含む基板上に形成される。電界効果トランジスタは、n チャネルトランジスタ又は p チャネルトランジスタのいずれが考慮されているかにかかわらず、典型的には複数の所謂 p-n 接合を備えており、p-n 接合は、ドレイン及びソース領域と称される高濃度にドープされた領域とその高濃度にドープされた領域に隣接して配置される低濃度にドープされた又は非ドープの領域、例えばチャネル領域との界面によって形成されている。電界効果トランジスタにおいては、チャネル領域の伝導性、即ち伝導性チャネルの駆動電流能力は、チャネル領域に隣接して形成され且つ薄い絶縁層によってチャネル領域から隔てられているゲート電極によって制御される。ゲート電極への適切な制御電圧の印加による伝導性チャネルが形成されている場合、チャネル領域の伝導性は、ドーパント濃度、電荷キャリアの移動度に依存し、そしてトランジスタ幅方向におけるチャネル領

10

20

30

40

50

域の所与の拡張に対しては、チャネル長とも称されるソース及びドレイン領域間の距離にも依存する。従って、ゲート電極に制御電圧が印加されている場合に絶縁層の下方に伝導性チャネルを急速に生成する能力と共に、チャネル領域の伝導性は、MOSトランジスタの性能に大きな影響を与える。このように、ゲート電極の伝導性に依存するチャネルを生成する速度、及びチャネル抵抗率がトランジスタ特性を実質的に決定するので、チャネル長のスケーリング(scaling)並びにそれに関連してチャネル抵抗率の減少及びゲート抵抗率の減少は、集積回路の動作速度の増大を達成するための支配的な設計基準である。

【 0 0 0 3 】

現在、シリコンの実質的に無制限な入手可能性、シリコン並びに関連する材質及びプロセスの十分に理解された特性、並びにこの50年を超えて蓄積されてきた経験により、集積回路の大半はシリコンに基いて製造されている。従っておそらくシリコンは、大量生産品に対して設計される回路世代のための予測可能な将来において選択される材質であり続けるであろう。半導体デバイスを製造する場合におけるシリコンの重要性に対する1つの理由は、互いに異なる領域の信頼性のある電気的絶縁を可能にするシリコン／二酸化シリコン界面の優れた特性にあった。シリコン／二酸化シリコン界面は高温で安定であり従って、例えば界面の電気的特性を犠牲にすることなくドーパントを活性化し且つ結晶損傷を取り除くための焼鈍サイクルに対して要求されるような後続の高温処理の実行を可能にする。

【 0 0 0 4 】

上述した理由のため、二酸化シリコンは、大抵は多結晶シリコン又は他の金属含有材質からなるゲート電極をシリコンチャネル領域から隔てるゲート絶縁層として、電界効果トランジスタにおいて好適に用いられる。電界効果トランジスタのデバイス性能を着実に向上させることにおいて、スイッチング速度及び駆動電流能力を改善するために、チャネル領域の長さが絶えず減少させられてきた。トランジスタの動作は、所与の供給電圧に対して望ましい駆動電流を供給するのに十分高い電荷密度にまでチャネル領域の表面を反転させるためにゲート電極に供給される電圧によって制御されるので、ゲート電極、チャネル領域及びそれらの間に配置される二酸化シリコンにより形成されるキャパシタによって提供されるある程度の容量性結合は維持される必要がある。チャネル長を減少させることは、トランジスタ動作の間の所謂短チャネル拳動を避けるために大きな容量性結合を必要とすることが判明している。短チャネル拳動は、漏れ電流の増大とスレッショルド電圧のチャネル長への明白な依存とをもたらす可能性がある。比較的低い供給電圧及びそれにより低下させられたスレッショルド電圧を有する積極的に縮小化されたトランジスタデバイスは、漏れ電流の指數関数的な増大に悩まされることがある一方で、ゲート電極のチャネル領域に対する強化された容量性結合を必要とする。このように二酸化シリコン層の厚みは、ゲートとチャネル領域の間で要求される容量を提供するためにこれに対応して減少させられる必要がある。例えば約0.08 μmのチャネル長は、約1.2 nmの薄さの二酸化シリコンからなるゲート絶縁体を必要とする。一般的に極めて短いチャネルを有する高速トランジスタ要素の使用は高速な応用に限定されるであろう一方で、より長いチャネルを有するトランジスタ要素は記憶トランジスタ要素のようにそれほど臨界的でない応用のために用いられるであろうが、極薄の二酸化シリコンゲート絶縁層を通じての電荷キャリアの直接的なトンネリングに起因する比較的大きな漏れ電流は、性能重視の回路(performance driven circuits)に対する要求にもはや適合し得ない1~2 nmの範囲の酸化物厚に対する値に達する可能性がある。

【 0 0 0 5 】

そこで、特に極めて薄い二酸化シリコンゲート層に対して、二酸化シリコン又は少なくともその一部に代わるゲート絶縁層のための材質が検討されてきた。有望な代替的誘電体は、対応して形成されるゲート絶縁層の物理的により大きな厚みが、その大きな厚みにもかかわらず、極めて薄い二酸化シリコン層によって得られたであろうような容量性結合を提供するように、顕著に高い誘電率を呈する材質を含む。一般に、二酸化シリコンとの特定の容量性結合を達成するために要求される厚みは、容量等価厚み(capacitance equival-

10

20

30

40

50

ent thickness) (CET) と称される。従って、一見すると、二酸化シリコンを単純に高 k 材質で置換することは、1 nm 以下の範囲の容量性等価厚みを得るための簡単な方法であるようには思える。

【0006】

このように二酸化シリコンに代わる高誘電率材質として、k が約 25 のタンタル酸化物 (Ta_2O_5)、k が約 150 のストロンチウム・チタン酸化物 ($SrTiO_3$)、ハフニウム酸化物 (HfO_2)、 $HfSiO$ 、ジルコニウム酸化物 (ZrO_2) 等が提案されてきた。

【0007】

高 k 誘電体にも基いて洗練されたゲートアーキテクチャへ進む場合、多結晶シリコンはゲート誘電体との界面の近傍での電荷キャリア枯渇(charge carrier depletion)に悩まされる可能性があり、それによりチャネル領域とゲート電極の間の実効容量を減少させることがあるので、通常用いられる多結晶シリコン材質と置換するようにゲート電極のための適切な伝導性材質を設けることによってもまた、トランジスタ性能を高めることができる。従って、二酸化シリコン層と比べてそれほど臨界的でない厚みであってさえも高 k 誘電体材質が高い容量をもたらすことに加えて漏れ電流を許容レベルに維持するゲート積層物(gate stack)が提案されてきた。一方、チタン窒化物、アルミニウム酸化物等のような金属含有非多結晶シリコン材質は、高 k 誘電体材質と直接的に接続するように形成され得るので、枯渇領域(depletion zone)の存在を実質的に回避することができる。チャネル領域内に伝導性チャネルが形成される電圧を表すトランジスタの低いスレッショルド電圧は、典型的には大きな駆動電流を得ることが望ましいので、通常は、それぞれのチャネルの可制御性は、少なくとも p-n 接合の近傍において洗練された横方向のドーパントプロファイル及びドーパント勾配を必要とする。従って、通常は所謂ハロ領域(halo regions)が、残りのチャネル及び半導体領域の伝導性タイプに対応する伝導性タイプのドーパント種を導入するために、イオン注入によって形成され、その結果、それぞれの拡張並びに深いドレイン及びソース領域の形成の後に結果として得られる p-n 接合ドーパント勾配が「補強」される。このように、トランジスタのスレッショルド電圧はチャネルの可制御性を有意に決定し、この場合、減少させられたゲート長に対してスレッショルド電圧の顕著な分散(variance)が観察され得る。従って、適切なハロ注入領域を設けることによって、チャネルの可制御性を高めることができ、それにより、スレッショルドロールオフとも称されるスレッショルド電圧の分散を低減すると共に、ゲート長のばらつきを伴うトランジスタ性能の顕著なばらつきを低減することができる。トランジスタのスレッショルド電圧は、ゲート誘電体材質に接触しているゲート材質の仕事関数に大きく影響されるので、考慮中のトランジスタの伝導性タイプに対して実効仕事関数の適切な調節が保証される必要がある。

【0008】

例えば、チタン窒化物、アルミニウム酸化物等のような適切な金属含有ゲート電極材質がしばしば用いられ、この場合、対応する仕事関数は、n チャネルトランジスタのようなトランジスタの 1 つのタイプに対して適切であるように調節することができる一方で、p チャネルトランジスタは、所望のスレッショルド電圧を得るために異なる仕事関数を必要とするであろうし、従って異なる処理をされた金属含有電極材質を必要とするであろう。この場合、異なるトランジスタタイプの要求に適合するために異なるゲート電極材質を提供するように、複雑で且つ洗練された製造レジームが必要にあるであろう。この理由により、特定的に設計された半導体材質のバンドギャップを金属含有ゲート電極材質の仕事関数に適切に「適合させ(adapt)」て、それにより考慮中のトランジスタの所望の低いスレッショルド電圧を得るために、トランジスタデバイスの高 k 誘電体材質とチャネル領域の間に、特定的に設計された半導体材質を設けることによって、トランジスタデバイスのスレッショルド電圧を適切に調節することが提案されてきた。典型的には、シリコン / ゲルマニウム等のような対応する特定的に設計された半導体材質は、追加的な複雑なプロセスステップをもたらし得るエピタキシャル成長技術によって設けることができるが、エピタキシャル成長技術は、異なる金属含有ゲート電極材質を設けることに比べれば低

10

20

30

40

50

減された全体的なプロセス複雑性を提供し得るし、あるいは適切なトランジスタ特性を得ることにおいて高い柔軟性を提供し得る。

【0009】

しかし、スレッショルド調節半導体合金を設けるための製造シーケンスは、半導体ダイ又は基板にわたるスレッショルドばらつきに大きな影響を有し得ることが判明しており、図1A～1Dを参照してこれを更に詳細に説明する。

【0010】

図1Aは基板101を備えた半導体デバイス100の断面図を模式的に示しており、基板101の上方には、その内部及びその上方に複数のトランジスタ要素を形成するために適切な厚みを有するシリコン含有半導体材質103が形成されている。図示される例では、例えば二酸化シリコン材質の形態にある埋め込み絶縁層102が基板101とシリコン含有半導体材質103の間に配置されている。また、第1の結晶性「能動(active)」領域103Aと第2の能動領域103Bを画定するように、浅い溝分離(shallow trench isolation)のような分離構造104が半導体層103内に形成されている。この関連において、能動領域は、1つ以上のトランジスタ要素に対してpn接合を形成するように適切なドーパントプロファイルがその内部に生成されることになる半導体材質として理解されるべきである。図示される例では、第1の能動領域103Aはpチャネルトランジスタに対応しているであろう一方、第2の能動領域103Bはnチャネルトランジスタに対応しているであろう。更に、例えば二酸化シリコン材質等の形態にあるマスク層105が、少なくとも第1及び第2の能動領域103A, 103Bを覆うように形成されるであろう一方で、マスク層105を形成するためのプロセスに応じて分離構造104は露出させられているであろう。加えて、例えばレジストマスクの形態にあるエッチングマスク106が設けられており、エッチングマスク106は第2の能動領域103Bを覆うと共に第1の能動領域103Aは露出させる。

10

20

30

40

【0011】

図1Aに示される半導体デバイス100は、典型的には以下のプロセス技術に基いて形成され得る。先ず、分離構造104が十分に確立されたリソグラフィ、エッチング、堆積、平坦化、及び焼鈍の技術に基いて形成され、この場合、例えばリソグラフィプロセスに基いて半導体層103内に溝が形成され、その溝は次いで二酸化シリコン、シリコン窒化物等のような適切な絶縁材質で充填されることになる。過剰な材質を除去すると共に表面形状(surface topography)を平坦化した後、能動領域103A, 103B内にその内部及びその上方に形成されるべきトランジスタのタイプに対応して基本ドーパント濃度を生成するための対応するドーパント種を導入するために、適切なマスクレジームを用いて活性注入シーケンス(active implantation sequences)を実行することによって、更なる処理が典型的には継続する。ドーパント種を活性化すると共に注入誘起損傷を再結晶化させた後、マスク層105を例えば酸化プロセス等に基いて形成することによって更なる処理が継続され得る。次いで、エッチングプロセス107の間に除去されるべきマスク層105の一部分を露出させるためにエッチングマスク106が形成され、エッチングプロセス107は、例えばマスク層105が二酸化シリコンから構成される場合にはフッ酸(HF)を用いるウエット化学的エッチングステップとして実行され得る。更に、エッチングマスク106を除去した後、後の製造段階において形成されることになる金属含有電極材質との組み合わせにおいてスレッショルド電圧又はバンドギャップエネルギーを調節するために適切に設計されたシリコン／ゲルマニウム合金の選択的な堆積に対して第1の能動領域103Aを準備するために、露出された表面が処理され得る。

50

【0012】

図1Bは選択的エピタキシャル成長プロセス108の間における半導体デバイス100を模式的に示しており、選択的エピタキシャル成長プロセス108においては、露出させられた能動領域103Aに対しては顕著な材質堆積が制限され得る一方で誘電体表面区域上の材質堆積は無視し得るように、十分に確立されたレシピに従ってプロセスパラメータが選択される。その結果、選択的エピタキシャル成長プロセス108の間、シリコン／ゲ

50

ルマニウム合金 109 が選択的に能動領域 103A 上に形成され得るが、分離構造 104 上及びマスク層 105 上へのその堆積は抑制され得る。例えば洗練された応用においては、シリコン／ゲルマニウム合金 109 は概ね 10 nm 以下の厚みで設けられるであろう一方で、ゲルマニウム濃度は概ね 25 原子パーセントであろう。シリコン／ゲルマニウム合金 109 の組成及びその厚みは、最終的に得られるスレッショルド電圧及びそれに伴い最終的に得られるトランジスタ特性に大きな影響を有し得ることが理解されるべきである。

【0013】

図 1C は更に進んだ製造段階における半導体デバイス 100 を模式的に示している。図示されるように、デバイス 100 は例えばウエット化学的エッチング環境の形態にあるエッチング環境 110 に曝され、エッチング環境 112 においては、マスク層 105 (図 1B 参照) は、能動領域 103B の材質及び先に堆積させられたシリコン／ゲルマニウム合金 109 に対して選択的に除去される。例えば、エッチング環境 110 はフッ酸に基いて実行され、フッ酸は材質 103B 及び 109 に対して高度な選択性で二酸化シリコン材質を除去することができる。その後、更なる処理が継続されて、ゲート電極を形成すると共に基本的トランジスタ構造を完成することができる。

【0014】

図 1D は進んだ製造段階における半導体デバイス 100 を模式的に示している。この段階においては、p チャネルトランジスタ 150A が能動領域 103A の内部及び上方に形成され、また n チャネルトランジスタ 150B が能動領域 103B の内部及び上方に形成される。トランジスタ 150A, 150B は両方とも前述したように高 k 誘電体材質を備えたゲート絶縁層 151B を含む電極構造 151 を備えている。更に、アルミニウム酸化物、チタン窒化物等のような金属含有電極材質がゲート絶縁層 151B 上に形成されるであろうし、次いで多結晶シリコン 151C のような更なる電極材質が形成されるであろう。図示されるように、p チャネルトランジスタ 150A においては、トランジスタ 150A のスレッショルド電圧、即ち伝導性チャネルがチャネル領域 153 内に形成される電圧が、合金 109 並びに材質 151B 及び 151A の特性と、前述したように洗練されたドーパントプロファイルに基いて形成されるであろうドレイン及びソース領域 154 の対応する特性との組み合わせによって決定され得るように、ゲート絶縁層 151B がシリコン／ゲルマニウム合金 109 上に形成されている。一方、トランジスタ 150B のチャネル領域 153 のバンドギャップ構造は、結合材質 151B, 151A に対して適切である。

【0015】

トランジスタ 150A, 150B は、ゲート絶縁層 151B、電極材質 151A 及び多結晶シリコン材質 151C の堆積と洗練されたリソグラフィ及びエッチングの技術を用いるそれらのパターニングとを含む十分に確立された製造技術に基いて形成され得る。その後、ドレイン及びソース領域 154 に対する縦方向及び横方向のドーパントプロファイルを適切に画定するために、スペーサ構造 152 を形成するための製造シーケンスとの組み合わせにおいて、対応する注入シーケンスが実行され得る。ドーパントを活性化すると共に注入誘起損傷を再結晶化するための対応する焼鈍プロセスの後、必要であればドレイン及びソース領域 154 並びに多結晶シリコン材質 151C の内部に金属シリサイド領域 (図示せず) を形成することによって、基本的トランジスタ構造が完成され得る。

【発明の概要】

【発明が解決しようとする課題】

【0016】

p チャネルトランジスタ 150A のスレッショルド電圧は、シリコン／ゲルマニウム合金 109 を設けることによって効果的に調節することができるが、p チャネルトランジスタのスレッショルド電圧の大きなばらつきが観察されることがある、特に密にパッキングされたデバイス領域及びデバイス区域(densely packed device regions and the device areas)における p チャネルトランジスタのスレッショルド電圧の著しい偏差が観察されることがある。従って、50 nm 以下のゲート長を有する高度に縮小化されたトランジスタ要素を必要とする洗練された応用に対しては、洗練された高 k 金属ゲート電極構造を備え

10

20

30

40

50

たトランジスタのスレッショルド電圧を調節するための従来の戦略は、従来のプロセスフローにおいて生じる大きなスレッショルドばらつきに起因して、それほど望ましくはないであろう。

【0017】

上述した状況に鑑み、本開示は、チャネル領域内に設けられる半導体合金に基いて効果的なスレッショルド調節が達成され得る一方で、上で特定した1つ以上の問題の影響を回避し又は少なくとも低減することができる製造技術及び半導体デバイスに関連している。

【課題を解決するための手段】

【0018】

概して、本開示は、スレッショルド調節半導体材質の堆積の間ににおけるプロセス不均一性を低減することによって、スレッショルド調節半導体合金を含むトランジスタのスレッショルドばらつきを大幅に低減し得る半導体デバイス及び製造技術を提供する。この目的のために、スレッショルド調節半導体材質を堆積させるためのエピタキシャル成長プロセスの間ににおける「パターンローディング(pattern loading)」の程度が減少させられてよく、それにより、個々の半導体ダイ及び全体的な基板にわたる高度な均一性を得ることができる。この点において、「パターンローディング」の用語は、対応する材質がその上に堆積させられることになる区域の「近隣(neighborhood)」に依存する堆積プロセスの間ににおける層厚及び／又は材質組成のばらつきの影響として理解することができる。即ち、典型的には、堆積挙動は局所的な堆積条件に依存するであろうし、同時に堆積条件は堆積区域の近隣によって決定されるであろうし、この場合、特に密にパッキングされたデバイス領域と密でなくパッキングされたデバイス領域の間での顕著な差が観察されることがある。従って、ここに開示される原理に従うと、スレッショルド調節材質をより「グローバルな(global)」様態で堆積させると共に後続の均一で且つ十分に可制御なパターニングシーケンスでこれをパターニングすることによって、対応する局所的堆積条件はより均一になり得る。

10

20

【0019】

ここに開示される1つの例示的な方法は、第1のシリコン含有結晶性半導体領域及び第2のシリコン含有結晶性半導体領域上にシリコン含有半導体合金の層を形成することを備えている。方法はまた、第2のシリコン含有結晶性半導体領域からシリコン含有半導体合金の層を選択的に除去することを備えている。更に、方法は、第1のトランジスタの第1のゲート電極構造をシリコン含有半導体合金の層上に形成することを備えており、ここでは、第1のゲート電極構造は、高k誘電体ゲート絶縁層及び高k誘電体ゲート絶縁層上に形成される金属含有ゲート電極材質を備えている。最後に、方法は、第2のトランジスタの第2のゲート電極構造を第2のシリコン含有結晶性半導体領域の上方に形成することを備えており、ここでは、第2のゲート電極構造は、高k誘電体ゲート絶縁層及びその上に形成される金属含有ゲート電極材質を備えている。

30

【0020】

ここに開示される更なる例示的な方法は、第1及び第2のシリコン含有半導体領域上にスレッショルド調節半導体材質を形成することを備えている。また、第1のシリコン含有半導体領域を覆う注入マスクを用いることによって、第2のシリコン含有半導体領域内にドーパント種が導入される。方法は更に、注入マスクに基いて第2のシリコン含有半導体領域から選択的にスレッショルド調節半導体材質を除去することを備えている。最後に、方法は、スレッショルド調節半導体材質上の第1のトランジスタの第1のゲート電極構造及び第2のシリコン含有半導体領域上の第2のトランジスタの第2のゲート電極構造を形成することを備えており、第1及び第2のゲート電極構造は、高k誘電体材質と高k誘電体材質上に形成される金属含有電極材質とを備えている。

40

【0021】

ここに開示される1つの例示的な半導体デバイスは、概ね100ナノメートル以下のピッチを規定する複数の密にパッキングされた第1のpチャネルトランジスタを備えた第1のデバイス領域を備えている。第1のpチャネルトランジスタの各々は、第1のシリコン

50

含有半導体領域の内部及び上方に形成されると共に、第1のpチャネルトランジスタの各々のチャネル領域内のスレッショルド調節半導体合金の第1の層を備えている、半導体デバイスは更に、100ナノメートルを超えるピッチを規定する複数の第2のpチャネルトランジスタを備えた第2のデバイス領域を備えており、第2のpチャネルトランジスタの各々は、第2のシリコン含有半導体領域の内部及び上方に形成されると共に、第2のpチャネルトランジスタの各々のチャネル領域内のスレッショルド調節半導体合金の第2の層を備えている。また、スレッショルド調節半導体合金の第1及び第2の層の材質組成及び/又は層厚の均一性の程度は、概ね±2パーセントである。

【図面の簡単な説明】

【0022】

10

本開示の更なる実施形態は、添付の特許請求の範囲において画定されており、また添付の図面を参照したときに以下の詳細な説明と共に更に明らかになろう。

【0023】

【図1A】図1Aは従来の戦略に従いスレッショルド調節シリコン／ゲルマニウム合金を設けることにおける種々の製造段階の間のpチャネル及びnチャネルトランジスタを含む洗練された半導体デバイスを模式的に示す断面図（その1）である。

【図1B】図1Bは従来の戦略に従いスレッショルド調節シリコン／ゲルマニウム合金を設けることにおける種々の製造段階の間のpチャネル及びnチャネルトランジスタを含む洗練された半導体デバイスを模式的に示す断面図（その2）である。

【図1C】図1Cは従来の戦略に従いスレッショルド調節シリコン／ゲルマニウム合金を設けることにおける種々の製造段階の間のpチャネル及びnチャネルトランジスタを含む洗練された半導体デバイスを模式的に示す断面図（その3）である。

【図1D】図1Dは従来の戦略に従いスレッショルド調節シリコン／ゲルマニウム合金を設けることにおける種々の製造段階の間のpチャネル及びnチャネルトランジスタを含む洗練された半導体デバイスを模式的に示す断面図（その4）である。

【図2A】図2Aは例示的な実施形態に従い高い均一性の対応する半導体領域の上方にスレッショルド調節半導体合金を選択的に形成する種々の製造段階の間の半導体デバイスを模式的に示す断面図（その1）である。

【図2B】図2Bは例示的な実施形態に従い高い均一性の対応する半導体領域の上方にスレッショルド調節半導体合金を選択的に形成する種々の製造段階の間の半導体デバイスを模式的に示す断面図（その2）である。

30

【図2C】図2Cは例示的な実施形態に従い高い均一性の対応する半導体領域の上方にスレッショルド調節半導体合金を選択的に形成する種々の製造段階の間の半導体デバイスを模式的に示す断面図（その3）である。

【図2D】図2Dは例示的な実施形態に従い高い均一性の対応する半導体領域の上方にスレッショルド調節半導体合金を選択的に形成する種々の製造段階の間の半導体デバイスを模式的に示す断面図（その4）である。

【図2E】図2Eは例示的な実施形態に従い高い均一性の対応する半導体領域の上方にスレッショルド調節半導体合金を選択的に形成する種々の製造段階の間の半導体デバイスを模式的に示す断面図（その5）である。

40

【図2F】図2Fは更なる例示的な実施形態に従い対応する分離構造を形成するのに先立ちスレッショルド調節半導体合金が形成され得る半導体デバイスを模式的に示す断面図である。

【図2G】図2Gは例示的な実施形態に従い能動領域内に基本的ドーピングを画定するために用いられる注入マスクに基いてスレッショルド調節半導体合金が形成され得る種々の製造段階の間の半導体デバイスを模式的に示す断面図（その1）である。

【図2H】図2Hは例示的な実施形態に従い能動領域内に基本的ドーピングを画定するために用いられる注入マスクに基いてスレッショルド調節半導体合金が形成され得る種々の製造段階の間の半導体デバイスを模式的に示す断面図（その2）である。

【図2I】図2Iは例示的な実施形態に従い能動領域内に基本的ドーピングを画定するた

50

めに用いられる注入マスクに基いてスレッショルド調節半導体合金が形成され得る種々の製造段階の間の半導体デバイスを模式的に示す断面図（その3）である。

【図2J】図2Jは例示的な実施形態に従い能動領域内に基本的ドーピングを画定するために用いられる注入マスクに基いてスレッショルド調節半導体合金が形成され得る種々の製造段階の間の半導体デバイスを模式的に示す断面図（その4）である。

【図2K】図2Kは例示的な実施形態に従い能動領域内に基本的ドーピングを画定するために用いられる注入マスクに基いてスレッショルド調節半導体合金が形成され得る種々の製造段階の間の半導体デバイスを模式的に示す断面図（その5）である。

【図2L】図2Lはスレッショルド調節半導体合金を設けた後に分離構造が形成され得る例示的な実施形態に従う半導体デバイスを模式的に示す図である。 10

【図2M】図2Mは例示的な実施形態に従い材質組成及び／又は層厚に関して低減された程度のばらつきでスレッショルド調節半導体合金を複数のpチャネルトランジスタが有し得る更に進んだ製造段階における半導体デバイスを模式的に示す断面図である。

【発明を実施するための形態】

【0024】

以下の詳細な説明及び図面に説明される実施形態を参照して本開示が説明されるが、以下の詳細な説明及び図面は、ここに開示される主題を特定の開示される例示的な実施形態に限定することを意図するものではない一方で、むしろ説明されている例示的な実施形態は、本開示の種々の側面を単に例示するものであり、本開示の範囲は添付の特許請求の範囲によって画定されていることが理解されるべきである。 20

【0025】

概して、本開示は、高k誘電体材質及び金属含有電極構造に基き初期の製造段階において洗練されたゲート電極構造が形成され得る半導体デバイス及び技術を提供する。この場合、1つのタイプのトランジスタのスレッショルド電圧は、対応するトランジスタのチャネル領域内に適切な半導体材質を設けることによって調節することができ、このことは高い均一性の製造プロセスに基いて達成することができ、それにより、層厚及び／又は材質組成の概ね±5%程度の小さい偏差に基いてスレッショルドばらつきを低減することができる。即ち、半導体デバイス100を参照して既に説明したように、従来の製造戦略においては、対応する目標値に対して層厚及び／又はゲルマニウム濃度に関して概ね5%のばらつきでシリコン／ゲルマニウム合金を設けることは、顕著なスレッショルドばらつきをもたらし、このスレッショルドばらつきは、概ね50nm以下の臨界寸法に基いてトランジスタが形成されるであろう洗練された集積回路の要求に適合し得ないであろう。スレッショルド調節半導体合金を形成するための堆積プロセスの間ににおけるパターン関連の不均一性は、特に密にパッキングされたトランジスタ要素を含むデバイス区域及びそれほど臨界的ではないパッキング密度のデバイス区域に関して、結果として得られるスレッショルドばらつきに大きな影響を有するであろうことが認識してきた。従って、幾つかの例示的な実施形態によると、スレッショルド調節半導体合金を形成するための臨界的なエピタキシャル堆積プロセスは、進歩した表面状態に基いて実行されてよく、つまり、半導体合金の均一性の程度が結果として高められ得るように、堆積表面区域及び非堆積区域に関して増大された程度の均一性で実行されてよい。この点において、均一性の程度は、対応するパラメータの所与の目標値の概ね3%の偏差として理解することができる。例えば、スレッショルド調節半導体材質の材質組成は、概ね3%以下で、即ち目標値と比較して±3%で変化してよく、目標値は多数の対応する材質サンプルから取られる平均値によって定義され得る。他の場合には、層厚は対応する目標厚みに対して概ね±3%以下で偏位してよい。 30

【0026】

高められた程度の均一性は、幾つかの例示的な実施形態では、スレッショルド調節半導体合金を「非選択的な(non-selective)」様態で堆積させることによって達成することができ、ここでは、半導体合金は、任意のタイプのトランジスタの能動領域上に堆積させられてよく、そして十分に可制御なエッチングプロセスに基いてnチャネルトランジスタの 40

10

20

30

40

50

ような1つのタイプのトランジスタから次いで除去されてよい。「非選択的な」堆積という用語は、それにもかかわらず、ある程度の選択性が結晶性半導体表面と誘電体表面区域との間で達成され得る場合についても参考し得ることが理解されるべきであり、誘電体表面区域は分離構造等の形態で設けられるであろう。このように、半導体合金の堆積が結晶性半導体表面に限定されているであろう場合であっても、密にパッキングされたデバイス領域が考慮されているか密でなくパッキングされたデバイス領域が考慮されているかにかかわらず、典型的には両タイプのトランジスタは近接して配置されるであろうという理由で局所的スケールでは極めて類似した堆積条件が達成され得るので、全体的な半導体ダイ又は複数の半導体ダイを含む基板にわたって大幅に改善された堆積条件を達成することができる。他の例示的な実施形態においては、分離構造は半導体合金を高度に非選択的な様態で堆積させた後に形成することができ、それにより堆積条件の均一性を更に高めることができる。ここに開示される幾つかの例示的な実施形態では、半導体合金のパターニングは追加的なリソグラフィステップを必要とすることなしに達成され得るので、高度に効率的な全体的な製造フローを提供することができる。10

【0027】

図2A～2Mを参照して更なる例示的な実施形態をより詳細に以下に説明し、必要である場合には図1A～1Dが再び参照されることがある。

【0028】

図2Aは基板201及びシリコン含有半導体層203を備えた半導体デバイス200の断面図を模式的に示している。また、幾つかの例示的な実施形態では、例えば図2Aに示されるように、デバイス200の少なくとも一部分はSOIアーキテクチャを備えていてよく、SOIアーキテクチャにおいては、埋め込み絶縁層202が基板201とシリコン含有半導体層203の間に配置されていてよい。しかし、ここに開示される原理は「バルク(bulk)」構造にも容易に適用することができ、バルク構造においては、少なくともデバイス200の幾つかの部分において埋め込み絶縁層202は除かれていよいことが理解されるべきである。更に、半導体層203内には浅い溝分離(shallow trench isolation)のような分離構造204が設けられていてよく、それにより第1の能動領域203A及び第2の能動領域203Bが画定され得る。図示される実施形態においては、能動領域203A, 203Bは、能動領域203A, 203Bの内部及び上方に更に形成されることになる対応するトランジスタの伝導性タイプを規定するための基本的ドーピングを備えてよい。1つの例示的な実施形態では、能動領域203Aはpチャネルトランジスタを形成するためにnドープ領域を代表してよい。同様に能動領域203Bは、nチャネルトランジスタの能動領域を代表してよい。以下、製造シーケンスが論じられ、その製造シーケンスにおいては、能動領域203A内に形成されることになるトランジスタのための対応するスレッシュホールド電圧をもたらすために、スレッシュホールド調節半導体合金が能動領域203A上に選択的に形成されてよい。一方、全体的なデバイス要求及びプロセス要求に応じて、スレッシュホールド電圧を調節するための対応するメカニズムはまた、能動領域203B内に形成されることになるトランジスタ又は両方のトランジスタに適用され得ることが理解されるべきである。2030

【0029】

また、これまでに説明された構成要素に関して、そしてそれらを形成するための製造技術に関して、半導体デバイス100を参照して既に説明されたのと同じ基準を適用し得る。図示される実施形態では、分離構造204を形成し、そして能動領域203A, 203B内に基本的ドーピングを画定した後、デバイス200は、十分に確立されたウエット化学的レシピに基づいて実行され得る洗浄プロセス211にさらされてよい。例えば、先行する製造ステップの間に形成されたであろう任意の自然酸化物が除去され得る。40

【0030】

図2Bはエピタキシャル成長プロセス208の間における半導体デバイス200を模式的に示しており、エピタキシャル成長プロセス208においては、例えばシリコン／ゲルマニウム材質等の形態にある半導体合金209が、従来の戦略と比べて表面状態の高い均50

一性に基いて堆積され得る。即ち、1つの例示的な実施形態では、エピタキシャル成長プロセス208は、「選択的(selective)」堆積レシピのような十分に確立されたプロセスパラメータに基いて実行することができ、この場合、材質密着は実質的に領域203A, 203Bのような露出させられた結晶性表面区域上で生じ得る一方で、分離構造204のような誘電体表面区域上での明白な材質堆積は抑制され得る。この意味において、プロセス208は選択的エピタキシャル成長プロセスと称されてよいが、半導体合金209は、能動領域203A, 203Bに対して非選択的な様態で形成されてもよい。つまり、その上への材質209の堆積が従来どおり抑制される領域203Bのような1つ以上の更なるトランジスタ要素又は能動領域が領域203Aに極く接近して典型的には配置されるという理由で、対応するデバイス領域内の全体的なパッキング密度にかかわらず能動領域203Aの堆積に対する局所的近傍は類似しているであろうから、従来の手法とは対照的に、領域203A, 203Bの表面区域のすぐ上での堆積速度及び/又は任意の前駆体の存在は、全体的な基板201においてさえも極めて類似しているであろう。従って、対応する「エッジ状態(edge conditions)」は、材質209の堆積が必要になるトランジスタタイプに対応する任意の能動領域に対して同様であり得る。その結果、材質209の厚み209Tは、高度な均一性を有することができ、また、全体的な基板201にわたってとり得る対応する代表的な平均値に対して概ね±3%以下で変化するであろう。他の例示的な実施形態においては、厚みばらつきは実に概ね2%以下であり得る。例えば、対応する金属含有電極材質との組み合わせにおいて設けられることになるダイオードバンドギャップオーフセットに応じて、半導体合金209は、概ね10nm以下、例えば9nmの厚みを有するシリコン/ゲルマニウム合金を代表してよく、ゲルマニウム濃度は概ね25原子%以下であってよい。従って、堆積プロセス208の間におけるガス流量の高い均一性に起因して、材質組成のばらつきもまた強化され、即ち、用いられる半導体合金209のタイプに応じてシリコン、ゲルマニウム等の種々の成分の(変動の)割合は低減されるであろうし、また代表的な平均値又は目標値に対して概ね±3%以下の範囲内になり得る。

【0031】

図2Cは更に進んだ製造段階における半導体デバイス200の断面図を模式的に示している。図示されるように、マスク層205が半導体合金209上に形成され、マスク層205は、二酸化シリコン、シリコン窒化物、等のような任意の適切な材質から構成され得る。幾つかの例示的な実施形態では、マスク層205は材質209の酸化物から形成されていてよく、従って対応する成分がマスク層205内でも得られる。層205は、プラズマ支援CVD(化学的気相堆積)、熱的に活性化されたCVD、等のような十分に確立された堆積技術に基いて形成することができる。他の場合には、酸化プロセス、例えば熱酸化、プラズマ支援酸化、ウェット化学的酸化、等が実行されてよく、この場合、対応する酸化プロセスの高度な可制御性が、初期層209の材質消費の正確な制御を可能にし得る。即ち、多数の酸化レシピに対する十分に知られ且つ安定な酸化速度により、材質消費の程度は予め決定され得るし、そして層209を堆積させるに際して適切な初期厚みと共に考慮に入れられ得る。対応する酸化プロセスの高度な均一性により、これらの酸化プロセスに基くマスク層205の酸化は、付加的な全体的プロセス不均一性の一因には実質上ならないであろう。

【0032】

図2Dはある製造段階における半導体デバイス200を模式的に示しており、その製造段階においては、能動領域203A並びにその上に形成された対応する材質層209及び205を覆う一方で、能動領域203B及びその上に形成される対応する材質を、少なくともマスク層205の材質を除去するように設計されるエッチング環境207に曝すように、マスク206が設けられてよい。図示される実施形態においては、エッチングプロセス207は、材質209に対して材質205を選択的に除去するように実行されてよく、このことは、マスク層205が二酸化シリコンから構成される場合には、例えばフッ酸に基いて達成され得る。他の場合には、層205の露出させられた部分を選択的に除去するために、任意の他の選択的エッチングレシピが用いられてよい。

【0033】

図2Eは更なるエッティング環境212に曝されるときの半導体デバイス200を模式的に示しており、エッティング環境212は、少なくともマスク層205に対して層209の材質を選択的に除去するための適切なエッティング薬品に基いて確立され得る。1つの例示的な実施形態では、エッティング環境212は、二酸化シリコン、シリコン窒化物等から構成され得るマスク層205に対して選択的なシリコン／ゲルマニウム合金のような材質209の除去を可能にする化学薬品に基くウェット化学的エッティングプロセスとして実行されてよい。エッティングプロセス212の間、化学薬品の濃度、プロセス時間等のようなパラメータが、能動領域203Bの材質を過度に消費しないように適切に選択されてよい。
 1つの例示的な実施形態では、エッティングプロセス212はテトラメチルアンモニウムヒロドキシド(TMAH)に基いて実行されてよく、TMAHはレジスト材質を除去するためのよく知られた薬品であるが、高濃度且つ高温ではシリコンベースの材質を効果的に除去することもできる。更に、TMAHはまた、二酸化シリコン及びシリコン窒化物材質に対して明白な選択性を呈し得る。従って、レジストマスク206(図2D参照)がエッティングプロセス212の間に除去されるであろうとしても、能動領域203Aの上方の材質層209の完全性を損なうことなしに、高度な可制御性で層209を除去することができる。他の場合には、全体的なプロセス均一性を更に高めるために、エッティングプロセス212を開始するのに先立ちレジストマスクが除去されてよい。その結果、能動領域203Bを露出させるためのパターニングシーケンスの間における材質209の全体的な完全性は、マスク層205によって維持され得る。その後、マスク層205は能動領域203Aの上方から除去されてよく、ここでは、エッティングプロセス110(図1C)を参照したときの半導体デバイス100に関して既に説明したのと同様なプロセス技術を適用することができる。半導体合金209を露出させた後、前述したように洗練されたゲート電極構造を形成するために、十分に確立されたプロセス技術に基いて更なる処理が継続されてよい。

【0034】

図2Fは更なる例示的な実施形態に従う半導体デバイス200を模式的に示しており、その実施形態においては、分離構造を形成するのに先立ち、領域203A, 203Bのための基本的なドーピングが既に確立されていてよい。また、任意の適切な堆積レシピに基いて半導体合金209を形成するために、デバイス200はエピタキシャル成長プロセス208に曝されてよく、ここでは、分離構造がないことに起因して、更に強化された程度の堆積条件が達成され得る。その結果、この場合にもまた、前述したように、材質組成及び層厚に関する高度な均一性で材質209を設けることができる。半導体合金209を形成した後、層209をパターニングすると共に分離構造を形成することによって更なる処理が継続されてよく、ここでは、高められたプロセス均一性を維持するための適切な製造戦略は、図2Lを参照して後で説明される。

【0035】

図2G～2Jを参照して更なる例示的な実施形態が以下に説明されることになり、その実施形態においては、一方の能動領域内の基本的なドーパント濃度を規定するために用いられる注入マスクに基いて、スレッシュホールド調節半導体合金のパターニングが達成され得る。

【0036】

図2Gはある製造段階における半導体デバイス200を模式的に示しており、1つの例示的な実施形態では、能動領域203A, 203Bを分離するように分離構造204が形成されてよいが、対応する基本的ドーピングレベルは未だ確立されていないよ。他の例示的な実施形態においては、分離構造204はこの製造段階では破線によって示されるようには形成されなくてよく、そして図2Fを参照して既に説明されたように、また図2Lを参照して更に詳細に説明されもするよう、分離構造204は後の製造段階において形成されてよい。更に、デバイス200は、既に説明したように、半導体合金209を優れた均一性で形成するために、プロセス208の堆積環境に曝される。この製造段階にお

いて分離構造 204 が既に存在している場合には、半導体合金 209 は分離構造 204 の上方に形成されなくてよいことが理解されるべきである。

【0037】

図 2 H は更に進んだ製造段階における半導体デバイス 200 を模式的に示している。図示されるように、マスク層 205 が半導体合金 209 上に形成されてよく、ここでは、マスク層 205 は前述したような任意の適切な材質から構成されていてよい。また、能動領域 203A を曝す、即ちその上に形成されるマスク層 205 を露出させる一方で、能動領域 203B を覆うように、注入マスク 214A がレジストマスクの形態で設けられてよい。更に、デバイス 200 は、能動領域 203A 内ヘドーパント種を導入するように設計されたイオン注入プロセス 213A を受け、このことは十分に確立された注入レシピに基いて達成され得るが、注入エネルギー等のような対応するプロセスパラメータは、半導体合金 209 及びマスク層 205 の存在に対して適切に調節されてよい。しかし、両材質層は典型的には適度に小さい層厚で設けられているであろうから、従来の戦略に基いて対応する適合を容易に達成することができる。10

【0038】

図 2 I は更に進んだ製造段階における半導体デバイス 200 を模式的に示しており、その製造段階においては、注入マスク 214A (図 2 H 参照) の除去の後、更なる注入マスク 214B が能動領域 203B を曝す、即ちその上に形成される材質層 205, 209 を露出させてよい一方で、能動領域 203A の上方に形成される対応する材質層を覆ってよい。また、全体的なデバイス要求に従って能動領域 203B 内ヘドーパント種を導入するために、注入プロセス 213B が実行されてよい。20

【0039】

図 2 J はエッチング環境 207 に曝されるときの半導体デバイス 200 を模式的に示しており、エッチング環境 207 は、例えば、マスク層 205 が注入マスク 214B に基いてパターニングされ得るウェット化学的エッチング環境の形態で提供される。従って、マスク層 205 をパターニングするための任意の追加的なリソグラフィステップが回避され得るので、極めて効率的な全体的プロセスフローに寄与することができる。

【0040】

図 2 K はマスク層 205 に基き半導体合金 209 の露出された部分を能動領域 203B の上方から除去するためのエッチング環境 212 に曝されるときの半導体デバイス 200 を模式的に示している。エッチングプロセス 212 のための任意のプロセスレシピに関して、前述したのと同じ基準を適用し得る。この場合にもまた、任意の追加的なリソグラフィステップを必要とすることなしに、高度に効率的な製造フローに基いて高度な均一性で半導体合金 209 を設けることができる。エッチングプロセス 212 の後、前述したように更なる処理が継続してよく、即ち、マスク層 205 が除去されてよく、そしてトランジスタ要素 150A, 150B (図 1 D 参照) を参照して既に説明したように、洗練されたゲート電極構造を形成することによって更なる処理が継続してよい。30

【0041】

図 2 L は更なる例示的な実施形態に従う半導体デバイス 200 を模式的に示しており、その実施形態においては、半導体合金 209 をパターニングした後に分離構造 204 が形成されてよい。例えば、図 2 G ~ 図 2 K を参照して上述したプロセスシーケンスにおいては、分離構造を形成するのに先立ち注入マスクに基いて半導体合金 209 がパターニングされてよい一方で、他の場合には、図 2 F を参照して説明されているように、領域 203A, 203B 内の基本的なドーパント濃度を形成した後で半導体合金 209 がパターニングされてよい。いずれの場合においても、半導体合金 209 及びマスク層 205 の残りの部分に基いて更なる処理が継続してよく、これらは、材質 209 の完全性を高め、分離構造 204 を提供するための製造シーケンスの間に存在し得る任意のプロセス不均一性を低減するように維持されてよい。1つの例示的な実施形態では、図 2 L に示されるように、停止層 215、即ち任意の適切な堆積レシピに基いて堆積させられ得るシリコン窒化物材質のようなエッチング停止材質及び / 又は CMP (化学的機械的研磨) 停止材質が形成さ4050

れてよい。全体的なプロセス戦略に応じて、必要であればデバイス 200 の表面形状が平坦化されてよく、他の場合には、更なる表面処理なしに層 215 に基いて更なる処理が継続してよい。従って、層 215 は、更なる処理のためのプラットフォーム、つまりエッチングマスクを画定すると共に半導体層 203 内へ溝をエッチングするためのシーケンス及び十分に確立された堆積レシピに基いてこれを充填することのためのプラットフォームとして用いられ得る。その後、任意の過剰な材質が例えれば CMP によって除去されてよく、ここでは層 215 は停止層として機能する。その後、層 215 の残留物は除去されてよく、ここではマスク層 205 は依然として半導体合金 209 の完全性を維持し得る。その後、例えば前述したような任意のプロセス技術に基いてマスク層 205 は除去されてよく、次いで更なる処理が継続させられて洗練されたゲート電極構造が形成されてよい。

10

【0042】

図 2M は進んだ製造段階における半導体デバイス 200 を模式的に示している。図示されるように、デバイス 200 は、p チャネルトランジスタのような複数の第 1 のトランジスタ 250A と 1 つ以上の n チャネルトランジスタ 250B とを含む第 1 のデバイス領域 270A を備えていてよい。更に、第 2 のデバイス領域 270B が設けられていてよく、第 2 のデバイス領域 270B 内には、p チャネルトランジスタのような複数の第 3 のトランジスタ 250C が場合によっては 1 つ以上の n チャネルトランジスタ（図示せず）と組み合わされて設けられていてよい。図示される実施形態においては、トランジスタ 250A, 250C は、既に論じられたように所望のトランジスタ特性を提供するためにスレッショルド調節半導体合金 209 がその内部に形成された洗練されたトランジスタ要素を代表し得る。一方、トランジスタ 250B は、半導体合金に基く対応するスレッショルド調節が不要であってよいトランジスタを代表し得る。トランジスタ 250A, 250B 及び 250C は各々ゲート電極構造 251 を備えていてよく、ゲート電極構造 251 は、前述したように高 k 誘電体材質に基いて形成されるゲート絶縁層 251B を備えていてよい。また、アルミニウム酸化物、チタン窒化物等のような金属含有電極材質 251A が、対応するゲート絶縁層 251B 上に形成されてよく、ここでは、必要であれば、多結晶シリコン材質等 251C のような追加的な電極材質が電極材質 251A 上に形成されてよい。更に、これも前述したように、所望の全体的なトランジスタ特性を得るために、洗練されたドレイン及びソース領域 254 が設けられてよい。

20

【0043】

トランジスタ 250A, 250B 及び 250C は、例えば既に論じられたような任意の適切な製造戦略に基いて形成することができ、ここでは、トランジスタ 250A, 250C の各々内の半導体合金 209 の強化された均一性は、結果として得られるトランジスタ特性の優れた均一性を提供することができる。例えばデバイス 270A においては、隣接するトランジスタ 250A 間の距離又はピッチ 250P は、所望の高いパッキング密度を得るために最小臨界距離に対応していてよい。例えば洗練された応用においては、ピッチ 250P は概ね 100 nm 以下であってよい一方、ゲート長、即ち図 2M における電極材質 251A の水平方向の拡張は概ね 50 nm 以下であってよい。一方、隣接するトランジスタ 250C 間の対応する距離又はピッチは、全体的なデバイス要求に応じて大幅に大きくてよいにもかかわらず、対応する半導体合金 209 の強化された程度の均一性が、対応する距離 250P, 250Q とは関係なく、トランジスタばらつきの低減をもたらすことができる。既に説明したように、このことは半導体合金 209 の堆積の間に強化されるプロセス条件に基いて達成することができ、その理由は、局所的な意味においては、トランジスタ 250C, 250A の各々に対する極めて類似した近隣(neighborhood)が達成され得るところにある。例えば、トランジスタ 250B はトランジスタ 250A, 250C のそれぞれに対する「次の(next)」近隣を代表することができ、それにより、前述したように、材質 209 を形成する堆積プロセスの間に類似の局所的近隣を提供することができる。

40

【0044】

結果として、本開示は半導体デバイス及び製造技術を提供し、本開示においては、スレ

50

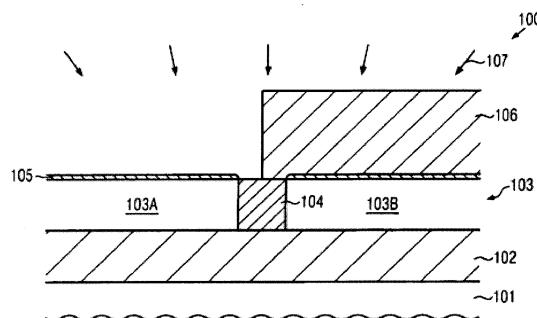
ツショルド調節半導体合金を形成することに対する堆積関連の不均一性は、各タイプのトランジスタのための能動領域上に当該材質を堆積させると共に次いで高度に可制御なパターニングシーケンスに基いて当該半導体合金をパターニングすることによって、低減され得る。その結果、シリコン／ゲルマニウム材質のようなスレッショルド調節半導体合金に基いて、早い製造段階において、即ちドレイン及びソース領域を形成するのに先立ち、高k誘電体材質及び金属含有電極材質を含む洗練されたゲート電極構造を形成することができ、ここでは、極度に縮小化された半導体デバイスが考慮されているとしても、スレッショルド調節材質の選択的な形成の間における強化された均一性が、スレッショルドばらつきの低減をもたらすことができる。

【0045】

10

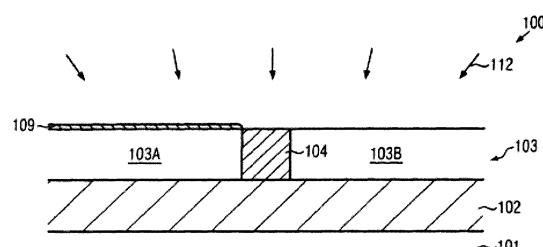
この明細書を考慮することで本開示の更なる修正及び変形が当業者には明らかであろう。従って、この明細書は、例示的なものとしてのみ解釈されるべきであり、そしてここに提供されている教示を実施する一般的な様態を当業者に教示することを目的とするものである。ここに示されそして説明される主題の形態は、目下のところ望ましい実施形態として受け止められるべきであるとして理解されるべきである。

【図1A】



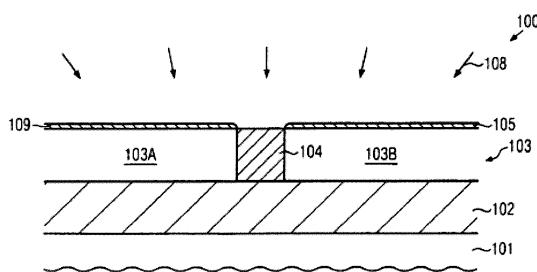
(従来技術)

【図1C】



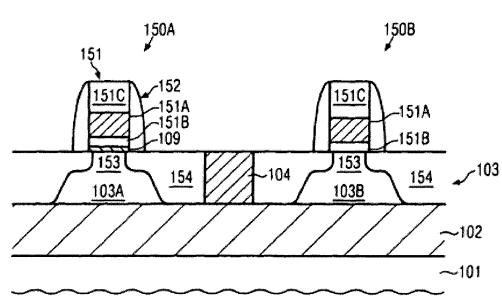
(従来技術)

【図1B】



(従来技術)

【図1D】



(従来技術)

【図 2 a】

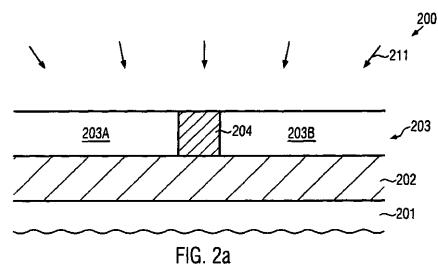


FIG. 2a

【図 2 c】

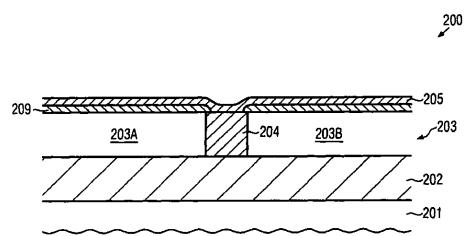


FIG. 2c

【図 2 b】

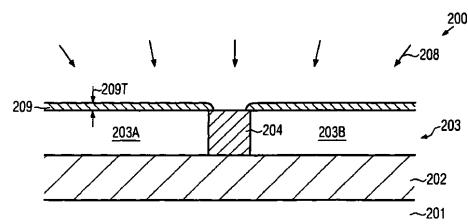


FIG. 2b

【図 2 d】

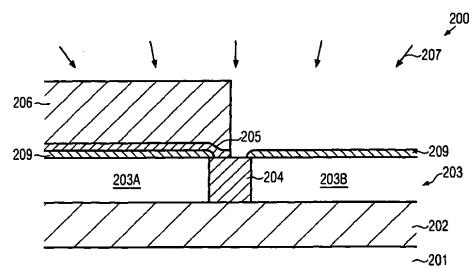


FIG. 2d

【図 2 e】

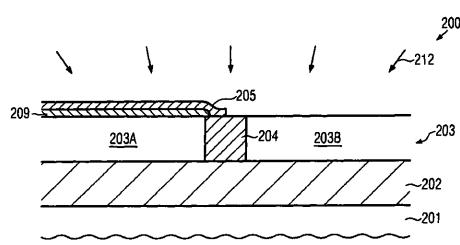


FIG. 2e

【図 2 g】

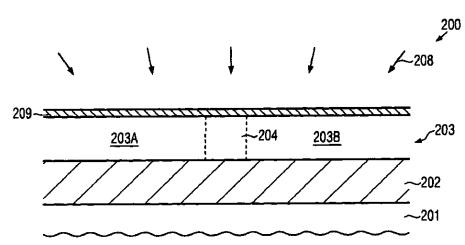


FIG. 2g

【図 2 f】

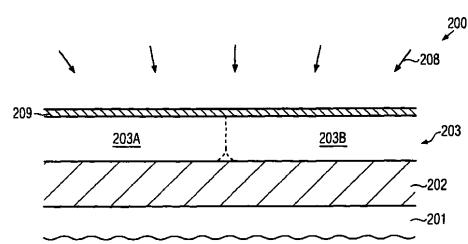


FIG. 2f

【図 2 h】

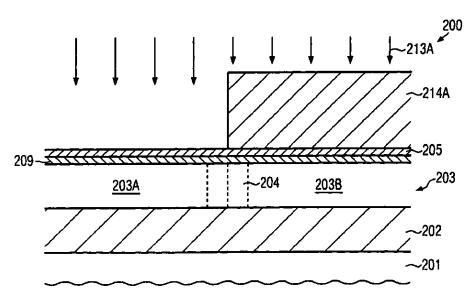


FIG. 2h

【図2i】

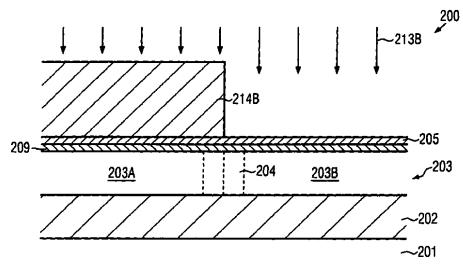


FIG. 2i

【図2k】

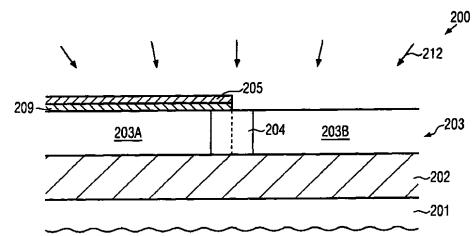


FIG. 2k

【図2j】

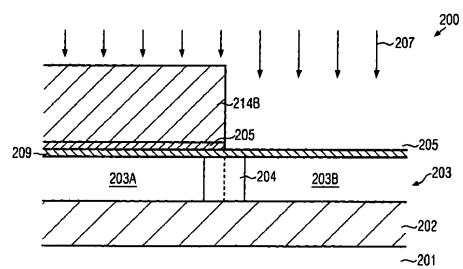


FIG. 2j

【図2l】

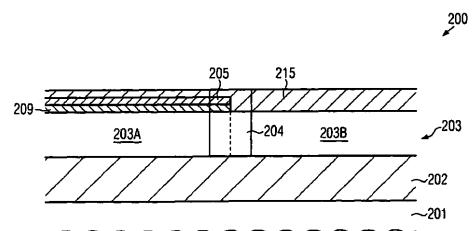


FIG. 2l

【図2m】

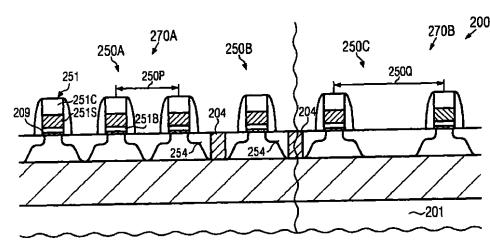


FIG. 2m

フロントページの続き

(51)Int.Cl. F I
H 01 L 29/786 (2006.01) H 01 L 29/78 301B
H 01 L 21/336 (2006.01)
H 01 L 29/78 (2006.01)

(72)発明者 アンドレア オットー
ドイツ、01099 ドレスデン、ティーケッシュトラッセ 19

審査官 岩本 勉

(56)参考文献 特開2006-332687 (JP, A)
特開2007-088400 (JP, A)
特開2003-347425 (JP, A)
特開2004-336056 (JP, A)
特開2003-318283 (JP, A)
特開2004-006959 (JP, A)
特開2000-353753 (JP, A)
特開2008-244113 (JP, A)
特開2010-157570 (JP, A)
特開2007-234961 (JP, A)
特開2006-202928 (JP, A)
特表平11-500873 (JP, A)
特表2006-518544 (JP, A)
特表2010-538496 (JP, A)
特表2011-501450 (JP, A)
特表2004-532511 (JP, A)
国際公開第2005/106949 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336、21/8234-21/8238、
21/8249、27/06-27/08、
27/088-27/092、29/76、
29/772-29/786