



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I628818 B

(45)公告日：中華民國 107 (2018) 年 07 月 01 日

(21)申請案號：103115253

(22)申請日：中華民國 103 (2014) 年 04 月 29 日

(51)Int. Cl. : H01L45/00 (2006.01)

H01L21/8239(2006.01)

(30)優先權：2013/04/29 美國

13/872,932

(71)申請人：A S M I P 控股公司 (荷蘭) ASM IP HOLDING B. V. (NL)

荷蘭

(72)發明人：謝 琦 XIE, QI (NL)；馬高特森 弗拉基米爾 MACHKAOUTSAN, VLADIMIR (NL)；梅茲 詹姆 威廉 MAES, JAN WILLEM (NL)；吉文斯 麥克 GIVENS, MICHAEL (US)；拉薩內尼 佩托 RAISANEN, PETRI (FI)

(74)代理人：葉璟宗；鄭婷文；詹富閔

(56)參考文獻：

WO 2013/032809A1

審查人員：湯欽全

申請專利範圍項數：7 項 圖式數：10 共 51 頁

(54)名稱

電阻式隨機存取記憶裝置的製造方法

METHOD OF MAKING A RESISTIVE RANDOM ACCESS MEMORY DEVICE

(57)摘要

揭露一種用於形成電阻式隨機存取記憶體(RRAM)裝置的方法。所述方法包括：形成第一電極；藉由熱原子層沉積(ALD)而形成包括金屬氧化物的電阻式切換氧化物層；以及藉由熱原子層沉積(ALD)而形成第二電極，其中所述電阻式切換層插置於所述第一電極與所述第二電極之間。形成所述電阻式切換氧化物可在沉積所述金屬氧化物之後不將所述切換氧化物層的表面暴露於表面改質電漿處理的情況下進行。

A method for forming a resistive random access memory (RRAM) device is disclosed. The method comprises forming a first electrode, forming a resistive switching oxide layer comprising a metal oxide by thermal atomic layer deposition (ALD) and forming a second electrode by thermal atomic layer deposition (ALD), where the resistive switching layer is interposed between the first electrode and the second electrode. Forming the resistive switching oxide may be performed without exposing a surface of the switching oxide layer to a surface-modifying plasma treatment after depositing the metal oxide.

指定代表圖：

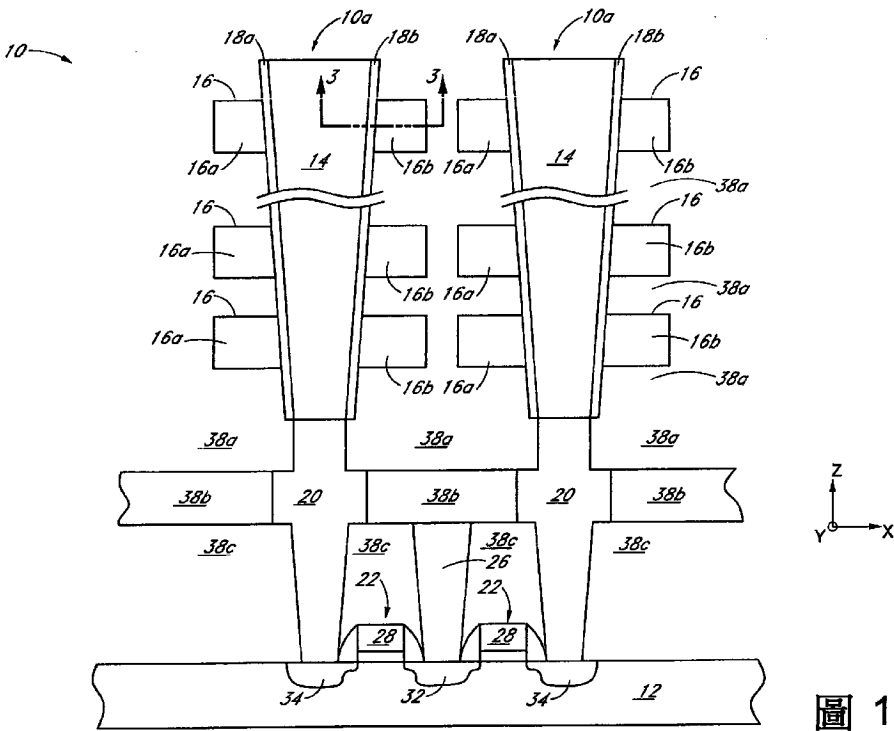


圖 1

符號簡單說明：

- 3 . . . 截線
- 10 . . . 3D-RRAM 陣列
- 10a . . . 子陣列
- 12 . . . 半導體基板
- 14 . . . 電極線\電極
- 16 . . . 電極線\電極
- 16a . . . 電極線\電極
- 16b . . . 電極線\電極
- 18a . . . 電阻式切換氧化物層\電阻式氧化物層\電阻式切換層
- 18b . . . 電阻式切換氧化物層\電阻式氧化物層\電阻式切換層
- 20 . . . 垂直連接器
- 22 . . . 電晶體
- 26 . . . 源極觸點
- 28 . . . 閘極
- 32 . . . 源極
- 34 . . . 汲極
- 38a . . . 層間介電質
- 38b . . . 層間介電質
- 38c . . . 層間介電質

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

電阻式隨機存取記憶裝置的製造方法

METHOD OF MAKING A RESISTIVE RANDOM ACCESS
MEMORY DEVICE

【技術領域】

【0001】 本發明是關於半導體製程的領域，且更特定言之，是關於電阻式隨機存取記憶體的製造。

【先前技術】

【0002】 非揮發性記憶體裝置用於各種電子裝置，諸如（略舉實例）行動電話、智慧型電話、數位相機、數位音樂播放器、平板型電腦以及手提電腦。隨著非揮發性記憶體裝置的大小繼續縮小以滿足較高裝置密度的持續增大的需要，相應地，對三維陣列的記憶體裝置以及基於電阻改變而儲存資訊的新記憶體裝置的需要持續增大。解決此等需要的一種概念是三維電阻式隨機存取記憶體陣列（3D RRAM）。為了達成製造目標且改良此等記憶體陣列的效能，正在進行形成 3D RRAM 的製程的研究。

【發明內容】

【0003】 根據一些實施例的用於形成電阻式隨機存取記憶體

(RRAM) 裝置的方法包括：形成第一電極；藉由熱原子層沉積 (ALD) 而形成包括金屬氧化物的電阻式切換氧化物層；以及藉由熱原子層沉積 (ALD) 而形成第二電極，其中所述電阻式切換層插置於所述第一電極與所述第二電極之間。根據一些實施例，形成所述電阻式切換氧化物是在沉積所述金屬氧化物之後不將所述切換氧化物層的表面暴露於表面改質及/或膜改質電漿處理的情況下進行。

【0004】 根據另一實施例的用於形成 RRAM 裝置的方法包括：形成包括金屬氮化物的第一電極；藉由原子層沉積 (ALD) 而形成包括金屬氧化物的電阻式切換氧化物層；以及藉由原子層沉積 (ALD) 而形成包括金屬氮化物的第二電極，其中所述電阻式切換層具有與所述第一電極接觸的第一表面以及與所述第二電極接觸的與所述第一表面相對的第二表面。形成所述電阻式切換氧化物可在沉積所述金屬氧化物之後不將所述切換氧化物層的表面暴露於表面改質及/或膜改質電漿處理的情況下進行。

【圖式簡單說明】

【0005】

圖 1 為根據一些實施例的 3D RRAM 陣列的示意性橫截面。

圖 2 為根據一些其他實施例的 3D RRAM 陣列的示意性橫截面。

圖 3 為根據一些實施例的 RRAM 單元堆疊的示意性橫截面。

圖 4 為根據一些實施例的 RRAM 單元的切換操作的電流-電壓關係的示意性圖式。

圖 5 為根據一些實施例的電阻式切換氧化物層的量測的濃度深度輪廓的圖式。

圖 6 為根據一些實施例的電阻式切換氧化物層的量測的氧化物崩潰電壓的圖式。

圖 7 為根據一些實施例的電阻式切換氧化物層的量測的介電常數的圖式。

圖 8 為根據一些實施例的 RRAM 單元的量測的電流-電壓關係的圖式。

圖 9 為根據一些實施例的 RRAM 單元的量測的電流-電壓關係的圖式。

圖 10 為根據一些其他實施例的 RRAM 單元的量測的電流-電壓關係的圖式。

【實施方式】

【0006】 諸如智慧型電話、電腦以及數位相機的電子裝置將大量資料儲存於非揮發性儲存裝置（諸如，硬碟或固態磁碟）中。在諸如智慧型電話以及行動電腦的許多行動應用中，由於固態磁碟的小巧尺寸以及對因移動而引起的可靠性問題相對具有抵抗力，所以相對於硬碟，固態磁碟通常是較佳的。固態磁碟包括數十億個雙閘極電晶體（稱為快閃電晶體）以及其他元件，雙閘極電晶

體在浮動閘極中儲存電荷。快閃電晶體可配置為各種形式的陣列架構。被稱為「反及(NAND)」陣列架構的一種特定陣列架構使用配置為 16、32、64 或 128 個快閃電晶體的快閃電晶體串，其通道由形成快閃電晶體的控制閘極的字元線控制。NAND 區塊可包含多個上述的快閃電晶體串，例如，1024 個、2048 個等，其中每一串經由選擇電晶體而連接至位元線。NAND 陣列組態在每單位面積中提供最高數目的快閃電晶體，從而使快閃電晶體尤其適用於儲存高密度的數位媒體。

【0007】 對愈來愈高的密度（以及愈來愈低的成本）的快閃電晶體的需求已導致快閃電晶體的尺寸的持續減小。隨著快閃電晶體縮小到小於約 20 奈米的節點，由於相鄰浮動閘極之間的寄生電容耦合以及每浮動閘極所儲存的電子的數目減少以及其他，將實質上降低快閃電晶體的可靠性。可將兩種可調性(scalability)概念用於使儲存裝置的密度持續遵循尺寸減小以及密度增大的趨勢。

【0008】 第一可調性概念在裝置級解決可調性，且使用基於記憶體單元的電阻改變（與快閃電晶體的臨限電壓的改變相反）的儲存裝置。基於電阻改變的各種儲存裝置已被提議為對持續調整的快閃電晶體的替代，包含電阻式切換隨機存取記憶體（RRAM）。RRAM 已由於其簡單性以及可調性而成為大量研究的重點。RRAM 裝置在兩個電極之間可包含電阻切換層。切換層的電阻可藉由電信號的施加而在高電阻狀態（HRS）與低電阻狀態（LRS）之間切換。

【0009】 第二可調性概念在陣列級解決可調性，且使用三維（3D）陣列。舉例而言，在一些 3D NAND 陣列結構中，16 個、32 個、64 個、128 個等個數的快閃電晶體串在垂直於矽基板的表面的方向上垂直地延伸，其通道可由形成平行於矽基板而延伸的控制閘極的字元線控制。

【0010】 第一可調性概念以及第二可調性概念可組合為 3D RRAM 陣列的概念，其中，16 個、32 個、64 個、128 個等個數的 RRAM 裝置的「串」可在垂直於矽基板的表面的方向上垂直地延伸。在 3D RRAM 陣列的一個實例中，第一組互連線（例如，字元線）在垂直於矽基板的表面的方向上垂直地延伸，且第二組互連線（例如，位元線）在平行於基板的表面的方向上水平地延伸，且第二組互連線經組態以與字元線形成交叉接面（cross junction）。電阻式切換氧化物層在交叉接面處安置於所述字元線與所述位元線之間以形成 RRAM 單元，以使得當電信號跨越 RRAM 單元而施加時，所述 RRAM 單元可在 LRS 與 HRS 之間可逆地切換。

【0011】 此等 3D RRAM 陣列通常製造於諸如驅動器以及電荷泵的支撐電路上方，以減少基板上的總佔據區域（footprint）。因此，可存在對用於製造 3D RRAM 陣列的製程的溫度約束。諸如電漿增強原子層沉積（PE-ALD）的電漿增強製程可降低一些沉積製程的沉積溫度。然而，此等 3D RRAM 陣列的各種製程整合做法需要在具有極高高寬比的通孔以及空穴的表面上等形地沉積不同膜（諸

如，電極膜以及電阻式切換材料)。由於在一些狀況下需要鞘層，電漿製程可能並不有效於在此等類型的表面形態(topography)內進行沉積。因此，需要用於形成 3D RRAM 陣列的各種膜的低溫且等形的沉積技術，諸如熱原子層沉積。

【0012】 根據一些實施例的三維電阻式隨機存取記憶體 (3D RRAM) 陣列包含在 x 方向上彼此鄰近而安置的多個子陣列。每一子陣列可包含在 z 方向上垂直地堆疊且在 y 方向上水平地延伸的多個第一電極線。每一子陣列可更包含在 z 方向上垂直地延伸的多個第二電極線。第二電極線中的每一者可橫過至少一個第一電極線，且與第一電極線中的一者形成至少一個交叉點接面。在交叉接面中的每一者處，第一電極線以及第二電極線可藉由插置電阻式切換氧化物層而形成 RRAM 單元。

【0013】 根據一些實施例，製造 RRAM 單元的方法包括：形成第一電極；藉由熱原子層沉積 (ALD) 而形成包括金屬氧化物的電阻式切換氧化物層；以及藉由熱原子層沉積 (ALD) 而形成第二電極，其中所述電阻式切換層插置於所述第一電極與所述第二電極之間。應瞭解，熱 ALD 製程是在不使用電漿的情況下進行的沉積。因此，在一些實施例中，形成所述電阻式切換氧化物層是在沉積所述金屬氧化物之後不將所述切換氧化物層的表面暴露於表面改質電漿處理的情況下進行。在一些實施例中，藉由熱原子層沉積而形成所述第二電極是在約 325°C 或 325°C 以下(例如，約 200 至 300°C 或約 200 至 250°C) 的溫度下進行。

【0014】 現參考附圖，其中相同的元件符號通篇指相同的特徵。

【0015】 圖 1 說明根據一些實施例的 3D-RRAM 陣列 10 的橫截面圖。3D-RRAM 陣列 10 包含形成於半導體基板 12 上的多個子陣列 10a。根據所使用的特定陣列架構，3D-RRAM 陣列 10 內的子陣列的數目可為任何適當數目。然而，為易於說明，在圖 1 中，僅繪示兩個此等子陣列 10a。每一子陣列 10a 在 x 方向上具有至少一個鄰近的其他子陣列。在圖 1 中的所繪示的實施例中，兩個子陣列 10a 在 x 方向上彼此鄰近且面對。

【0016】 子陣列 10a 中的每一者包含在 z 方向上堆疊且在進出頁面的 y 方向上延伸的多個第一電極線 16。為易於說明，在圖 1 中僅繪示給定子陣列 10a 的三個第一電極線 16 的橫截面。然而，根據特定陣列架構，給定子陣列中的堆疊的第一電極線 16 的數目可為任何適當數目 N。此外，可由所插入的層間介電質 38a 將鄰近堆疊的第一電極線 16 分離。因此，在圖 1 中，給定子陣列的第一電極的堆疊包含 N 個堆疊的第一電極線 16 以及(N-1)個所插入的層間介電質 38a。根據各種實施方案，取決於特定陣列架構，N(即，堆疊的第一電極線 16 的數目)可為(例如)8、16、32、64、128、256 等。第一電極線 16 有時可稱為區域位元線、位元線或行。

【0017】 子陣列 10a 中的每一者更包含在 z 方向上垂直延伸的多個第二電極線 14。在一些實施方案中，第二電極線 14 形成垂直柱狀物。為易於說明，在圖 1 中僅繪示每一子陣列 10a 的一個第二電極線 14 的橫截面。然而，根據所使用的特定陣列架構，給定子

陣列中的第二電極線 14 的數目可為任何適當數目 M 。在圖 1 的組態中，在進出圖紙的 y 方向上，在橫截面圖繪示於圖 1 中的電極線的前後，可存在額外的第二電極線 14(未繪示)。根據實施方案，取決於特定陣列架構，子陣列 10a 中的每一者可包含(例如) N 個第二電極線，其中 N 等於 256、512、1024、2048、4096 等。第二電極線 14 有時可稱為字元線、區域字元線或列。

【0018】在下文稱為「纏繞式字元線架構(wrapped word line architecture)」的一個組態中，第二電極線 14 延伸穿過垂直通孔，而垂直通孔延伸穿過第一電極線 16 的堆疊以及層間介電質 38a。在此實施例中，第一電極線 16 形成狹長板，所述狹長板在 y 方向上延伸且在 y 方向上橫過 M 個第二電極線 14 的至少一子集。在此組態中，垂直通孔的側壁以電阻式切換氧化物層 18 做為內襯。此外，第二電極線 14 填充以電阻式切換氧化物層 18 做為內襯的垂直通孔以形成桿，桿可為圓柱形且延伸穿過通孔，而通孔延伸穿過第一電極線 16 的整個堆疊以及所插入的層間介電質 38a。一個 RRAM 單元形成於第一電極線 16 與第二電極線 14 之間的每一相交處，且一個 RRAM 中插置有圍繞第二電極線 14 的電阻式切換氧化物層 18。當藉由在所選擇的第一電極線 16 與第二電極線 14 之間施加適當電壓來選擇單元時，導電路徑可跨越圍繞第二電極線 14 的電阻式切換氧化物層 18 而在任何位置處形成。因此，在纏繞式字元線架構中，RRAM 單元包括在 z 方向上延伸的第二電極線 14、連續圍繞第二電極線 14 的電阻式切換氧化物層 18 以及圍繞

電阻式切換氧化物層 18 (其圍繞第二電極線 14) 的第一電極線 16。在一些實施例中，第二電極線 14 可採取圓柱形桿的形式。

【0019】再參看圖 1，在下文稱為「相交式字元線架構」的另一組態中，第二電極線 14 延伸穿過在 z 方向上延伸的垂直通孔(如同在上文的纏繞式字元線架構中所述者)。類似於纏繞式字元線架構，相交式字元線架構的第二電極線 14 延伸穿過第一電極線 16a/16b 的堆疊以及插置於兩個鄰近堆疊的第一電極線 16a/16b 之間的層間介電質 38a。此外，類似於纏繞式字元線架構，可呈圓柱形的垂直通孔的側壁以電阻式切換氧化物層 18 做為內襯。此外，第二電極線 14 填充以電阻式切換氧化物層 18 做為內襯的垂直通孔以形成桿，所述桿可為圓柱形且延伸穿過所述通孔。

【0020】然而，不同於纏繞式字元線架構，第一電極線不形成具有圓柱形第二電極 14 延伸穿過的孔的板。反之，一對第一電極線 16a 及 16b 在 y 方向上延伸，且與第二電極線 14 的第一側以及第二側的部分相交。第一電阻式切換氧化物層 18a 以及第二電阻式切換氧化物層 18b 分別安置於第一電極線 16a 及 16b 之間的每一相交處。亦即，所述一對第一電極 16a 及 16b 中的每一者形成在 y 方向上延伸的狹長線，且「共用」一個第二電極 14。因此，不同於纏繞式字元線架構，一個導電路徑可在第二電極線 14 與所選擇的第一電極線 16a 或 16b 中的一者之間跨越第一電阻式切換氧化物層 18a 或第二電阻式切換氧化物層 18b 中的每一者而形成。因此，不同於纏繞式字元線架構，可形成同一 RRAM 單元佔據區域

的兩個導電路徑。因此，在此組態中，RRAM 單元包括形成在 z 方向上延伸的圓柱形桿的第二電極線 14、在 y 方向上延伸且與第二電極線 14 形成一對相交處的一對第一電極線 16a 及 16b、以及在所述一對相交處插置於第一電極線 16a 及 16b 與第二電極線 14 之間的第一電阻式切換氧化物層 18a 及第二電阻式切換氧化物層 18b。

【0021】圖 1 中的所繪示的實施例的 3D RRAM 陣列可更包括連接至第二電極線 14 的一或多個電晶體 22。電晶體 22 中的每一者形成於半導體基板 12 中，且包括閘極 28、源極 32、汲極 34，且經由垂直連接器 20 而連接至第二電極線 14。層間介電質 38b 及 38c 將各種傳導結構電絕緣。在一個實施例中，電晶體 22 可提供第二電極線 14 的選擇功能，且可藉由經由閘極觸點（未繪示）而實現的閘極 28 的適當偏壓以及經由源極觸點 26 而實現的源極 32 的適當偏壓來供應所需電流。在一些實施例中，電晶體 22 經組態以供應足以對至少一個 RRAM 單元進行程式化以及抹除的驅動電流。

【0022】雖然當在圖 1 的所繪示的實施例中在 z 方向上檢視時，子陣列 10a 安置於電晶體 22 上方且與其重疊，但其他實施例是可能的。在一些實施例中，當在 z 方向上檢視時，子陣列 10a 安置於電晶體 22 上方，但不與其重疊。在其他實施例中，當在 z 方向上檢視時，電晶體 22 安置於子陣列 10a 上方，且與其重疊。在其他實施例中，電晶體 22 以及子陣列 10a 在 x 方向上安置為彼此鄰近。

【0023】 在總製造程序流程中的不同點形成電晶體 22 可導致不同處理考慮事項。舉例而言，在圖 1 的所繪示的實例中，因電晶體 22 以及在製造子陣列 10a 之前製造的相關聯的電連接（諸如，垂直連接器 20）而引起的一個考慮事項可為溫度約束。在一些實施例中，在電晶體 22 的製造之後的高溫製程可導致裝置參數（諸如，臨限電壓、次臨限擺動、沖穿電壓以及其他）的不良的製造後偏移（post-fabrication shift）。此外，在垂直連接器的部分包含諸如 Cu 或 Al 的低溫熔融金屬的製程中，後續製程溫度限於上述效應不會造成顯著困擾的溫度。因此，可期望將各種製程的溫度限制在典型的後段處理溫度。在一些實施例中，子陣列 10a 的製造溫度可低於約 400°C。在其他實施例中，子陣列 10a 的製造溫度可低於約 350°C。在其他實施例中，子陣列 10a 的製造溫度可低於約 300°C。

【0024】 此外，如上文所論述，此等 3D RRAM 陣列的各種製程整合做法需要在具有極高高寬比的通孔以及空穴的表面上等形地沉積電阻式切換氧化物層以及第一電極線或第二電極線中的至少一者。雖然諸如 PE-ALD 的電漿增強製程可有效於降低在一些暴露表面上進行沉積的沉積溫度，但此等製程可能不有效於在具有高高寬比的通孔以及空穴內進行沉積。有利的是，根據本文中所揭露的實施例的熱原子層沉積可有效地沉積至高高寬比的特徵中，以形成 3D RRAM 陣列的各種膜。

【0025】 此外，在製造子陣列 10a 之前製造電晶體 22 以及相關聯

的電連接的實施例中，電漿製程的使用可造成額外困擾。在電漿製程期間，部分製造的積體電路裝置的某些傳導結構可聚集來自電漿的電荷。所聚集的電荷可在處理期間引起放電事件，從而使得高位準的電流流經各種電流路徑，例如，流經二極體、電晶體的閘極介電質以及 RRAM 裝置。此等放電事件可導致包含 RRAM 裝置的積體電路裝置的效能以及可靠性的降級。舉例而言，放電事件可導致電阻式切換氧化物層的降級。因此，出於此等原因，可希望使用熱活化的製程來代替電漿製程，且不超過上文所論述的後段處理溫度體系。

【0026】圖 1 的 3D RRAM 陣列 10 可按照任何數目的方式來製造。在圖 1 中，始於半導體基板 12，直至垂直連接器 20 且包含垂直連接器 20 的結構可使用一般熟習此項技術者熟知的矽製造程序來製造。在形成子陣列 10a 之前，使用一般熟習此項技術者熟知的製造程序（諸如，減色金屬流程（subtractive metal flow）或雙金屬鑲嵌流程（dual-damascene flow））來提供將垂直連接器 20 以及層間介電質 38b 暴露出來的平坦表面。在下文中，將詳細論述子陣列 10a 的製造程序。

【0027】在垂直連接器 20 的形成之後，在下文稱為與「位元線最先流程（bitline-first flow）」相關的一些實施例中，交替沉積包括 N 層層間介電質 38a 以及 N 個第一電極層的堆疊。

【0028】第一電極層包括任何適當導電及半導體材料，包含：n 摻雜多晶矽以及 p 摻雜多晶矽；金屬，包含 C、Al、Cu、Ni、Cr、

Co、Ru、Rh、Pd、Ag、Pt、Au、Ir、Ta 及 W；導電金屬氮化物；導電金屬矽化物，包含矽化鋁、矽化鎢、矽化鎳、矽化鈷以及矽化鈦；以及導電金屬氧化物，包含 RuO_2 。在一些實施例中，第二電極材料包含過渡金屬，且可為（例如）過渡金屬氮化物，諸如 TiN、TaN、WN 或 TaCN。在位元線最先流程中，可使用用於沉積平坦膜的各種製程來沉積第一電極層，所述製程包含化學氣相沉積（CVD）、電漿增強化學氣相沉積（PE-CVD）、電漿增強原子層沉積（PE-ALD）以及物理氣相沉積（PVD）以及其他製程。在一些實施例中，藉由熱原子層沉積（ALD）來形成第一電極層。

【0029】 層間介電質 38a 包括電絕緣的介電質材料，其包含（例如） SiO_2 或 Si_3N_4 以及其他。可使用用於沉積平坦膜的製程來形成層間介電質 38a，所述製程包含化學氣相沉積（CVD）、電漿增強化學氣相沉積（PE-CVD）、高密度化學氣相沉積（HDP-CVD）、熱原子層沉積（ALD）、電漿增強原子層沉積（PE-ALD）、旋塗式介電質製程（SOD）以及物理氣相沉積（PVD）以及其他製程。

【0030】 隨後，根據位元線最先流程的一個態樣，使用適用於形成高高寬比的通孔的圖案化技術（例如，微影以及蝕刻技術）經由包括 N 層的交替的層間介電質 38a 以及第一電極層的堆疊來形成垂直通孔。在一些實施例中，通孔的直徑為約 20 奈米與約 500 奈米之間或約 20 奈米與約 100 奈米之間。此外，在一些實施例中，通孔的深度為約 0.5 微米與約 20 微米之間或約 0.5 微米與約 5 微米之間。

【0031】 垂直通孔的側壁可隨後以電阻式切換氧化物層 18 做為內襯。電阻式切換氧化物層的實例包含包括金屬氧化物材料（例如， NiO 、 HfO_2 、 ZrO_2 、 Cu_2O 、 TaO_2 、 Ta_2O_5 、 TiO_2 、 SiO_2 、 Al_2O_3 ）及/或包含兩種或兩種以上金屬（例如，過渡金屬、鹼土金屬及/或稀土金屬）的合金的薄膜。一般而言，可藉由可尤其有利於形成 3D RRAM 記憶體單元的熱原子層沉積（ALD）來形成電阻式切換氧化物層 18。舉例而言，對於具有相對高的高寬比及/或相對小的直徑的通孔，ALD 型製程可促進尤其等形的層的沉積。此外，在一些情況下，電漿可能無法達到高高寬比的通孔的較深部分。在此等情況下，通孔的不同部分可暴露於不同量的電漿，從而導致非均勻沉積的不良結構效應，諸如，相比於較深部分，較厚膜沉積於通孔的開口附近（有時稱為尖化（cusping））。出於此等原因，熱 ALD 可較有利，此是因為熱 ALD 不取決於電漿的能力來達到被沉積的表面的部分。

【0032】 隨後，根據「位元線最先流程」的另一態樣，可藉由適當蝕刻技術來移除形成於垂直通孔的底部處的電阻式切換氧化物層 18 以便在電晶體 22 與第二電極線 14 之間進行電接觸。隨後，以適用於第二電極線 14 的第二電極材料填充以將電阻式切換氧化物層 18 做為垂直通孔的內襯。可能的第二電極材料包含適當導電及半導體材料，包含：n 摻雜多晶矽以及 p 摻雜多晶矽；金屬，包含 C、Al、Cu、Ni、Cr、Co、Ru、Rh、Pd、Ag、Pt、Au、Ir、Ta 及 W；導電金屬氮化物；導電金屬矽化物，包含矽化鉬、矽化鎢、

矽化鎳、矽化鈷以及矽化鈦；以及導電金屬氧化物，包含 RuO_2 。在一些實施例中，第二電極材料包含過渡金屬，且可為（例如）過渡金屬氮化物，諸如 TiN 、 TaN 、 WN 或 TaCN 。可使用熱原子層沉積（ALD）來沉積第二電極材料。如上文結合電阻式切換氧化物層 18 的沉積而論述，對於具有相對高的高寬比及/或相對小的直徑的通孔，ALD 型製程可促進尤其等形的層的沉積。此外，如上文針對電阻式切換氧化物層的沉積而論述，在通孔的不同部分可暴露於不同量的電漿的情況下，相比於 PE-ALD，熱 ALD 可提供優點，以便避免因非均勻電漿暴露而引起的不良結構效應（諸如，相比於較深部分，較高量的第二電極材料沉積於通孔的開口附近，此可在第二電極線 14 內導致不期望的空隙（void））。

【0033】 隨後，根據「位元線最先流程」的另一態樣，可對子陣列 10a 進行平坦化以移除過量第二電極材料。接著分離子陣列 10a，藉此使用適用於經由交替的絕緣體以及導體的多個堆疊進行蝕刻的微影以及蝕刻技術而將第一電極層分離為每一子陣列 10a 的第一電極線 16。隨後以層間介電質 38a 填充子陣列 10a 之間所形成的子陣列間間隙，且使用上文所論述的類似材料以及技術進行平坦化。隨後，可進行額外製程以進一步將第一電極 16 以及第二電極 14 連接至較高層級的金屬線。

【0034】 在下文稱為與「位元線最後流程」相關的一些其他實施例中，形成子陣列 10a 之前的製程步驟實質上與位元線最先流程中的相同。隨後，相比於位元線最先流程，N 層層間介電質 38a

以及 N 個第一電極層的所沉積的堆疊包括沉積犧牲的第一電極層。犧牲第一電極層可包括可稍後在製程中在既不移除層間介電質 38a 亦不移除電阻式切換氧化物層 18 的同時藉由濕式蝕刻或乾式蝕刻而選擇性地移除的任何適當層。舉例而言，在層間介電質 38a 為 SiO_2 的實施例中，犧牲第一電極層可為 Si_3N_4 層或多晶 Si 層。隨後，在位元線最後流程中，直至分離子陣列且包含分離子陣列的處理步驟實質上類似於位元線最先流程，不同之處在於以下事實：在形成垂直通孔時蝕刻的材料（例如）包含犧牲第一電極材料而不是永久第一電極材料。

【0035】 根據位元線最後流程的一個態樣，在使用適當微影以及蝕刻技術進行子陣列 10a 的分離之後，以永久第一電極材料替換犧牲第一電極層以形成第一電極線 16。可使用適用於在既不移除層間介電質 38a 亦不移除電阻式切換氧化物層 18 的同時優先移除犧牲第一電極材料的濕式或乾式蝕刻技術而進行犧牲第一電極層的移除。舉例而言，在層間介電質 38a 為 SiO_2 的實施例中，犧牲第一電極層為 Si_3N_4 層，且電阻式切換氧化物層 18 為 HfO_x ，適當蝕刻製程可為在保持 SiO_2 及 HfO_x 完整的同時選擇性地移除 Si_3N_4 的濕式蝕刻。

【0036】 在位元線最後流程的另一態樣中，以適當的永久第一電極材料填充藉由犧牲第一電極層的移除而形成的水平凹陷空穴，所述適當的永久第一電極材料包含實質上與上文結合位元線最先流程而論述的適當第二電極材料相同的材料。不同於可使用用於

在實質上平坦的表面上沉積第一電極層的各種處理技術而沉積第一電極層的位元線最先流程，一些處理技術可能不適用於在位元線最後流程中沉積永久第一電極材料。此是因為永久第一電極材料沉積於水平凹陷的空穴的表面上。因此，適用於在位元線最後流程中沉積永久第一電極材料的製程可包含類似於用於將第二電極材料沉積至高高寬比的通孔中的製程的製程。在一些實施例中，藉由熱 ALD 而沉積第一電極材料。預期化學氣相沉積(CVD)、電漿增強化學氣相沉積(PE-CVD)、電漿增強原子層沉積(PE-ALD)亦可應用於在一些情況(包含對等形性的要求較放鬆的情況)下沉積第一電極材料。如上文結合針對位元線最先流程在具有相對高的高寬比及/或小直徑的通孔的內表面上沉積電阻式切換氧化物層 18 以及第二電極材料而論述，第二電極材料可藉由熱 ALD 製程而沉積於水平空穴的內表面上。此外，如上文針對位元線最先流程而論述，因為水平空穴的不同部分可暴露於不同量的電漿，所以相比於 PE-ALD，熱 ALD 可提供優點，以便避免因非均勻電漿暴露而引起的不良結構效應，諸如，相比於位於子陣列間間隙中較深的水平空穴，較高量的第二電極材料沉積於位於子陣列間間隙的開口附近的水平空穴中。

【0037】隨後，在位元線最後流程的另一態樣中，藉由自第一電極線 16 之間的層間介電質 38a 的側壁表面移除第一電極材料而形成分離的第一電極線 16。用於以層間介電質 38a 填充子陣列 10a 之間的子陣列間間隙以及平坦化的後續製程實質上與上文針對位

元線最先流程所論述類似。此外，類似於位元線最先流程，可進行額外製程以進一步將第一電極 16 以及第二電極 14 連接至較高層級的金屬線。

【0038】圖 2 繪示根據一些其他實施例的 3D-RRAM 陣列 40 的橫截面圖。3D-RRAM 陣列 40 的總陣列架構類似於圖 1 的 3D-RRAM 陣列 10 的總陣列架構，且 3D-RRAM 陣列 40 亦包含多個子陣列 10a。

【0039】除描述於本文中的某些特徵之外，圖 2 所說明的總子陣列架構亦類似於上文結合圖 1 所論述的相交式字元線架構的實例。舉例而言，類似於圖 1，第二電極線 14 延伸穿過垂直通孔，而垂直通孔在 z 方向上延伸穿過多對第一電極線 16a 及 16b 的堆疊與所插置的層間介電質 38a。然而，不同於圖 1 的實施例，圖 2 中的相交式字元線架構的第一電阻式切換氧化物層 18a 及第二電阻式切換氧化物層 18b 不對垂直通孔加內襯。反之，以與上文結合位元線最後流程所描述類似的方式，第一電阻式氧化物層 18a 及第二電阻式氧化物層 18b 對犧牲第一電極材料的移除之後形成的水平空穴加內襯。因此，因為不存在任何做為底層的電阻式切換氧化物層，第二電極線 14 填充垂直通孔的整個容積以形成圓柱形桿。

【0040】因此，在一些態樣中，所得陣列架構類似於圖 1 的相交式字元線架構。舉例而言，所述一對電極 16a 及 16b 中的每一者形成在 y 方向上延伸的狹長線，且「共用」一個第二電極線 14，

以使得針對形成於第一電極線 16a 及 16b 中的一者與第二電極線 14 之間的相交處中的每一者處的每一 RRAM 單元形成兩個導電路徑。因此，在此實施例中，RRAM 單元包括在 z 方向上延伸的第二電極線 14 的桿、在 y 方向上延伸且與第二電極線 14 形成一對相交處的一對第一電極線 16a 及 16b、以及在所述一對相交處插置於第一電極線 16a 及 16b 與第二電極線 14 之間的電阻式切換氧化物層 18a 及 18b。

【0041】 在一些態樣中，用於製造 3D-RRAM 陣列 40 的製程流程亦類似於上文結合圖 1 的「位元線最後」製程流程，不同之處在於：在以第二電極材料填充通孔以形成第二電極 14 之前不沉積電阻式切換氧化物層 18a 及 18b。反之，電阻式切換層 18a 及 18b 等形地沉積於藉由犧牲第一電極層的移除而形成的水平凹陷空穴中。用於沉積電阻式切換層 18a 及 18b 的材料以及製程類似於上文在圖 1 中所述的位元線最後製程。且類似於上文在圖 1 中所述的位元線最後製程，接著以適當的永久第一電極材料填充藉由犧牲第一電極層的移除而形成的水平空穴，所述適當的永久第一電極材料包含實質上與上文所論述的適當第二電極材料相同的材料。此外，可使用適用於將實質上等形的膜沉積至水平空穴中的製程（類似於用於圖 1 中的第二電極材料沉積的製程）來沉積第一電極材料。因此，如上文結合圖 1 的位元線最先流程所論述，針對電阻式切換層 18a 及 18b 以及永久第一電極材料的沉積，相比於 PE-ALD，熱 ALD 製程可為較佳的，以便避免因非均勻電漿

暴露而引起的不良結構效應，諸如，相比於位於子陣列間間隙中較深的水平空穴，較高量的第二電極材料沉積於位於子陣列間間隙的開口附近的水平空穴中。

【0042】 在一些態樣中，使用圖 2 的位元線最後製程流程來製造具有相交式字元線陣列架構的 3D-RRAM 陣列 40 可比圖 1 的位元線最先製程有利。舉例而言，在以第二電極材料覆蓋之前，電阻式切換氧化物層 18a 及 18b 不暴露於蝕刻及清潔化學品，因此最小化污染以及其他處理問題，諸如，在電阻式切換氧化物層中形成針孔。

【0043】 如上文所論述，可將安置於由第一電極線 16 及第二電極線 14 形成的相交處的 RRAM 單元中的任一者的傳導路徑程式化為處於相對高電阻的狀態（亦稱為「重設」狀態）。類似地，可將 RRAM 單元中的任一者的傳導路徑程式化為處於相對低電阻的狀態（亦稱為「設定」狀態）。在一個實施例中，在每單元單位元（single bit-per-cell）記憶體系統中，高電阻狀態以及低電阻狀態可對應於「1」狀態及「0」狀態。

【0044】 參看圖 3，在本文中揭露包括圖 1 及圖 2 的 RRAM 單元的材料堆疊的細節。RRAM 單元堆疊 50 表示在圖 1 及圖 2 中沿著截線 3 截取的 RRAM 單元的橫截面。單元堆疊包括第一電極 16、藉由熱原子層沉積（ALD）而形成的第二電極 14 以及包括藉由熱原子層沉積（ALD）而形成的金屬氧化物的電阻式切換氧化物層 18，其中電阻式切換氧化物層 18 插置於第一電極 16 與第二電極

14 之間。

【0045】 一般而言，經由所吸附的前驅物的原子層之間的反應而產生藉由 ALD 而生長的膜。在熱 ALD 生長製程中，經由自基板的溫度賦予的熱能所驅動的表面反應來使得膜生長。相比而言，在電漿增強（PE-ALD）生長製程中，經由至少部分由電漿製程驅動的表面反應而發生膜生長。

【0046】 在一些實施例中，電阻式切換氧化物層 18 可包含次化學計量金屬氧化物，其可由 MO_x 表示，其中 M 為金屬，O 為氧，且 x 表示小於化學計量飽和值的值。舉例而言，在電阻式切換氧化物層 18 包含氧化鈺的實施例中，次化學計量氧化物可為 HfO_x ，其中 x 為小於飽和化學計量值 2 的值。

【0047】 應瞭解，具有次化學計量組成的電阻式切換氧化物層 18 可用於控制 RRAM 裝置的切換行為。舉例而言，氧化物的次化學計量組成可在氧化物內引起氧空位，氧空位可在 RRAM 裝置的切換條件下行動。在一些實施例中，可調整組成以獲得 RRAM 裝置的特定切換及其他參數，諸如，切換電壓、切換電流以及資料保持。

【0048】 在一些實施例中，藉由在電阻式切換層 18 與第一電極以及第二電極中的一者或兩者之間沉積反應性金屬層（諸如，元素過渡金屬層）而達成次化學計量組成。在此等實施例中，反應性金屬層可在後續製程期間或在裝置操作期間與電阻式切換層 18 混雜以形成次化學計量組成。在一些實施方案中，形成反應性金屬

層的金屬包含形成電阻式切換氧化物層的金屬或其他金屬，包含 Ni、Hf、Zr、Cu、Ta、Ti、Si 及 Al 以及其他。在此等實施例中，電阻式切換層 18 與反應性金屬層接觸，所述反應性金屬層插置於電阻式切換層 18 與第一電極以及第二電極中的一者或兩者之間。

【0049】 在一些其他實施例中，藉由控制電阻式切換層 18 自身的組成、藉由控制諸如沉積溫度以及 ALD 循環時間的沉積參數以及藉由其他方式來達成次化學計量組成。在此等實施例中，電阻式切換層 18 與第一電極以及第二電極中的一者或兩者接觸。在一些實施方案中， x 可為介於約 1.0 與約 2.0 之間的值（亦即，50%至 100%的化學計量值）。在一些其他實施方案中， x 可為介於約 1.5 與約 2.0 之間的值（亦即，75%至 100%的化學計量值）。次化學計量值的類似度數可存在於上文列出的其他金屬氧化物系統中。

【0050】 在其他實施例中，電阻式切換氧化物層 18 可包含由 $M_zN_yO_x$ 表示的次化學計量金屬氧化物的合金，其中 M 為第一金屬， N 為第二金屬， O 為氧， z 及 y 分別表示第一金屬以及第二金屬的相對量，且 x 表示小於飽和化學計量值的值。舉例而言，次化學計量氧化物可為 $Hf_zAl_yO_x$ ，其中 z 及 y 表示 Hf 及 Al 的相對量，且 x 表示小於化學計量飽和值的值。如上文所論述，氧化物的次化學計量組成可在氧化物內引起氧空位，氧空位可在 RRAM 裝置的切換條件下行動。在一個實施方案中， x 可為介於約 75%與 100%之間的化學計量值的值。在另一實施方案中， x 可為介於約 50%與 75%之間的化學計量值的值。

【0051】 在一些實施例中，將 HfCl_4 及 H_2O 用作為前驅物，藉由熱 ALD 來沉積電阻式切換氧化物層 18（例如，包含 HfO_x ）。在一些其他實施例中，將 TEMAHf 或其任何衍生物用作為 Hf 的前驅物且使用臭氧及/或 H_2O ，藉由熱 ALD 來沉積包含 HfO_x 的電阻式切換氧化物層 18。

【0052】 在一些實施例中，電阻式切換氧化物層 18 摻雜以金屬摻雜劑，例如，Al、Ti 及 Ni。舉例而言，在切換氧化物層 18 為 HfO_x 的情況下，可以鋁摻雜（例如，以 Al_2O_3 的形式）電阻式切換金屬氧化物層 18 以形成 $\text{Hf}_z\text{Al}_y\text{O}_x$ 。在一些實施例中，將 TMA 及 H_2O 用作 Al_2O_3 前驅物，藉由熱 ALD 而沉積包含 HfAlO_x 的電阻式切換氧化物層 18。在一些實施例中，Al 濃度處於約 1 原子%至約 20 原子%的範圍中（亦即， $z=0.95$ 且 $y=0.05$ ）。在一些實施例中，Al 濃度處於約 1 原子%至約 10 原子%的範圍中（亦即， $z=0.90$ 且 $y=0.10$ ），例如約 5%。

【0053】 如上所述，除鋁之外的金屬摻雜劑是可行的。在一些實施例中，在切換氧化物層 18 為 HfO_x 的情況下，以鈦（例如，以 TiO_2 的形式）摻雜電阻式切換氧化物層 18，此可形成 $\text{Hf}_z\text{Ti}_y\text{O}_x$ 。在一些其他實施例中，以鎳（例如，以 NiO_2 的形式）摻雜電阻式切換氧化物層 18 的 HfO_x 以形成 $\text{Hf}_z\text{Ni}_y\text{O}_x$ 。

【0054】 應瞭解，如本文中所論述且如下文所述的各曲線圖中所說明，電阻式切換氧化物層 18 的沉積溫度對控制 RRAM 裝置的切換條件以及其他裝置參數亦可為重要的。舉例而言，沉積溫度可

與組成（例如，次化學計量的度數以及氫及/或碳含量）相關。在一些實施例中，在範圍為 200°C 至 325°C 的溫度下沉積電阻式切換氧化物層 18。在另一實施例中，在範圍為 200°C 至 250°C 的溫度下沉積電阻式切換氧化物層 18。在又一實施例中，在範圍為 220°C 至 230°C 的溫度（例如，約 225°C）下沉積電阻式切換氧化物層 18。

【0055】 在一個實施例中，包含 HfO_x 的電阻式切換氧化物層 18 的厚度為約 40 奈米與約 1 奈米之間，例如約 20 奈米。在另一實施例中，包含 HfO_x 的電阻式切換氧化物層 18 的厚度為約 20 奈米與約 1 奈米之間，例如約 10 奈米。在又一實施例中，包含 HfO_x 的電阻式切換氧化物層 18 的厚度為約 10 奈米與約 1 奈米之間，例如約 5 奈米。

【0056】 在一些實施例中，單元堆疊 50 可更包括氧空位形成層 60，其促進在電阻式切換氧化物層 18 中形成氧空位。在一些實施例中，氧空位形成層 60 包含電阻式切換氧化物層 18 的元素金屬（亦即，M 或 M 及 N）。舉例而言，在電阻式切換氧化物層 18 為 HfO_x 的情況下，氧空位形成層 60 可包含元素 Hf。

【0057】 在一些其他實施例中，氧空位形成層 60 包含次化學計量金屬氧化物，其包含相同金屬元素（亦即， MO_x 或 $\text{M}_z\text{N}_y\text{O}_x$ ）且氧含量的化學計量實質上低於電阻式切換層。在一些實施方案中，x 可為介於約 25%與約 50%之間的化學計量值的值。在一些其他實施方案中，x 可為介於約 1%與約 25%之間的化學計量值的值。舉例而言，電阻式切換層 18 可具有化學計量 $\text{HfO}_{1.5}$ ，且氧空位形成

層 60 可具有化學計量 $\text{HfO}_{0.5}$ 。

【0058】 在一些實施例中，第一電極 16 以及第二電極 14 中的一者或兩者可藉由熱原子層沉積（ALD）而形成，且可包含金屬氮化物。在一些實施例中，藉由熱 ALD 而形成的第二電極 14 包含使用包括 TiCl_4 及 NH_3 的前驅物的 TiN 層。

【0059】 在一些實施例中，藉由熱 ALD 而形成的第一電極 16 以及第二電極 14 中的一者或兩者包含在低於約 400°C 的溫度下形成的 TiN 層。在另一實施例中，藉由熱 ALD 而形成的第二電極 14 包含在約 350°C 與約 400°C 之間的溫度下形成的 TiN 層。在又一實施例中，藉由熱 ALD 而形成的第二電極 14 包含在約 300°C 與約 350°C 之間的溫度下形成的 TiN 層。

【0060】 在一些實施例中，藉由熱 ALD 而形成的第一電極 16 以及第二電極 14 中的一者或兩者包含厚度為約 1 奈米至約 100 奈米的 TiN 層。在另一實施例中，藉由熱 ALD 而形成的第二電極 14 包含厚度為約 5 奈米至約 50 奈米的 TiN 層。在又一實施例中，藉由熱 ALD 而形成的第二電極 14 包含具有約 5 奈米至約 30 奈米（例如，10 奈米）的厚度的 TiN 層。

【0061】 圖 4 表示可改變 RRAM 單元的狀態的三個存取操作的示意性電流-電壓（I-V）曲線 80。形成操作正是參考施加至製造狀態下（as-fabricated）的 RRAM 單元的第一電脈衝。如本文中所參考的電脈衝可包含適當電壓或電流脈衝。此外，電脈衝在正被施加時可具有電壓及/或電流度數的變化，例如，DC 電壓擺動（voltage

sweep)。在圖 4 中，x 軸表示跨越諸如圖 3 中的 RRAM 單元堆疊 50 的 RRAM 單元堆疊而施加的電壓。y 軸表示在給定電壓下流經 RRAM 單元堆疊的電流。

【0062】 在圖 4 中，表示形成操作的 I-V 曲線包含在電壓軸上範圍為初始電壓 V_{INIT} 至形成起始電壓 $V_{FORM\ START}$ 的預形成高電阻狀態 (HRS) I-V 部分 82，且特徵在於針對電壓的給定改變出現相對慢的電流增大。表示形成操作的 I-V 曲線更包含在電壓軸上範圍為 $V_{FORM\ START}$ 至 $V_{FORM\ END}$ 的形成 HRS 至 LRS 轉變 I-V 部分 84，且特徵在於針對電壓的給定改變出現相對快的電流增大，在此期間，RRAM 單元將其狀態自預形成 HRS 改變為後形成低電阻狀態 (LRS)。表示自 $V_{FORM\ END}$ 至 V_{INIT} 的返回路徑的 I-V 曲線由第一 LRS 返回路徑 I-V 部分 86 表示。

【0063】 在一些實施例中，形成電壓 $V_{FORM\ START}$ 及 $V_{FORM\ END}$ 與氧化物崩潰電壓 (BV) 相關，氧化物崩潰電壓可與電場成正比。因此，形成電壓可取決於諸如電阻式切換氧化物層的厚度、密度、組成以及總品質以及其他特性的因素。因此，可藉由調整熱 ALD 的上述沉積參數（諸如，沉積溫度以及 ALD 循環時間）來控制此等電壓。

【0064】 表示「重設(RESET)」操作的 I-V 曲線包含在電壓軸上範圍為初始電壓 V_{INIT} 至「重設」起始電壓 $V_{RESET\ START}$ 的 LRS I-V 部分 88，且特徵在於針對電壓的給定改變出現相對慢的電流減小。表示「重設」操作的 I-V 曲線更包含在電壓軸上範圍為 V_{RESET}

START 至 $V_{\text{RESET END}}$ 的「重設」LRS 至 HRS 轉變 I-V 部分 90，且特徵在於針對電壓的給定改變出現相對快的電流減小，在此期間，RRAM 單元將其狀態自 LRS 改變為 HRS。表示自 $V_{\text{RESET END}}$ 至 V_{INIT} 的返回路徑的 I-V 曲線由 HRS 返回路徑 I-V 部分 92 表示。

【0065】表示「設定(SET)」操作的 I-V 曲線包含在電壓軸上範圍為初始電壓 V_{INIT} 至「設定」起始電壓 $V_{\text{SET START}}$ 的 HRS I-V 部分 94，且特徵在於針對電壓的給定改變出現相對慢的電流增大。此 I-V 部分比形成 I-V 曲線的類似 I-V 部分漏失 (leaky)。表示「設定」操作的 I-V 曲線更包含在電壓軸上範圍為 $V_{\text{SET START}}$ 至 $V_{\text{SET END}}$ 的「設定」HRS 至 LRS 轉變 I-V 部分 96，且特徵在於針對電壓的給定改變出現相對快的電流增大，在此期間，RRAM 單元將其狀態自 HRS 改變為 LRS。表示自 $V_{\text{SET END}}$ 至 V_{INIT} 的返回路徑的 I-V 曲線由第二 LRS 返回路徑 I-V 部分 98 表示。

【0066】在圖 5 至圖 10，根據本發明的一些實施例來論述電阻式切換氧化物層材料以及併有所述材料的 RRAM 裝置的物理特性及電特性。圖 5 至圖 7 中的電阻式切換氧化物層的實施例是在約 325 °C 或 325°C 以下的溫度下藉由熱 ALD 而形成。有利的是，根據上文結合圖 3 所論述的實施例，包含電阻式切換氧化物層的 RRAM 單元堆疊不包含反應性金屬層。因此，在圖 8 至圖 10 的實施例中，RRAM 裝置包含與第一電極及第二電極接觸的電阻式切換氧化物層。

【0067】圖 5 繪示根據本發明的實施例的電阻式切換氧化物層的

組成深度輪廓 100。特定言之，圖 5 的左軸表示 40 奈米的 HfO_2 膜的定量 x 射線光電子強度，其始於電阻式切換氧化物層的表面且隨著相對於表面的深度而改變，所述 x 射線光電子強度是以原子%為單位，且在對應於 Hf 金屬的電子能下量測。分別由連接的實心正方形以及實心菱形表示的第一 Hf 原子百分比深度輪廓 102 以及第二 Hf 原子百分比深度輪廓 104 來分別表示在 300°C 及 225°C 的兩個不同溫度下沉積的化學計量 HfO_2 膜中的 Hf 的深度輪廓。疊加的輪廓 102 及 104 展示，相比於 300°C 的較高沉積溫度， 225°C 的沉積溫度導致相對較高的峰值 Hf 原子百分比。此外，深度輪廓證實例示性 HfO_2 膜在膜的中間深度下（在約 25 奈米的深度下）具有最高 Hf 含量。

【0068】圖 5 的右軸表示在各別電子能量下量測的 Hf 金屬的 x 射線光電子強度與氧的 x 射線光電子強度的比，其始於電阻式切換氧化物層的表面且隨著相對於表面的深度而改變。分別由連接的開放正方形以及連接的 x 符號表示的第一 Hf 原子比深度輪廓 106 以及第二 Hf 原子比深度輪廓 108 來分別表示在 300°C 及 225°C 的兩個不同溫度下沉積的化學計量 HfO_2 膜中的 Hf 的深度輪廓。疊加的原子比輪廓 106 及 108 展示電阻式切換層 HfO_x 具有約 1.5 與 2 之間的 x 值。此外，疊加的原子輪廓展示，相比於 300°C 的較高沉積溫度， 225°C 的沉積溫度導致相對較低的氧的原子百分比（亦即，較高的 Hf 原子百分比），低了約 5%。

【0069】圖 6 繪示根據本發明的實施例的電阻式切換氧化物層的

氧化物崩潰電壓 (BV) 曲線 110。y 軸表示電阻式切換氧化物層經受硬 (不可逆) 崩潰的電壓，如上文結合圖 4 所論述，其在一些實施例中可類似於形成 RRAM 裝置。x 軸表示電阻式切換氧化物的厚度。第一 BV 曲線 112 及第二 BV 曲線 114 分別對應於在 225 °C 及 300 °C 下沉積的 HfO_2 。疊加的 BV 曲線 112 及 114 說明雖然在 225 °C 及 300 °C 下沉積的兩個 HfO_2 膜如所預期在較高厚度下顯現較高 BV，但相比於在 300 °C 下沉積的 HfO_2 膜，在 225 °C 下沉積的 HfO_2 膜，在給定的厚度增大下具有較高的 BV 增大量。因此，針對 10 奈米的膜，在 225 °C 下沉積的膜相比於在 300 °C 下沉積的膜具有顯著較高的 BV。顯著高於「設定」電壓 V_{SET} 的形成電壓 V_{FORM} 可出於許多原因 (包含用於供應較大量的電流的較大電晶體) 而不是理想的。因此，沉積溫度可對調整 V_{FORM} 起重要作用。

【0070】圖 7 繪示介電常數 (k 值) 比較條形圖 120，其展示分別對應於在 200 °C、225 °C、250 °C 及 300 °C 下沉積的第一至第四 10 奈米 HfO_2 電阻式切換氧化物層的 k 值條形圖 122、124、126 及 128。k 值比較條形圖 120 說明 10 奈米 HfO_2 膜的 k 值處於約 15 與 20 之間，且不隨著沉積溫度而顯著變化。

【0071】圖 8 及圖 9 繪示包括安置於包括 TiN 的第一電極與第二電極之間的 HfO_x 電阻式切換氧化物層的 RRAM 單元的 I-V 曲線。圖 8 的 I-V 曲線 130 對應於具有在 225 °C 下生長的 10 奈米 HfO_x 的 RRAM 單元，且圖 9 的 I-V 曲線 170 對應於具有在 225 °C 下生長的 5 奈米 HfO_x 的 RRAM 單元。

【0072】 圖 8 的 I-V 曲線 130 的「設定」部分包含在電壓軸上範圍為約零的 V_{INIT} 至約 0.7 伏特的 $V_{SET\ START}$ 的「設定」HRS I-V 部分 132、在電壓軸上範圍為約 0.7 伏特的 $V_{SET\ START}$ 至約 0.8 伏特的 $V_{SET\ END}$ 的「設定」HRS 至 LRS 轉變 I-V 部分 134、以及約 0.8 伏特的 $V_{SET\ END}$ 至約零的 V_{INIT} 的「設定」返回 I-V 部分 136。

【0073】 圖 8 的 I-V 曲線 130 的「重設」部分包含在電壓軸上範圍為約零的 V_{INIT} 至約-1.2 伏特的 $V_{RESET\ START}$ 的「重設」LRS I-V 部分 138、在電壓軸上範圍為約-1.2 伏特的 $V_{RESET\ START}$ 至約-1.5 伏特的 $V_{RESET\ END}$ 的「重設」LRS 至 HRS 轉變 I-V 部分 140、以及約-1.5 伏特的 $V_{RESET\ END}$ 至約零的 V_{INIT} 的「重設」返回 I-V 部分 142。

【0074】 圖 9 的 I-V 曲線 170 的「設定」部分包含在電壓軸上範圍為約零的 V_{INIT} 至約 0.9 伏特的 $V_{SET\ START}$ 的「設定」HRS I-V 部分 172、在電壓軸上範圍為約 0.9 伏特的 $V_{SET\ START}$ 至約 1.0 伏特的 $V_{SET\ END}$ 的「設定」HRS 至 LRS 轉變 I-V 部分 144、以及約 1.5 伏特的 $V_{SET\ END}$ 至約零的 V_{INIT} 的「設定」返回 I-V 部分 146。

【0075】 圖 9 的 I-V 曲線 170 的「重設」部分包含在電壓軸上範圍為約零的 V_{INIT} 至約-0.7 伏特的 $V_{RESET\ START}$ 的「重設」LRS I-V 部分 148、在電壓軸上範圍為約-0.7 伏特的 $V_{RESET\ START}$ 至約-1.2 伏特的 $V_{RESET\ END}$ 的「重設」LRS 至 HRS 轉變 I-V 部分 150、以及約-1.2 伏特的 $V_{RESET\ END}$ 至約零的 V_{INIT} 的「重設」返回 I-V 部分 152。

【0076】 對應於分別具有在 225°C 下生長的 10 奈米 HfO_x 以及在 225°C 下生長的 5 奈米 HfO_x 的 RRAM 單元的圖 8 及圖 9 的 I-V 曲線 130 及 170 分別展現在 V_{READ} 為 0.3 伏特下所量測的開/關比 (ON/OFF ratio) 為 25 及 20。

【0077】 圖 10 繪示包括安置於包括 TiN 的第一電極與第二電極之間的 $\text{Hf}_z\text{Al}_y\text{O}_x$ 電阻式切換氧化物層的 RRAM 單元的 I-V 曲線。圖 10 的 I-V 曲線 180 對應於具有在 300°C 下生長且以約 5 原子%的 Al 摻雜的 5 奈米 $\text{Hf}_z\text{Al}_y\text{O}_x$ (亦即, $z=0.95$ 且 $y=0.05$) 的 RRAM 單元。 $\text{Hf}_z\text{Al}_y\text{O}_x$ 電阻式切換氧化物層具有膜的 BV 為 3.8 伏特。

【0078】 圖 10 的 I-V 曲線 180 的「設定」部分包含在電壓軸上範圍為約零的 V_{INIT} 至約 0.7 伏特的 $V_{\text{SET START}}$ 的「設定」HRS I-V 部分 182、在電壓軸上範圍為約 0.7 伏特的 $V_{\text{SET START}}$ 至約 0.8 伏特的 $V_{\text{SET END}}$ 的「設定」HRS 至 LRS 轉變 I-V 部分 154、以及約 1.5 伏特的 $V_{\text{SET END}}$ 至約零的 V_{INIT} 的「設定」返回 I-V 部分 156。

【0079】 圖 10 的 I-V 曲線 180 的「重設」部分包含在電壓軸上範圍為約零的 V_{INIT} 至約 -1.3 伏特的 $V_{\text{RESET START}}$ 的「重設」LRS I-V 部分 158、在電壓軸上範圍為約 -1.3 伏特的 $V_{\text{RESET START}}$ 至約 -1.5 伏特的 $V_{\text{RESET END}}$ 的「重設」LRS 至 HRS 轉變 I-V 部分 160、以及約 -1.5 伏特的 $V_{\text{RESET END}}$ 至約零的 V_{INIT} 的「重設」返回 I-V 部分 162。

【0080】 對應於具有 5 奈米 $\text{Hf}_z\text{Al}_y\text{O}_x$ 的 RRAM 單元的圖 10 的 I-V 曲線 180 展現在 V_{READ} 為 0.3 伏特下所量測的開/關比為約 40。

【0081】 熟習此項技術者應瞭解，可對上述製程進行各種省略、添加及修改，而不偏離本發明的範疇，且所有此等修改及改變意欲落入如由隨附申請專利範圍界定的本發明的範疇內。

【符號說明】

【0082】

3：截線

10：3D-RRAM 陣列

10a：子陣列

12：半導體基板

14：電極線\電極

16：電極線\電極

16a：電極線\電極

16b：電極線\電極

18：電阻式切換氧化物層\電阻式切換層\切換氧化物層

18a：電阻式切換氧化物層\電阻式氧化物層\電阻式切換層

18b：電阻式切換氧化物層\電阻式氧化物層\電阻式切換層

20：垂直連接器

22：電晶體

26：源極觸點

28：閘極

32：源極

- 34：汲極
- 38a：層間介電質
- 38b：層間介電質
- 38c：層間介電質
- 40：3D-RRAM 陣列
- 50：RRAM 單元堆疊
- 60：氧空位形成層
- 80：電流-電壓（I-V）曲線
- 82：預形成高電阻狀態（HRS）I-V 部分
- 84：形成 HRS 至 LRS 轉變 I-V 部分
- 86：第一 LRS 返回路徑 I-V 部分
- 88：LRS I-V 部分
- 90：「重設」LRS 至 HRS 轉變 I-V 部分
- 92：HRS 返回路徑 I-V 部分
- 94：HRS I-V 部分
- 96：「設定」HRS 至 LRS 轉變 I-V 部分
- 98：第二 LRS 返回路徑 I-V 部分
- 100：組成深度輪廓
- 102：第一 Hf 原子百分比深度輪廓
- 104：第二 Hf 原子百分比深度輪廓
- 106：第一 Hf 原子比深度輪廓
- 108：第二 Hf 原子比深度輪廓

- 110：氧化物崩潰電壓（BV）曲線
- 112：第一 BV 曲線
- 114：第二 BV 曲線
- 120：介電常數（k 值）比較條形圖
- 122：k 值條形圖
- 124：k 值條形圖
- 126：k 值條形圖
- 128：k 值條形圖
- 130：I-V 曲線
- 132：「設定」HRS I-V 部分
- 134：「設定」HRS 至 LRS 轉變 I-V 部分
- 136：「設定」返回 I-V 部分
- 138：「重設」LRS I-V 部分
- 140：「重設」LRS 至 HRS 轉變 I-V 部分
- 142：「重設」返回 I-V 部分
- 144：「設定」HRS 至 LRS 轉變 I-V 部分
- 146：「設定」返回 I-V 部分
- 148：「重設」LRS I-V 部分
- 150：「重設」LRS 至 HRS 轉變 I-V 部分
- 152：「重設」返回 I-V 部分
- 154：「設定」HRS 至 LRS 轉變 I-V 部分
- 156：「設定」返回 I-V 部分

158 : 「重設」 LRS I-V 部分

160 : 「重設」 LRS 至 HRS 轉變 I-V 部分

162 : 「重設」 返回 I-V 部分

170 : I-V 曲線

172 : 「設定」 HRS I-V 部分

180 : I-V 曲線

182 : 「設定」 HRS I-V 部分

發明摘要

※ 申請案號：103115253

※ 申請日：103/04/29

※IPC 分類：*H01L 45/00* (2006.01)
H01L 21/8239 (2006.01)

【發明名稱】

電阻式隨機存取記憶裝置的製造方法

METHOD OF MAKING A RESISTIVE RANDOM ACCESS
MEMORY DEVICE

【中文】

揭露一種用於形成電阻式隨機存取記憶體（RRAM）裝置的方法。所述方法包括：形成第一電極；藉由熱原子層沉積（ALD）而形成包括金屬氧化物的電阻式切換氧化物層；以及藉由熱原子層沉積（ALD）而形成第二電極，其中所述電阻式切換層插置於所述第一電極與所述第二電極之間。形成所述電阻式切換氧化物可在沉積所述金屬氧化物之後不將所述切換氧化物層的表面暴露於表面改質電漿處理的情況下進行。

【英文】

A method for forming a resistive random access memory (RRAM) device is disclosed. The method comprises forming a first electrode, forming a resistive switching oxide layer comprising a metal oxide by thermal atomic layer deposition (ALD) and forming a

second electrode by thermal atomic layer deposition (ALD), where the resistive switching layer is interposed between the first electrode and the second electrode. Forming the resistive switching oxide may be performed without exposing a surface of the switching oxide layer to a surface-modifying plasma treatment after depositing the metal oxide.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

3：截線

10：3D-RRAM 陣列

10a：子陣列

12：半導體基板

14：電極線\電極

16：電極線\電極

16a：電極線\電極

16b：電極線\電極

18a：電阻式切換氧化物層\電阻式氧化物層\電阻式切換層

18b：電阻式切換氧化物層\電阻式氧化物層\電阻式切換層

20：垂直連接器

22：電晶體

26：源極觸點

申請專利範圍

1. 一種電阻式隨機存取記憶體 (RRAM) 裝置的形成方法，
包括：

形成第一電極；

在約 200℃ 與 250℃ 之間的溫度下，藉由熱原子層沉積法 (ALD) 而形成包括 HfO_x 的電阻式切換氧化物層，其中 x 約介於 1.5 與 2 之間，且在沉積所述 HfO_x 之後不讓所述切換氧化物層的表面暴露於表面改質電漿處理的情況下來形成所述切換氧化物層；
以及

藉由熱原子層沉積 (ALD) 而形成第二電極，

其中形成所述第一電極以及形成所述第二電極包含沉積 TiN 層，且在約 400℃ 或 400℃ 以下的溫度下使用包括 TiCl_4 及 NH_3 的前驅物來沉積所述第二電極的所述 TiN 層，

其中所述電阻式切換層插置於所述第一電極與所述第二電極之間。

2. 如申請專利範圍第 1 項所述的電阻式隨機存取記憶體裝置的形成方法，其中形成所述第二電極是在約 200℃ 與 300℃ 之間的溫度下進行。

3. 如申請專利範圍第 1 項所述的電阻式隨機存取記憶體裝置的形成方法，其中形成所述電阻式切換氧化物層包括使用包含 HfCl_4 及 H_2O 的前驅物來沉積所述 HfO_x 。

4. 如申請專利範圍第 1 項所述的電阻式隨機存取記憶體裝

置的形成方法，其中所述第一電極以及所述第二電極與所述電阻式切換氧化物層接觸。

5. 如申請專利範圍第 1 項所述的電阻式隨機存取記憶體裝置的形成方法，其中形成所述第二電極的膜層包括在約 300°C 與 350°C 之間的溫度下沉積所述 TiN 層。

6. 如申請專利範圍第 1 項所述的電阻式隨機存取記憶體裝置的形成方法，其中形成所述第一電極包括使用包括 TiCl_4 及 NH_3 的前驅物來沉積所述 TiN 層。

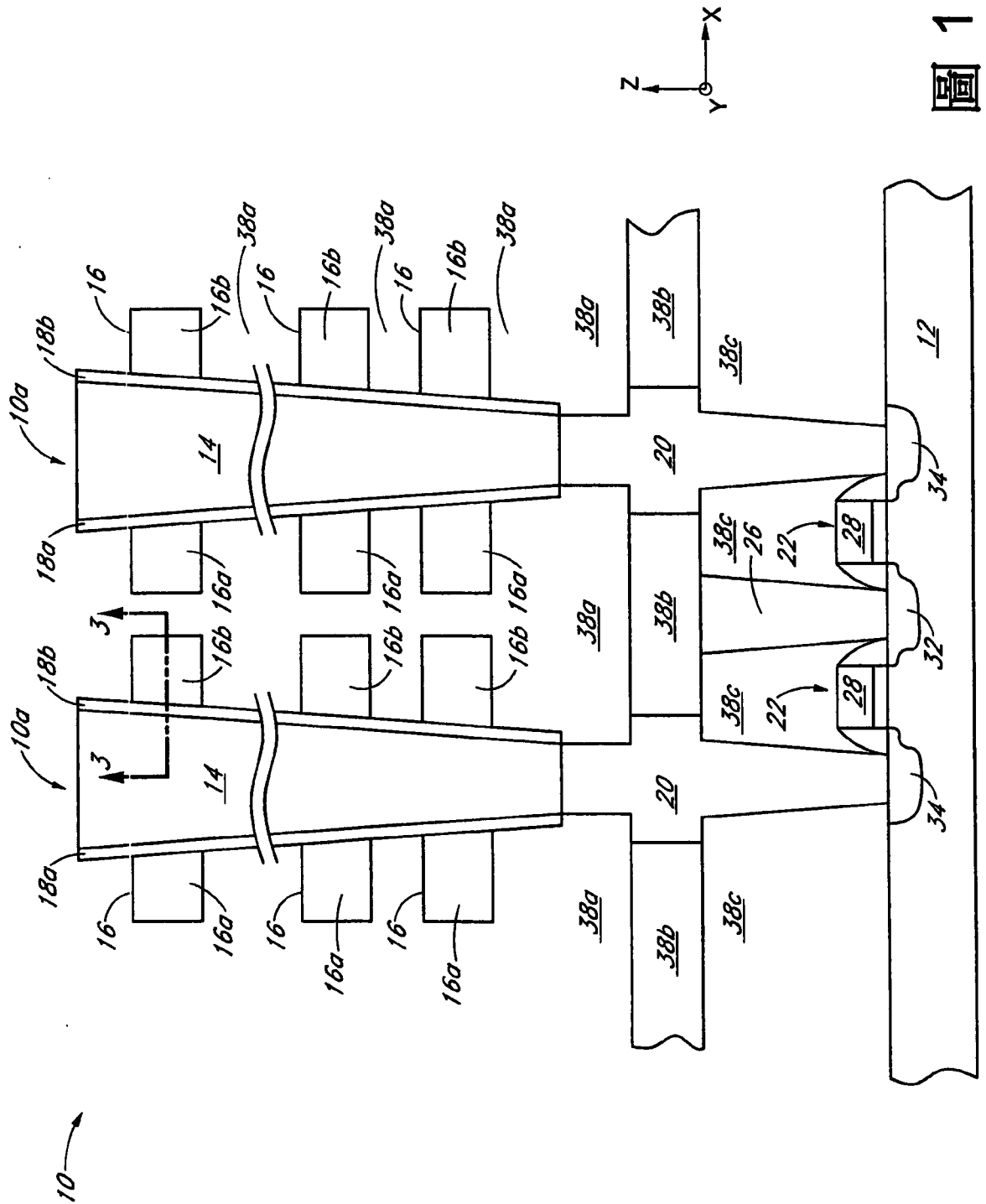
7. 一種電阻式隨機存取記憶體裝置的形成方法，包括：
形成第一電極；

在約 325°C 或 325°C 以下，藉由熱原子層沉積（ALD）而形成包括金屬氧化物的電阻式切換氧化物層；以及

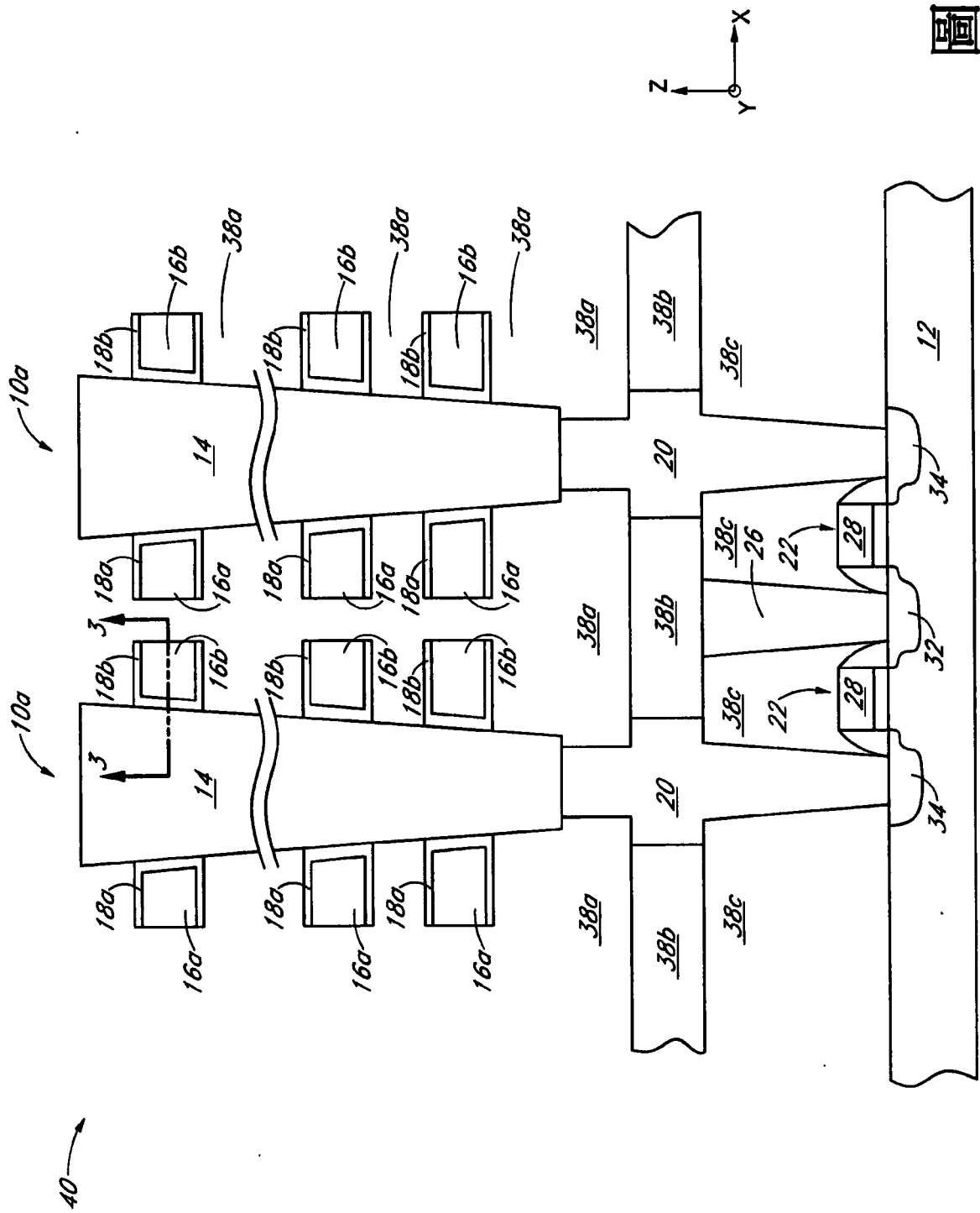
藉由熱原子層沉積（ALD）而形成第二電極，其中所述電阻式切換層插置於所述第一電極與所述第二電極之間，且

其中所述電阻式隨機存取記憶體裝置為三維電阻式隨機存取記憶體裝置，包括在不同垂直層級處形成的多個所述第一電極，且其中所述第二電極包括垂直延伸的導電桿。

圖式



圖



2
四

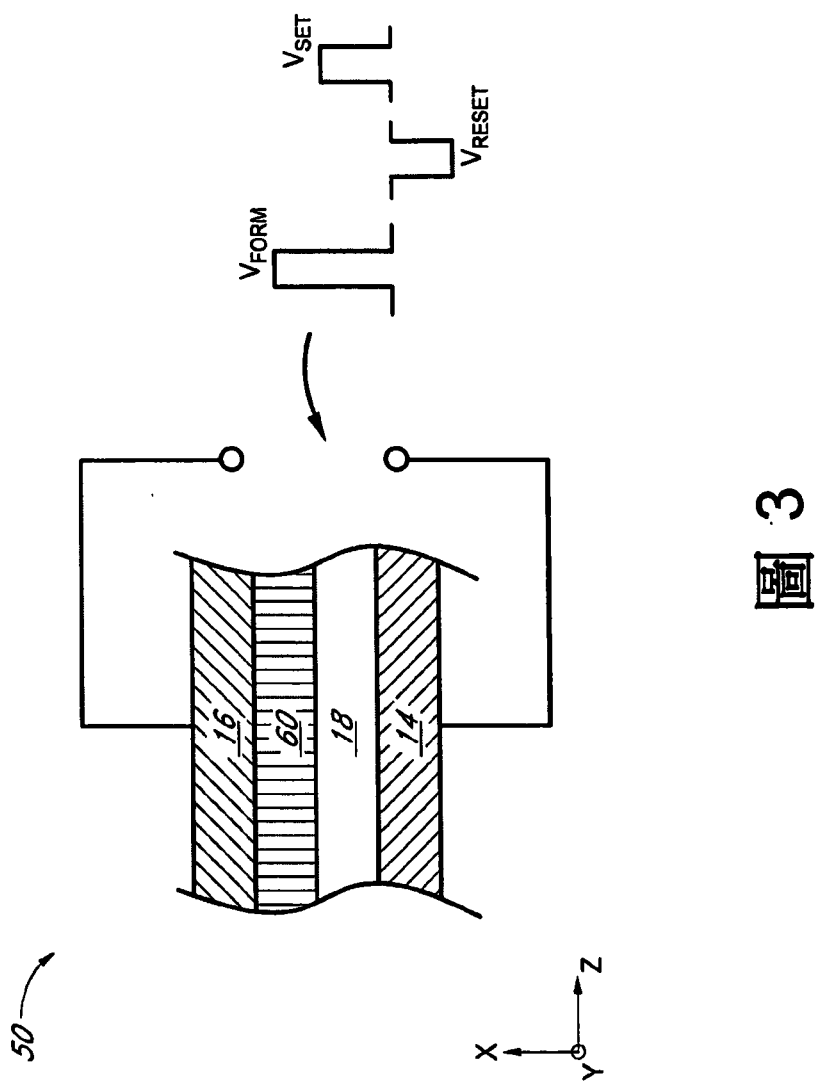


圖 3

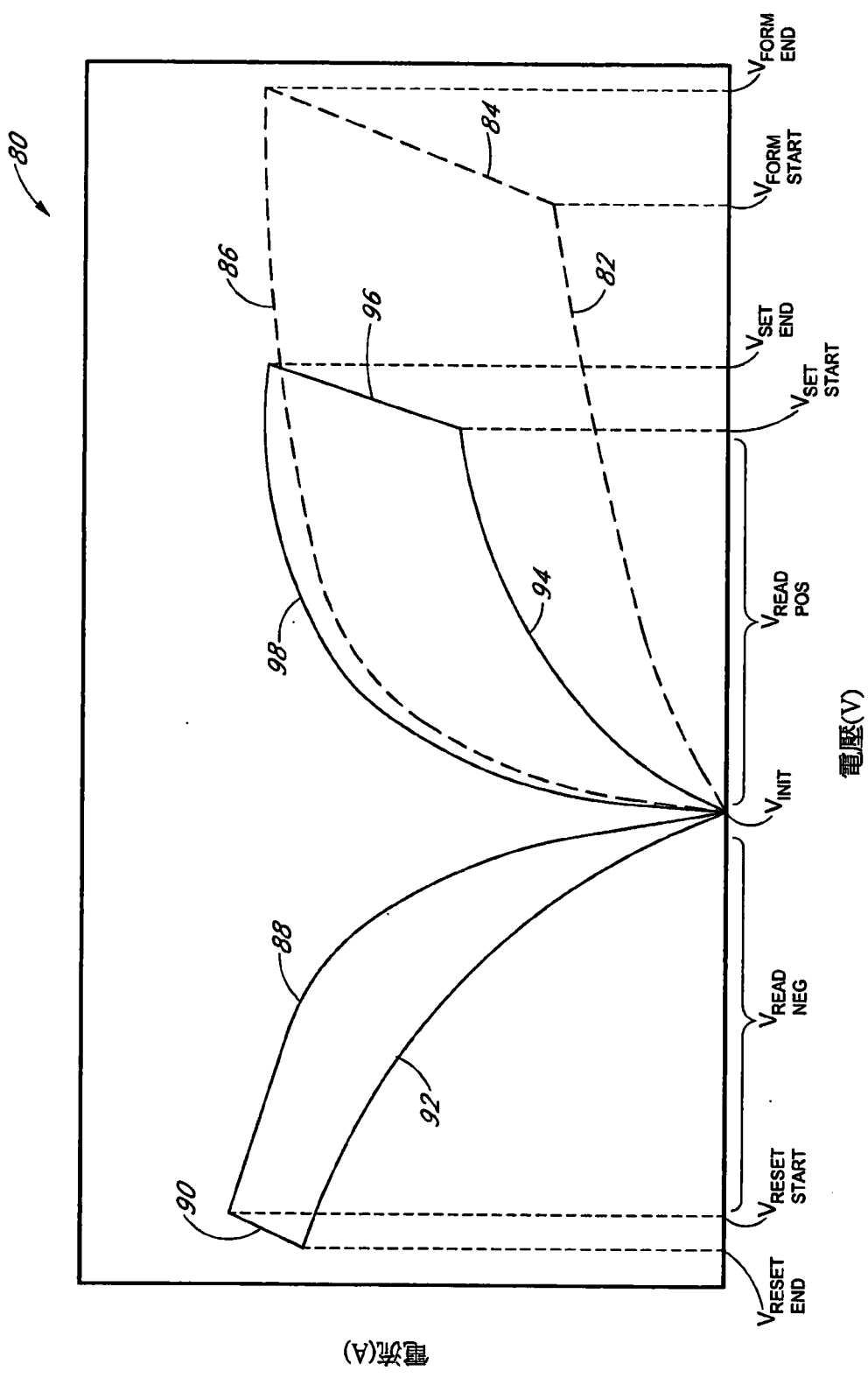


圖 4



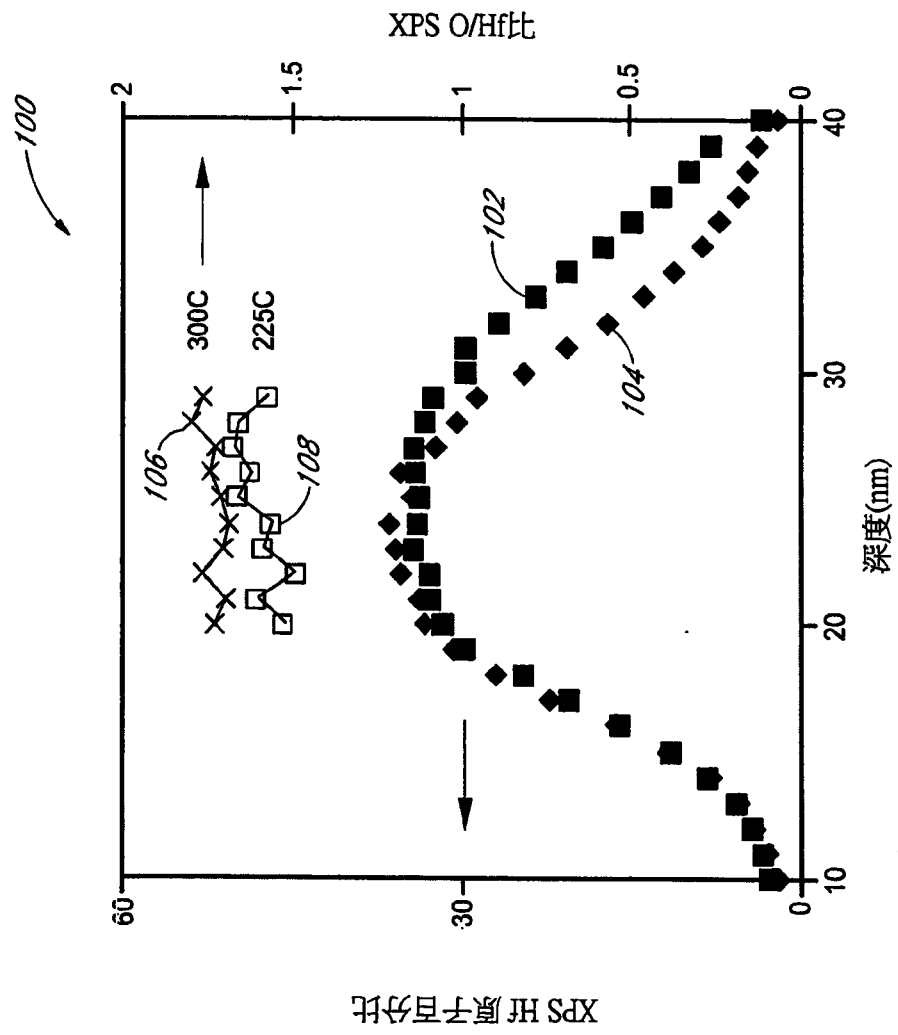


圖 5

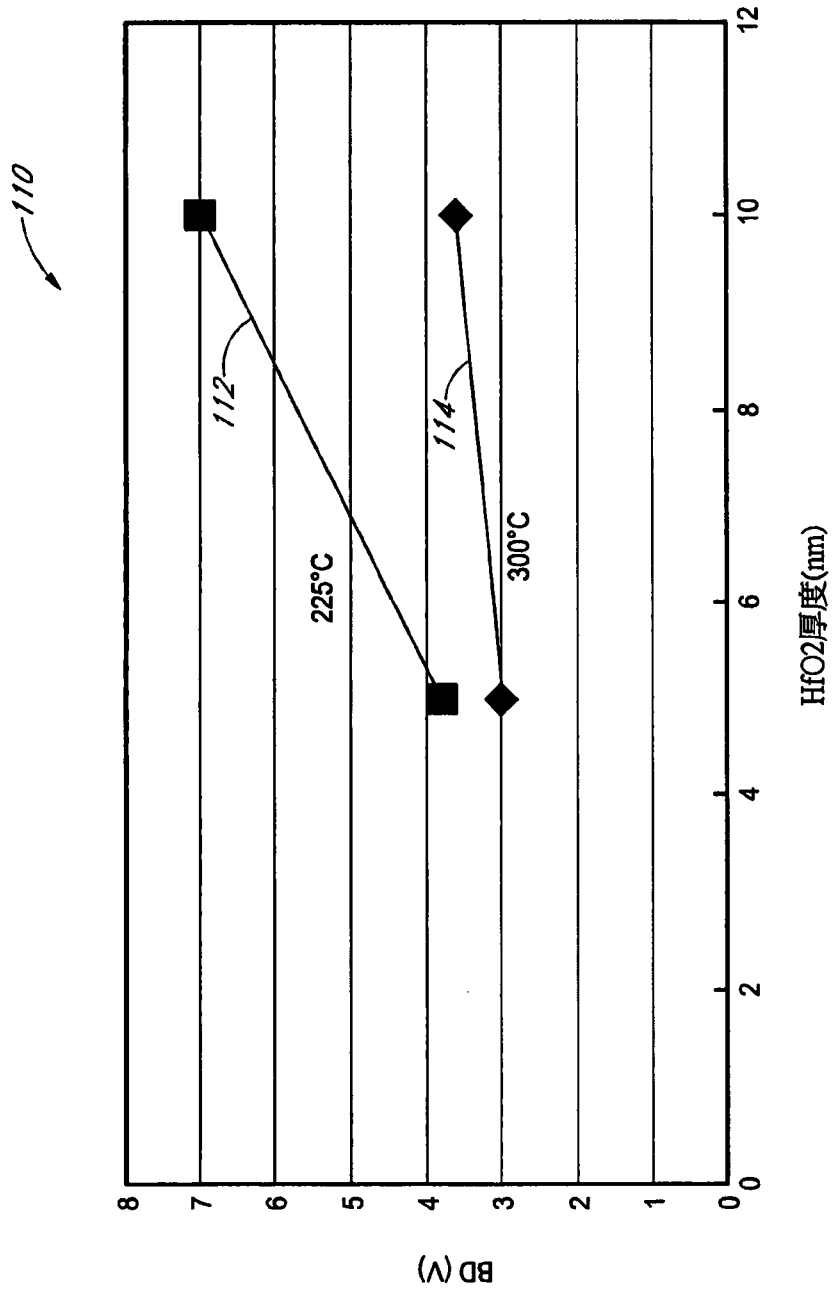


圖 6



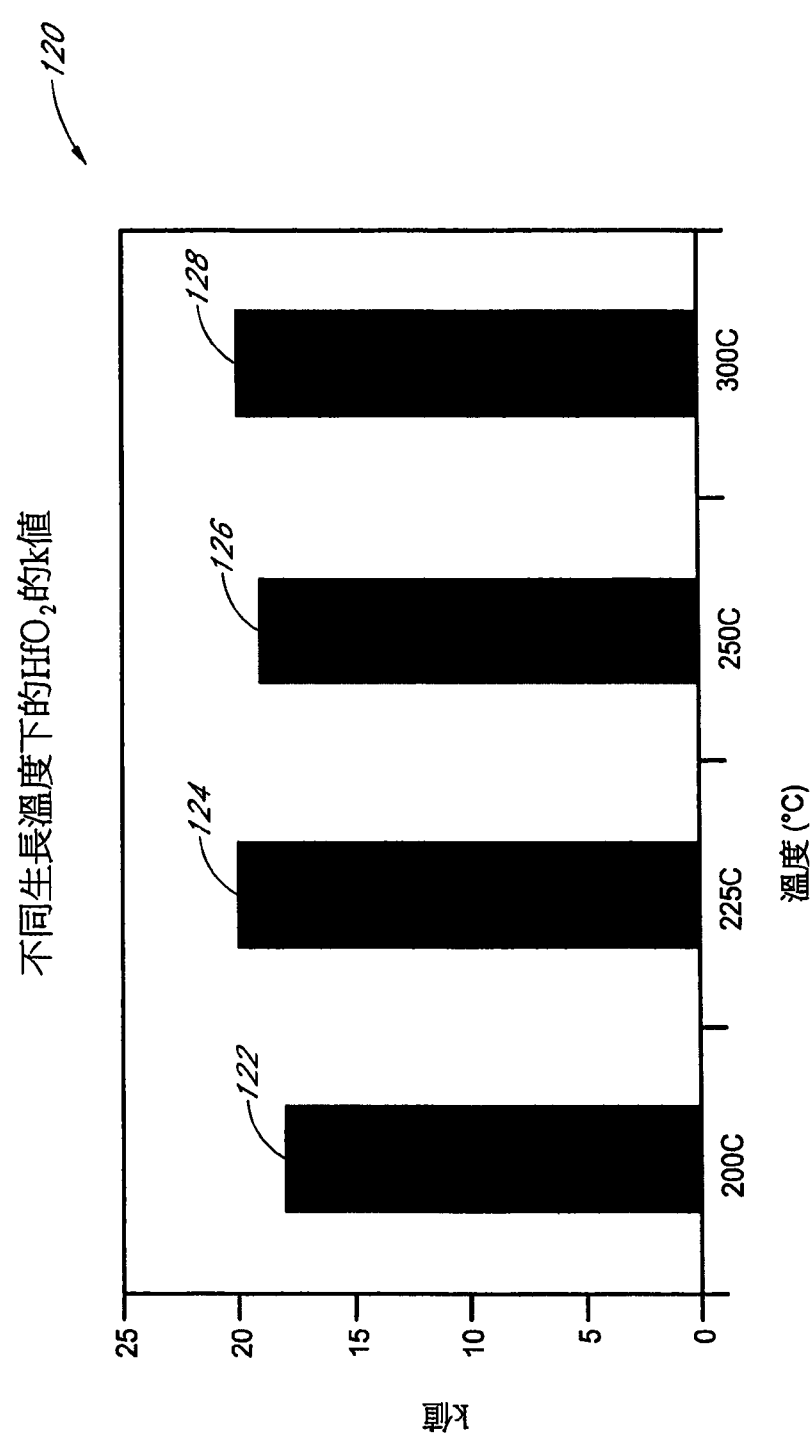


圖 7

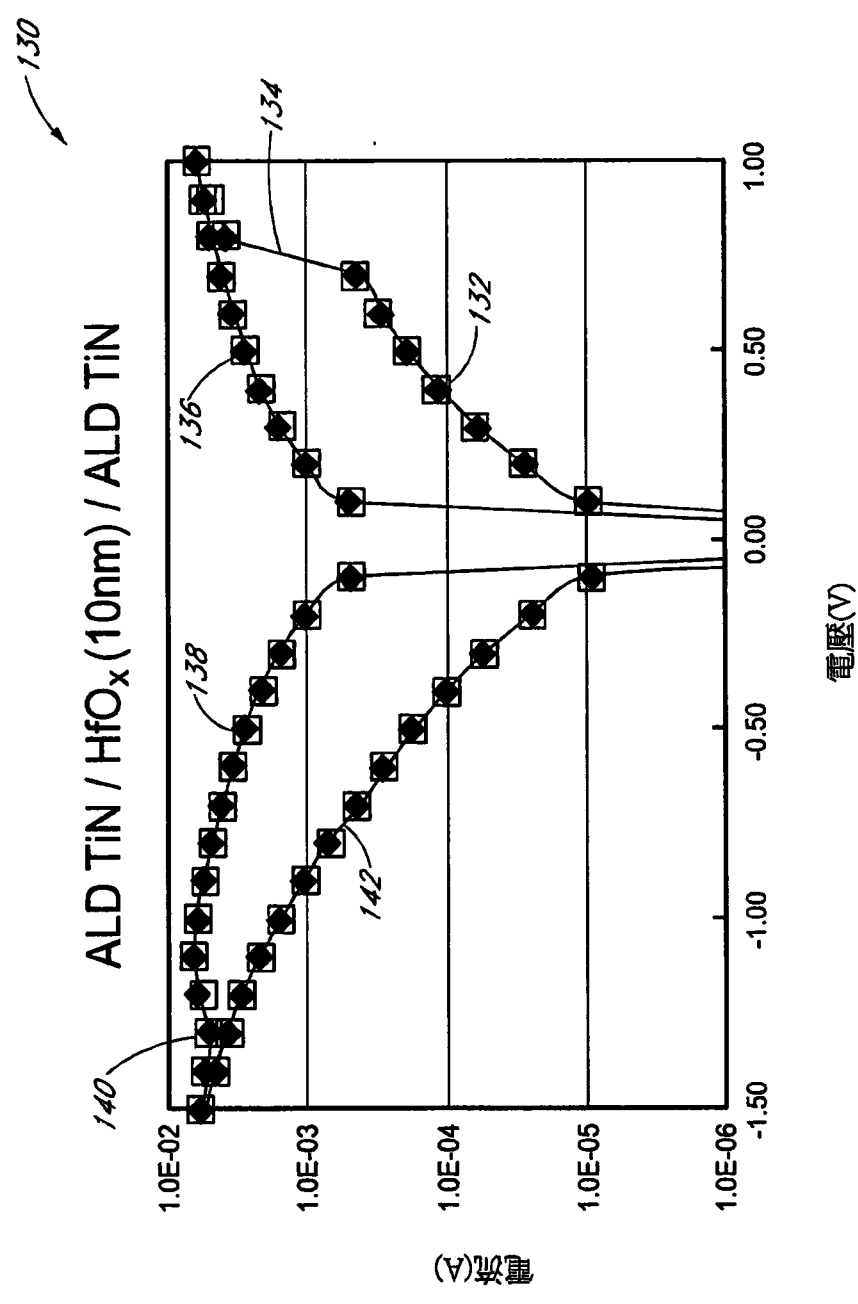


圖 8



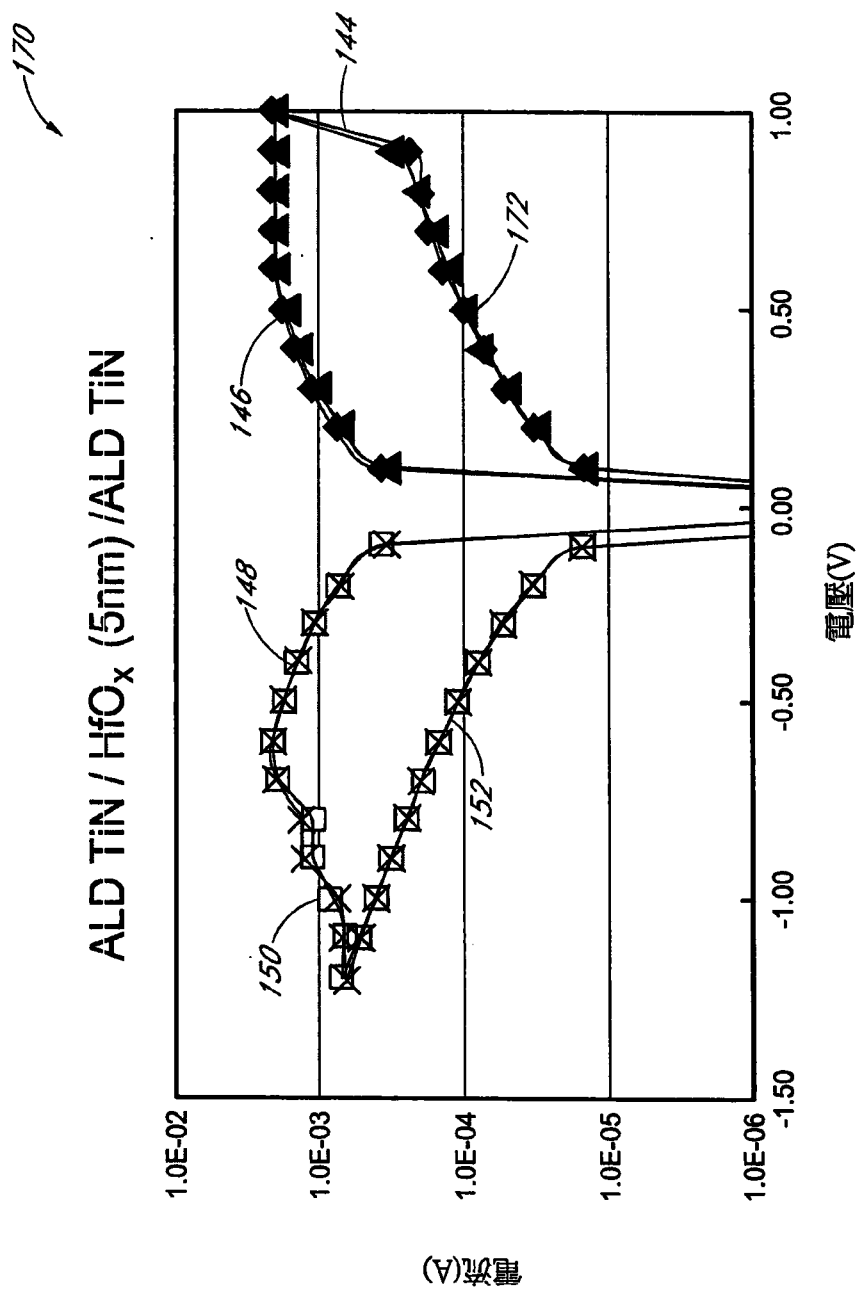


圖 9

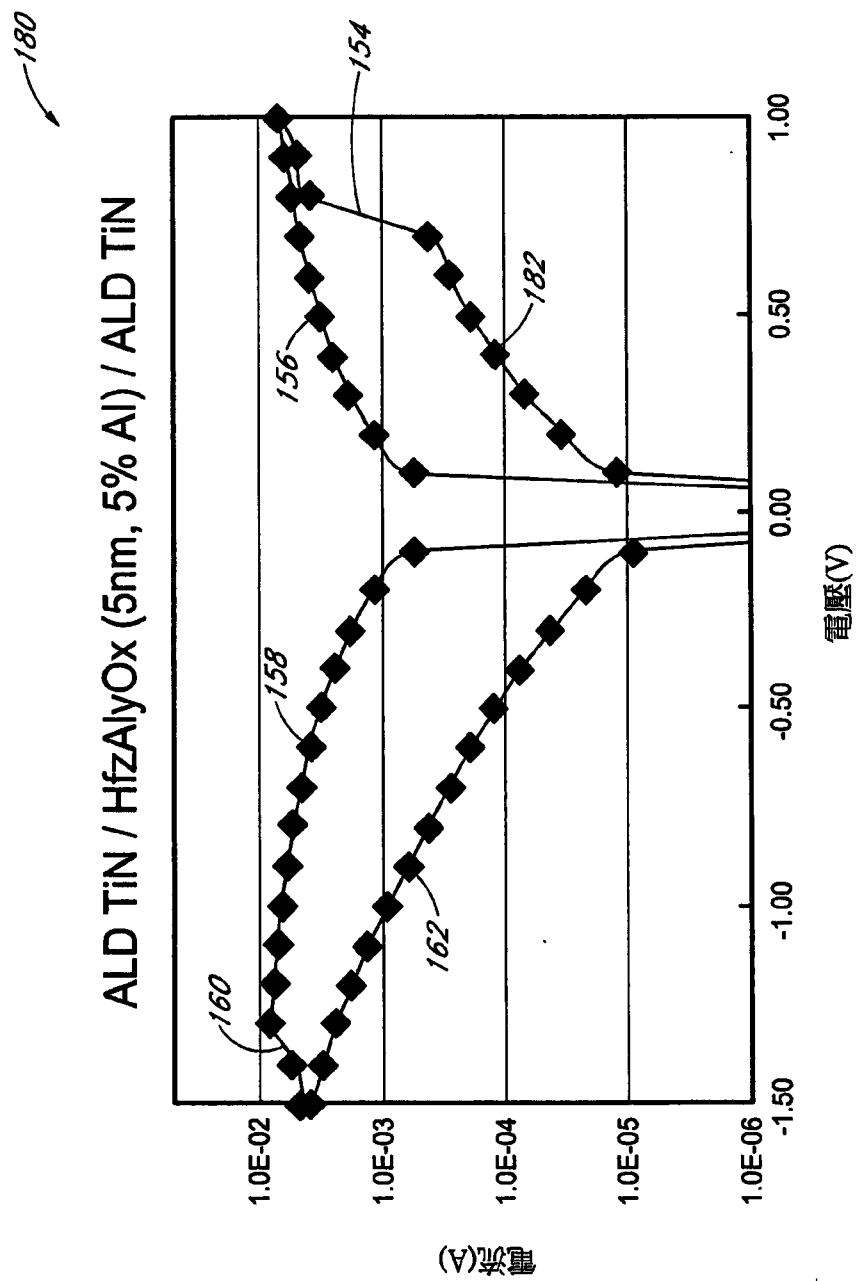


圖 10



second electrode by thermal atomic layer deposition (ALD), where the resistive switching layer is interposed between the first electrode and the second electrode. Forming the resistive switching oxide may be performed without exposing a surface of the switching oxide layer to a surface-modifying plasma treatment after depositing the metal oxide.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

3：截線

10：3D-RRAM 陣列

10a：子陣列

12：半導體基板

14：電極線\電極

16：電極線\電極

16a：電極線\電極

16b：電極線\電極

18a：電阻式切換氧化物層\電阻式氧化物層\電阻式切換層

18b：電阻式切換氧化物層\電阻式氧化物層\電阻式切換層

20：垂直連接器

22：電晶體

26：源極觸點

28：閘極

32：源極

34：汲極

38a：層間介電質

38b：層間介電質

38c：層間介電質

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無