

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-123770

(P2005-123770A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int.Cl.⁷

H04L 12/56

F I

H04L 12/56 230A

テーマコード (参考)

5K030

審査請求 未請求 請求項の数 12 O L (全 12 頁)

(21) 出願番号 特願2003-354684 (P2003-354684)
 (22) 出願日 平成15年10月15日 (2003.10.15)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目2番3号
 (74) 代理人 100113077
 弁理士 高橋 省吾
 (74) 代理人 100112210
 弁理士 稲葉 忠彦
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100128060
 弁理士 中鶴 一隆
 (72) 発明者 井田 智永
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

最終頁に続く

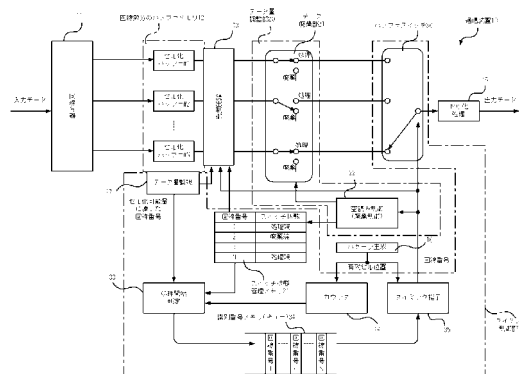
(54) 【発明の名称】 時分割処理装置および通信装置

(57) 【要約】

【課題】 遅延を低減できる時分割処理装置および通信装置を提供する。

【解決方法】 バッファメモリ12に入力データを一時的に格納し、読出制御部13にてその読出制御を行い、パターン生成部16にて予め所定パターンを生成しておき、タイミング制御部17にて生成したパターンに応じてセル化処理部15によるバッファメモリ12毎の処理開始タイミングを制御する。このため、セル化処理部15から出力されるデータを遅延なく送り出すことができる。また、セル化処理部15の出力側に出力バッファを設けることが不要となり、装置構成の簡略化および製造コストの低減化が可能である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力データを一時的に格納するための複数のバッファメモリと、

前記バッファメモリに格納されたデータを読み出す制御を行う読出制御部と、

前記バッファメモリから読み出されたデータをバッファメモリ毎に時分割で処理する時分割処理部と、

前記時分割処理部から出力されるデータのパターンを生成するパターン生成部と、

前記パターン生成部によって生成されたパターンに応じて、前記時分割処理部によるバッファメモリ毎の処理開始タイミングを制御するタイミング制御部とを備えたことを特徴とする時分割処理装置。

10

【請求項 2】

前記バッファメモリの格納データ量を調整するデータ量調整部を備えたことを特徴とする請求項 1 記載の時分割処理装置。

【請求項 3】

前記データ量調整部は、前記時分割処理部の処理単位であるバッファメモリ毎の処理データ量以下となるように、前記バッファメモリの格納データ量を調整することを特徴とする請求項 2 記載の時分割処理装置。

【請求項 4】

前記データ量調整部は、前記バッファメモリ毎の処理データ量を超えたデータを廃棄するデータ廃棄部を備えたことを特徴とする請求項 2 記載の時分割処理装置。

20

【請求項 5】

前記データ廃棄部は、前記バッファメモリから読み出されたデータを、時分割処理部のある処理端または時分割処理部のない廃棄端のいずれかに選択的に出力する廃棄スイッチを備えたことを特徴とする請求項 4 記載の時分割処理装置。

【請求項 6】

前記タイミング制御部は、前記バッファメモリの格納データ量を監視するデータ量監視部と、前記廃棄スイッチによるスイッチ状態を記憶するスイッチ状態管理メモリと、前記データ量監視部による監視結果および前記スイッチ状態管理メモリに格納されているスイッチ状態に基づいて、前記時分割処理部によるバッファメモリ毎の処理開始タイミングを指示するタイミング指示部と、該タイミング指示部からの指示に応じていずれかのバッファメモリに格納されたデータを選択的に時分割処理部に出力するためのバッファスイッチとを備えたことを特徴とする請求項 5 記載の時分割処理装置。

30

【請求項 7】

前記タイミング制御部は、前記パターン生成部によって生成されたパターンに応じて、各バッファメモリを識別するための識別番号を出力するカウンタを備え、

前記タイミング指示部は、前記データ量監視部による監視結果および前記スイッチ状態管理メモリに格納されているスイッチ状態に加えて、前記カウンタから識別番号が出力されたタイミングに基づいて、前記時分割処理部の処理開始タイミングを指示し、

前記バッファスイッチは、前記カウンタから出力された識別番号に対応したバッファメモリを選択することを特徴とする請求項 6 記載の時分割処理装置。

40

【請求項 8】

前記タイミング制御部は、前記バッファメモリの格納データ量を監視するデータ量監視部と、前記廃棄スイッチによるスイッチ状態を記憶するスイッチ状態管理メモリと、前記パターン生成部によって生成されたパターンに応じて、各バッファメモリを識別するための識別番号を出力するカウンタと、前記データ量監視部による監視結果、前記スイッチ状態管理メモリに格納されているスイッチ状態、および前記カウンタから識別番号が出力されたタイミングに基づいて、前記時分割処理部によるバッファメモリ毎の処理開始が可能かを判定する処理開始判定と、前記処理開始判定部によって処理が可能と判定されたバッファメモリに対応した識別番号を順次格納する識別番号メモリと、前記パターン生成部によって生成されたパターンに従ったタイミングで前記識別番号メモリから識別番号を読

50

み出すタイミング指示部と、該タイミング指示部によって読み出された識別番号に対応するバッファメモリに格納されたデータを選択的に時分割処理部に出力するバッファスイッチとを備えたことを特徴とする請求項 5 記載の時分割処理装置。

【請求項 9】

入力データを一時的に格納するための複数のバッファメモリと、

前記バッファメモリに格納されたデータを読み出す制御を行う読出制御部と、

前記バッファメモリから読み出されたデータをバッファメモリ毎に時分割で処理する時分割処理部と、

前記時分割処理部から出力されるデータのパターンを生成するパターン生成部と、

前記パターン生成部によって生成されたパターンに応じて、前記時分割処理部によるバッファメモリ毎の処理開始タイミングを制御するタイミング制御部とを備えた通信装置であって、

前記時分割処理部は、バッファメモリに格納されたデータに対して回線情報を含むヘッダを付加することによって、データパケットを生成するパケット生成部であることを特徴とする通信装置。

【請求項 10】

前記データパケットは、A T Mセルであることを特徴とする請求項 9 記載の通信装置。

【請求項 11】

前記入力データは、複数回線のデータを多重化した S T Mデータであることを特徴とする請求項 10 記載の通信装置。

【請求項 12】

前記入力データを回線毎に分離して各バッファメモリに出力する回線分離部を備えたことを特徴とする請求項 11 記載の通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数のバッファメモリ毎に時分割で処理する時分割処理装置、およびこの時分割処理装置を用いてデータパケットを作成する通信装置に関するものである。

【背景技術】

【0002】

従来の通信装置では、入力データの蓄積開始を 1 フレーム時間間隔ずらすことにより、セル化の処理要求が集中することを回避して、セル化の処理を行うプロセッサの負荷を分散させるとともに、遅延時間を低減しようとしていた。(例えば、特許文献 1 参照)

【特許文献 1】特開平 11 - 41257 号公報 (段落 0052、図 3)

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、従来の技術では、セル化処理部の出力側に出力バッファを設けていたため、セル化の処理を行った後に遅延が発生してしまい、遅延時間を十分に低減できなかった。この出力バッファは、A T Mセルの間にアイドルセルを分散配置させて、A T M回線のバースト性を軽減するために必要であった。

【0004】

本発明の目的は、遅延を更に低減できる時分割処理装置および通信装置を提供することである。

【課題を解決するための手段】

【0005】

本発明の時分割処理装置は、入力データを一時的に格納するための複数のバッファメモリと、前記バッファメモリに格納されたデータを読み出す制御を行う読出制御部と、前記バッファメモリから読み出されたデータをバッファメモリ毎に時分割で処理する時分割処理部と、前記時分割処理部から出力されるデータのパターンを生成するパターン生成部と

10

20

30

40

50

、前記パターン生成部によって生成されたパターンに応じて、前記時分割処理部によるバッファメモリ毎の処理開始タイミングを制御するタイミング制御部とを備えたことを特徴とする。

【0006】

また、本発明の通信装置は、入力データを一時的に格納するための複数のバッファメモリと、前記バッファメモリに格納されたデータを読み出す制御を行う読出制御部と、前記バッファメモリから読み出されたデータをバッファメモリ毎に時分割で処理する時分割処理部と、前記時分割処理部から出力されるデータのパターンを生成するパターン生成部と、前記パターン生成部によって生成されたパターンに応じて、前記時分割処理部によるバッファメモリ毎の処理開始タイミングを制御するタイミング制御部とを備えたものであって、前記時分割処理部は、バッファメモリに格納されたデータに対して回線情報を含むヘッダを付加することによって、データパケットを生成するパケット生成部であることを特徴とする。

10

【発明の効果】

【0007】

本発明によれば、所定のパターンに応じてバッファメモリ毎の処理開始タイミングを制御するため、時分割処理部から出力されるデータを遅延なく送り出すことができる。また、このことにより、時分割処理部の出力側に出力バッファを設けることが不要となり、装置構成の簡略化および製造コストの低減化が可能である。

【発明を実施するための最良の形態】

20

【0008】

実施の形態 1 .

図 1 は、本発明の実施の形態 1 に係る通信装置を示すブロック構成図である。通信装置 10 は、受信した S T M (Synchronous Transfer Mode) データを A T M (Asynchronous Transfer Mode) セルに変換して送信する装置であり、回線分離部 11、バッファメモリ 12、読出制御部 13、セル化処理部 15、パターン生成部 16、タイミング制御部 17 及びデータ量調整部 20 を備えている。

【0009】

通信装置 10 の入力データは、複数回線のデータを S T M 形式で多重化したものであって、回線分離部 11 は、この入力データを多重化された回線毎に分離する。バッファメモリ 12 は、回線毎に分離された入力データを回線毎に一時的に格納する F I F O (First In First Out) メモリであり、各回線 # 1 ~ # N に対応付けられた複数のバッファメモリ # 1 ~ # N から成る。読出制御部 13 は、バッファメモリ 12 からデータを読み出すための制御を行う。セル化処理部 15 は、バッファメモリ 12 に格納されたデータに回線情報を含むヘッダを付加して A T M セルを生成する処理部であって、各バッファメモリ # 1 ~ # N に格納されたデータを各バッファメモリ毎に時分割で処理する。パターン生成部 16 は、セル化処理部 15 から出力されるべきセルのパターンを予め生成しておく。タイミング制御部 17 は、セル化処理部 15 に時分割処理を実行させるために、バッファメモリ毎の処理開始タイミングを制御する。

30

【0010】

データ量調整部 20 は、所定条件のもとで、セル化処理部 15 の処理データ量以下となるように各バッファメモリ # 1 ~ # N の格納データ量を調整する。処理データ量とは、各バッファメモリ # 1 ~ # N 毎に時分割で処理するセル化処理部 15 の処理単位となっているデータ量である。また、データ量調整部 20 は、前記調整を行うために、データ廃棄部 21 および空読み制御部 (廃棄制御部) 22 を備えている。データ廃棄部 21 は、各バッファメモリ # 1 ~ # N の出力側にそれぞれ設けられた複数の廃棄スイッチ # 1 ~ # N から成り、各バッファメモリ # 1 ~ # N の処理データ量を超えたデータを廃棄する。廃棄スイッチ # 1 ~ # N は、各バッファメモリ # 1 ~ # N のデータをセル化処理部 15 に向けて出力するための処理端、あるいはデータを廃棄するための廃棄端 (開放端) に切替えるスイッチである。空読み制御部 22 は、バッファメモリ毎の処理データ量を超えたデータが廃

40

50

棄されるように、データ廃棄部 21 を制御する。

【0011】

タイミング制御部 17 は、スイッチ状態管理メモリ 31、カウンタ 32、処理開始判定部 33、識別番号メモリ(キュー) 34、タイミング指示部 35、バッファスイッチ 36 およびデータ量監視部 37 を備えている。スイッチ状態管理メモリ 31 は、データ廃棄部 21 の廃棄スイッチ #1 ~ #N が処理端または廃棄端のいずれに切替えられているかを示すスイッチ状態を、各バッファメモリ #1 ~ #N に対応付けて格納するメモリである。カウンタ 32 は、各バッファメモリを識別するための識別番号 K ($= 1 \sim N$) をカウントアップ(カウントダウンでも良い)するリングカウンタであって、パターン生成部 16 によって生成されたパターンに応じて識別番号を出力する。この識別番号 1 ~ N は、バッファメモリを識別する番号であるとともに、STM データとして多重化された回線を識別する番号、すなわち回線番号でもある。処理開始判定部 33 は、データ量監視部 37 による監視結果、動作情報管理メモリ 31 に格納されているスイッチ状態およびカウンタ 32 から識別番号が出力されたタイミングに基づいて、セル化処理部 15 によるバッファメモリ毎の処理開始が可能か否かを判定する。識別番号メモリ 34 は、処理開始判定部 34 によって処理開始が可能と判定されたバッファメモリに対応する識別番号 K を順次格納する FIFO メモリであり、書き込まれた識別番号 K は先に書き込まれた順に読み出される。タイミング指示部 35 は、パターン生成部 16 によって生成されたパターンに従ったタイミングで識別番号メモリ 34 から識別番号を読み出すことによって、処理開始のタイミングを指示する。バッファスイッチ 36 は、タイミング指示部 35 によって読み出された識別番号に対応するバッファメモリに格納されたデータを選択的にセル化処理部 15 に出力させるためのスイッチである。データ量監視部 37 は、バッファメモリ 12 に格納されている格納データ量を監視し、各バッファメモリ #1 ~ #N の格納データ量がセル化処理部 15 の処理データ量に達したときに、各バッファメモリ #1 ~ #N に対応した識別番号 1 ~ N を出力する。

10

20

【0012】

次に、通信装置 10 の動作を、ATM セル化、データ量調整およびタイミング制御に分けて説明する。

【0013】

まず、ATM セル化の動作について説明する。通信装置 10 で受信した入力データは、前述したように複数回線のデータを多重化した STM 形式のデータとなっており、回線分離部 11 にて回線毎に分離され、それぞれバッファメモリ #1 ~ #N に一時的に格納される。ここで、タイミング指示部 35 により特定の識別番号 K が出力された場合、読出制御部 13 によってバッファメモリ # K に格納された処理データ量分のデータが読み出される。これと同時に、タイミング指示部 35 によって出力された識別番号 K が、空読み制御部 22 にも伝えられ、空読み制御部 22 によってデータ廃棄部 21 の廃棄スイッチ # K が処理端に切替えられる。また同時に、タイミング指示部 35 によって出力された識別番号 K はバッファスイッチ 36 にも伝えられ、バッファスイッチ 36 はバッファメモリ # K に接続されるように切替えられる。このため、バッファメモリ # K から読み出されたデータは、廃棄スイッチ # K およびバッファスイッチ 36 を経由して、セル化処理部 15 に供給される。セル化処理部 15 では、バッファスイッチ 36 を介して供給されたバッファメモリ 12 のデータに対し、セル化の処理が行われる。セル化処理は、たとえば AAL1 (ATM Adaptation Layer type 1) とよばれる方法で行われる。セル化処理部 15 によって生成された ATM セルは、出力データとして外部の ATM 回線に出力される。このような動作が、バッファメモリ #1 ~ #N について時分割で行われ、セル化処理部 15 から回線 #1 ~ #K に関する ATM セルが順次送出される。

30

40

【0014】

次に、データ量調整の動作について説明する。入力データがバッファメモリ 12 に蓄積されていくと、各バッファメモリの格納データ量が処理データ量に達する。バッファメモリ # K の格納データ量が処理データ量に達すると、そのバッファメモリ # K に対応する識

50

別番号 K が、データ量監視部 37 から読出制御部 13 に出力される。廃棄スイッチ # K が廃棄端に切替えられているときに、データ量監視部 37 から識別番号 K が出力された場合であって、かつタイミング指示部 35 から識別番号 K に関する指示が無い場合は、処理データ量を超えた分だけをバッファメモリ # K から読み出す制御が実行される。データ廃棄部 21 の廃棄スイッチ # 1 ~ # N は、初期的には廃棄端に切替えられており、タイミング指示部 35 から空読み制御部 22 を経由して指示があるまで処理端への切替えは実行されない。このため、バッファメモリ # K から読み出されたデータは、廃棄スイッチ # K の廃棄端へ流れて消失する。このように、廃棄スイッチ # K が廃棄端側であり、タイミング指示部 35 から処理開始の指示が無い限り、各バッファメモリの処理データ量を超えたデータは、古いデータから順に廃棄される。以上の動作により、バッファメモリ 12 の格納データ量は、処理データ量以下となるように調整される。空読み制御部 22 は、タイミング指示部 35 から特定の識別番号 K について指示を受けた場合に、データ廃棄部 21 に対し廃棄スイッチ # K を廃棄端から処理端へ切替える制御を行うとともに、スイッチ状態管理メモリ 31 に記憶されている識別番号 K に対応したスイッチ状態を「廃棄端」から「処理端」に書き替える制御を行う。

【0015】

次に、タイミング制御の動作について説明する。パターン生成部 16 によって予め生成された出力セルのパターンは、タイミング制御の基礎となるパターンであって、A T M 回線に有効セルの送出タイミングを示すものである。有効セルは、S T M 回線のデータを A T M セル化したものである。有効セルでない部分には、アイドルセルやアンアサインドセル等の無効セルを挿入することにより、有効セルの発生を平均化する。アイドルセルは、I T U - T (国際電気通信連合 - 電気通信標準化部門) 勧告 I . 432 に定義された速度調整用セルをいい、アンアサインドセルは、I T U - T 勧告 I . 361 に定義された速度調整用セルをいう。出力セルのパターンは、各バッファメモリ # 1 ~ # N の書き込み速度と読み出し速度の比が、セルパタンの有効セル数と(無効セル数 + 有効セル数)との比になるべく近くなるように決定される。このように決定され作成されたパターンはカウンタ 32 およびタイミング指示部 35 に供給される。カウンタ 32 は、パターンの有効セル位置を検出するとカウントアップされ、識別番号 1 ~ N が処理開始判定部 33 に出力される。

【0016】

また、スイッチ状態管理メモリ 31 には、データ廃棄部 21 の各廃棄スイッチ # 1 ~ # N に関する最新のスイッチ状態を示す情報が格納されており、処理開始判定部 33 により常に参照可能となっている。スイッチ状態とは、「処理端」または「廃棄端」のいずれが選択されているかを示すものである。初期的には、「廃棄端」がスイッチ状態管理メモリ 31 に格納される。処理開始判定部 33 は、データ量監視部 37 の監視結果、スイッチ状態管理メモリ 31 に格納されているスイッチ状態およびカウンタ 32 から供給されるタイミングに基づいて、処理開始が可能か否かを判定し、処理開始が可能なバッファメモリ # K に対応する識別番号(回線番号) K を識別番号メモリ 34 に格納する。具体的には、バッファメモリ # K のスイッチ状態が「廃棄端」である場合、バッファメモリ # K の格納データ量が処理データ量に達し、かつカウンタ 32 が識別番号 K を出力した場合に、識別番号 K が識別番号メモリ 34 に書き込まれる。また、バッファメモリ # K のスイッチ状態が「処理端」である場合、バッファメモリ # K の格納データ量が処理データ量に達すれば、識別番号 K が識別番号メモリ 34 に書き込まれる。識別番号メモリ 34 に書き込まれた識別番号は、タイミング指示部 35 によって所定のタイミングで読み出されて、読出制御部 13、バッファスイッチ 36 および空読み制御部 22 に出力される。

【0017】

このようにして、予め生成したパターンに応じてセル化処理部 15 の処理開始タイミングが制御される。

【0018】

図 2 は、バッファメモリの格納データ量およびセル出力パターンの具体例を示す図であ

10

20

30

40

50

る。ここでは、S T M形式のデータに多重化された全回線数Nを4とする。A T M回線へ出力されるA T Mセルの送出パターンを5セルで1サイクルとし、有効セル2セル、アイドルセル1セルおよび有効セル2セルが順次続くパターンとする。セル化が開始可能な回線は、上記セル送出パターンに従って、回線#1、回線#2、アイドルセル#1、回線#3、回線#4という順に続くものとする。アイドルセル#1を送出するためのセル化処理部15の処理期間は、どの回線もセル化処理が不可となる。

【0019】

通信装置10にてS T Mデータの受信が開始されると、回線#1~#4に対応したバッファメモリ#1~#4においてデータの蓄積が順次開始される。蓄積開始後、各バッファメモリの格納データ量は増加する。その後、バッファメモリ#1~#Nの格納データ量が順次、セル化可能量(処理データ量)に達する。バッファメモリ#1の格納データ量がセル化可能量に達した時点から、バッファメモリ#1からセル化処理部15へのデータ供給が開始される。次に、バッファメモリ#2の格納データ量がセル化可能量に達した時点では、バッファメモリ#1からセル化処理部15へのデータ供給が終了していない。このため、バッファメモリ#2についてはデータの空読み(廃棄)が開始される。続いて、バッファメモリ#1からセル化処理部15へのデータ供給が終了する。この時点で、バッファメモリ#2について空読みが終了し、セル化処理部15へのデータ供給が開始される。

10

【0020】

バッファメモリ#3については、セル化可能量に達した時点から空読みが開始されるが、バッファメモリ#2からセル化処理部15へのデータ供給が終了しても、次のアイドルセル#1に相当する期間を経過する時点まで、空読みが継続される。空読みを終了した時点において、バッファメモリ#3からセル化処理部15へのデータ供給が開始される。バッファメモリ#4については、セル化可能量に達した時点から空読みが開始され、バッファメモリ#3からセル化処理部15へのデータ供給が終了する時点まで空読みが継続される。空読み終了後に、バッファメモリ#4からセル化処理部15へのデータ供給が開始される。

20

【0021】

回線#4のセル化が終了後、いずれの回線もセル化可能量に達していないため、アイドルセル#2が挿入される。アイドルセル#2に相当する期間を経過した時点において、回線#1の格納データ量がセル化可能量に達し、バッファメモリ#1からセル化処理部15へのデータ供給が開始される。続いて、バッファメモリ#1からセル化処理部15へのデータ供給が終了した時点において、回線#2の格納データ量がセル化可能量に達し、バッファメモリ#2からセル化処理部15へのデータ供給が開始される。バッファメモリ#2からセル化処理部15へのデータ供給に続いて、アイドルセル#1に相当する期間を経過した時点において、回線#3の格納データ量がセル化可能量に達し、バッファメモリ#3からセル化処理部15へのデータ供給が開始される。続いて、バッファメモリ#3からセル化処理部15へのデータ供給が終了した時点において、回線#4の格納データ量がセル化可能量に達し、バッファメモリ#4からセル化処理部15へのデータ供給が開始される。これ以降も同様に、バッファメモリ#1~#4からセル化処理部15へのデータ供給が、アイドルセル#1、#2を挟んで時分割で実行される。

30

40

【0022】

このように、予め生成した所定パターンに応じてバッファメモリ12からセル化処理部15に時分割でデータを供給することに加え、時分割データ供給の1順目においてバッファメモリ12の空読みを行うことにより、2順目以降に格納データ量がセル化可能量を超えることがなくなるため、空読みが不要になると同時にデータの遅延が解消される。

【0023】

なお、回線#4のセル化が終了後、いずれの回線もセル化可能量に達していないためにアイドルセル#2を挿入した。これは、S T M側のデータ書き込み速度とA T M側のデータ読み出し速度の比が、セル送出パタンの有効セル数と(アイドルセル数+有効セル数)の比と正確に一致しないことにより発生する。図2の具体例では、各回線がセル化可能量

50

に達する時刻とセルパターンの境界は一致しているが、前記理由のために挿入されたアイドルセル# 2の送出待ちのため、各回線が多少の処理待ちを行うことがある。このため、ある回線においては多少のセル化遅延を生じるが、これは最大でもATM回線側のセル速度で1セルに相当する時間以下であり、かつ固定的に発生するものではない。この値はセル化後に通過するATMネットワークで通常生じるセル化遅延変動よりも明らかに小さいため、問題になることは少ない。

【0024】

図3は、実施の形態1に対する比較例に係る通信装置を示すブロック構成図である。この比較例に係る通信装置は、図1に示した実施の形態1に係る通信装置の一部を省略したものである。このため、図1と同一の機能ブロックについては、同一の参照符号を付し詳細説明を省略する。図3の通信装置50は、回線分離部11、バッファメモリ12、読出制御部13、セル化処理部15及びタイミング制御部17を備えている。このうち、回線分離部11、バッファメモリ12、読出制御部13及びセル化処理部15については、図1と同様である。タイミング制御部17は、識別番号メモリ34、バッファスイッチ36及びデータ量監視部37を備えている。

10

【0025】

次に、通信装置50の動作を、ATMセル化およびタイミング制御に分けて説明する。

【0026】

まず、ATMセル化の動作について説明する。通信装置50で受信した入力データは、回線分離部11にて回線毎に分離され、それぞれバッファメモリ#1~#Nに一時的に格納される。ここで、識別番号メモリ34から特定の識別番号Kが出力された場合、読出制御部13によってバッファメモリ#Kに格納された処理データ量分のデータが読み出される。これと同時に、識別番号メモリ34から出力された識別番号Kが、バッファスイッチ36にも伝えられ、バッファスイッチ36はバッファメモリ#Kに接続されるように切替えられる。このため、バッファメモリ#Kから読み出されたデータは、バッファスイッチ36を経由して、セル化処理部15に供給される。セル化処理部15では、バッファスイッチ36を介して供給されたバッファメモリ12のデータに対し、セル化の処理が行われる。セル化処理部15によって生成されたATMセルは、出力データとして外部のATM回線に送出される。このような動作が、バッファメモリ#1~#Nについて時分割で行われ、セル化処理部15から回線#1~#Kに関するATMセルが順次送出される。

20

30

【0027】

次に、タイミング制御の動作について説明する。データ量監視部37によって格納データ量がセル化可能量(処理データ量)に達したものと判断されたバッファメモリ#1~#Nについて、これに対応した識別番号(回線番号)1~Nがデータ量監視部37から順次出力される。データ量監視部37から出力された識別番号1~Nは、識別番号メモリ34に順次書き込まれる。識別番号メモリ34に書き込まれた識別番号は、書き込まれた順に読み出されて、読出制御部13及びバッファスイッチ36に出力される。たとえば、識別番号Kが識別番号メモリ34から読み出された場合、読出制御部13によってバッファメモリ#Kに格納されていた処理データ量のデータが読み出される。また、これと同時に、バッファスイッチ36はバッファメモリ#Kからセル化処理部15にデータが出力されるように切替えを行うため、バッファメモリ#Kから読み出されたデータは、セル化処理部15に供給される。このようにして、セル化可能量に達したバッファメモリ#1~#Nの順に、セル化処理部15の処理開始タイミングが制御される。

40

【0028】

図4は、比較例に係る格納データ量の変動を示す図である。図4は、図2と同様の形式で描かれたものであり、図3に示した通信装置50による動作を示している。通信装置50にてSTMデータの受信が開始されると、回線#1~#4に対応したバッファメモリ#1~#4においてデータの蓄積が順次開始される。蓄積開始後、各バッファメモリの格納データ量は増加する。その後、バッファメモリ#1~#Nの格納データ量が順次、セル化可能量(処理データ量)に達する。バッファメモリ#1の格納データ量がセル化可能量に

50

達した時点において、バッファメモリ# 1 からセル化処理部 15 へのデータ供給が開始される。次に、バッファメモリ# 2 の格納データ量がセル化可能量に達した時点では、バッファメモリ# 1 からセル化処理部 15 へのデータ供給が終了していないため、セル化可能量を超えてバッファメモリ# 2 へのデータ蓄積を続ける。続いて、バッファメモリ# 1 からセル化処理部 15 へのデータ供給が終了し、この時点において、バッファメモリ# 2 からセル化処理部 15 へのデータ供給が開始される。ただし、バッファメモリ# 2 からセル化処理部 15 へのデータ供給は、セル化可能量だけ行われるため、データの読み残しが発生する。以降、バッファメモリ# 3、# 4 についても同様に、データの読み残しが発生する。この読み残しデータは、次のサイクルでセル化を開始するまで読み出されないため、セル化遅延の要因となる。バッファメモリ# 2 ~ # 4 は、この順に読み残しが多くなり、セル化遅延が大きくなる。 10

【0029】

このような比較例に比べて、実施の形態 1 では 1 順目に空読みを行うので、読み残しが無くなり、データの遅延が解消される。また、図 4 では、各回線# 1 ~ # 4 についてセル化可能量に達する時刻が近接しているのに対し、図 2 では、セル化の開始時期をセル送出パターンに合わせてずらしたため、セル化可能量に達する時刻が分散されている。

【0030】

実施の形態 2 .

図 5 は、本発明の実施の形態 2 に係る通信装置を示すブロック構成図である。実施の形態 1 では、A T M 回線に出力されるセルパターンは、各回線# 1 ~ # N に対応したバッファメモリ# 1 ~ # N の書き込み速度と読み出し速度の比が、セルパターンの有効セル数と（無効セル数 + 有効セル数）の比になるべく近くなるように決定した。本来はこれらが一致するように設定するのが望ましいが、一般に、これらの値を正確に一致させることは難しいため近似値となるようにセルパターンを決定することになる。近似値とした場合、パターン生成部 16 で設定したセルパターンのセル間境界と、バッファメモリ# 1 ~ # N がセル化可能量に達するタイミングが一致しない。すなわち、図 2 において、セル化可能量に達した時刻と、A T M 回線上のセル間境界とが一致しない。このため、特定回線に対応したバッファメモリの格納データ量がセル化可能量に達する時刻が、他の回線のセル化処理中にあたる場合があり、その場合、先の特定回線はセル化処理を待つ必要がある。この待ち合わせのため、実施の形態 1 では、識別番号メモリ（キュー）34 が必要となった。 20 30

【0031】

これに対し、実施の形態 2 は、各バッファメモリ# 1 ~ # N の書き込み速度と読み出し速度の比が、セルパターンの有効セル数と（無効セル数 + 有効セル数）の比と一致するように構成できた場合に実施できる形態である。この場合、前記のようなセルパターンのセルの位相と、各バッファメモリ# 1 ~ # N がセル化可能量に達するタイミングとが、一致しないということがないため、待ち合わせを行う必要がない。従って、実施の形態 2 に係る図 5 の通信装置 60 では、識別番号メモリ 34 が不要であるため、これを省き、これに関係する処理開始判定部 33 をも省略している。ただし、タイミング指示部 35 は、処理開始判定部 33 の機能を合せ持ち、処理開始が可能か否かを判定するとともに、処理開始タイミングを指示する。 40

【0032】

このように、実施の形態 2 では、回路構成を簡略化することができる。

【0033】

なお、上記実施の形態 1 および実施の形態 2 では、出力側が A T M 回線であって A T M セルを出力する場合を説明したが、A T M セルと同様な構造の I P (I n t e r n e t P r o t o c o l) パケットを生成し出力する場合にも、適用可能である。

【0034】

また、上記実施の形態 1 および実施の形態 2 では、入力信号が S T M 信号である場合を説明したが、その他の一定速度で到達する複数回線の信号を A T M セル化する場合にも適用可能である。 50

【 0 0 3 5 】

さらに、上記実施の形態 1 および実施の形態 2 では、通信装置においてセル化处理（あるいは IP パケット生成処理）を行う場合を説明したが、時分割処理を行う装置一般にも適用可能である。

【 図面の簡単な説明 】

【 0 0 3 6 】

【 図 1 】 本発明の実施の形態 1 に係る通信装置を示すブロック構成図である。

【 図 2 】 バッファメモリの格納データ量およびセル出力パターンの具体例を示す図である。

【 図 3 】 実施の形態 1 に対する比較例に係る通信装置を示すブロック構成図である。

10

【 図 4 】 比較例に係る格納データ量の変動を示す図である。

【 図 5 】 本発明の実施の形態 2 に係る通信装置を示すブロック構成図である。

【 符号の説明 】

【 0 0 3 7 】

1 0 , 5 0 , 6 0 通信装置

1 1 回線分離部

1 2 バッファメモリ

1 3 読出制御部

1 5 セル化处理部

1 6 パターン生成部

20

1 7 タイミング制御部

2 0 データ量調整部

2 1 データ廃棄部

2 2 空読み制御部（廃棄制御部）

3 1 スイッチ状態管理メモリ

3 2 カウンタ

3 3 処理開始判定部

3 4 識別番号メモリ（キュー）

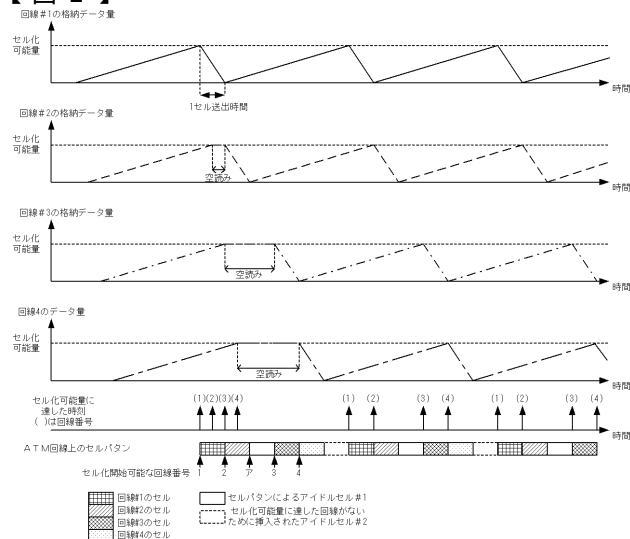
3 5 タイミング指示部

3 6 バッファスイッチ

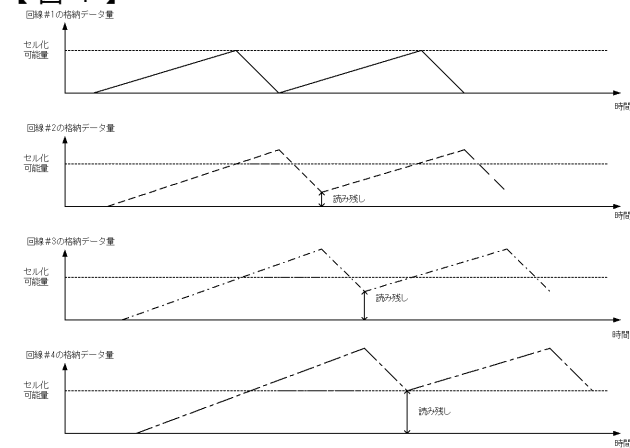
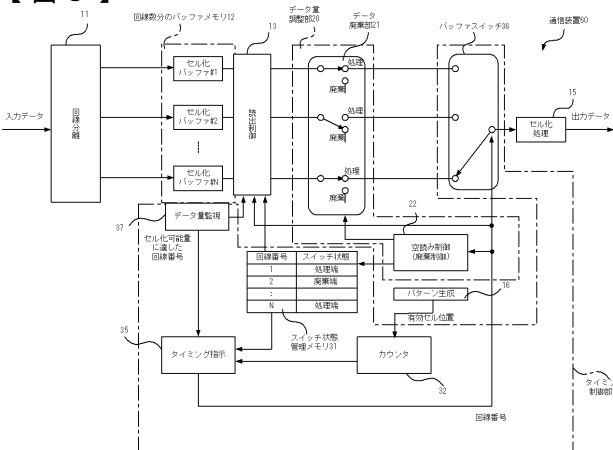
30

3 7 データ量監視部

【 図 2 】



【 図 5 】



フロントページの続き

(72)発明者 山下 直孝

東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

F ターム(参考) 5K030 GA02 GA19 HA08 KA03 MA13 MB03