

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-163082

(P2017-163082A)

(43) 公開日 平成29年9月14日(2017.9.14)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/338 (2006.01)	H O 1 L 29/80	5 F 1 0 2
H O 1 L 29/812 (2006.01)		
H O 1 L 29/778 (2006.01)		

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号	特願2016-48292 (P2016-48292)	(71) 出願人	000002130
(22) 出願日	平成28年3月11日 (2016. 3. 11)		住友電気工業株式会社
			大阪府大阪市中央区北浜四丁目5番33号
		(74) 代理人	100088155
			弁理士 長谷川 芳樹
		(74) 代理人	100113435
			弁理士 黒木 義樹
		(74) 代理人	100136722
			弁理士 ▲高▼木 邦夫
		(74) 代理人	100174399
			弁理士 寺澤 正太郎
		(72) 発明者	中田 健
			神奈川県横浜市栄区田谷町1番地 住友電
			気工業株式会社横浜製作所内
		最終頁に続く	

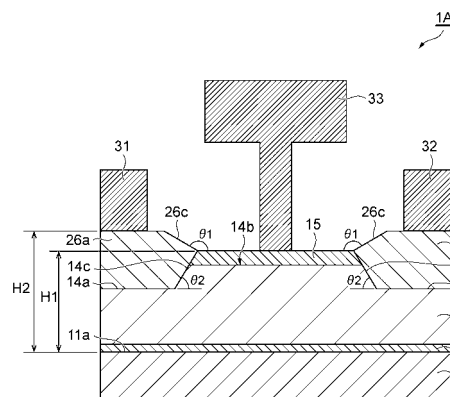
(54) 【発明の名称】 高電子移動度トランジスタ、及び高電子移動度トランジスタの製造方法

(57) 【要約】

【課題】 高濃度n型半導体領域とゲート電極とが過度に近づくことを抑制し、ゲート・ドレイン間の耐压性能の低下、及びゲート・ソース間の容量の増大を抑える。

【解決手段】 HEMT 1 Aは、メサ14bを有する電子走行層14と、メサ14b上に設けられた障壁層15と、高濃度n型半導体領域26a、26bと、一方の高濃度n型半導体領域26a上に設けられたソース電極31と、他方の高濃度n型半導体領域26b上に設けられたドレイン電極32と、障壁層15上に設けられたゲート電極33と、を備える。障壁層15の表面の水平位置は高濃度n型半導体領域26a、26bの各表面の水平位置よりも低く、各高濃度n型半導体領域26a、26bの表面のうち障壁層15に隣接する一部26cと、障壁層15の表面との成す角 $\theta 1$ は 135° 以上 160° 以下の範囲内にある。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

主面を有する基板と、
前記主面上に設けられ、メサ構造を有する電子走行層と、
前記メサ構造上に設けられ、前記電子走行層よりも大きいバンドギャップを有する障壁層と、
前記電子走行層上に設けられ、前記メサ構造及び前記障壁層の側面にそれぞれ接する二つの高濃度 n 型半導体領域と、
一方の前記高濃度 n 型半導体領域上に設けられたソース電極と、
他方の前記高濃度 n 型半導体領域上に設けられたドレイン電極と、
前記障壁層上に設けられたゲート電極と、
を備え、
前記障壁層の表面の水平位置は、前記高濃度 n 型半導体領域の各表面の水平位置よりも低く、
各高濃度 n 型半導体領域の前記表面のうち前記障壁層に隣接する一部と、前記障壁層の前記表面との成す角が 135° 以上 160° 以下の範囲内にある、高電子移動度トランジスタ。

10

【請求項 2】

各高濃度 n 型半導体領域が n 型の ZnO 系化合物半導体領域である、請求項 1 に記載の高電子移動度トランジスタ。

20

【請求項 3】

前記基板が GaN 基板、SiC 基板、Si 基板、及びサファイア基板のうち何れかであり、前記電子走行層が i 型 GaN 層であり、前記障壁層が i 型 InAlN 層である、請求項 1 または 2 に記載の高電子移動度トランジスタ。

【請求項 4】

電子走行層、及び前記電子走行層よりも大きいバンドギャップを有する障壁層を基板の主面上に順に成長させる工程と、
前記障壁層及び前記電子走行層をエッチングすることによりメサ構造を形成する工程と、
前記主面上に高濃度 n 型半導体層を形成する工程と、
前記メサ構造上に開口を有するマスクを前記高濃度 n 型半導体層上に形成する工程と、
前記マスクの前記開口を通じて前記メサ構造上の前記高濃度 n 型半導体層にウェットエッチングを施すことにより、高濃度 n 型半導体領域を形成する工程と、
前記メサ構造上にゲート電極を形成する工程と、
を含む、高電子移動度トランジスタの製造方法。

30

【請求項 5】

前記ゲート電極を形成する工程において、前記マスクを利用して前記ゲート電極を形成する、請求項 4 に記載の高電子移動度トランジスタの製造方法。

【請求項 6】

前記高濃度 n 型半導体層が n 型の ZnO 系化合物半導体層であり、
前記高濃度 n 型半導体領域を形成する工程において、エッチャントとして希釈クエン酸、希釈アコニット酸、及び酢酸のうち少なくとも一つを用いる、請求項 4 または 5 に記載の高電子移動度トランジスタの製造方法。

40

【請求項 7】

前記電子走行層が i 型 GaN 層であり、前記障壁層が i 型 InAlN 層であり、
Cl₂ 及び BCl₃ のうち少なくとも一方を用いたドライエッチングにより前記メサ構造を形成する、請求項 4～6 のいずれか一項に記載の高電子移動度トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、高電子移動度トランジスタ、及び高電子移動度トランジスタの製造方法に関するものである。

【背景技術】

【0002】

特許文献1には、高電子移動度トランジスタが開示されている。この高電子移動度トランジスタは、アンドープGaNバッファ層、n型AlGaN障壁層、及びn型InAlGaNキャップ層を備える。n型InAlGaNキャップ層の上にはソース電極及びドレイン電極が形成されている。n型InAlGaNキャップ層の一部が除去されてn型AlGaN障壁層が露出しており、該露出部分上にはゲート電極が形成されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2006-261642号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

GaN系半導体は、広いバンドギャップを有し、極めて大きな絶縁破壊電圧及び飽和電子速度を有するので、高速且つ高耐圧の電子デバイスを実現するための材料として注目されている。電子デバイスたるトランジスタの動作周波数を高めることは即ち遮断周波数(f_t)を大きくすることであり、その為にはゲート容量を低減すると同時に相互コンダクタンスg_mを増大させるとよい。相互コンダクタンスg_mを増大させるためには、障壁層を薄くすることが効果的であり、例えば、薄い膜厚で高い電子濃度を得ることができるInAlN障壁層が用いられる。また、相互コンダクタンスg_mを増大させるためには、ソース・ゲート間のアクセス抵抗を低減することが効果的であり、ソース電極のコンタクト抵抗を低減することが望ましい。

20

【0005】

しかしながらGaN系のHEMTにおいて、障壁層の上に成長させた高濃度n型半導体層の上にソース電極を形成した場合、高濃度n型半導体層と障壁層とのヘテロ界面にポテンシャルバリアが形成されコンタクト抵抗を増大する方向に作用する。

30

【0006】

本発明は、ゲート・ソース間の容量の増大を抑えつつコンタクト抵抗を低減することができる高電子移動度トランジスタ、及び高電子移動度トランジスタの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上述した課題を解決するために、本発明の一実施形態に係る高電子移動度トランジスタは、主面を有する基板と、主面上に設けられ、メサ構造を有する電子走行層と、メサ構造上に設けられ、電子走行層よりも大きいバンドギャップを有する障壁層と、電子走行層上に設けられ、メサ構造及び障壁層の側面にそれぞれ接する二つの高濃度n型半導体領域と、一方の高濃度n型半導体領域上に設けられたソース電極と、他方の高濃度n型半導体領域上に設けられたドレイン電極と、障壁層上に設けられたゲート電極と、を備える。障壁層の表面の水平位置は高濃度n型半導体領域の各表面の水平位置よりも低い。各高濃度n型半導体領域の表面のうち障壁層に隣接する一部と、障壁層の表面との成す角は135°以上160°以下の範囲内にある。

40

【0008】

また、本発明の一実施形態に係る高電子移動度トランジスタの製造方法は、電子走行層、及び電子走行層よりも大きいバンドギャップを有する障壁層を基板の主面上に順に成長させる工程と、障壁層及び電子走行層をエッチングすることによりメサ構造を形成する工程と、主面上に高濃度n型半導体層を形成する工程と、メサ構造上に開口を有するマスク

50

を高濃度 n 型半導体層上に形成する工程と、マスクの開口を通じてメサ構造上の高濃度 n 型半導体層にウェットエッチングを施すことにより、高濃度 n 型半導体領域を形成する工程と、メサ構造上にゲート電極を形成する工程と、を含む。

【発明の効果】

【0009】

本発明による高電子移動度トランジスタ、及び高電子移動度トランジスタの製造方法によれば、ゲート・ソース間の容量の増大を抑えつつコンタクト抵抗を低減することができる。

【図面の簡単な説明】

【0010】

【図1】図1は、本発明の一実施形態に係る高電子移動度トランジスタ（HEMT）の構成を示す断面図である。

【図2】図2（a）は、基板上においてバッファ層、電子走行層、及び障壁層を順に成長する工程を示す。図2（b）は、凹部と、凹部に挟まれたメサ構造とを形成する工程を示す。

【図3】図3（a）は、高濃度 n 型半導体層を成長させる工程を示す。図3（b）は、高濃度 n 型半導体層上にレジストマスクを形成する工程を示す。

【図4】図4（a）は、傾斜した表面を有する高濃度 n 型半導体領域を形成する工程を示す。図4（b）は、メサ構造上にゲート電極を形成する工程を示す。

【図5】図5（a）は、比較例において基板上にバッファ層、電子走行層、及び障壁層を順に成長する工程を示す。図5（b）は、比較例において、凹部と凹部に挟まれたメサ構造とを形成する工程を示す。

【図6】図6（a）は、比較例においてメサ構造上にマスクを形成する工程を示す。図6（b）は、比較例においてメサ構造上の高濃度 n 型 GaN 層を除去する工程を示す。

【図7】図7は、比較例において高濃度 n 型 GaN 層上にソース電極及びドレイン電極を形成する工程を示す。

【図8】図8は、ゲート・ドレイン間の耐圧性能を示すグラフである。

【発明を実施するための形態】

【0011】

本発明の実施形態に係る高電子移動度トランジスタ、及び高電子移動度トランジスタの製造方法の具体例を、以下に図面を参照しつつ説明する。なお、本発明はこれらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。以下の説明では、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0012】

図1は、本発明の一実施形態に係る高電子移動度トランジスタ（HEMT）1Aの構成を示す断面図である。HEMT 1Aは、基板11、バッファ層13、電子走行層（チャネル層）14、障壁層（電子供給層）15、二つの高濃度 n 型半導体領域26a及び26b、ソース電極31、ドレイン電極32、並びにゲート電極33を備える。このHEMT 1Aは絶縁性の表面保護膜（不図示）によって覆われており、ソース電極31、ドレイン電極32、及びゲート電極33は、表面保護膜に形成された開口を介して、対応する各金属配線にそれぞれ接続される。

【0013】

基板11は、平坦な主面11aを有する結晶成長用の基板である。基板11は、例えば GaN 基板、SiC 基板、Si 基板、及びサファイア基板の何れかとすることができる。バッファ層13は、基板11の主面11a上にエピタキシャル成長した層である。バッファ層13は、例えば AlN 又は AlGaN といった、Al を含む III 族窒化物半導体層である。電子走行層14は、主面11a上に設けられ、バッファ層13上にエピタキシャル成長した層である。電子走行層14の厚さは、例えば 400 nm 以上 1200 nm 以下である。電子走行層14は、例えば i 型 GaN 層といった III 族窒化物半導体層である。

【0014】

電子走行層14は、ドライエッチングにより形成された凹部（リセス）14aと、二つの凹部14aに挟まれたメサ構造であるメサ14bとを有する。凹部14aの底面は平坦であり、主面11aと同じ面方位を有する。メサ14bの側面14cは、主面11aの法線に対して傾斜している。側面14cと主面11aの法線との成す角は、例えば 20° 以上 45° 以下である。言い換えれば、側面14cと、主面11aに平行な仮想平面との成す角 θ_2 は、例えば 45° 以上 70° 以下である。一例では、この角度 θ_2 はGaN結晶の面方位によって決定され、 45° もしくは 60° である。

【0015】

障壁層15は、電子走行層14上にエピタキシャル成長した層であって、メサ14b上に設けられている。障壁層15は、電子走行層14よりも大きなバンドギャップを有するIII族窒化物半導体層である。このようなIII族窒化物半導体層としては、例えばi型AlGaN層またはi型InAlN層が挙げられる。障壁層15の厚さは、例えば5nm以上20nm以下であり、一例では8nmである。電子走行層14と障壁層15との界面の電子走行層14側に2次元電子ガス（2DEG）が生じ、これがチャネル領域となる。障壁層15がInAlNからなる場合、そのIn組成は例えば15%以上19%以下であり、電子走行層14との格子整合を考慮して定められる。一例では、障壁層15のIn組成は17%である。

【0016】

高濃度n型半導体領域26a、26bは、電子走行層14の凹部14a上に形成された領域である。高濃度n型半導体領域26aは、メサ14bの一方の側面14c、及び障壁層15の一方の側面に接する。高濃度n型半導体領域26bは、メサ14bの他方の側面14c、及び障壁層15の他方の側面に接する。言い換えれば、電子走行層14のうちメサ14bを構成する一部および障壁層15は、高濃度n型半導体領域26a、26bの間に設けられている。

【0017】

高濃度n型半導体領域26a、26bは、n型のZnO系化合物半導体領域であり、一例ではn型ZnO若しくはn型ZnMgOからなる。また、高濃度n型半導体領域26a、26bには、n型不純物としてのAl及びGaの少なくとも一方が高濃度でドーピングされている。高濃度n型半導体領域26a、26bの電子濃度は、例えば $1 \times 10^{19} \text{ cm}^{-3}$ 以上である。

【0018】

高濃度n型半導体領域26a、26bの厚さは、メサ14bの高さと障壁層15の厚さとを合わせた厚さよりも厚い。高濃度n型半導体領域26a、26bの厚さは例えば50nm以上200nm以下であり、一例では120nmである。従って、主面11aから測った障壁層15の表面の水平位置H1は、高濃度n型半導体領域26a、26bの各表面の水平位置H2よりも低い。

【0019】

後述するように、障壁層15は、高濃度n型半導体領域26a、26bのウェットエッチングによりその表面を露出する。このエッチングの際、高濃度n型半導体領域26a、26bの表面のうち障壁層15に隣接する一部の表面26cは、主面11aの法線に対して大きく傾斜して形成される。表面26cと障壁層15の表面との成す角 θ_1 は、 135° 以上 160° 以下の範囲内にある。言い換えれば、障壁層15の表面に平行な仮想面と、表面26cとの成す角は、 20° 以上 45° 以下の範囲内にある。

【0020】

ソース電極31、ゲート電極33、及びドレイン電極32は、この順に並んで形成されている。ソース電極31は、一方の高濃度n型半導体領域26a上に設けられて該高濃度n型半導体領域26aとオーミック接触を成す。ドレイン電極32は、他方の高濃度n型半導体領域26b上に設けられて該高濃度n型半導体領域26bとオーミック接触を成す。ゲート電極33は、障壁層15上であって高濃度n型半導体領域26aと高濃度n型半

10

20

30

40

50

導体領域 26b との間の領域上に設けられる。ゲート電極 33 は、ゲート抵抗を下げるために断面 T 字状に形成されている。

【0021】

以上の構成を備える本実施形態の HEMT 1A の製造方法について、図 2～図 4 を参照しながら説明する。まず、図 2 (a) に示されるように、基板 11 上にバッファ層 13、電子走行層 14、及び障壁層 15 を順に成長する。具体的には、基板 11 を MOCVD 装置内に配置して、トリメチルアルミニウム (TMA) 及び NH_3 を装置内に供給し、基板 11 上に AlN バッファ層 13 をエピタキシャル成長する。このときの成長温度は例えば $1000^\circ\text{C} \sim 1200^\circ\text{C}$ であり、一例では 1080°C である。次に、トリメチルガリウム (TMG) 及び NH_3 を供給し、AlN バッファ層 13 上に GaN 電子走行層 14 をエピ
10
タキシャル成長する。このときの成長温度は例えば $1000^\circ\text{C} \sim 1100^\circ\text{C}$ であり、一例では 1080°C である。これら二つの層 13、14 を成長する時の装置内の圧力は例えば 13.3 kPa である。

【0022】

続いて、GaN 電子走行層 14 上に障壁層 15 をエピタキシャル成長する。障壁層 15 が InAlN からなる場合、トリメチルインジウム (TMI)、TMA 及び NH_3 を供給する。成長温度は例えば $650^\circ\text{C} \sim 850^\circ\text{C}$ であり、一例では 800°C である。圧力は例えば 15.0 kPa である。また、障壁層 15 が AlGaN からなる場合、TMA、TMG 及び NH_3 を供給する。成長温度は例えば $1000^\circ\text{C} \sim 1200^\circ\text{C}$ であり、一例では 1080°C である。圧力は例えば 13.3 kPa である。こうして、バッファ層 13、電子
20
走行層 14、及び障壁層 15 を基板 11 上に有する基板生産物を作製する。

【0023】

続いて、上記の基板生産物を MOCVD 装置から取り出し、反応性イオンエッチング (RIE: Reactive Ion Etching) 装置内に移す。そして、例えば塩素系ガスを反応ガスとする RIE によって、前述の障壁層 15 及び電子走行層 14 をそれぞれ含む二つの領域 A1、A2 を除去する。特に、電子走行層 14 が i 型 GaN 層であり、障壁層 15 が i 型 InAlN 層である場合には、例えば Cl_2 及び BCl_3 のうち少なくとも一方を用いた RIE を行う。こうして、図 2 (b) に示されるように、凹部 14a と、この凹部 14a に挟まれたメサ 14b とが形成される。このとき、エッチング条件 (塩素ガスの混合比、圧力等) を調節することにより、メサ 14b の側面 14c を主面 11a の法線に対して傾斜さ
30
せる (好適には 45° の角度で形成する)。エッチング条件の一例としては、 Cl_2 ガス流量: 5 s s m、 BCl_3 ガス流量: 30 s c c m、圧力: 0.4 Pa、プラズマ周波数: 13.56 MHz、RF パワー: 150 W である。凹部 14a の深さ (エッチング深さ) は、障壁層 15 の表面から少なくとも 80 nm である。

【0024】

続いて、基板生産物を RIE 装置から取り出し、基板生産物の表面を洗浄する。具体的には、基板生産物の表面、すなわち障壁層 15 の表面およびエッチングにより露出した凹部 14a の表面に対し、HF または HCl を用いて洗浄を行う。

【0025】

続いて、図 3 (a) に示されるように、主面 11a の全面 (すなわち凹部 14a 及びメサ 14b 上) に、分子線エピタキシー (MBE) 法を用いて、高濃度 n 型半導体層 26 を成長させる。このとき、n 型不純物としての Al 及び Ga の少なくとも一方を高濃度 (例えば $1 \times 10^{19} \text{ cm}^{-3}$ 以上) でドーピングする。高濃度 n 型半導体層 26 の厚さは例えば 120 nm である。高濃度 n 型半導体層 26 が n 型 ZnO 層の場合、例えば亜鉛 (Zn) の固体原料を用い、 O_2 プラズマ雰囲気中で高濃度 n 型半導体層 26 を気相成長する。このときの成長温度は、例えば 600°C である。

【0026】

続いて、高濃度 n 型半導体層 26 の熱処理を行う。熱処理温度は例えば 600°C 以上 800°C 以下である。一例では、 O_2 雰囲気下で 800°C 30 分の熱処理を行う。

【0027】

10

20

30

40

50

続いて、通常のリソグラフィー技術及びリフトオフ技術を用いて、メサ14bを挟む高濃度n型半導体層26上の領域のそれぞれに、ソース電極31及びドレイン電極32を形成する。ソース電極31及びドレイン電極32は、例えばIn/Au積層金属である。その後、この積層金属を熱処理してそれぞれソース電極31、ドレイン電極32とする。熱処理の温度は例えば350℃である。

【0028】

続いて、図3(b)に示されるように、通常のリソグラフィー技術を用いて、高濃度n型半導体層26上にレジストマスク64を形成する。レジストマスク64は、メサ14b上に開口64aを有する。この開口64aは例えばEB露光技術を用いて形成され、その幅は例えば0.1μmである。レジストマスク64の厚さは例えば300nmである。

10

【0029】

続いて、レジストマスク64の開口64aを通じてメサ14b上の高濃度n型半導体層26をウェットエッチングにより除去し、図4(a)に示されるように、傾斜した表面26cを有する高濃度n型半導体領域26a、26bを形成する。上述したように、表面26cと障壁層15の表面との成す角θ1は135°～160°である。高濃度n型半導体層26がn型のZnO系化合物半導体層の場合には、このような表面26cの角度を実現するために、エッチャントとして例えば希釈クエン酸、希釈アコニット酸、及び酢酸のうち少なくとも一つが用いられる。

【0030】

続いて、図4(b)に示されるように、レジストマスク64を利用して、メサ14b上にゲート電極33を形成する。このとき、ゲート電極33の下部はレジストマスク64の開口64aを充填し、ウェットエッチングにより生じた空隙を通して障壁層15に達する。また、ゲート電極33の上部はレジストマスク64上に広がる。これにより、ゲート電極33は断面T字状となる。ゲート電極33は、例えばNi/Auからなる。最後に、レジストマスク64を除去し、例えば原子層堆積(ALD)法を用いてAl₂O₃を形成し、半導体の表面を保護する。以上の各工程を経て、図1に示される本実施形態のHEMT1Aが完成する。

20

【0031】

以上に説明した、本実施形態によるHEMT1A及びその製造方法によって得られる効果について説明する。HEMT1A及びその製造方法では、障壁層15および電子走行層14のうちゲート電極33の下に位置する部分の両側の一对の部分除去し、除去後の領域(リセス)に高濃度n型半導体領域26a、26bを形成し、該高濃度n型半導体領域26a、26b上にソース電極31及びドレイン電極32を形成する。これにより、高濃度n型半導体領域26a、26bが障壁層15と電子走行層14との界面に直接接するので、アクセス抵抗を低減することができる。

30

【0032】

ここで、図5～図7は、比較例に係るHEMTの製造方法を示す断面図である。まず、図5(a)に示されるように、基板11上においてバッファ層13、電子走行層14、及び障壁層15を順に成長する。このときの具体的方法は本実施形態と同様である。

【0033】

次に、例えば塩素系ガスを反応ガスとするRIEによって、領域A3、A4を除去する。領域A3、A4は、それぞれ電子走行層14及び障壁層15の一部を含む。こうして、図5(b)に示されるように、凹部(リセス)102と、凹部102に挟まれたメサ104が形成される。本実施形態のメサ14b(図2(b)参照)と異なり、比較例に係るメサ104の側面104aは、凹部102の底面に対して略垂直である。

40

【0034】

続いて、表面を洗浄したのち、図6(a)に示されるように、メサ104上にマスク106を形成する。マスク106は、例えばSiO₂からなり、SiO₂膜を主面11a上の全面(凹部102上及びメサ104上)に成膜したのち、凹部102上のSiO₂膜を、例えばフッ素系ガス(SF₆またはCF₄)を用いたRIEにより除去して形成される。そ

50

して、例えばMOCVD法を用いて、高濃度n型GaN層108を凹部102上に選択成長する。このとき、TMGとNH₃を原料としてSiH₄をドーパントとする。また、成長後の高濃度n型GaN層108の厚さは例えば120nmであり、不純物濃度は例えば $1 \times 10^{19} \text{ cm}^{-3}$ である。成長温度は例えば1000℃であり、圧力は例えば20.0kPaである。その後、HF溶液に例えば10分程度浸漬して、図6(b)に示されるようにマスク106を除去し、メサ104上の高濃度n型GaN層108を除去する。

【0035】

続いて、図7に示されるように、通常のリソグラフィー技術及びリフトオフ技術を用いて、メサ104を挟む高濃度n型GaN層108上の領域に、ソース電極31及びドレイン電極32を形成する。そして、ソース電極31及びドレイン電極32の間の障壁層15上にSiN保護膜110を形成し、EB露光技術を用いてメサ104上に開口部110aを形成する。SiN膜110の厚さは例えば100nmである。次いで、ゲート電極33を形成して開口部110aを塞ぐ。以上で、比較例に係るHEMT100が完成する。

【0036】

この比較例では、選択成長におけるマストランスポート（選択成長マスクの近傍が厚く形成される現象）に起因して、メサ104近傍の高濃度n型GaN層108の厚さが例えば200nmに近くなり、障壁層15の表面に対して100nm以上盛り上がる。その結果、ゲート電極33と高濃度n型GaN層108との間隔が短くなり、ゲート・ドレイン間の耐圧性能の低下、及びゲート・ソース間の容量の増大を招く。

【0037】

この比較例において、ゲート電極33のゲート長(L_g)を0.1μmとし、ソース電極31とドレイン電極32との間隔を0.8μmとし、ゲート電極33の上部の幅を0.6μmとして、高周波特性を評価した。その結果、遮断周波数(f_t)は120GHzであり、そのときのゲート・ソース間の容量C_{gs}は0.6pF/mmであった。この容量C_{gs}の値はゲート長に比較して大きく、ゲート電極33と高濃度n型GaN層108との間隔が短くなっていることがその一因であると考えられる。

【0038】

これに対し、本実施形態のHEMT1Aにおいて、ゲート電極33のゲート長(L_g)、ソース電極31とドレイン電極32との間隔、及びゲート電極33の上部の幅を上記と等しくして、高周波特性を評価した。その結果、遮断周波数(f_t)は180GHzに向上し、そのときのゲート・ソース間の容量C_{gs}は0.4pF/mmであった。この容量C_{gs}の値は、ゲート長(0.1μm)からすれば適度な値である。

【0039】

また、図8は、ゲート・ドレイン間の耐圧性能を示すグラフであって、グラフG11は本実施形態のHEMT1Aに関する特性を示し、グラフG12は比較例のHEMT100に関する特性を示す。縦軸はゲート・ドレイン間電流I_{gd}(A/mm)を示し、横軸はゲート・ドレイン間電圧V_{gd}(V)を示す。グラフG12に示される比較例では、ゲート・ドレイン間の耐圧が16Vと低く、耐圧測定時にゲート・ドレイン間の短絡が生じた。ドレイン側の高濃度n型GaN層108とゲート電極33との短絡が生じていた。これに対し、グラフG11に示される本実施形態のHEMT1Aでは、ゲート・ドレイン間の耐圧が40V以上と高く、ゲート・ドレイン間電流が1mA/mmを超えてもHEMT1Aのショート故障は生じなかった。

【0040】

本実施形態では、高濃度n型半導体領域26a、26bの表面26cと障壁層15の表面との成す角θ1が135°~160°と大きい（すなわち主面11aの法線方向に対して表面26cが大きく傾斜している）ことにより、ゲート電極33と高濃度n型半導体領域26a、26bとの距離が比較例よりも広い。すなわち、高濃度n型半導体領域26a、26bがゲート電極33から距離をもって形成されているので、上述したように、ゲート・ドレイン間の耐圧性能の低下、及びゲート・ソース間の容量の増大を効果的に抑えることができる。

10

20

30

40

50

【0041】

また、表面26cと障壁層15の表面との成す角 θ_1 が大きく、高濃度n型半導体層26をエッチングする工程におけるエッチング量のマージンを大きくすることができる。同様の理由により、フォトリソグラフィ技術における位置精度が低くても表面26cの形成位置のずれを抑えることができる。これらのことから、ソース・ドレイン間の距離を狭くした微細構造においても、高い量産性を実現できる。

【0042】

また、本実施形態のように、高濃度n型半導体領域26a、26bはn型のZnO系化合物半導体領域であってもよい。この場合、n型GaNを用いる場合よりも低いアクセス抵抗及びコンタクト抵抗を実現することができる。その結果、相互コンダクタンスgm及び遮断周波数ftを格段に高めることができる。

10

【0043】

なお、高濃度n型半導体領域26a、26bの構成材料は、十分に大きな導電率を有し、電子走行層14に対して大きなヘテロ障壁を形成しなければ、他の材料でも良い。また、障壁層15に対するエッチングの選択性と、大きな角度 θ_1 でのエッチングを可能とする化学的特性とを充足する材料であれば、本実施形態のHEMT1Aの構造を好適に実現できる。このような条件を満たす材料としては、次に示される酸化物半導体が好適である。すなわち酸化物半導体とは、上述したZnOの他、 In_2O_3 、 SnO_2 、 CdO 、 TiO_2 、並びにこれらの混晶（例えばITO：In-Sn-O）のうち少なくとも一つを指す。これらの酸化物半導体は、低い電気抵抗を有する。また、混晶比を調整することにより、電子走行層14との電子障壁を低減できる。更に、酸化物であるから一般的には酸に可溶であり、適切なエッチャントを用いてウェットエッチングを行うことが可能である。従って、本実施形態の高濃度n型半導体領域26a、26bの形状を好適に実現できる。

20

【0044】

また、本実施形態のように、基板11をGaN基板、SiC基板、Si基板、及びサファイア基板のうち何れかとし、電子走行層14をi型GaN層とし、障壁層15をi型InAlN層とすることができる。これにより、広いバンドギャップを有し、極めて大きな絶縁破壊電圧及び飽和電子速度を有するGaN系HEMTを実現できる。また障壁層15の上部に、障壁層15よりもバンドギャップの小さい（例えばGaN）半導体層、いわゆるキャップ層を含む構造を用いても良い。

30

【0045】

また、本実施形態のように、ゲート電極33を形成する工程において、高濃度n型半導体層26をエッチングするためのレジストマスク64を再利用してゲート電極33を形成してもよい。これにより、工程数を少なくすることができる。

【0046】

また、本実施形態のように、高濃度n型半導体層26がn型のZnO系化合物半導体層の場合、高濃度n型半導体領域26a、26bを形成する工程において、エッチャントとして希釈クエン酸、希釈アコニット酸、及び酢酸のうち少なくとも一つを用いることができる。これにより、高濃度n型半導体領域26a、26bの表面26cと障壁層15の表面との成す角 θ_1 を、 $135^\circ \sim 160^\circ$ といった大きな角度にすることができる。

40

【0047】

また、本実施形態のように、電子走行層14がi型GaN層であり、障壁層15がi型InAlN層である場合、 Cl_2 及び BCl_3 のうち少なくとも一方を用いたドライエッチングによりメサ14bを形成することができる。

【0048】

本発明による高電子移動度トランジスタ、及び高電子移動度トランジスタの製造方法は、上述した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態ではGaN系のHEMTを例示したが、本発明はこれ以外にも様々な半導体材料のHEMTに適用することができる。

【0049】

50

また、上記実施形態では、高濃度n型半導体層をエッチングするためのレジストマスクを再利用してゲート電極を形成しているが、高濃度n型半導体層をエッチングしたのちにレジストマスクを一旦除去し、ゲート電極を形成するためのマスクを再度形成したのち、ゲート電極を形成してもよい。

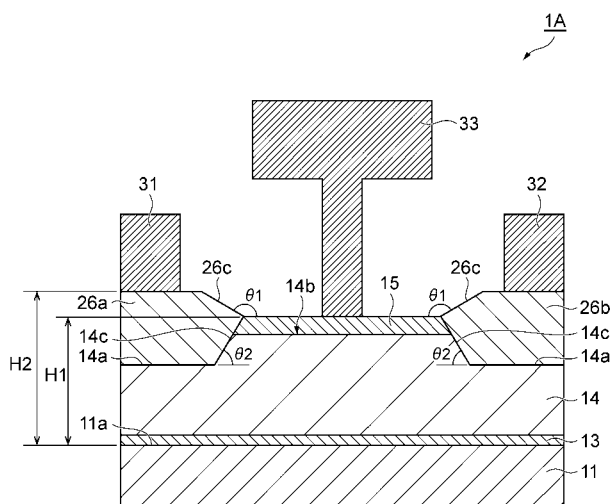
【符号の説明】

【0050】

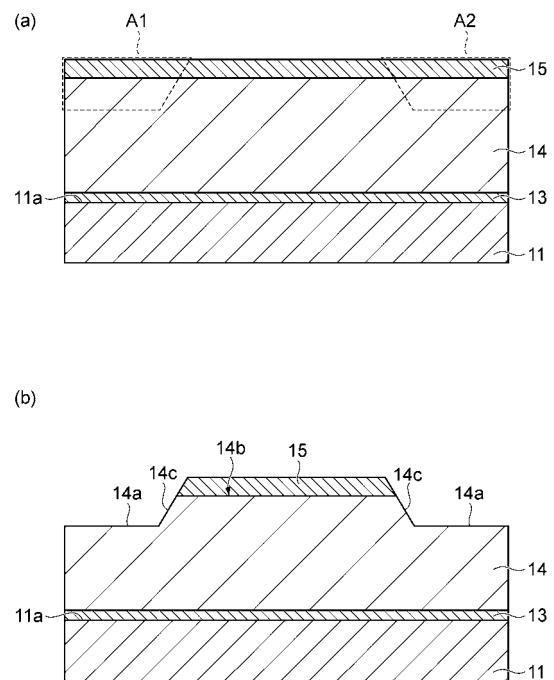
11…基板、11a…主面、13…バッファ層、14…電子走行層、14a…凹部、14b…メサ、14c…側面、15…障壁層、26…高濃度n型半導体層、26a、26b…高濃度n型半導体領域、31…ソース電極、32…ドレイン電極、33…ゲート電極、64…レジストマスク、64a…開口。

10

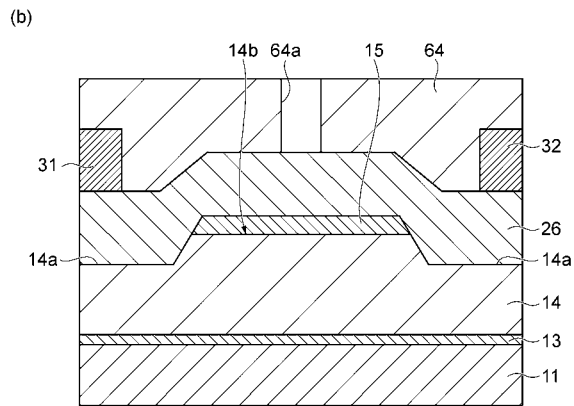
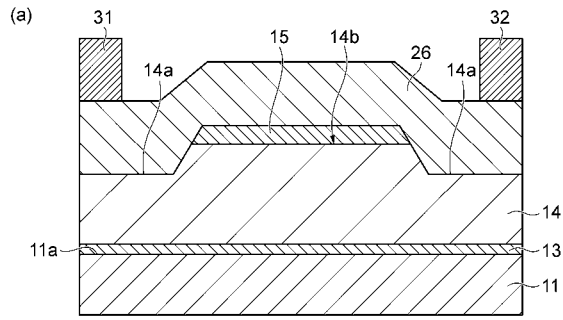
【図1】



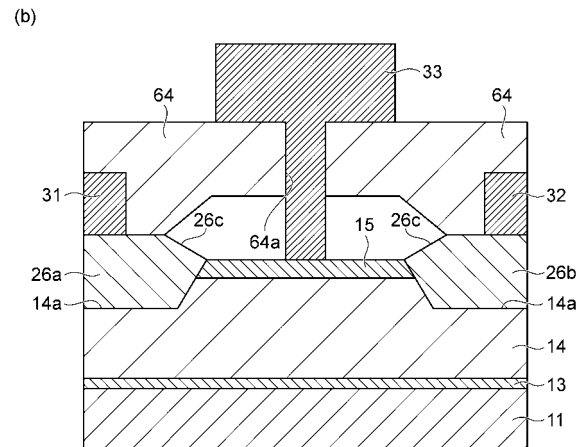
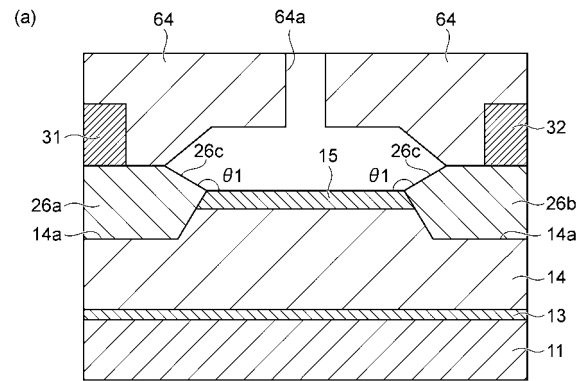
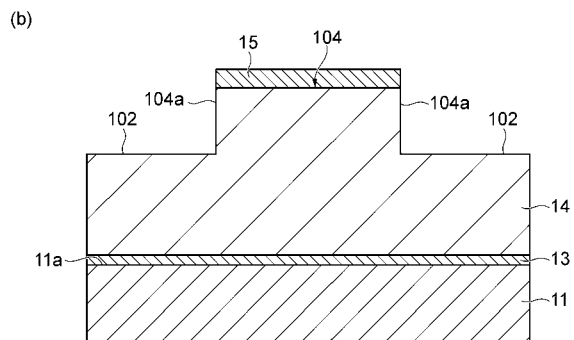
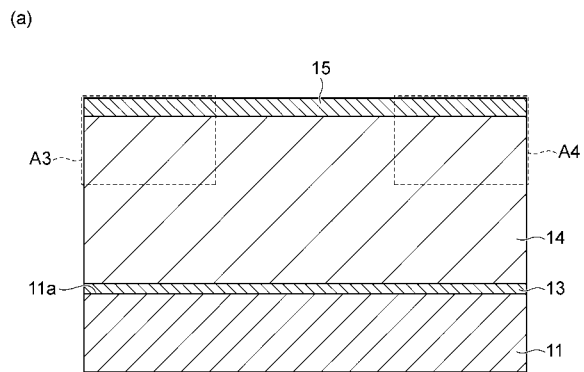
【図2】



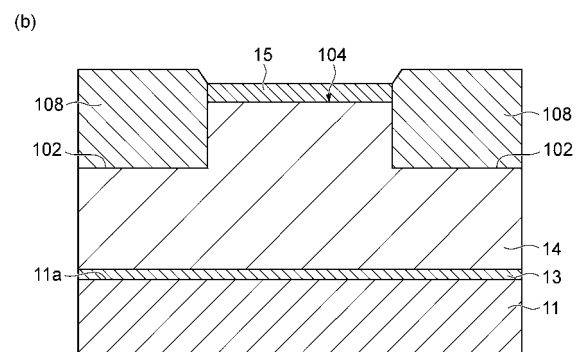
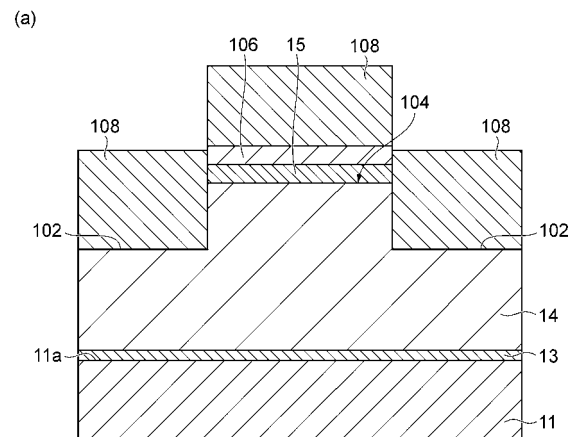
【図 4】



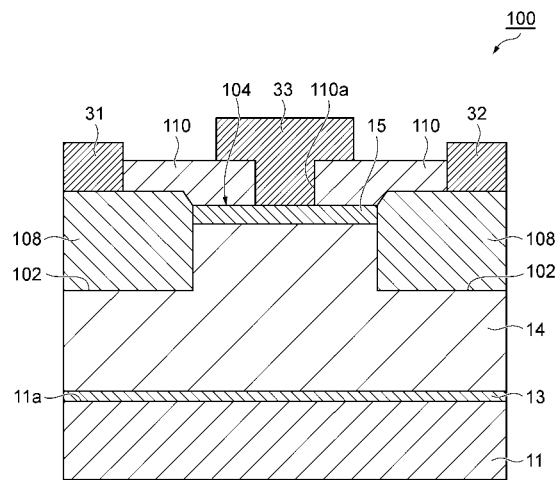
【 図 5 】



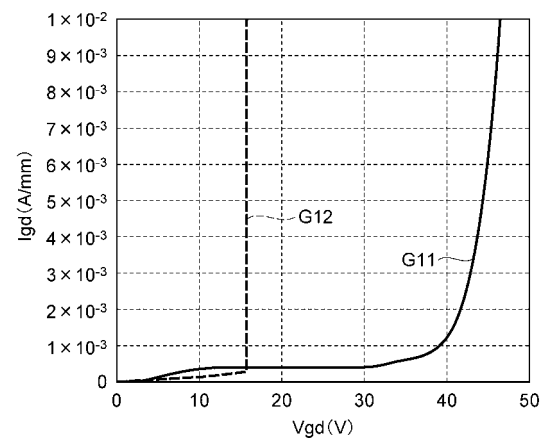
【图 6】



【図 7】



【図 8】



フロントページの続き

Fターム(参考) 5F102 FA01 FA03 GB01 GC01 GD01 GJ02 GJ03 GJ04 GJ10 GK04
GL04 GM04 GM08 GQ01 GR04 GR17 GS04 GT01 GV05 HC01
HC16 HC17 HC19