

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年2月13日(2014.2.13)

【公表番号】特表2013-527550(P2013-527550A)

【公表日】平成25年6月27日(2013.6.27)

【年通号数】公開・登録公報2013-034

【出願番号】特願2013-506425(P2013-506425)

【国際特許分類】

G 11 C 13/00 (2006.01)

【F I】

G 11 C 13/00 150

G 11 C 13/00 110 P

【手続補正書】

【提出日】平成25年12月20日(2013.12.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の隣接する相変化メモリ(PCM)セルを備え、

アクセスするための記憶場所がPCMセルのサブセットを含み、該サブセットのそれぞれのPCMセルが該サブセットの他のPCMセルと互いに隣接しないようになっている、装置。

【請求項2】

前記複数の隣接するPCMセルは、奇数の番号が付された第1組のPCMセルと偶数の番号が付された第2組のPCMセルとに分けられ、前記第1および第2組のセルは前記第1組に属するものと前記第2組に属するものとが交互になっており、

前記装置は、前記第1組のセルまたは前記第2組のセルを選択するためのセレクタを更に備える、請求項1に記載の装置。

【請求項3】

前記セレクタが前記第1組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は前記第1組のセルを含むが前記第2組のセルを含まず、

前記セレクタが前記第2組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は前記第2組のセルを含むが前記第1組のセルを含まない、

請求項2に記載の装置。

【請求項4】

前記セレクタは、

前記第1組のセルに接続される第1の出力と、

前記第2組のセルに接続される第2の出力と、

を備える、請求項2に記載の装置。

【請求項5】

前記複数の隣接するPCMセルは、奇数の番号が付された第3組のPCMセルと偶数の番号が付された第4組のPCMセルとを更に備え、前記第3および第4組のセルは前記第3組に属するものと前記第4組に属するものとが交互になっており、

前記セレクタは、

前記第1組のセルに接続される第1の出力と、

前記第2組のセルに接続される第2の出力と、
前記第3組のセルに接続される第3の出力と、
前記第4組のセルに接続される第4の出力と、
を備える、請求項2に記載の装置。

【請求項6】

第1組のビット線と、第2組のビット線とを更に備え、各ビット線がビット線を選択するための切り換え要素を備え、

前記第1組のビット線の前記切り換え要素が前記第1の出力に接続され、前記第2組のビット線の前記切り換え要素が前記第2の出力に接続される、

請求項2に記載の装置。

【請求項7】

第1の複数のPCMブロックユニットを備える第1のメモリセルアレイであって、各PCMブロックユニットが複数のメモリセルを含み、前記第1の複数のPCMブロックユニットが第1のブロックセットと第2のブロックセットとに分けられて、前記第1のブロックセットに属する各PCMブロックユニットが前記第1のブロックセットの他のPCMブロックユニットのいずれにも隣接しないとともに、前記第2のブロックセットに属する各PCMブロックユニットが前記第2のブロックセットの他のPCMブロックユニットのいずれにも隣接しないようになっている、第1のメモリセルアレイと、

前記第1のブロックセットと前記第2のブロックセットとの間で選択するように構成される第1のセレクタと、

ワード線ドライバ構造と、を備え、

前記ワード線ドライバ構造は、

第1の複数のサブワード線ドライバと、

前記第1の複数のPCMブロックユニットを前記第1の複数のサブワード線ドライバを介して駆動させる第1のメインワード線ドライバと、を備え、

前記第1のセレクタが前記第1のブロックセットを選択するとき、アクセスのための記憶場所が前記第1のブロックセットの各ブロックのメモリセルを含み、前記第1のセレクタが前記第2のブロックセットを選択するとき、アクセスのための記憶場所が前記第2のブロックセットの各ブロックのメモリセルを含む、装置。

【請求項8】

各PCMブロックユニットは、

複数の隣接するPCM(相変化メモリ)セルを備え、

前記第1のセレクタにより選択されるPCMブロックユニットにおいては、アクセスのための記憶場所がPCMブロックユニットのPCMセルのサブセットを含み、前記サブセットの各PCMセルが前記サブセットの他のPCMセルと互いに隣接しないようになっている、請求項7に記載の装置。

【請求項9】

各PCMブロックユニットは、奇数の番号が付された第1組のメモリセルと偶数の番号が付された第2組のメモリセルとに分けられる複数の隣接するメモリセルを備え、前記第1および第2組のセルは前記第1組に属するものと前記第2組に属するものとが交互になっており、

前記装置は、前記第1組のセルと前記第2組のセルとの間で選択する第2のセレクタを更に備える、請求項8に記載の装置。

【請求項10】

前記第1のセレクタが前記第1のブロックセットを選択するとともに前記第2のセレクタが前記第1組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第1のブロックセットの各ブロックの前記第1組のセルのメモリセルを含み、

前記第1のセレクタが前記第1のブロックセットを選択するとともに前記第2のセレクタが前記第2組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第1のブロックセットの各ブロックの前記第2組のセルのメモリセルを含み、

前記第1のセレクタが前記第2のブロックセットを選択するとともに前記第2のセレクタが前記第1組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第2のブロックセットの各ブロックの前記第1組のセルのメモリセルを含み、

前記第1のセレクタが前記第2のブロックセットを選択するとともに前記第2のセレクタが前記第2組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第2のブロックセットの各ブロックの前記第2組のセルのメモリセルを含む、

請求項9に記載の装置。

【請求項11】

各PCMブロックにおいて、前記複数の隣接するPCMセルは、奇数の番号が付された第3組のPCMセルと偶数の番号が付された第4組のPCMセルとを更に備え、前記第3および第4組のセルは前記第3組に属するものと前記第4組に属するものとが交互になつてあり、

前記第2のセレクタは、

前記第1組のセルに接続される第1の出力と、
前記第2組のセルに接続される第2の出力と、
前記第3組のセルに接続される第3の出力と、
前記第4組のセルに接続される第4の出力と、
を備える、請求項9に記載の装置。

【請求項12】

第2の複数のPCMブロックユニットを備える第2のメモリセルアレイであつて、前記第2の複数のPCMブロックユニットが第3のブロックセットと第4のブロックセットとに分けられて、前記第3組に属する各PCMブロックユニットが前記第3組の他のPCMブロックユニットのいずれにも隣接しないとともに、前記第4組に属する各PCMブロックユニットが前記第4組の他のPCMブロックユニットのいずれにも隣接しないようになつてゐる、第2のメモリセルアレイを更に備え、

前記ワード線ドライバ構造は、第2の複数のサブワード線ドライバを介して前記第2の複数のPCMブロックユニットを駆動させる第2のメインワード線ドライバを更に備え、前記第1のセレクタは、

a) 前記第1のブロックセットおよび前記第3のブロックセットの両方
b) 前記第2のブロックセットおよび前記第4のブロックセットの両方
のうちの一方を選択し、

前記セレクタが前記第1のブロックセットおよび前記第3のブロックセットを選択すると、アクセスのための記憶場所は、前記第1のブロックセットの各ブロックのメモリセルと前記第3のブロックセットの各ブロックのメモリセルとを備え、

前記セレクタが前記第2のブロックセットおよび前記第4のブロックセットを選択すると、アクセスのための記憶場所は、前記第2のブロックセットの各ブロックのメモリセルと前記第4のブロックセットの各ブロックのメモリセルとを備える、

請求項7に記載の装置。

【請求項13】

アドレスデコーダを備え、

前記第1のメインワード線ドライバおよび前記第2のメインワード線ドライバが共通に前記アドレスデコーダによってアクティブにされる、請求項12に記載の装置。

【請求項14】

各PCMブロックユニットが複数の隣接するPCM(相変化メモリ)セルを備え、前記第1のセレクタによって選択されるPCMブロックユニットにおいて、アクセスのための記憶場所が前記PCMブロックユニットのPCMセルのサブセットを含み、前記サブセットの各PCMセルが前記サブセットの他のPCMセルと互いに隣接しないようになつてゐる、請求項12に記載の装置。

【請求項15】

各PCMブロックユニットは、奇数の番号が付されたメモリセルから成る第1組と偶数

の番号が付されたメモリセルから成る第2組とに分けられる複数の隣接するメモリセルを備えて、前記第1および第2組のセルが前記第1組に属するものと前記第2組に属するものとが交互にあるようになっており、

第2のセレクタが前記第1組のセルと前記第2組のセルとの間で選択する、請求項14に記載の装置。

【請求項16】

前記第1のセレクタが前記第1のブロックセットを選択するとともに前記第2のセレクタが前記第1組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第1のブロックセットの各ブロックの前記第1組のセルのメモリセルを含み、

前記第1のセレクタが前記第1のブロックセットを選択するとともに前記第2のセレクタが前記第2組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第1のブロックセットの各ブロックの前記第2組のセルのメモリセルを含み、

前記第1のセレクタが前記第2のブロックセットを選択するとともに前記第2のセレクタが前記第1組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第2のブロックセットの各ブロックの前記第1組のセルのメモリセルを含み、

前記第1のセレクタが前記第2のブロックセットを選択するとともに前記第2のセレクタが前記第2組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第2のブロックセットの各ブロックの前記第2組のセルのメモリセルを含む、

請求項14に記載の装置。

【請求項17】

各PCMブロックにおいて、前記複数の隣接するPCMセルは、奇数の番号が付された第3組のPCMセルと偶数の番号が付された第4組のPCMセルとを更に備え、前記第3および第4組のセルは前記第3組に属するものと前記第4組に属するものとが交互になっており、

前記セレクタは、前記第1組のセルを選択するべく接続される第1の出力と、前記第2組のセルを選択するべく接続される第2の出力と、第3組のセルを選択するべく接続される第3の出力と、第4組のセルを選択するべく接続される第4の出力とを備える、

請求項16に記載の装置。

【請求項18】

アクセスするための記憶場所がPCMセルのサブセットを含み、前記サブセットの各PCMセルが前記サブセットの他のPCMセルと互いに隣接しないように、相変化メモリセルにアクセスすることを含む、方法。

【請求項19】

複数の隣接するPCMセルは、奇数の番号が付された第1組のPCMセルと偶数の番号が付された第2組のPCMセルとに分けられ、前記第1および第2組のセルは前記第1組に属するものと前記第2組に属するものとが交互になっており、

前記第1組のセルまたは前記第2組のセルを選択することを更に含む、

請求項18に記載の方法。

【請求項20】

前記セレクタが前記第1組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は前記第1組のセルを含むが前記第2組のセルを含まず、

前記セレクタが前記第2組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は前記第2組のセルを含むが前記第1組のセルを含まない、

請求項19に記載の方法。

【請求項21】

前記複数の隣接するPCMセルは、奇数の番号が付された第3組のPCMセルと偶数の番号が付された第4組PCMセルとを更に備え、前記第3および第4組のセルは前記第3組に属するものと前記第4組に属するものとが交互になっており、

第1組のセル、第2組のセル、前記第3組のセル、および前記第4組のセルの間で選択することを更に含む、

請求項1 9に記載の方法。

【請求項22】

第1の複数のPCMブロックユニットを備える第1のメモリセルアレイであって、各PCMブロックユニットが複数のメモリセルを含み、前記第1の複数のPCMブロックユニットが第1のブロックセットと第2のブロックセットとに分けられて、前記第1のブロックセットに属する各PCMブロックユニットが前記第1のブロックセットの他のPCMブロックユニットのいずれにも隣接しないとともに、前記第2のブロックセットに属する各PCMブロックユニットが前記第2のブロックセットの他のPCMブロックユニットのいずれにも隣接しないようになっている、第1のメモリセルアレイにおいて、前記第1のブロックセットと前記第2のブロックセットとの間で選択するステップと、

第1のメインワード線ドライバを使用して、前記第1の複数のPCMブロックユニットを第1の複数のサブワード線ドライバを介して駆動させるステップと、

を含み、

前記第1のブロックセットが選択されるとき、前記第1のブロックセットの各ブロックのメモリセルを含む記憶場所にアクセスし、前記第2のブロックセットが選択されるとき、前記第2のメモリセットの各ブロックのメモリセルを含むアクセスのための記憶場所にアクセスする、

方法。

【請求項23】

各PCMブロックユニットは、

複数の隣接するPCM(相変化メモリ)セルを備え、

選択されるPCMブロックユニットにおいては、アクセスのための記憶場所が前記PCMブロックユニットの前記PCMセルのサブセットを含み、前記サブセットの各PCMセルが前記サブセットの他のPCMセルと互いに隣接しないようになっている、

請求項2 2に記載の方法。

【請求項24】

各PCMブロックユニットは、奇数の番号が付された第1組のメモリセルと偶数の番号が付された第2組のメモリセルとに分けられる複数の隣接するメモリセルを備え、前記第1および第2組のセルは前記第1組に属するものと前記第2組に属するものとが交互になっており、

前記第1組のセルと前記第2組のセルとの間で選択するステップを更に備える、

請求項2 2に記載の方法。

【請求項25】

前記第1のブロックセットおよび前記第1組のセルが選択されるとき、読み取り或いは書き込みのための記憶場所は、前記第1のブロックセットの各ブロックの前記第1組のセルのメモリセルを含み、

前記第1のブロックセットおよび前記第2組のセルが選択されるとき、読み取り或いは書き込みのための記憶場所は、前記第1のブロックセットの各ブロックの前記第2組のセルのメモリセルを含み、

前記第2のブロックセットおよび前記第1組のセルが選択されるとき、読み取り或いは書き込みのための記憶場所は、前記第2のブロックセットの各ブロックの前記第1組のセルのメモリセルを含み、

前記第2のブロックセットおよび前記第2組のセルが選択されるとき、読み取り或いは書き込みのための記憶場所は、前記第2のブロックセットの各ブロックの前記第2組のセルのメモリセルを含む、

請求項2 4に記載の方法。

【請求項26】

第2の複数のPCMブロックユニットを備える第2のメモリセルアレイであって、前記第2の複数のPCMブロックユニットが第3のブロックセットと第4のブロックセットとに分けられて、前記第3組に属する各PCMブロックユニットが前記第3組の他のPCM

プロックユニットのいずれにも隣接しないとともに、前記第4組に属する各PCMプロックユニットが前記第4組の他のPCMプロックユニットのいずれにも隣接しないようになっている、第2のメモリセルアレイにおいて、第2のメインワード線ドライバを使用して、前記第2の複数のPCMプロックユニットを第2の複数のサブワード線ドライバを介して駆動させるステップを更に含み、

選択するステップであって、

a) 前記第1のプロックセットおよび前記第3のプロックセットの両方

b) 前記第2のプロックセットおよび前記第4のプロックセットの両方

のうちの一方を選択することを含む選択するステップを更に含み、

前記第1のプロックセットおよび前記第3のプロックセットが選択されるとき、アクセスのための記憶場所は、前記第1のプロックセットの各プロックのメモリセルと前記第3のプロックセットの各プロックのメモリセルとを含み、

前記第2のプロックセットおよび前記第4のプロックセットが選択されるとき、アクセスのための記憶場所は、前記第2のプロックセットの各プロックのメモリセルと前記第4のプロックセットの各プロックのメモリセルとを含む、

請求項2 2に記載の方法。

【請求項 2 7】

前記第1のメインワード線ドライバおよび前記第2のメインワード線ドライバ(204)を共通にアクティブにするステップを更に含む、請求項2 6に記載の方法。