

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成26年2月13日 (2014.2.13)

【公表番号】特表2013-527550(P2013-527550A)
 【公表日】平成25年6月27日 (2013.6.27)
 【年通号数】公開・登録公報2013-034
 【出願番号】特願2013-506425(P2013-506425)
 【国際特許分類】

G 1 1 C 13/00 (2006.01)

【F I】

G 1 1 C 13/00 1 5 0

G 1 1 C 13/00 1 1 0 P

【手続補正書】

【提出日】平成25年12月20日 (2013.12.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の隣接する相変化メモリ (P C M) セルを備え、

アクセスするための記憶場所が P C M セルのサブセットを含み、該サブセットのそれぞれの P C M セルが該サブセットの他の P C M セルと互いに隣接しないようになっている、装置。

【請求項 2】

前記複数の隣接する P C M セルは、奇数の番号が付された第 1 組の P C M セルと偶数の番号が付された第 2 組の P C M セルとに分けられ、前記第 1 および第 2 組のセルは前記第 1 組に属するものと前記第 2 組に属するものとが交互になっており、

前記装置は、前記第 1 組のセルまたは前記第 2 組のセルを選択するためのセレクタを更に備える、請求項 1 に記載の装置。

【請求項 3】

前記セレクタが前記第 1 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は前記第 1 組のセルを含むが前記第 2 組のセルを含まず、

前記セレクタが前記第 2 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は前記第 2 組のセルを含むが前記第 1 組のセルを含まない、

請求項 2 に記載の装置。

【請求項 4】

前記セレクタは、

前記第 1 組のセルに接続される第 1 の出力と、

前記第 2 組のセルに接続される第 2 の出力と、

を備える、請求項 2 に記載の装置。

【請求項 5】

前記複数の隣接する P C M セルは、奇数の番号が付された第 3 組の P C M セルと偶数の番号が付された第 4 組の P C M セルとを更に備え、前記第 3 および第 4 組のセルは前記第 3 組に属するものと前記第 4 組に属するものとが交互になっており、

前記セレクタは、

前記第 1 組のセルに接続される第 1 の出力と、

前記第 2 組のセルに接続される第 2 の出力と、
前記第 3 組のセルに接続される第 3 の出力と、
前記第 4 組のセルに接続される第 4 の出力と、
を備える、請求項 2 に記載の装置。

【請求項 6】

第 1 組のビット線と、第 2 組のビット線とを更に備え、各ビット線がビット線を選択するための切り換え要素を備え、

前記第 1 組のビット線の前記切り換え要素が前記第 1 の出力に接続され、前記第 2 組のビット線の前記切り換え要素が前記第 2 の出力に接続される、

請求項 2 に記載の装置。

【請求項 7】

第 1 の複数の P C M ブロックユニットを備える第 1 のメモリセルアレイであって、各 P C M ブロックユニットが複数のメモリセルを含み、前記第 1 の複数の P C M ブロックユニットが第 1 のブロックセットと第 2 のブロックセットとに分けられて、前記第 1 のブロックセットに属する各 P C M ブロックユニットが前記第 1 のブロックセットの他の P C M ブロックユニットのいずれにも隣接しないとともに、前記第 2 のブロックセットに属する各 P C M ブロックユニットが前記第 2 のブロックセットの他の P C M ブロックユニットのいずれにも隣接しないようになっている、第 1 のメモリセルアレイと、

前記第 1 のブロックセットと前記第 2 のブロックセットとの間で選択するように構成される第 1 のセクタと、

ワード線ドライバ構造と、を備え、

前記ワード線ドライバ構造は、

第 1 の複数のサブワード線ドライバと、

前記第 1 の複数の P C M ブロックユニットを前記第 1 の複数のサブワード線ドライバを介して駆動させる第 1 のメインワード線ドライバと、を備え、

前記第 1 のセクタが前記第 1 のブロックセットを選択するとき、アクセスのための記憶場所が前記第 1 のブロックセットの各ブロックのメモリセルを含み、前記第 1 のセクタが前記第 2 のブロックセットを選択するとき、アクセスのための記憶場所が前記第 2 のブロックセットの各ブロックのメモリセルを含む、装置。

【請求項 8】

各 P C M ブロックユニットは、

複数の隣接する P C M (相変化メモリ) セルを備え、

前記第 1 のセクタにより選択される P C M ブロックユニットにおいては、アクセスのための記憶場所が P C M ブロックユニットの P C M セルのサブセットを含み、前記サブセットの各 P C M セルが前記サブセットの他の P C M セルと互いに隣接しないようになっている、請求項 7 に記載の装置。

【請求項 9】

各 P C M ブロックユニットは、奇数の番号が付された第 1 組のメモリセルと偶数の番号が付された第 2 組のメモリセルとに分けられる複数の隣接するメモリセルを備え、前記第 1 および第 2 組のセルは前記第 1 組に属するものと前記第 2 組に属するものとが交互になっており、

前記装置は、前記第 1 組のセルと前記第 2 組のセルとの間で選択する第 2 のセクタを更に備える、請求項 8 に記載の装置。

【請求項 10】

前記第 1 のセクタが前記第 1 のブロックセットを選択するとともに前記第 2 のセクタが前記第 1 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第 1 のブロックセットの各ブロックの前記第 1 組のセルのメモリセルを含み、

前記第 1 のセクタが前記第 1 のブロックセットを選択するとともに前記第 2 のセクタが前記第 2 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第 1 のブロックセットの各ブロックの前記第 2 組のセルのメモリセルを含み、

前記第 1 のセクタが前記第 2 のブロックセットを選択するとともに前記第 2 のセクタが前記第 1 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第 2 のブロックセットの各ブロックの前記第 1 組のセルのメモリセルを含み、

前記第 1 のセクタが前記第 2 のブロックセットを選択するとともに前記第 2 のセクタが前記第 2 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第 2 のブロックセットの各ブロックの前記第 2 組のセルのメモリセルを含む、

請求項 9 に記載の装置。

【請求項 1 1】

各 P C M ブロックにおいて、前記複数の隣接する P C M セルは、奇数の番号が付された第 3 組の P C M セルと偶数の番号が付された第 4 組の P C M セルとを更に備え、前記第 3 および第 4 組のセルは前記第 3 組に属するものと前記第 4 組に属するものとが交互になっており、

前記第 2 のセクタは、

前記第 1 組のセルに接続される第 1 の出力と、

前記第 2 組のセルに接続される第 2 の出力と、

前記第 3 組のセルに接続される第 3 の出力と、

前記第 4 組のセルに接続される第 4 の出力と、

を備える、請求項 9 に記載の装置。

【請求項 1 2】

第 2 の複数の P C M ブロックユニットを備える第 2 のメモリセルアレイであって、前記第 2 の複数の P C M ブロックユニットが第 3 のブロックセットと第 4 のブロックセットとに分けられて、前記第 3 組に属する各 P C M ブロックユニットが前記第 3 組の他の P C M ブロックユニットのいずれにも隣接しないとともに、前記第 4 組に属する各 P C M ブロックユニットが前記第 4 組の他の P C M ブロックユニットのいずれにも隣接しないようになっている、第 2 のメモリセルアレイを更に備え、

前記ワード線ドライバ構造は、第 2 の複数のサブワード線ドライバを介して前記第 2 の複数の P C M ブロックユニットを駆動させる第 2 のメインワード線ドライバを更に備え、

前記第 1 のセクタは、

a) 前記第 1 のブロックセットおよび前記第 3 のブロックセットの両方

b) 前記第 2 のブロックセットおよび前記第 4 のブロックセットの両方

のうちの一方を選択し、

前記セクタが前記第 1 のブロックセットおよび前記第 3 のブロックセットを選択すると、アクセスのための記憶場所は、前記第 1 のブロックセットの各ブロックのメモリセルと前記第 3 のブロックセットの各ブロックのメモリセルとを備え、

前記セクタが前記第 2 のブロックセットおよび前記第 4 のブロックセットを選択すると、アクセスのための記憶場所は、前記第 2 のブロックセットの各ブロックのメモリセルと前記第 4 のブロックセットの各ブロックのメモリセルとを備える、

請求項 7 に記載の装置。

【請求項 1 3】

アドレスデコーダを備え、

前記第 1 のメインワード線ドライバおよび前記第 2 のメインワード線ドライバが共通に前記アドレスデコーダによってアクティブにされる、請求項 1 2 に記載の装置。

【請求項 1 4】

各 P C M ブロックユニットが複数の隣接する P C M (相変化メモリ) セルを備え、

前記第 1 のセクタによって選択される P C M ブロックユニットにおいて、アクセスのための記憶場所が前記 P C M ブロックユニットの P C M セルのサブセットを含み、前記サブセットの各 P C M セルが前記サブセットの他の P C M セルと互いに隣接しないようになっている、請求項 1 2 に記載の装置。

【請求項 1 5】

各 P C M ブロックユニットは、奇数の番号が付されたメモリセルから成る第 1 組と偶数

の番号が付されたメモリセルから成る第 2 組とに分けられる複数の隣接するメモリセルを備えて、前記第 1 および第 2 組のセルが前記第 1 組に属するものと前記第 2 組に属するものが交互にあるようになっており、

第 2 のセレクトが前記第 1 組のセルと前記第 2 組のセルとの間で選択する、請求項 1 4 に記載の装置。

【請求項 1 6】

前記第 1 のセレクトが前記第 1 のブロックセットを選択するとともに前記第 2 のセレクトが前記第 1 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第 1 のブロックセットの各ブロックの前記第 1 組のセルのメモリセルを含み、

前記第 1 のセレクトが前記第 1 のブロックセットを選択するとともに前記第 2 のセレクトが前記第 2 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第 1 のブロックセットの各ブロックの前記第 2 組のセルのメモリセルを含み、

前記第 1 のセレクトが前記第 2 のブロックセットを選択するとともに前記第 2 のセレクトが前記第 1 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第 2 のブロックセットの各ブロックの前記第 1 組のセルのメモリセルを含み、

前記第 1 のセレクトが前記第 2 のブロックセットを選択するとともに前記第 2 のセレクトが前記第 2 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は、前記第 2 のブロックセットの各ブロックの前記第 2 組のセルのメモリセルを含む、

請求項 1 4 に記載の装置。

【請求項 1 7】

各 P C M ブロックにおいて、前記複数の隣接する P C M セルは、奇数の番号が付された第 3 組の P C M セルと偶数の番号が付された第 4 組の P C M セルとを更に備え、前記第 3 および第 4 組のセルは前記第 3 組に属するものと前記第 4 組に属するものが交互になっており、

前記セレクトは、前記第 1 組のセルを選択するべく接続される第 1 の出力と、前記第 2 組のセルを選択するべく接続される第 2 の出力と、第 3 組のセルを選択するべく接続される第 3 の出力と、第 4 組のセルを選択するべく接続される第 4 の出力とを備える、

請求項 1 6 に記載の装置。

【請求項 1 8】

アクセスするための記憶場所が P C M セルのサブセットを含み、前記サブセットの各 P C M セルが前記サブセットの他の P C M セルと互いに隣接しないように、相変化メモリセルにアクセスすることを含む、方法。

【請求項 1 9】

複数の隣接する P C M セルは、奇数の番号が付された第 1 組の P C M セルと偶数の番号が付された第 2 組の P C M セルとに分けられ、前記第 1 および第 2 組のセルは前記第 1 組に属するものと前記第 2 組に属するものが交互になっており、

前記第 1 組のセルまたは前記第 2 組のセルを選択することを更に含む、

請求項 1 8 に記載の方法。

【請求項 2 0】

前記セレクトが前記第 1 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は前記第 1 組のセルを含むが前記第 2 組のセルを含まず、

前記セレクトが前記第 2 組のセルを選択するとき、読み取り或いは書き込みのための記憶場所は前記第 2 組のセルを含むが前記第 1 組のセルを含まない、

請求項 1 9 に記載の方法。

【請求項 2 1】

前記複数の隣接する P C M セルは、奇数の番号が付された第 3 組の P C M セルと偶数の番号が付された第 4 組 P C M セルとを更に備え、前記第 3 および第 4 組のセルは前記第 3 組に属するものと前記第 4 組に属するものが交互になっており、

第 1 組のセル、第 2 組のセル、前記第 3 組のセル、および前記第 4 組のセルの間で選択することを更に含む、

請求項 19 に記載の方法。

【請求項 22】

第 1 の複数の P C M ブロックユニットを備える第 1 のメモリセルアレイであって、各 P C M ブロックユニットが複数のメモリセルを含み、前記第 1 の複数の P C M ブロックユニットが第 1 のブロックセットと第 2 のブロックセットとに分けられて、前記第 1 のブロックセットに属する各 P C M ブロックユニットが前記第 1 のブロックセットの他の P C M ブロックユニットのいずれにも隣接しないとともに、前記第 2 のブロックセットに属する各 P C M ブロックユニットが前記第 2 のブロックセットの他の P C M ブロックユニットのいずれにも隣接しないようになっている、第 1 のメモリセルアレイにおいて、前記第 1 のブロックセットと前記第 2 のブロックセットとの間で選択するステップと、

第 1 のメインワード線ドライバを使用して、前記第 1 の複数の P C M ブロックユニットを第 1 の複数のサブワード線ドライバを介して駆動させるステップと、

を含み、

前記第 1 のブロックセットが選択されるとき、前記第 1 のブロックセットの各ブロックのメモリセルを含む記憶場所にアクセスし、前記第 2 のブロックセットが選択されるとき、前記第 2 のメモリセルの各ブロックのメモリセルを含むアクセスのための記憶場所にアクセスする、

方法。

【請求項 23】

各 P C M ブロックユニットは、

複数の隣接する P C M (相変化メモリ) セルを備え、

選択される P C M ブロックユニットにおいては、アクセスのための記憶場所が前記 P C M ブロックユニットの前記 P C M セルのサブセットを含み、前記サブセットの各 P C M セルが前記サブセットの他の P C M セルと互いに隣接しないようになっている、

請求項 22 に記載の方法。

【請求項 24】

各 P C M ブロックユニットは、奇数の番号が付された第 1 組のメモリセルと偶数の番号が付された第 2 組のメモリセルとに分けられる複数の隣接するメモリセルを備え、前記第 1 および第 2 組のセルは前記第 1 組に属するものと前記第 2 組に属するものとが交互になっており、

前記第 1 組のセルと前記第 2 組のセルとの間で選択するステップを更に備える、

請求項 22 に記載の方法。

【請求項 25】

前記第 1 のブロックセットおよび前記第 1 組のセルが選択されるとき、読み取り或いは書き込みのための記憶場所は、前記第 1 のブロックセットの各ブロックの前記第 1 組のセルのメモリセルを含み、

前記第 1 のブロックセットおよび前記第 2 組のセルが選択されるとき、読み取り或いは書き込みのための記憶場所は、前記第 1 のブロックセットの各ブロックの前記第 2 組のセルのメモリセルを含み、

前記第 2 のブロックセットおよび前記第 1 組のセルが選択されるとき、読み取り或いは書き込みのための記憶場所は、前記第 2 のブロックセットの各ブロックの前記第 1 組のセルのメモリセルを含み、

前記第 2 のブロックセットおよび前記第 2 組のセルが選択されるとき、読み取り或いは書き込みのための記憶場所は、前記第 2 のブロックセットの各ブロックの前記第 2 組のセルのメモリセルを含む、

請求項 24 に記載の方法。

【請求項 26】

第 2 の複数の P C M ブロックユニットを備える第 2 のメモリセルアレイであって、前記第 2 の複数の P C M ブロックユニットが第 3 のブロックセットと第 4 のブロックセットとに分けられて、前記第 3 組に属する各 P C M ブロックユニットが前記第 3 組の他の P C M

ブロックユニットのいずれにも隣接しないととも、前記第 4 組に属する各 P C M ブロックユニットが前記第 4 組の他の P C M ブロックユニットのいずれにも隣接しないようになっている、第 2 のメモリセルアレイにおいて、第 2 のメインワード線ドライバを使用して、前記第 2 の複数の P C M ブロックユニットを第 2 の複数のサブワード線ドライバを介して駆動させるステップを更に含み、

選択するステップであって、

a) 前記第 1 のブロックセットおよび前記第 3 のブロックセットの両方

b) 前記第 2 のブロックセットおよび前記第 4 のブロックセットの両方

のうちの一方を選択することを含む選択するステップを更に含み、

前記第 1 のブロックセットおよび前記第 3 のブロックセットが選択されるとき、アクセスのための記憶場所は、前記第 1 のブロックセットの各ブロックのメモリセルと前記第 3 のブロックセットの各ブロックのメモリセルとを含み、

前記第 2 のブロックセットおよび前記第 4 のブロックセットが選択されるとき、アクセスのための記憶場所は、前記第 2 のブロックセットの各ブロックのメモリセルと前記第 4 のブロックセットの各ブロックのメモリセルとを含む、

請求項 2 2 に記載の方法。

【請求項 2 7】

前記第 1 のメインワード線ドライバおよび前記第 2 のメインワード線ドライバ (2 0 4) を共通にアクティブにするステップを更に含み、請求項 2 6 に記載の方法。