

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年6月20日(20.06.2024)



(10) 国際公開番号

WO 2024/127199 A1

(51) 国際特許分類:

G09G 3/3225 (2016.01) H01L 27/088 (2006.01)
G04G 9/00 (2006.01) H01L 29/786 (2006.01)
G09G 3/20 (2006.01) H10B 12/00 (2023.01)
H01L 21/8234 (2006.01) H10B 41/70 (2023.01)
H01L 27/06 (2006.01)

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398株式会社
半導体エネルギー研究所内 Kanagawa (JP).
松崎隆徳 (MATSUZAKI, Takanori); 〒2430036
神奈川県厚木市長谷398株式会社半導体
エネルギー研究所内 Kanagawa (JP). 宮口
厚 (MIYAGUCHI, Atsushi); 〒2430036 神奈川
県厚木市長谷398株式会社半導体エネ
ルギー研究所内 Kanagawa (JP).

(21) 国際出願番号: PCT/IB2023/062447

(22) 国際出願日: 2023年12月11日(11.12.2023)

(25) 国際出願の言語: 日本語

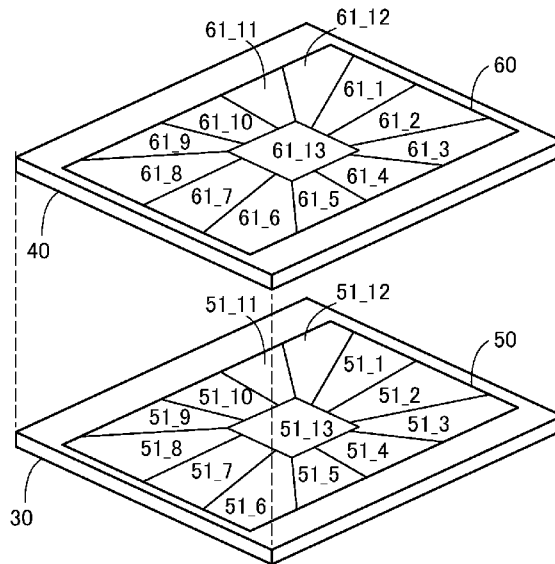
(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-200779 2022年12月16日(16.12.2022) JP

(54) Title: ELECTRONIC DEVICE

(54) 発明の名称: 電子機器

図2B



(57) **Abstract:** The present invention provides an electronic device having a novel configuration. In this electronic device including a semiconductor device, the semiconductor device includes a logic circuit portion, a display control portion, and a display portion which are provided in a plurality of element layers. The display portion includes a plurality of display areas. The display control portion includes a plurality of drive circuit portions. The plurality of display areas include pixel circuits for controlling light emission by light-emitting devices. The plurality of drive circuit portions include drive circuits

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

for controlling the pixel circuits. Each of the plurality of display areas is provided at a position overlapping with an area where one of the plurality of drive circuit portions is provided. The logic circuit portion includes an arithmetic unit. The arithmetic unit has a function of controlling an operating state or a stopped state of the drive circuits corresponding to the pixel circuits included in each of the plurality of the display areas in accordance with whether or not image data is updated in the corresponding display area.

(57) 要約: 新規な構成の電子機器を提供すること。半導体装置を有する電子機器において、半導体装置は、複数の素子層に設けられたロジック回路部と、表示制御部と、表示部と、を有する。表示部は、複数の表示領域を有する。表示制御部は、複数の駆動回路部を有する。複数の表示領域は、発光デバイスの発光を制御する画素回路を有する。複数の駆動回路部は、画素回路を制御する駆動回路を有する。複数の表示領域はそれぞれ、複数の駆動回路部のいずれか一が設けられる領域と重なる位置に設けられる。ロジック回路部は、演算装置を有する。演算装置は、複数の表示領域のそれぞれにおける画像データの更新の有無に応じて、表示領域が有する画素回路に対応する駆動回路の動作状態または停止状態を制御する機能を有する。

明細書

発明の名称

電子機器

技術分野

[0001]

本明細書は、電子機器、当該電子機器を有する表示システム、および当該電子機器が有する半導体装置等について説明する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

背景技術

[0003]

モバイル通信などを行うウェアラブル型の電子機器が普及している。例えば、腕装着型の電子機器では、ディスプレイの他、各種センサおよび各種センサを制御するためのCPU、およびデータを記憶するためのメモリ等を有する構成があり得る（例えば、特許文献1を参照）。

[0004]

このような電子機器では、大量のデータを高速に処理するため、半導体装置の性能向上に関する技術開発が活発である。高性能化を実現する技術としては、例えば、GPU（Graphics Processing Unit）等のアクセラレータとCPUとを密結合させた、所謂SoC（System on Chip）化がある。

[0005]

またCPUなどのSoC化が図られた半導体装置と、表示デバイスとを一体化した構成が提案されている（例えば特許文献2を参照）。SoC化によって高性能化した半導体装置を有する電子機器では、CPUなどの発熱、及び消費電力の増加が問題となってくる。そのため、CPUのスクランプリップフロップのデータをバックアップ回路に退避してパワーゲーティングなどを図ることにより、性能の低下を図ることなく、消費電力の増加、発熱の抑制を図る構成が有効となる。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 国際公開第2016/036472号

[特許文献2] 国際公開第2022/118141号

発明の概要

発明が解決しようとする課題

[0007]

SoC化によって高性能化した半導体装置は、積層して設けられる素子層が有するトランジスタを用いて小型化および高性能化を実現している。半導体装置の高性能化は、半導体装置の消費電力の増加または小型化の要求とトレードオフの関係になる。つまり、半導体装置の高性能化と、半導体装置の消費電力の低減または小型化と、の両立が難しかった。

[0008]

本発明の一態様は、新規な電子機器等を提供することを課題の一つとする。または、本発明の一態様は、S o C化によって高性能化した半導体装置を有する電子機器において、半導体装置の小型化を図ることができる、新規な構成の電子機器等を提供することを課題の一とする。または、本発明の一態様は、S o C化によって高性能化した半導体装置を有する電子機器において、発熱、及び消費電力の増加を抑制できる、新規な構成の電子機器等を提供することを課題の一とする。または、本発明の一態様は、半導体装置の高性能化と、半導体装置の消費電力または発熱の抑制と、の両立を図ることのできる、新規な構成の電子機器等を提供することを課題の一とする。または、本発明の一態様は、利便性に優れた新規な構成の電子機器等を提供することを課題の一とする。

[0009]

複数の課題の記載は、互いの課題の存在を妨げるものではない。本発明の一形態は、例示した全ての課題を解決する必要はない。また、列記した以外の課題が、本明細書の記載から、自ずと明らかとなり、このような課題も、本発明の一形態の課題となり得る。

課題を解決するための手段

[0010]

本発明の一態様は、半導体装置を有する電子機器であって、半導体装置は、複数の素子層に設けられたロジック回路部と、表示制御部と、表示部と、を有し、表示部は、複数の表示領域を有し、表示制御部は、複数の駆動回路部を有し、複数の表示領域は、発光デバイスの発光を制御する画素回路を有し、複数の駆動回路部は、画素回路を制御する駆動回路を有し、複数の表示領域はそれぞれ、複数の駆動回路部のいずれか一が設けられる領域と重なる位置に設けられ、ロジック回路部は、演算装置を有し、演算装置は、複数の表示領域のそれぞれにおける画像データの更新の有無に応じて、表示領域が有する画素回路に対応する駆動回路の動作状態または停止状態を制御する機能を有する、電子機器である。

[0011]

本発明の一態様において、第1の素子層と、第2の素子層と、第3の素子層と、を有し、第1の素子層は、チャンネル形成領域にシリコンを有する半導体層を有する第1トランジスタを有し、第2の素子層は、チャンネル形成領域に金属酸化物を有する半導体層を有する第2トランジスタを有し、第3の素子層は、発光デバイスを有する、電子機器が好ましい。

[0012]

本発明の一態様において、演算装置は、スキャンフリップフロップと、スキャンフリップフロップに電気的に接続されたバックアップ回路と、を有し、第1の素子層には、スキャンフリップフロップおよび駆動回路部が設けられ、第2の素子層には、バックアップ回路および画素回路が設けられる、電子機器が好ましい。

[0013]

本発明の一態様において、バックアップ回路は、演算装置の非動作時において、スキャンフリップフロップに保持されたデータを電源電圧の供給が停止した状態で保持する機能を有する、電子機器が好ましい。

[0014]

本発明の一態様において、金属酸化物は、I nと、G aと、Z nと、を含む、電子機器が好ましい。

[0015]

本発明の一態様において、画像データは、秒針、短針、および長針の表示を行う画像データであり、演算装置は、秒針、短針、および長針を表示する表示領域が有する画素回路に対応する駆動回路を動作状態とし、秒針、短針、および長針を表示しない表示領域が有する画素回路に対応する駆動回路を停止状態とする、電子機器が好ましい。

[0016]

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

発明の効果

[0017]

本発明の一態様は、新規な電子機器等を提供することができる。または、本発明の一態様は、S o C化によって高性能化した半導体装置を有する電子機器において、半導体装置の小型化を図ることができる、新規な構成の電子機器等を提供することができる。または、本発明の一態様は、S o C化によって高性能化した半導体装置を有する電子機器において、発熱、及び消費電力の増加を抑制できる、新規な構成の電子機器等を提供することができる。または、本発明の一態様は、半導体装置の高性能化と、半導体装置の消費電力または発熱の抑制と、の両立を図ることのできる、新規な構成の電子機器等を提供することができる。または、本発明の一態様は、利便性に優れた新規な構成の電子機器等を提供することができる。

[0018]

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

図面の簡単な説明

[0019]

図1Aおよび図1Bは、半導体装置および電子機器の構成例を説明する図である。

図2Aおよび図2Bは、半導体装置の構成例を説明する図である。

図3A乃至図3Cは、半導体装置の構成例を説明する図である。

図4Aおよび図4Bは、電子機器の構成例を説明する図である。

図5は、電子機器の構成例を説明するフローチャートである。

図6A乃至図6Fは、半導体装置の構成例を説明する図である。

図7は、半導体装置の構成例を示す図である。

図8は、半導体装置の構成例を示す図である。

図9A乃至図9Cは、半導体装置の構成例を説明する図である。

図10Aおよび図10Bは、半導体装置の構成例を説明する図である。

図11Aおよび図11Bは、半導体装置の構成例を説明する図である。

図12Aおよび図12Bは、画素回路の構成例を示す回路図である。

図13A乃至図13Dは、画素回路の構成例を示す回路図である。

図14A乃至図14Dは、画素回路の構成例を示す回路図である。

図15は、演算装置の構成例を説明するブロック図である。

図 1 6 A および図 1 6 B は、演算装置の構成例を説明する回路図である。

図 1 7 は、演算装置の構成例を示すタイミングチャートである。

図 1 8 A および図 1 8 B は、メモリ回路の構成例を示すブロック図および回路図である。

図 1 9 A 乃至図 1 9 F は、メモリ回路の構成例を示す回路図である。

図 2 0 A は、半導体装置の構成例を示す平面模式図である。図 2 0 B および図 2 0 C は、半導体装置の構成例を示す断面模式図である。

図 2 1 A および図 2 1 B は、半導体装置の構成例を示す断面模式図である。

図 2 2 は、半導体装置の構成例を示す断面模式図である。

図 2 3 A 乃至図 2 3 C は、半導体装置の構成例を示す断面模式図である。

図 2 4 A 乃至図 2 4 G は、電子機器の構成例を説明する図である。

図 2 5 A 乃至図 2 5 H は、半導体装置の構成例を説明する図である。

発明を実施するための形態

[0020]

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0021]

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0022]

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0023]

本明細書において、例えば、電源電位 VDD を、電位 VDD、VDD 等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

[0024]

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“__1”、“__2”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。例えば、2 番目の配線 GL を配線 GL__2 と記載する。

[0025]

(実施の形態 1)

本発明の一態様である電子機器の構成例について、図 1 A 乃至図 1 9 F を参照して説明する。

[0026]

<電子機器の構成例>

図 1 Aは、本発明の一態様の電子機器が有する半導体装置を説明するためのブロック図である。図 1 Aに示す半導体装置 1 0 0 は、一例としてロジック回路部 3 1、表示制御部 5 0 および表示部 6 0 を有する。

[0 0 2 7]

図 1 Bは、図 1 Aに示す半導体装置 1 0 0 を有する電子機器 1 0 0 0 の斜視図の一例である。図 1 Bに示す電子機器 1 0 0 0 は、長針、短針、秒針といったアナログ時計の表示を行う機能を有する、腕時計型の電子機器である。電子機器 1 0 0 0 は、操作部 1 0 0 4 およびバンド 1 0 0 7 が取り付けられた筐体 1 0 0 1 内に図 1 Aに示す半導体装置 1 0 0 が納められた構成である。図 1 Bに示す電子機器 1 0 0 0 は、いわゆるスマートウォッチとしての機能を有する。

[0 0 2 8]

ロジック回路部 3 1 は、画像データに応じた表示制御部 5 0 の制御を行う機能を有する。具体的にはロジック回路部 3 1 は、分割された表示制御部 5 0 の駆動回路部 5 1 を画像データに応じて休止動作または再開動作を制御する機能を有する。駆動回路部 5 1 の休止動作では、駆動回路部 5 1 が有する駆動回路において、走査信号をローレベルに保持する動作の他、画像データを出力しない動作、を行い、駆動回路部 5 1 を停止状態とする。また駆動回路へのクロック信号などの制御信号の供給の停止を併せて行ってもよい。当該動作によって、表示部 6 0 が有する画素回路において、前の期間に供給された画像データを保持することができる。また駆動回路部 5 1 の再開動作では、駆動回路部 5 1 の駆動回路に画像データを供給し、走査信号および画像データの供給が行われる状態とする動作、を行う。また駆動回路部 5 1 の休止動作において、駆動回路部 5 1 の駆動回路へのクロック信号などの制御信号の供給を停止している場合は、制御信号の供給の再開を行い、駆動回路部 5 1 を動作状態とする。当該構成とすることで、画像データを更新しない期間における駆動回路部 5 1 の消費電力を低減することができる。

[0 0 2 9]

表示制御部 5 0 は、表示部 6 0 が有する画素回路を制御するための駆動回路を有する。表示制御部 5 0 は、駆動回路部 5 1（駆動回路部 5 1 __1 乃至 5 1 __n）（n は 2 以上の整数）を有する。駆動回路部 5 1 はそれぞれ、複数の領域（区画）ごとに駆動回路が設けられた構成を有する。

[0 0 3 0]

駆動回路部 5 1 が有する駆動回路は、表示部 6 0 が有する画素回路と電気的に接続される。駆動回路は、表示部 6 0 に画像データおよび走査信号を供給する機能を有する。走査信号を表示部 6 0 に供給する駆動回路は、ゲートドライバ回路または走査線駆動回路という場合がある。画像データを表示部 6 0 に供給する駆動回路は、ソースドライバ回路または信号線駆動回路という場合がある。駆動回路には、シフトレジスタ、レベルシフタ、インバータ、ラッチ、アナログスイッチ、または論理回路等の様々な回路を用いることができる。

[0 0 3 1]

表示部 6 0 は、画像データに基づく画像を表示するための複数の画素回路を有する。画素回路は、発光デバイスなどの表示デバイスを制御する回路である。表示部 6 0 は、複数の表示領域 6 1（表示領域 6 1 __1 乃至 6 1 __n）を有する。表示領域 6 1 は、副表示部という場合がある。表示領域 6 1 はそれぞれ、複数の領域（区画）ごとに画素回路が設けられた構成を有する。

[0 0 3 2]

図 2 A および図 2 B を用いて、半導体装置 1 0 0 が有する表示制御部 5 0 および表示部 6 0 の構

成について説明する。

[0033]

図2Aは、半導体装置100を電子機器1000の筐体1001に収めた際の表示部60を示す図である。図2Aにおいて、表示制御部50（図示せず）は、表示部60と重なる位置に配置する。表示部60は、表示領域61—1乃至61—13を有する。

[0034]

なお図2Aに図示する表示部60において、領域の分割数は13として図示している。当該構成とすることで、長針、短針、秒針といったアナログ時計の表示をする際、アナログ時計に表示される文字盤の数に応じた12の分割数に加え、文字盤の中央部の表示領域とすることができる。

[0035]

なお表示部60における表示領域の分割数は、13以外でもよい。例えばアナログ時計に表示される文字盤の数に応じた12分割の表示領域としてもよい。または、アナログ時計の文字盤の領域を6等分し、中央部分の表示領域を加えた7分割の表示領域としてもよい。または、アナログ時計の文字盤の領域を4等分し、中央部分の表示領域を加えた5分割の表示領域としてもよい。または、アナログ時計の文字盤の領域を2等分し、中央部分の表示領域を加えた3分割の表示領域としてもよい。

[0036]

図2Bは、表示制御部50および表示部60が設けられる素子層30および素子層40を説明する斜視概略図である。素子層40は、素子層30と積層して設けられる。素子層30に設けられる表示制御部50は、素子層40に設けられる表示部60と重なる位置に設けられる。

[0037]

素子層30が有する表示制御部50は、Si CMOS、すなわちシリコンをチャネル形成領域に有するトランジスタ（Siトランジスタ）で構成される。つまり素子層30は、Siトランジスタを有する層である。素子層30をSiトランジスタで構成することで、表示制御部50といった高速動作が求められる回路を素子層30に設けることができる。

[0038]

Siトランジスタとしては、特に単結晶シリコンまたは多結晶シリコンなどの結晶性の高いシリコンを用いることで、高い電界効果移動度を実現することができ、より高速な動作が可能となるため好ましい。

[0039]

また素子層40が有する表示部60は、OSトランジスタ、すなわち酸化物半導体をチャネル形成領域に有するトランジスタで構成される。つまり素子層40は、OSトランジスタを有する層である。素子層40をOSトランジスタで構成することで、素子層30と積層して設けることができる。

[0040]

OSトランジスタは、オフ電流が非常に低いという特性を有する。よって、画素回路が設けられる表示部60のトランジスタとしてOSトランジスタを用いると、画素回路に書き込まれた画像データを長期間保持することができる。そのため、画像データの書き換え頻度を低減でき、低消費電力化を図ることができる。

[0041]

表示部 60 は、複数の表示領域 61（61__1 乃至 61__13）を有する。また表示制御部 50 は、駆動回路部 51（51__1 乃至 51__13）を有する。駆動回路部 51 は、複数の表示領域 61 を別々に駆動することができる駆動回路を有する。

[0042]

図 3A は、半導体装置 100 が有する表示部 60 の構成を説明するための模式図である。図 3A には、一例として、画素回路 62 が設けられた表示領域 61__13 の構成例を示す。

[0043]

図 3B は、半導体装置 100 が有する表示制御部 50 の構成を説明するための模式図である。図 3B には、一例として、表示領域 61__13 が有する画素回路 62 を駆動するための駆動回路 52、53 を有する駆動回路部 51__13 の構成例を示す。駆動回路 52 および駆動回路 53 は、例えばソースドライバ回路とゲートドライバ回路に相当する。すなわち、表示領域 61 と表示制御部 50 が、それぞれ 13 の区画に分割された構成を図示している。

[0044]

表示領域 61 の一と駆動回路部 51 の一は重ねて設けられる（図 3C 参照。）。例えば、表示領域 61__13 と駆動回路部 51__13 は重ねて設けられる。駆動回路部 51__13 が有する駆動回路 52 は、表示領域 61__13 が有する、画素回路 62 に対して画像データを送信するための配線と電氣的に接続される。駆動回路部 51__13 が有する駆動回路 53 は、表示領域 61__13 が有する、画像データの送信先となる画素回路 62 を選択するための配線と電氣的に接続される。駆動回路部 51__13 が有する駆動回路 52、53 は表示領域 61__13 が有する複数の画素回路 62 を制御する機能を有する。なお駆動回路部 51__1 乃至 51__12 についても同様に、重ねて設けられる、表示領域 61__1 乃至 61__12 が有する画素回路 62 を制御する機能を有する。

[0045]

なお図 3A、図 3B において、表示領域 61__13 以外の表示領域 61__1 乃至 61__12 の形状は、矩形状以外の多角形の形状を有している。この場合、多角形の形状の表示領域 61 と重ねて設けられる駆動回路部 51 は、表示領域 61 の形状に応じて駆動回路 52、53 を配置する。駆動回路部 51 は表示領域 61 と重ねて設けられる位置に配置されるため、駆動回路 52、53 の配置の自由度を高めることができる。

[0046]

上記構成とすることで、半導体装置 100 を電子機器 1000 の筐体 1001 に収めた際、表示領域 61__1 乃至 61__13 を有する表示部 60 と重なる位置に表示制御部 50 を配置することができる。表示領域 61 の一と駆動回路部 51 の一を重ねて設けることで、表示領域 61 が有する画素回路 62 と、駆動回路部 51 が有する駆動回路 52、53 との接続距離（配線長）を極めて短くできる。その結果、配線抵抗および寄生容量が減るため、充放電にかかる時間が少なくなり、高速駆動が実現できる。また、消費電力を低減できる。また、小型化および軽量化が実現できる。

[0047]

半導体装置 100 は、駆動回路部 51 毎に駆動回路 52、53 を有する構成である。よって、駆動回路部 51 に対応する表示領域 61 毎に表示部 60 を分割し、画像データの更新を行うことができる。例えば、表示部 60 のうち、画像に変化が生じた表示領域 61 のみ画像データの更新を行い、画像に変化のない表示領域 61 は画像データに応じた電位を画素回路 62 に保持することで、駆動回路部 51 の動作を停止できる。そのため半導体装置 100 は、消費電力の低減が実現できる。

[0048]

本発明の一態様の半導体装置100は、画素回路を有する表示部60と、駆動回路を有する表示制御部50と、を積層した構成とすることができるため、画素の開口率（有効表示面積比）を極めて高くすることができる。例えば画素の開口率は、40%以上100%未満、好ましくは50%以上95%以下、より好ましくは60%以上95%以下とすることができる。また、画素回路を極めて高密度に配置することが可能で、画素の精細度を極めて高くすることができる。例えば、半導体装置100の表示部60では、2000ppi以上、好ましくは3000ppi以上、より好ましくは5000ppi以上、さらに好ましくは6000ppi以上であって、20000ppi以下、または30000ppi以下の精細度で、画素を配置することが可能となる。

[0049]

なお表示部60の対角サイズは、0.1インチ以上5.0インチ以下、好ましくは0.5インチ以上2.0インチ以下、さらに好ましくは、1インチ以上1.7インチ以下とすることができる。例えば、表示部60の対角サイズを1.5インチ、または1.5インチ近傍にしてもよい。表示部60の対角サイズを2.0インチ以下とすることで、露光装置（代表的にはスキャナー装置）の1回の露光処理で処理することが可能となるため、製造プロセスの生産性を向上させることができる。

[0050]

＜電子機器の動作例＞

図4Aおよび図4Bは、半導体装置100を有する電子機器1000の動作例を説明するための図である。電子機器1000の表示部には、上述した半導体装置100が有する表示部60が適用される。なお図4Aでは、電子機器1000の表示部60が矩形状の例を示すが、図4Bに示すように円形状の表示部60にも、以下で説明する電子機器1000の動作例を適用可能である。

[0051]

図4Aおよび図4Bは、電子機器1000を正面側から見たときの概略図である。図4Aおよび図4Bは、複数の表示領域61を有する表示部60にアナログ時計の文字盤を適用した場合について示している。図4Aおよび図4Bでは、図1Bで図示した筐体1001、バンド1007の他、表示部60に表示される短針1011、長針1012、秒針1013、文字盤1014を図示している。なお秒針1013または文字盤1014は、必ずしもなくてもよい。なお図4Aおよび図4Bにおいて、点線を用いて表示部60における表示領域61の境界を図示している。図4Aおよび図4Bでは、図2Aおよび図2Bで説明したように表示領域を13分割した様子を図示している。

[0052]

図4Aおよび図4Bに図示する表示領域61は、図2Aおよび図2Bで説明したように、複数の駆動回路部51のいずれかと重ねて設けられ、画素回路の制御を表示領域61ごとに行うことができる。そのため、表示領域61ごとの画像データに応じた駆動回路部51が有する駆動回路の休止動作または画像データの更新（再開動作）を行うことができる。

[0053]

図5は、電子機器1000の動作例を説明するフローチャートの一例である。

[0054]

演算装置10において、時刻データの取得を行う（ステップS11）。時刻データは、タイマーなどで取得したデータである。時刻データに基づいて、表示部60におけるアナログ時計の表示を行うための画像データが生成される。

[0055]

時刻データに基づいて、表示制御部50が有する駆動回路部51に供給する画像データの更新を行う（ステップS12）。画像データの更新は、表示部60が有する表示領域61ごと、すなわち表示領域61に対応する駆動回路部51ごとに行われる。

[0056]

時刻データに基づく画像データによって表示領域61が長針、短針、秒針が表示される表示領域であるか否かの判断が行われる（ステップS13）。なお秒針の表示がない場合は、表示領域61が長針、短針が表示される表示領域であるか否かの判断が行われるよう適宜設計変更すればよい。時刻データによって長針、短針、秒針が表示される表示領域61の場合（YES）、表示領域61に対応する駆動回路部51に画像データを送信し、送信した画像データに基づき、表示領域61の画像を更新する（ステップS14）。

[0057]

ステップS13において、時刻データによって長針、短針、秒針が表示されない表示領域61の場合（NO）、表示領域61に対応する駆動回路部51が有する駆動回路の休止動作を行う（ステップS15）。休止動作は、駆動回路から画素回路への走査信号の供給の停止、画像データの供給の停止などである。当該休止動作によって駆動回路部51が信号を供給する頻度が低減される。

[0058]

ステップS15において駆動回路部51が有する駆動回路の休止動作を行ったのち、演算装置10において、時刻データの取得を行う（ステップS16）。時刻データの取得は秒針がある場合1秒に1回、秒針がない場合は1分に1回といったように、一定周期で行う場合、定期的に演算装置10などのパワーゲーティングを行うことができる。そのため、低消費電力化を図ることができる。

[0059]

時刻データに基づいて、表示制御部50が有する駆動回路部51に供給する画像データの更新を行う（ステップS17）。画像データの更新は、表示部60が有する表示領域61ごと、すなわち表示領域61に対応する駆動回路部51ごとに行われる。

[0060]

時刻データに基づく画像データによって表示領域61が長針、短針、秒針が表示される表示領域であるか否かの判断が行われる（ステップS18）。時刻データによって長針、短針、秒針が表示される表示領域61の場合（YES）、表示領域61に対応する駆動回路部51が有する駆動回路の再開動作を行い（ステップS19）、その後表示領域61に対応する駆動回路部51に画像データを送信し、送信した画像データに基づき、表示領域61の画像を更新する（ステップS14）。時刻データによって長針、短針、秒針が表示されない表示領域61の場合（NO）、継続して表示領域61に対応する駆動回路部51が有する駆動回路の休止動作とし、演算装置10において、時刻データの取得を行うステップS16および画像データの更新を行うステップS17を行う。

[0061]

図5で説明したフローチャートに基づく電子機器1000での表示部60および表示制御部50の状態について、図6A乃至図6Fを用いて具体的に説明する。なお図6A乃至図6Fにおいて、点線を用いて表示部60における表示領域61の境界を図示している。図6A乃至図6Fでは、図2Aおよび図2Bで説明したように表示領域を13分割した様子を図示している。そのため、図6A乃至図6Fの説明において、表示領域61の位置を特定する場合、表示領域61__1乃至61__

1 3として説明する。同様に、駆動回路部 5 1 の位置を特定する場合、駆動回路部 5 1 __ 1 乃至 5 1 __ 1 3として説明する。

[0062]

図 6 Aは、表示部 6 0におけるアナログ時計の表示が「1 時 2 8 分 5 4 秒」を示す様子を示す図である。この場合表示部 6 0における短針の表示は、図 6 Bに示すように表示領域 6 1 __ 2 および 6 1 __ 1 3となる。また、表示部 6 0における長針の表示は、図 6 Bに示すように表示領域 6 1 __ 6、表示領域 6 1 __ 7 および 6 1 __ 1 3となる。また、表示部 6 0における秒針の表示は、図 6 Bに示すように表示領域 6 1 __ 1 2 および 6 1 __ 1 3となる。

[0063]

そのため、時刻データに基づく画像データの更新を行う表示領域は、表示領域 6 1 __ 2、6 1 __ 6、6 1 __ 7、6 1 __ 1 2 および 6 1 __ 1 3となる。その他の表示領域は、文字盤の表示のみの表示領域となり、画像データの更新を行わない表示領域となる。そのため、当該画像データの更新を行わない表示領域について、図 6 Bではハッチングを付して図示している。

[0064]

図 6 Cは、表示部 6 0におけるアナログ時計の表示が「3 時 7 分 1 0 秒」を示す様子を示す図である。この場合表示部 6 0における短針の表示は、図 6 Dに示すように表示領域 6 1 __ 4 および 6 1 __ 1 3となる。また、表示部 6 0における長針の表示は、図 6 Dに示すように表示領域 6 1 __ 2、表示領域 6 1 __ 3 および 6 1 __ 1 3となる。また、表示部 6 0における秒針の表示は、図 6 Dに示すように表示領域 6 1 __ 3 および 6 1 __ 1 3となる。

[0065]

そのため、時刻データに基づく画像データの更新を行う表示領域は、表示領域 6 1 __ 2、6 1 __ 3、6 1 __ 4 および 6 1 __ 1 3となる。その他の表示領域は、文字盤の表示のみの表示領域となり、画像データの更新を行わない表示領域となる。そのため、当該画像データの更新を行わない表示領域について、図 6 Dではハッチングを付して図示している。

[0066]

図 6 Eは、表示部 6 0におけるアナログ時計の表示が「3 時 1 4 分 1 5 秒」を示す様子を示す図である。この場合表示部 6 0における短針の表示は、図 6 Fに示すように表示領域 6 1 __ 4 および 6 1 __ 1 3となる。また、表示部 6 0における長針の表示は、図 6 Fに示すように表示領域 6 1 __ 4 および 6 1 __ 1 3となる。また、表示部 6 0における秒針の表示は、図 6 Fに示すように表示領域 6 1 __ 4 および 6 1 __ 1 3となる。

[0067]

そのため、時刻データに基づく画像データの更新を行う表示領域は、表示領域 6 1 __ 4 および 6 1 __ 1 3となる。その他の表示領域は、文字盤の表示のみの表示領域となり、画像データの更新を行わない表示領域となる。そのため、当該画像データの更新を行わない表示領域について、図 6 Fではハッチングを付して図示している。

[0068]

上述したように本発明の一態様の半導体装置の構成では、複数の表示領域 6 1 を別々に駆動する駆動回路部 5 1 を重ねて配置する。図 6 A乃至図 6 Fで説明した、ハッチングを付した表示領域 6 1 __ 1 乃至 6 1 __ 1 3に対応する駆動回路部 5 1 __ 1 乃至 5 1 __ 1 3では、画像データの更新の有無に応じて駆動回路の休止動作または再開動作を切り替えて行うことができる。そのため、半導体

装置 100 を有する電子機器 1000 では、低消費電力化を図ることができる。

[0069]

<半導体装置の構成例>

図 7 および図 8 は、半導体装置 100 が有するロジック回路部 31 の構成例を説明するためのブロック図である。図 7 に示すロジック回路部 31 では、一例として、演算装置 10、メモリ装置 20、ブリッジ回路 33、パワーマネジメントユニット (PMU) 34、電源回路 35、センサ制御回路 36、バッテリー制御回路 37 を図示している。

[0070]

演算装置 10 は、一例として、CPU コア 11、L1 キャッシュメモリ装置 12、L2 キャッシュメモリ装置 13、およびバスインターフェース部 14 を有する。L1 キャッシュメモリ装置 12 は、命令キャッシュと呼ぶ場合がある。L2 キャッシュメモリ装置 13 は、データキャッシュという場合がある。

[0071]

なお演算装置 10 は、CPU (Central Processing Unit) といった画像データを処理する回路に相当する。演算装置 10 は、CPU、またはプロセッサ装置などという場合がある。

[0072]

CPU コア 11 は、複数の CPU コア を有する。CPU コア は、スキャンフリップフロップに電氣的に接続されたバックアップ回路 10M を有する。L1 キャッシュメモリ装置 12 は、CPU コア 11 で実行する命令を一時的に記憶する機能を有する。L2 キャッシュメモリ装置 13 は、CPU コア 11 で処理するデータまたは処理によって得られたデータを一時的に記憶する機能を有する。バスインターフェース部 14 は、演算装置 10 と、半導体装置 100 内の他の回路とを接続するためのバスとの間で、データ、アドレス等の信号を送受信することができる回路構成であればよい。

[0073]

なお演算装置 10 におけるスキャンフリップフロップは、Si トランジスタを有する回路、すなわち Si CMOS で構成される。一方、バックアップ回路 10M は、OS トランジスタを有する構成とする。OS トランジスタを有するバックアップ回路 10M は、OS トランジスタをオフ状態とすることで、長時間の電荷の保持を行う機能を有する OS メモリとして機能させることができる。

[0074]

スキャンフリップフロップは、演算装置 10 が有するデータを保持し、クロック信号等に応じて順次出力する機能を有する。スキャンフリップフロップは、バックアップ回路 10M に電氣的に接続された構成を有する。当該構成により、スキャンフリップフロップが有するデータをバックアップ回路 10M に出力 (バックアップ) する構成、およびバックアップ回路 10M で保持するデータをスキャンフリップフロップに入力 (リカバリー) することができる。そのため半導体装置 100 は、電子機器 1000 をスリープ状態とした際のスリープ電力 (非表示期間における電力) を大幅に削減できるため、バッテリーの容量が小さくても利便性を高めることができる。

[0075]

金属酸化物のバンドギャップは 2.5 eV 以上あるため、OS トランジスタは極小のオフ電流をもつ。一例として、ソースとドレイン間の電圧が 3.5 V 、室温 (25°C) 下において、チャネル幅 $1\text{ }\mu\text{m}$ 当たりのオフ電流を $1 \times 10^{-20}\text{ A}$ 未満、 $1 \times 10^{-22}\text{ A}$ 未満、あるいは $1 \times 10^{-24}\text{ A}$

未満とすることができる。そのため、OSメモリは、OSトランジスタを介して保持ノードからリークする電荷量が極めて少ない。従って、OSメモリは不揮発性メモリ回路として機能できるため、演算装置10のパワーゲーティングが可能となる。

[0076]

高密度で集積化された半導体装置は、回路の駆動による熱が発生する場合がある。この発熱により、トランジスタの温度が上がることで、当該トランジスタの特性が変化して、電界効果移動度の変化または動作周波数の低下などが起こることがある。OSトランジスタは、Siトランジスタよりも熱耐性が高いため、温度変化による電界効果移動度の変化が起こりにくく、また動作周波数の低下も起こりにくい。さらに、OSトランジスタは、温度が高くなっても、ドレイン電流がゲートソース間電圧に対して指数関数的に増大する特性を維持しやすい。そのため、OSトランジスタを用いることにより、高い温度環境下での安定した動作を行うことができる。

[0077]

OSトランジスタに適用される金属酸化物は、In酸化物、Zn酸化物、Zn-Sn酸化物、Ga-Sn酸化物、In-Ga酸化物、In-Zn酸化物、In-M-Zn酸化物（Mは、Ti、Ga、Y、Zr、La、Ce、Nd、SnまたはHf）などがある。特にMとしてGaを用いる金属酸化物をOSトランジスタに採用する場合、元素の比率を調整することで電界効果移動度等の電気特性に優れたトランジスタとすることができるため、好ましい。また、インジウムおよび亜鉛を含む酸化物に、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0078]

以上より、演算装置10は、OSメモリであるバックアップ回路10Mを有することで電源電圧の供給が停止してもデータを保持できる。そのため、演算装置10のパワーゲーティングが可能となり、消費電力の大幅な低減を図ることができる。またOSメモリであるバックアップ回路10Mは、スキャンフリップフロップ等のCPUコア11が有するSiトランジスタで構成される回路と、積層して設けることができる。そのため、回路面積の増加を招くことなく、配置することができる。

[0079]

メモリ装置20は、オンチップメモリとして機能する。オンチップメモリは、半導体装置100が有する回路、例えば演算装置10に入出力するデータまたはプログラムを記憶するためのメモリ装置である。

[0080]

メモリ装置20は、メモリセルアレイ21と、周辺回路22と、を有する。メモリセルアレイ21は、メモリセル20Mを有する。メモリセル20Mに適用可能な回路としては、SRAM（Static RAM）、DRAM（Dynamic RAM）などのSiトランジスタを有するメモリの他、DOSRAMあるいはNOSRAMといったOSトランジスタを有するメモリを適用可能である。DOSRAM（登録商標）とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T（トランジスタ）1C（容量）型のメモリセルを有するRAMを指す。DOSRAMは、NOSRAMと同様に、OSトランジスタのオフ電流が低いことを利用したメモリである。

[0081]

DOSRAMは、OSトランジスタを用いて形成されたDRAMであり、DOSRAMは、外部から送られてくる情報を一時的に格納するメモリである。DOSRAMとすることでメモリ装置20は、OSトランジスタを含むメモリセル20Mと、Siトランジスタ（チャネル形成領域にシリコンを有するトランジスタ）を含む周辺回路22と、積層された異なる層に設けることができるため、DOSRAMは、全体の回路面積を小さくすることができる。また、DOSRAMは、メモリセルアレイを細かく分けて、効率的に配置することができる。またDOSRAMは、複数の層に設けられるOSトランジスタを有する構成とすることで、積層して設ける構成とすることができる。

[0082]

バス39Aは、演算装置10、メモリ装置20、PMU34、の間の各種信号を高速で送受信するためのバスである。一例としては、AMBA（Advanced Microcontroller Bus Architecture）—AHB（Advanced High-performance Bus）をバスとして用いることができる。またバス39Aは、表示制御部50が有する複数の駆動回路部51_1乃至51_nとの間の各種信号を高速で行うためのバスである。なおロジック回路部31が有するバス39Aに接続される回路としては、アクセラレータ、メモリコントローラ、ダイレクトメモリアクセスコントローラまたはインターフェース回路などを有していてもよい。

[0083]

PMU34は、半導体装置100が有する演算装置10のCPUコア11等の回路のパワーゲーティングを制御するための回路構成を有する。

[0084]

電源回路35は、半導体装置100内で用いる電圧を生成するための回路である。

[0085]

バス39Bは、センサ制御回路36およびバッテリー制御回路37の間の各種信号を低速で送受信するためのバスである。一例としては、AMBA—APB（Advanced Peripheral Bus）をバスとして用いることができる。バス39Aとバス39Bとの間の各種信号の送受信は、ブリッジ回路33を介して行う。なおロジック回路部31が有するバス39Bに接続される回路としては、割り込み制御回路、アクセラレータ、インターフェース回路、タイマー回路、ウォッチドッグ回路などを有していてもよい。

[0086]

センサ制御回路36は、半導体装置100の外部にあるセンサ1002の充放電に関するデータを送受信するための回路構成を有する。センサ制御回路36は、センサ1002に必要な電力を供給する。またセンサ制御回路36は、センサ1002からの入力を受け、制御信号に変換してバス39B等を介して演算装置10に出力する。センサ制御回路36において、センサ1002のエラー管理を行ってもよいし、センサ制御回路36の校正処理を行ってもよい。なお、センサ制御回路36は、センサ1002を制御する制御回路を複数備える構成としてもよい。

[0087]

センサ1002は、人の視覚、聴覚、触覚、味覚、および嗅覚、のいずれか一または複数の情報を取得する機能を備える。より具体的には、センサ1002は、力、変位、位置、速度、加速度、角速度、回転数、距離、光、磁気、温度、音声、時間、電場、電流、電圧、電力、放射線、湿度、

傾度、振動、におい、および赤外線を検知または測定する機能の少なくとも一を備える。センサ 1002 としては、例えば、撮像素子、ジャイロセンサー、加速度センサなどのセンサ、あるいは、人体の一部に接して心拍、表面温度、または血中酸素濃度などを測定するセンサを適用することができる。3 軸ジャイロセンサー、または加速度センサなどのセンサを搭載することで電子機器 1000 の向き、動きなどの状態を検出することができる。電子機器 1000 の状態に応じて、電子機器 1000 が有する機能のオンとオフを切り替えることができ、省電力化を図ることができる。

[0088]

バッテリー制御回路 37 は、半導体装置 100 の外部にあるバッテリー 1003 の充放電状態を管理することができる。バッテリー制御回路 37 は、例えば複数チャネルの電力コンバータまたはインバータ、保護回路等を有する構成でもよい。またバッテリー制御回路 37 は、バッテリー 1003 からの電力を電源回路 35 に供給し、電源回路 35 から電源供給ライン（図示しない）を介して各コンポーネントに電力が供給される。バッテリー制御回路 37 は、外部から供給された電力を受電し、バッテリー 1003 を充電する機能を有する。バッテリー制御回路 37 は、バッテリー 1003 の充電状態に応じて、バッテリー 1003 の充電動作を制御することができる。

[0089]

また、バッテリー制御回路 37 は、低消費電力化機能を有していることが好ましい。例えば低消費電力化機能として、半導体装置 100 に一定時間、データなどの入力がないことを検出し、演算装置 10 にクロック信号を供給するクロック信号生成回路（図示せず）のクロック周波数を低下またはクロック信号の入力を停止させること、演算装置 10 自体の動作を停止させること、メモリ装置 20 の動作を停止させること、各コンポーネントへ供給する電力を減らして電力の消費を削減すること、などが挙げられる。このような機能は、バッテリー制御回路 37 のみにより、あるいは演算装置 10 と連動して実行することができる。

[0090]

バッテリー 1003 は、例えばリチウムイオン電池などの二次電池、太陽電池などを用いることができる。バッテリー 1003 には、バッテリー 1003 の過充電及び過放電等を防ぐ保護回路が設けられていてもよい。バッテリーは、蓄電装置という場合がある。太陽電池は、光電変換装置という場合がある。また、バッテリー 1003 は、可撓性を有する構成、すなわちフレキシブルバッテリーとしてもよい。バッテリー 1003 を、可撓性を有する構成とすることで、電子機器の設計の自由度を高めることができる。

[0091]

なお、図 7 には、図示していないが半導体装置 100 に操作部 1004 の操作に応じた制御回路を有していてもよい。また操作部 1004 の他、半導体装置 100 がタッチパネルに接続される場合、タッチパネルについても操作部と同様に制御回路を有する構成とすればよい。

[0092]

なお、図 7 には、図示していないが半導体装置 100 に、外部との通信機能を有するモジュール（通信モジュールともいう）を有していてもよい。当該通信モジュールには、例えば高周波回路（RF 回路）を設け、RF 信号の送受信を行えばよい。高周波回路は、各国法制により定められた周波数帯域の電磁信号と電気信号とを相互に変換し、当該電磁信号を用いて無線で他の通信機器との間で通信を行うための回路である。実用的な周波数帯域として数 10 kHz 乃至数 10 GHz が一般に用いられている。アンテナと接続される高周波回路には、複数の周波数帯域に対応した高周

波回路部を有し、高周波回路部は、増幅器（アンプ）、ミキサ、フィルタ、DSP、RFトランシーバ等を有する構成とすることができる。無線通信を行う場合、通信プロトコル又は通信技術として、LTE（Long Term Evolution）（登録商標）、第4世代移動通信システムに対応したLTE-Advanced、第5世代移動通信システム（5G）、または第6世代移動通信システム（6G）に対応した規格等の、3GPP（Third Generation Partnership Project）（登録商標）により定められた通信規格、またはWi-Fi（登録商標）、Bluetooth（登録商標）等のIEEE（Institute of Electrical and Electronics Engineers）（登録商標）により定められた通信規格などを用いることができる。

[0093]

図8は、図7に示す半導体装置100のブロック図の変形例を示す図である。図8に示す半導体装置100Sのブロック図では、図7で示した半導体装置100の構成に加え、太陽電池1008、および太陽電池1008で得られた電力を変換するための制御回路38を有する構成を図示している。

[0094]

太陽電池1008としては、例えば、結晶シリコンを光電変換層としたシリコン太陽電池、またはシリコン太陽電池とペロブスカイト型太陽電池をタンデム構造とした太陽電池などを用いることができる。また1008太陽電池としては、例えば、非晶質シリコン太陽電池、CIGS（Cu-In-Ga-Se）型太陽電池、有機太陽電池、またはペロブスカイト型太陽電池などを用いることができる。有機太陽電池、またはペロブスカイト型太陽電池は、光の透過性が高いため、表示部60と重ねて設けることができる。

[0095]

制御回路38は、太陽電池1008の発電状態などを検知する機能を有する。制御回路38は、発電状態に応じて、発電した電力を、半導体装置100を駆動するための電力として利用するか、バッテリー1003の充電に利用するか、といった制御を行うことができる。

[0096]

太陽電池を含む電子機器1000とすることで、バッテリーの使用時間の延伸を図ることができるため、より利便性に優れた半導体装置、および半導体装置を備えた電子機器とすることができる。

[0097]

次いで図9A乃至図10Bでは、半導体装置100が設けられる素子層の構成例について説明する。

[0098]

図9Aに示す半導体装置100は、素子層30上の素子層40と、素子層40上の封止基板99と、を有する。封止基板99と素子層40の間に素子層90（図示せず）が設けられている。図9Bに示す半導体装置100は、図9Aに示す素子層30、素子層40、素子層90および封止基板99などを離して示している。

[0099]

図9Aおよび図9Bに示すように素子層30は、端子部92を有する。また図9Bに示すように素子層30は、素子層40と重なる領域に、演算装置10、メモリ装置20、表示制御部50を有する。表示制御部50は、駆動回路が設けられた複数の駆動回路部51を有する。

[0100]

端子部92には、FPC (Flexible printed circuits) などが電氣的に接続される。そのため、端子部92と重なる領域に、素子層40および封止基板99は形成されない。

[0101]

なお素子層30が有するロジック回路部31として、図1Bでは演算装置10、メモリ装置20を図示しているが、他の構成でもよい。例えば図1Aで図示したその他の構成を全て備えていてもよいし、これら以外の構成を備えてもよい。

[0102]

素子層90は、有機EL素子などの発光デバイス（図示せず）を有する。発光デバイスは、カラー表示を行うためのサブ画素（副画素）が有する画素回路によって発光が制御される。よって、素子層90も表示部60の一部と見なすことができる。

[0103]

なお、本明細書等において、素子という用語を「デバイス」と言い換えることができる場合がある。例えば、表示素子、および発光素子は、例えば表示デバイス、および発光デバイスと言い換えることができる。

[0104]

素子層30は、上述したように、チャネル形成領域を有する半導体層58にシリコンを有するトランジスタ56を有する。演算装置10、メモリ装置20、および表示制御部50を同じ素子層30に設けることで、演算装置10、メモリ装置20、および表示制御部50を電氣的に接続する配線を短くすることができる。よって、演算装置10が表示制御部50を制御するための制御信号を伝える配線の充放電時間が短くなり、消費電力を低減できる。

[0105]

素子層40は、上述したように、チャネル形成領域を有する半導体層68に金属酸化物を有するトランジスタ66を有する。表示部60に設けられる画素回路が有するトランジスタをOSトランジスタとすることで、画像データの信号に応じた電位を画素回路内に保持できるため、画像データの更新を行うことなく静止画の表示を行うことができる。

[0106]

なお演算装置10およびメモリ装置20は、表示制御部50に配置してもよい。例えば、表示制御部50が有する駆動回路部51において、駆動回路52および駆動回路53が配置される以外の領域に演算装置10およびメモリ装置20が分散して設けられていてもよい（図9C参照）。当該構成とすることで、駆動回路52および駆動回路53が設けられる駆動回路部51の面積が、駆動回路52、53が設けられる面積より大きい場合に余るスペースをつかって回路配置を効率的に行うことができる。

[0107]

素子層40では、演算装置10が有するバックアップ回路10M、メモリ装置20が有するメモリセル20Mを設ける構成が好ましい。つまり、バックアップ回路10Mおよびメモリセル20Mにおいて、画素回路62と同じ素子層に設けられるトランジスタを用いる構成とする。素子層40に設けられるバックアップ回路10Mおよびメモリセル20Mは、図10Aに図示するように、素子層30に設けられる演算装置10、メモリ装置20と重なる位置に配置することが好ましい。

[0108]

当該構成とすることで、演算装置10が有するスキャンフリップフロップの直上に、バックアップ回路10Mを配置する構成とすることができる。そのため、スキャンフリップフロップとバックアップ回路10Mとを電氣的に接続するための配線をより短くすることができる。よって、配線抵抗および寄生容量が低減され、半導体装置100の動作速度を高めることができる。また、半導体装置100の消費電力が低減される。

[0109]

なお演算装置10が有するバックアップ回路10M、メモリ装置20が有するメモリセル20Mは、表示部60の外周部に配置することで、半導体装置100が電子機器1000の筐体1001に覆われる領域などに設けることができる。そのため、素子層40における表示部60が配置されていない領域を利用して演算装置10が有するバックアップ回路10M、メモリ装置20が有するメモリセル20Mを配置することができるため、表示部60の表示品位を低下することなく、バックアップ回路10Mおよびメモリセル20Mを配置することができる。

[0110]

なおトランジスタ66を有する素子層40は、複数の素子層、例えば図10Bに図示するように素子層40__1、40__2としてもよい。当該構成とすることで素子層40__1と素子層40__2とを用いてトランジスタ特性の異なるトランジスタを有する素子層を積層することができる。また、素子層40__1と素子層40__2とを用いてトランジスタの形状の異なるトランジスタを有する素子層を積層することができる。また、素子層40__1と素子層40__2とを用いてトランジスタのチャンネル長およびチャンネル幅といったトランジスタサイズの異なるトランジスタを有する素子層を積層することができる。

[0111]

図10Bでは、素子層30の上層にある素子層40__1に演算装置10が有するバックアップ回路10M、メモリ装置20が有するメモリセル20Mを設け、素子層90の下層にある素子層40__2に画素回路、すなわち表示領域61を有する表示部60を設ける構成としている。この場合、素子層40__1は、バックアップ回路10M、およびメモリセル20Mの高性能化を図るため、駆動周波数が高められたトランジスタを有する素子層とし、素子層40__2は、画素回路の高性能化を図るため、電圧に対する耐圧が高められたトランジスタを有する素子層とすることができる。そのため、半導体装置100は、高性能化を図ることができる、半導体装置とすることができる。

[0112]

<電子機器の変形例>

電子機器における変形例について説明する。

[0113]

図11Aは、図4Aで説明した表示部60のデザインとは異なる構成を示す図である。図4Aにおいて図示したアナログ時計の文字盤に加え、図11Aでは、表示部60の表示領域61__13においてデジタル時計を表示する構成を示している。

[0114]

上述した構成において、図2Aおよび図2Bで説明した、表示部60を13の表示領域を分割した場合、中央の表示領域61__13は、画像データの更新により駆動回路部51__13が停止しない。そのため、デジタル時計を表示することで利便性に優れた表示を行うことができる。なお中央

の表示領域 6 1 __ 1 3 には、デジタル時計の他、日付表示機能（カレンダー）、月齢表示機能（ムーンフェイズ）、またはパワーリザーブ表示などをさせてもよい。

[0 1 1 5]

なお表示部 6 0 における表示領域 6 1 の分割は、図 4 A において図示したアナログ時計の文字盤に応じた 1 3 の表示領域に限らない。例えば、図 1 1 B に図示するように、通知情報 1 0 1 7、日時情報 1 0 1 8、及び複数のアイコン 1 0 1 9 が表示されている場合、表示部 6 0 における表示領域 6 1 の分割は表示領域 6 1 __ 1 乃至 6 1 __ 3 のように 3 つの領域にすることができる。

[0 1 1 6]

<画素回路の構成例>

図 1 2 A および図 1 2 B では、画素回路 6 2 の構成例、および画素回路 6 2 に接続される発光デバイス 9 1 について示す。図 1 2 A は各素子の接続を示す図、図 1 2 B は、駆動回路 5 2、5 3 を有する素子層 3 0、画素回路 6 2 を有する素子層 4 0、発光デバイス 9 1 を有する素子層 9 0 の上下関係を模式的に示す図である。

[0 1 1 7]

図 1 2 A および図 1 2 B に一例として示す画素回路 6 2 は、トランジスタ 6 3 A、トランジスタ 6 3 B、トランジスタ 6 3 C、および容量素子 6 4 を備える。トランジスタ 6 3 A、トランジスタ 6 3 B、トランジスタ 6 3 C は、OS トランジスタで構成することができる。トランジスタ 6 3 A、トランジスタ 6 3 B、トランジスタ 6 3 C の各 OS トランジスタは、バックゲート電極を備えていることが好ましく、この場合、バックゲート電極にゲート電極と同じ信号を与える構成、バックゲート電極にゲート電極と異なる信号を与える構成とすることができる。

[0 1 1 8]

トランジスタ 6 3 B は、トランジスタ 6 3 A と電氣的に接続されるゲート電極と、発光デバイス 9 1 と電氣的に接続される第 1 の電極と、配線 ANO と電氣的に接続される第 2 の電極と、を備える。配線 ANO は、発光デバイス 9 1 に電流を供給するための電位を与えるための配線である。

[0 1 1 9]

トランジスタ 6 3 A は、トランジスタ 6 3 B のゲート電極と電氣的に接続される第 1 の端子と、ソース線として機能する配線 SL と電氣的に接続される第 2 の端子と、ゲート線として機能する配線 GL 1 の電位に基づいて、導通状態または非導通状態を制御する機能を有するゲート電極と、備える。

[0 1 2 0]

トランジスタ 6 3 C は、配線 V 0 と電氣的に接続される第 1 の端子と、発光デバイス 9 1 と電氣的に接続される第 2 の端子と、ゲート線として機能する配線 GL 2 の電位に基づいて、導通状態または非導通状態を制御する機能を有するゲート電極と、を備える。配線 V 0 は、基準電位を与えるための配線、および画素回路 6 2 を流れる電流を駆動回路部 5 1 に出力するための配線である。

[0 1 2 1]

容量素子 6 4 は、トランジスタ 6 3 B のゲート電極と電氣的に接続される導電膜と、トランジスタ 6 3 C の第 2 の電極と電氣的に接続される導電膜を備える。

[0 1 2 2]

発光デバイス 9 1 は、トランジスタ 6 3 B の第 1 の電極に電氣的に接続される第 1 の電極と、配線 V COM に電氣的に接続される第 2 の電極と、を備える。配線 V COM は、発光デバイス 9 1 に

電流を供給するための電位を与えるための配線である。

[0123]

これにより、トランジスタ63Bのゲート電極に与えられる画像信号に応じて発光デバイス91が射出する光の強度を制御することができる。またトランジスタ63Cを介して与えられる配線V0の基準電位によって、トランジスタ63Bのゲートソース間電圧のばらつきを抑制することができる。

[0124]

配線V0から、画素パラメータの設定に用いることのできる電流値を出力することができる。より具体的には、配線V0は、トランジスタ63Bに流れる電流、または発光デバイス91に流れる電流を、外部に出力するためのモニター線として機能させることができる。配線V0に出力された電流は、ソースフォロア回路などにより電圧に変換され、外部に出力される。または、A-Dコンバータなどによりデジタル信号に変換され、演算装置10等に出力することができる。

[0125]

本発明の一態様で説明する発光デバイスは、有機EL素子（OLED（Organic Light Emitting Diode）ともいう）などの自発光型の表示素子をいう。なお画素回路に電氣的に接続される発光デバイスは、LED（Light Emitting Diode）、マイクロLED、QLED（Quantum-dot Light Emitting Diode）、半導体レーザ等の、自発光型の発光デバイスとすることが可能である。

[0126]

図12Bに一例として示す構成では、画素回路62と、駆動回路部51と、を電氣的に接続する配線を短くすることができるため、当該配線の配線抵抗を小さくすることができる。よって、データの書き込みを高速に行うことができるため、表示部60を高速に駆動させることができる。これにより、表示部60が有する画素回路62を多くしても十分なフレーム期間を確保することができるため、表示部60の画素密度を高めることができる。また、表示部60の画素密度を高めることにより、表示部60により表示される画像の精細度を高めることができる。

[0127]

なお、図12Aおよび図12Bでは、計3つのトランジスタを有する画素回路62を一例として示したが本発明の一態様はこれに限らない。以下では、画素回路62に適用可能な画素回路の構成例、および駆動方法例について説明する。

[0128]

図13Aに示す画素回路62Aは、トランジスタ63A、トランジスタ63B、および容量素子64を図示している。また図13Aでは、画素回路62Aに接続される発光デバイス91を図示している。また、画素回路62Aには、配線SL、配線GL、配線ANO、および配線VCOMが電氣的に接続されている。画素回路62Aは、図12Aに示す画素回路62からトランジスタ63Cを除き、かつ、配線GL1および配線GL2を配線GLに置き換えた構成を有している。

[0129]

トランジスタ63Aは、ゲートが配線GLと、ソースおよびドレインの一方が配線SLと、他方がトランジスタ63Bのゲート、および容量C1の一方の電極と、それぞれ電氣的に接続されている。トランジスタ63Bは、ソースおよびドレインの一方が配線ANOと、他方が発光デバイス91のアノードと、それぞれ電氣的に接続されている。容量C1は、他方の電極が発光デバイス91

のアノードと電氣的に接続されている。発光デバイス 9 1 は、カソードが配線 V C O M と電氣的に接続されている。

[0130]

図 1 3 B に示す画素回路 6 2 B は、画素回路 6 2 A に、トランジスタ 6 3 C を追加した構成である。また画素回路 6 2 B には、配線 V 0 が電氣的に接続されている。

[0131]

図 1 3 C に示す画素回路 6 2 C は、上記画素回路 6 2 A のトランジスタ 6 3 A およびトランジスタ 6 3 B に、一対のゲートが電氣的に接続されたトランジスタを適用した場合の例である。また、図 1 3 D に示す画素回路 6 2 D は、画素回路 6 2 B に当該トランジスタを適用した場合の例である。これにより、トランジスタが流すことのできる電流を増大させることができる。なお、ここでは全てのトランジスタに、一対のゲートが電氣的に接続されたトランジスタを適用したが、これに限られない。また、一対のゲートを有し、且つこれらが異なる配線と電氣的に接続されるトランジスタを適用してもよい。例えば、ゲートの一方とソースとが電氣的に接続されたトランジスタを用いることで、信頼性を高めることができる。

[0132]

図 1 4 A に示す画素回路 6 2 E は、上記 5 1 B に、トランジスタ 6 3 D を追加した構成である。また、画素回路 6 2 E には、ゲート線として機能する配線 G L 1、配線 G L 2、および配線 G L 3 が電氣的に接続されている。なお、本実施の形態などにおいて、配線 G L 1、配線 G L 2、および配線 G L 3 をまとめて配線 G L と呼ぶ場合がある。よって、配線 G L は 1 本に限らず、複数本の場合がある。

[0133]

トランジスタ 6 3 D は、ゲートが配線 G L 3 と、ソースおよびドレインの一方がトランジスタ 6 3 B のゲートと、他方が配線 V 0 と、それぞれ電氣的に接続されている。また、トランジスタ 6 3 A のゲートが配線 G L 1 と、トランジスタ 6 3 C のゲートが配線 G L 2 と、それぞれ電氣的に接続されている。

[0134]

トランジスタ 6 3 C とトランジスタ 6 3 D を同時に導通状態とさせることで、トランジスタ 6 3 B のソースとゲートが同電位となり、トランジスタ 6 3 B を非導通状態とすることができる。これにより、発光デバイス 9 1 に流れる電流を強制的に遮断することができる。このような画素回路は、表示期間と消灯期間を交互に設ける表示方法を用いる場合に適している。

[0135]

図 1 4 B に示す画素回路 6 2 F は、上記画素回路 6 2 E に容量素子 6 4 A を追加した場合の例である。容量素子 6 4 A は保持容量として機能する。

[0136]

図 1 4 C に示す画素回路 6 2 G、および図 1 4 D に示す画素回路 6 2 H は、それぞれ上記画素回路 6 2 E または画素回路 6 2 F に、一対のゲートを有するトランジスタを適用した場合の例である。トランジスタ 6 3 A、トランジスタ 6 3 C、トランジスタ 6 3 D には、一対のゲートが電氣的に接続されたトランジスタが適用され、トランジスタ 6 3 B には、一方のゲートがソースと電氣的に接続されたトランジスタが適用されている。

[0137]

<演算装置の構成例>

パワーゲーティングが可能なCPUコアを有する演算装置10の一例について説明する。

[0138]

図15に、演算装置10の構成例を示す。演算装置10は、CPUコア(CPU Core)11、L1キャッシュメモリ装置(L1 Cache)12、L2キャッシュメモリ装置(L2 Cache)13、バスインターフェース部(Bus I/F)14、パワースイッチ15A乃至15C、およびレベルシフタ(LS)15Dを有する。CPUコア11はフリップフロップ16を有する。

[0139]

バスインターフェース部14によって、CPUコア11、L1キャッシュメモリ装置12、およびL2キャッシュメモリ装置13が相互に接続される。

[0140]

外部から入力される割り込み信号(Interrupts)、演算装置10が発行する信号SLEEP1等の信号に応じて、PMU34はクロック信号CLK1、および各種のPG(パワーゲーティング)制御信号(PG control signals)の生成を行う。クロック信号CLK1、およびPG制御信号は演算装置10に入力される。PG制御信号は、パワースイッチ15A乃至15Cおよびフリップフロップ16を制御する。

[0141]

パワースイッチ15A、15Bは、仮想電源線V_VDD(以下、V_VDD線と呼ぶ)への電圧VDDD、VDD1の供給をそれぞれ制御する。パワースイッチ15Cは、レベルシフタ(LS)15Dへの電圧VDDH(高レベル側電源電圧)の供給を制御する。演算装置10およびPMU34には、パワースイッチを介さずに電圧VSSSが入力される。PMU34には、パワースイッチを介さずに電圧VDDDが入力される。

[0142]

電圧VDDD、VDD1はCMOS回路用の駆動電圧である。電圧VDD1は電圧VDDDよりも低く、スリープ状態での駆動電圧である。電圧VDDHはOSトランジスタ用の駆動電圧であり、電圧VDDDよりも高い。

[0143]

L1キャッシュメモリ装置12、L2キャッシュメモリ装置13およびバスインターフェース部14それぞれは、少なくとも1つパワーゲーティング可能なパワードメインを有する。パワーゲーティング可能なパワードメインには、1または複数のパワースイッチが設けられている。これらのパワースイッチは、PG制御信号によって制御される。

[0144]

フリップフロップ16は、レジスタに用いられる。フリップフロップ16には、バックアップ回路が設けられている。以下、フリップフロップ16について説明する。

[0145]

図16Aにフリップフロップ16(Flip-flop)の回路構成例を示す。フリップフロップ16はスキャンフリップフロップ(Scan Flip-flop)17、およびバックアップ回路(Backup Circuit)10Mを有する。

[0146]

スキャンフリップフロップ17は、ノードD1、Q1、SD、SE、RT、CK、およびクロックバッファ回路17Aを有する。

[0147]

ノードD1はデータ(data)入力ノードであり、ノードQ1はデータ出力ノードであり、ノードSDはスキャンテスト用データの入力ノードである。ノードSEは信号SCEの入力ノードである。ノードCKはクロック信号CLK1の入力ノードである。クロック信号CLK1はクロックバッファ回路17Aに入力される。スキャンフリップフロップ17のアナログスイッチは、クロックバッファ回路17AのノードCK1、CKB1に接続される。ノードRTはリセット信号(reset signal)の入力ノードである。

[0148]

信号SCEは、スキャンイネーブル信号であり、PMU34で生成される。PMU34は信号BK、RCを生成する。レベルシフタ15Dは信号BK、RCをレベルシフトし、信号BKH、RCHを生成する。信号BK、RCはバックアップ信号、リカバリ信号である。

[0149]

スキャンフリップフロップ17の回路構成は、図16Aに限定されない。標準的な回路ライブラリに用意されているフリップフロップを適用することができる。

[0150]

バックアップ回路10Mは、ノードSD_IN、SN11、トランジスタM11乃至M13、および容量C11を有する。

[0151]

ノードSD_INは、スキャンテストデータの入力ノードであり、スキャンフリップフロップ17のノードQ1に接続される。ノードSN11は、バックアップ回路10Mの保持ノードである。容量C11はノードSN11の電圧を保持するための保持容量である。

[0152]

トランジスタM11はノードQ1とノードSN11間の導通状態を制御する。トランジスタM12はノードSN11とノードSD間の導通状態を制御する。トランジスタM13はノードSD_INとノードSD間の導通状態を制御する。トランジスタM11、M13のオンオフは信号BKHで制御され、トランジスタM12のオンオフは信号RCHで制御される。

[0153]

トランジスタM11乃至M13は、OSトランジスタである。トランジスタM11乃至M13はバックゲートを有する構成を図示している。トランジスタM11乃至M13のバックゲートは、電圧VBG1を供給する電源線に接続されている。

[0154]

少なくともトランジスタM11、M12がOSトランジスタであることが好ましい。オフ電流が極めて小さいというOSトランジスタの特長によって、ノードSN11の電圧の低下を抑えることができること、データの保持に電力を殆んど消費しないことから、バックアップ回路10Mは不揮発性の特性をもつ。容量C11の充放電によってデータを書き換えるため、バックアップ回路10Mは原理的には書き換え回数に制約はなく、低エネルギーで、データの書き込みおよび読み出しが可能である。

[0155]

バックアップ回路10Mの全てのトランジスタはOSトランジスタであることが非常に好ましい。図16Bに示すように、シリコンCMOS回路で構成されるスキャンフリップフロップ17上にバックアップ回路10Mを積層することができる。

[0156]

バックアップ回路10Mは、スキャンフリップフロップ17と比較して素子数が非常に少ないので、バックアップ回路10Mを積層するためにスキャンフリップフロップ17の回路構成およびレイアウトの変更が必要ない。つまり、バックアップ回路10Mは、汎用性が非常に高いバックアップ回路である。また、スキャンフリップフロップ17が形成されている領域内にバックアップ回路10Mを設けることができるので、バックアップ回路10Mを組み込んでも、フリップフロップ16の面積オーバーヘッドはゼロにすることが可能である。よって、バックアップ回路10Mをフリップフロップ16に設けることで、CPUコア11のパワーゲーティングが可能となる。パワーゲーティングに必要なエネルギーが少ないため、CPUコア11を高効率にパワーゲーティングすることが可能である。

[0157]

バックアップ回路10Mを設けることによって、トランジスタM11による寄生容量がノードQ1に付加されることになるが、ノードQ1に接続される論理回路による寄生容量と比較して小さいので、スキャンフリップフロップ17の動作に影響はない。つまり、バックアップ回路10Mを設けても、フリップフロップ16の性能は実質的に低下しない。

[0158]

CPUコア11の低消費電力状態として、例えば、クロックゲーティング状態、パワーゲーティング状態、休止状態（非動作）を設定することができる。PMU34は、割り込み信号、信号SLEEP1等に基づき、CPUコア11の低消費電力モードを選択する。例えば、通常動作状態からクロックゲーティング状態に移行する場合、PMU34はクロック信号CLK1の生成を停止する。

[0159]

例えば、通常動作状態から休止状態（非動作状態）に移行する場合は、PMU34は、電圧および／または周波数スケーリングを行う。例えば、電圧スケーリングを行う場合、PMU34は、電圧VDD1をCPUコア11に入力するため、パワースイッチ15Aをオフにし、パワースイッチ15Bをオンにする。電圧VDD1は、スキャンフリップフロップ17のデータを消失させない電圧である。周波数スケーリングを行う場合、PMU34はクロック信号CLK1の周波数を低下させる。

[0160]

CPUコア11を通常動作状態からパワーゲーティング状態に移行する場合には、スキャンフリップフロップ17のデータをバックアップ回路10Mにバックアップする動作が行われる。CPUコア11をパワーゲーティング状態から通常動作状態に復帰する際には、バックアップ回路10Mのデータをスキャンフリップフロップ17に書き戻すリカバリ動作が行われる。

[0161]

図17に、CPUコア11のパワーゲーティングシーケンスの一例を示す。なお、図17において、t1～t7は時刻を表している。信号PSE0乃至PSE2は、パワースイッチ15A乃至15Cの制御信号であり、PMU34で生成される。信号PSE0が“H”／“L”のとき、パワー

スイッチ15Aはオン／オフである。信号PSE1、PSE2についても同様である。

[0162]

時刻t1以前は、通常動作状態（Normal Operation）である。パワースwitch15Aはオンであり、CPUコア11には電圧VDDDが入力される。スキャンフリップフロップ17は通常動作を行う。このとき、レベルシフタ15Dは動作させる必要がないため、パワースwitch15Cはオフであり、信号SCE、BK、RCは“L”である。ノードSEが“L”であるため、スキャンフリップフロップ17はノードD1のデータを記憶する。なお、図17の例では、時刻t1において、バックアップ回路10MのノードSN11は“L”である。

[0163]

バックアップ（Backup）時の動作を説明する。時刻t1で、PMU34はクロック信号GCLK1を停止し、信号PSE2、BKを“H”にする。レベルシフタ15Dはアクティブになり、“H”の信号BKHをバックアップ回路10Mに出力する。

[0164]

バックアップ回路10MのトランジスタM11がオンになり、スキャンフリップフロップ17のノードQ1のデータがバックアップ回路10MのノードSN11に書き込まれる。スキャンフリップフロップ17のノードQ1が“L”であれば、ノードSN11は“L”のままであり、ノードQ1が“H”であれば、ノードSN11は“H”になる。

[0165]

PMU34は、時刻t2で信号PSE2、BKを“L”にし、時刻t3で信号PSE0を“L”にする。時刻t3で、CPUコア11の状態はパワーゲーティング状態に移行する。なお、信号BKを立ち下げるタイミングで信号PSE0を立ち下げてもよい。

[0166]

パワーゲーティング（Power-gating）時の動作を説明する。信号PSE0が“L”になることで、V__VDD線の電圧が低下するため、ノードQ1のデータは失われる。ノードSN11は、時刻t3でのノードQ1のデータを保持し続ける。

[0167]

リカバリ（Recovery）時の動作を説明する。時刻t4で、PMU34が信号PSE0を“H”にすることで、パワーゲーティング状態からリカバリ状態に移行する。V__VDD線の充電が開始され、V__VDD線の電圧がVDDDになった状態（時刻t5）で、PMU34は信号PSE2、RC、SCEを“H”にする。

[0168]

トランジスタM12はオンになり、容量C11の電荷がノードSN11とノードSDとに分配される。ノードSN11が“H”であれば、ノードSDの電圧は上昇する。ノードSEは“H”であるので、スキャンフリップフロップ17の入力側ラッチ回路にノードSDのデータが書き込まれる。時刻t6でノードCKにクロック信号GCLK1が入力されると、入力側ラッチ回路のデータがノードQ1に書き込まれる。つまり、ノードSN11のデータがノードQ1に書き込まれたことになる。

[0169]

時刻t7で、PMU34は信号PSE2、SCE、RCを“L”にし、リカバリ動作が終了する。

[0170]

OSトランジスタを用いたバックアップ回路10Mは、動的および静的低消費電力双方が小さいため、ノーマリオフ・コンピューティングに非常に好適である。フリップフロップ16を搭載しても、CPUコア11の性能低下、動的電力の増加をほとんど発生させないようにできる。

[0171]

なお、CPUコア11は複数のパワーゲーティング可能なパワードメインを有してもよい。複数のパワードメインには、電圧の入力を制御するための1または複数のパワースイッチが設けられる。また、CPUコア11は、1または複数のパワーゲーティングが行われないパワードメインを有していてもよい。例えば、パワーゲーティングが行われないパワードメインに、フリップフロップ16、パワースイッチ15A乃至15Cの制御を行うためのパワーゲーティング制御回路を設けてもよい。

[0172]

なお、フリップフロップ16の適用は演算装置10に限定されない。演算装置において、パワーゲーティング可能なパワードメインに設けられるレジスタに、フリップフロップ16を適用できる。

[0173]

<メモリ装置の構成例>

ここでは、OSトランジスタを有するメモリセル20Mが設けられるメモリ装置20の構成例について説明する。

[0174]

図18Aに示すメモリ装置20は、メモリセルアレイ21および周辺回路22を有する。周辺回路22として、制御回路24、行回路25、列回路26、および入出力回路27が設けられている。

[0175]

メモリセルアレイ21は、メモリセル23、読み出しワード線RWL、書き込みワード線WWL、読み出しビット線RBL、書き込みビット線WBL、配線SL、配線BGLを有する。なお、読み出しワード線RWL、書き込みワード線WWLをそれぞれ、ワード線RWL、ワード線WWLと呼ぶ場合がある。読み出しビット線RBL、書き込みビット線WBLをそれぞれ、ビット線RBL、ビット線WBLと呼ぶ場合がある。

[0176]

制御回路24はメモリ装置20全体を統括的に制御し、データの書き込み、データの読み出しを行う。制御回路24は、外部からのコマンド信号（例えば、チップイネーブル信号、書き込みイネーブル信号など）を処理して、周辺回路22のそのほかの回路への制御信号を生成する。

[0177]

行回路25は、アクセスする行を選択する機能を有する。例えば、行回路25は、行デコーダ、およびワード線ドライバを有する。列回路26は、ビット線WBL、RBLをプリチャージする機能、ビット線WBLにデータを書き込む機能、ビット線RBLのデータを増幅する機能、ビット線RBLからデータを読み出す機能等を有する。入出力回路27は、書き込みデータを保持する機能、読み出されたデータを保持する機能等を有する。

[0178]

周辺回路22の構成は、メモリセルアレイ21の構成、読み出し方法、および書き込み方法等によって、適宜変更される。

[0179]

図18Bにメモリセル23の回路構成例を示す。ここでは、メモリセル23は2トランジスタ型(2T)ゲインセルである。メモリセル23は、トランジスタMW1、MR1、容量素子CS1を有する。トランジスタMW1は書き込みトランジスタであり、トランジスタMR1は読み出しトランジスタである。トランジスタMW1、MR1のバックゲートは配線BGLに電氣的に接続されている。

[0180]

OSトランジスタで読み出しトランジスタを構成しているので、メモリセル23は、データ保持に電力を消費しない。従って、メモリセル23は長期間データを保持可能な低消費電力なメモリセルであり、メモリ装置20を、不揮発性記憶装置として用いることができる。OSトランジスタ、および容量はSiトランジスタに積層して設けることが可能である。よって、メモリセルアレイ21を周辺回路22に積層して設けることが可能であり、メモリセルアレイ21の集積度を向上することができる。

[0181]

図19A乃至図19Fを参照して、メモリセルの他の構成例を説明する。

[0182]

図19Aに示すメモリセル23Aは、3T型ゲインセルであり、トランジスタMW2、MR2、MS2、および容量素子CS2を有する。トランジスタMW2、MR2、MS2はそれぞれ、書き込みトランジスタ、読み出しトランジスタ、選択トランジスタである。トランジスタMW2、MR2、MS2のバックゲートは配線BGLに電氣的に接続されている。メモリセル23Aは、ワード線RWL、WWL、ビット線RBL、WBL、容量線CDL、電源線PL2に電氣的に接続されている。例えば、容量線CDL、電源線PL2には、電圧GND(低レベル側電源電圧)が入力される。

[0183]

図19B、図19Cに2T型ゲインセルの他の構成例を示す。図19Bに示すメモリセル23Bでは、読み出しトランジスタがnチャネル型Siトランジスタで構成されている。図19Cに示すメモリセル23Cでは、読み出しトランジスタがpチャネル型Siトランジスタで構成されている。図19B、図19Cに示すように、メモリセル内のトランジスタとしてOSトランジスタとSiトランジスタとを組み合わせた構成としてもよい。

[0184]

図19D、図19Eに3T型ゲインセルの他の構成例を示す。図19Dに示すメモリセル23Dでは、読み出しトランジスタ、選択トランジスタがnチャネル型Siトランジスタで構成されている。図19Eに示すメモリセル23Eでは、読み出しトランジスタ、選択トランジスタがpチャネル型Siトランジスタで構成されている。図19Eの例では、電源線PL2には、電圧VDDDが入力される。

[0185]

上掲のゲインセルにおいて、ビット線RBL、ビット線WBLを兼ねるビット線を設けてもよい。

[0186]

図19Fに1T1C(容量)型メモリセルの例を示す。図19Fに示すメモリセル23Fは、ワード線WL、ビット線BL、容量線CDL、配線BGLに電氣的に接続されている。メモリセル23Fは、トランジスタMW3、容量素子CS3を有する。トランジスタMW3のバックゲートは配

線BGLに電氣的に接続されている。

[0187]

メモリ装置20のメモリセル20Mの回路構成としては、OSトランジスタのみで構成される回路構成の他、Siトランジスタと組み合わせた回路構成など、の構成とすることができる。

[0188]

以上説明した本発明の一態様の半導体装置、および当該半導体装置を有する電子機器では、限られた筐体1001の容積において、表示部、演算装置、メモリ装置、といった半導体装置などの電子部品が納められる構成となる。半導体装置において表示部および駆動制御部の画像データの更新頻度を削減することにより消費電力の低減を図ることができる。

[0189]

また本発明の一態様の半導体装置、および当該半導体装置を有する電子機器では、半導体装置において、演算装置内にバックアップ回路を設ける構成、およびメモリ装置内にOSトランジスタを有するメモリセルを設ける構成とすることで、電子機器1000をスリープ状態とした際の電力を大幅に削減できるため、バッテリーの容量が小さくても利便性を高めることができる。その結果、電子機器の軽量化を図ることができる。

[0190]

(実施の形態2)

本実施の形態では、上記実施の形態1で説明した半導体装置100の素子層40に適用可能なトランジスタの構成例について説明する。特に本実施の形態では、OSトランジスタに適用可能なトランジスタの構成例について説明する。

[0191]

<トランジスタの構成例1>

図20A乃至図20Cは、トランジスタMTCKを含む半導体装置（例えば、画素回路又は駆動回路を指す）の一例を示している。特に、図20Aは、トランジスタMTCKの平面模式図を示している。また、図20Bは、図20Aに示す一点鎖線A1-A2の部位に対応する断面模式図であり、トランジスタMTCKの断面模式図でもある。また、図20Cは、図20Aに示す一点鎖線A3-A4の部位に対応する断面模式図であり、トランジスタMTCKの断面模式図でもある。

[0192]

なお、図20A乃至図20Cにおいて、一点鎖線A1-A2の方向をX方向とし、一点鎖線A3-A4の方向をY方向とする。また、X方向及びY方向に垂直な方向をZ方向とする。また、X方向とY方向は互いに垂直な方向とすることができる。また、X方向、Y方向、及びZ方向の定義は、以降の図面においても同様の場合があり、また異なる場合がある。また、図20A等における平面模式図の説明において、右側をX方向、左側を-X方向、上側をY方向、下側を-Y方向という場合がある。また、図20B等における断面模式図の説明において、右側をX方向、左側を-X方向、上側をZ方向、下側を-Z方向という場合がある。また、図20Cといった断面模式図の説明において、右側を-Y方向、左側を+Y方向、上側をZ方向、下側を-Z方向という場合がある。

[0193]

図20A乃至図20Cに示すトランジスタMTCKは、絶縁体IS1乃至絶縁体IS3と、絶縁体GI1と、導電体ME1乃至導電体ME3と、半導体SC1と、を有する。

[0194]

絶縁体 I S 1 は、一例として、その上方にトランジスタ M T C K のソース、ドレイン、及びチャネル形成領域を設けるための下地膜として機能する。絶縁体 I S 1 には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、又は窒化シリコンを用いることができる。又は、絶縁体 I S 1 には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、又は空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。又は、絶縁体 I S 1 には、例えば、樹脂を用いることができる。また、絶縁体 I S 1 に用いる材料は、上述した絶縁材料を適宜組み合わせたものとしてもよい。

[0195]

導電体 M E 1 は、トランジスタ M T C K において、ソース又はドレインの一方として機能する導電体（端子、配線などと言い換える場合がある）である。また、導電体 M E 2 は、トランジスタ M T C K において、ソース又はドレインの他方として機能する導電体（端子、配線などと言い換える場合がある）である。

[0196]

なお、図 20 A 乃至図 20 C では、導電体 M E 1 は、一例として、配線として、Y 方向に延在するように設けられている。また、導電体 M E 2 は、一例として、配線として、X 方向に延在するように設けられている。

[0197]

導電体 M E 1、導電体 M E 2、および導電体 M E 3 には、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、及びランタンから選ばれた金属元素、または上述した金属元素から選ばれた二以上を成分とする合金、又は上述した金属元素から選ばれた二以上を組み合わせた合金を用いることが好ましい。又は、導電膜 M E 1 には、例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物を用いることが好ましい。窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、及びランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、導電体には、例えば、不純物元素（例えば、リン又はヒ素）を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又はシリサイド（例えば、ニッケルシリサイド）を用いてもよい。

[0198]

また、上記の材料で形成される導電膜を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。具体的な導電膜の積層構造としては、例えば、インジウム酸化物と、ルテニウムを含む金属膜との積層構造などが挙げられる。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含

む導電性材料と、を組み合わせた積層構造としてもよい。

[0199]

また、絶縁体IS2は、一例として、トランジスタMTCKにおいて、ソースとドレインとを隔てる層間膜として機能する。絶縁膜IS2には、例えば、絶縁体IS1に適用できる材料を用いることができる。半導体SC1が酸化物半導体として機能する金属酸化物の場合、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンを用いることが好ましい。これらの材料は、加熱により脱離する酸素を含む領域を容易に形成することができ、脱離した当該酸素を当該金属酸化物に供給することができる。これにより、絶縁体IS2に接触している、半導体SC1の界面、及び界面近傍において、当該金属酸化物のキャリア濃度が低下して、半導体SC1の界面、及び界面近傍がi型又は実質的にi型となる。したがって、半導体SC1の界面、及び界面近傍をトランジスタMTCKにおけるチャネル形成領域として機能させることができる。

[0200]

半導体SC1は、例えば、酸化物半導体として機能する金属酸化物とすることができる。この場合、トランジスタMTCKは、OSトランジスタとなる。当該金属酸化物としては、一例として、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、これらに加えて、元素Mが含まれていることが好ましい。元素Mとして、アルミニウム、ガリウム、シリコン、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト、及びアンチモンから選ばれた一以上を用いることができる。特に、元素Mは、アルミニウム、ガリウム、イットリウム、又は錫の一以上とすることが好ましい。また、元素Mは、ガリウム及び錫の一方又は双方を有することがさらに好ましい。なお、半導体SC1が、酸化物半導体として機能する金属酸化物である場合、ALD (Atomic Layer Deposition) 法を用いて形成すると好適である。図20B、及び図20Cに示すように、段差を有する領域に半導体SC1を形成する際には、ALD法を用いると、被覆性がよく形成することができる。

[0201]

また、半導体SC1に酸化物半導体として機能する金属酸化物を用いる場合、金属酸化物の成膜中、または成膜後に、酸素を含む雰囲気マイクロ波処理を行うことで、当該金属酸化物中の不純物濃度を低減させる処理を行うと好ましい。なお、不純物としては、特に、水素、及び炭素が挙げられる。また、マイクロ波処理を行うことで、金属酸化物の結晶性を高めることができる場合がある。ここで、マイクロ波処理とは、例えばマイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。

[0202]

なお、半導体SC1に、結晶性を有する金属酸化物層を用いることが好ましい。例えば、CAAC (c-axis aligned crystal) 構造、多結晶構造、微結晶 (nc: nanocrystal) 構造等を有する金属酸化物層を用いることができる。結晶性を有する金属酸化物層を半導体SC1に用いることにより、半導体SC1中の欠陥準位密度を低減でき、信頼性の高い半導体装置を実現できる。

[0203]

半導体SC1には、一例としては、In-Ga-Zn酸化物を用いることが好ましい。特に、I

In-Ga-Zn 酸化物としては、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比] 若しくはその近傍の組成、 $4 : 2 : 3$ [原子数比] 若しくはその近傍の組成、又は $3 : 1 : 2$ [原子数比] 若しくはその近傍の組成の金属酸化物とすることが、より好ましい。また、半導体膜 SC1 には、別の一例として、 In-Zn 酸化物を用いることが好ましい。特に、 In-Zn 酸化物としては、 $\text{In} : \text{Zn} = 4 : 1$ [原子数比] 若しくはその近傍の組成の金属酸化物とすることがより好ましい。

[0204]

半導体 SC1 は、例えば、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。例えば、金属酸化物として、第1の金属酸化物と、第1の金属酸化物上に形成される第2の金属酸化物を考える。それぞれの金属酸化物が、少なくともインジウム (In) と、元素 M と、を含む場合、第1の金属酸化物を構成する全元素の原子数に対する、第1の金属酸化物に含まれる元素 M の原子数の割合が、第2の金属酸化物を構成する全元素の原子数に対する、第2の金属酸化物に含まれる元素 M の原子数の割合より高いことが好ましい。また、第1の金属酸化物に含まれる元素 M の、In に対する原子数比が、第2の金属酸化物に含まれる元素 M の、In に対する原子数比より大きいことが好ましい。

[0205]

具体的には、第1の金属酸化物として、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ [原子数比] 若しくはその近傍の組成、 $1 : 3 : 2$ [原子数比] 若しくはその近傍の組成、又は $1 : 1 : 0.5$ [原子数比] 若しくはその近傍の組成の金属酸化物を用いればよい。また、第2の金属酸化物として、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子数比] 若しくはその近傍の組成、 $4 : 2 : 3$ [原子数比] 若しくはその近傍の組成、又は $3 : 1 : 2$ [原子数比] 若しくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の $\pm 30\%$ の範囲を含む。

[0206]

このとき、キャリアの主たる経路は第2の金属酸化物となる。第1の金属酸化物を上述した構成とすることで、第1の金属酸化物と第2の金属酸化物との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタは高いオン電流、及び高い周波数特性を得ることができる。

[0207]

また、絶縁体 IS2 の、トランジスタ MTCK が設けられる領域には、側面が X-Y 平面に対して概略垂直（テーパー角が 70° 以上 110° 以下）になっている開口 KK1 が形成されている。また、トランジスタ MTCK のチャネル形成領域を含む半導体 SC1 は、開口 KK1 を介して、導電体 ME1 と導電体 ME2 とに接触するように設けられている。

[0208]

また、トランジスタ MTCK において、半導体 SC1 上には、絶縁体 GI1 が設けられている。具体的には、平面視において、半導体 SC1 に含まれるチャネル形成領域の上方に絶縁体 GI1 が重なるように位置している。絶縁体 GI1 は、トランジスタ MTCK におけるゲート絶縁膜として機能する。

[0209]

絶縁体 GI1 には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3)、又は (Ba, Sr) TiO_3 (BST) といったいわゆる *high-k* 材料を含む絶縁体を単層又は積層で用い

ることが好ましい。又は、絶縁体G I 1には、比誘電率の高い絶縁体として、アルミニウムとハフニウムとを有する酸化物、アルミニウムとハフニウムとを有する酸化窒化物、シリコンとハフニウムとを有する酸化物、シリコンとハフニウムとを有する酸化窒化物、又はシリコンとハフニウムとを有する窒化物を用いてもよい。

[0210]

また、トランジスタMTCKにおいて、導電体ME 3は、開口KK 1を埋めるように絶縁体G I 1上に設けられている。導電体ME 3は、トランジスタMTCKにおける、ゲートとして機能する導電体（端子、配線などと言い換える場合がある）である。

[0211]

なお、図20A乃至図20Cでは、導電体ME 3は、一例として、配線として、Y方向に延在するように設けられている。

[0212]

絶縁体IS 3は、一例として、層間膜として機能する膜である。そのため、絶縁体IS 3は、比誘電率が低い絶縁材料を有することが好ましい。比誘電率が低い絶縁材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0213]

絶縁体IS 3としては、例えば、絶縁体IS 1に適用できる材料を用いることができる。

[0214]

上記のとおり、図20A乃至図20Cに示すトランジスタMTCKは、層間膜となる絶縁体IS 2の下方にソース又はドレインの一方として機能する導電体ME 1が位置し、絶縁体IS 2の上方にソース又はドレインの他方として機能する導電体ME 2が位置している。このため、トランジスタMTCKは、それぞれのチャネル形成領域が、絶縁体IS 2の開口に沿って設けられる構成となっている。

[0215]

図20A乃至図20Cに示すとおり、トランジスタのチャネル形成領域を層間膜として機能する絶縁体の開口の側面に沿って設けることによって、トランジスタのチャネル形成領域をX-Y平面に沿って設けた場合よりも、トランジスタの形成面積を小さくすることができる。このため、トランジスタMTCKを用いて回路を形成することによって、当該回路の面積を小さくすることができる。また、その結果として、当該回路を含む半導体装置、又は表示装置の小型化に繋げることができる。

[0216]

<トランジスタの構成例2>

図21Aには、図20Bとは異なる構成を有するトランジスタMTCK 2の、XZ平面における断面図を示している。また、図21Bには、XY平面における断面図を示している。

[0217]

トランジスタMTCK 2は、トランジスタMTCKと比較して、導電体ME 1を有さない点、及び導電体ME 2に代えて導電体ME 2__SとME 2__Dを有する点、半導体SC 1の形状が異なる点で、主に相違している。導電体ME 2__Sは、ソース電極としての機能を有し、導電体ME 2__Dは、ドレイン電極としての機能を有する。

[0218]

半導体SC1は環状の形状を有する。具体的には、開口KK1において、導電体ME2__Sの側面に接する領域と、導電体ME2__Dの側面に接する領域と、絶縁体IS2の側面に接する領域と、を有する。ここでは、半導体SC1が導電体ME2__SおよびME2__Dの上面と接しない構成としている。このような形状の半導体SC1は、例えば異方性のエッチングにより加工することで形成することができる。

[0219]

図21Bに示すように、導電体ME2__Sと導電体ME2__Dの幅Hは、開口KK1の最大幅Dよりも小さい。このとき、開口KK1の円周方向が、トランジスタMTCK2のチャネル長方向Lに相当する。ここでは、半導体SC1が環状の形状を有するため、導電体ME2__Sから導電体ME2__Dへの電流経路（すなわちチャネル）が2種類存在する。なお、半導体SC1は必ずしも環状の形状とする必要はなく、導電体ME2__Sと導電体ME2__Dの両方と接する構成としてもよい。

[0220]

チャネル長は、開口KK1の形状、及び大きさによって制御することができる。例えばチャネル長を大きくしたい場合には、開口KK1の周長を長くすればよい。また平面視において開口KK1が円形である例について示したが、本発明はこれに限られるものではない。例えば、平面視において開口KK1が、円形、他、楕円形、角の丸い四角形などとすることができる。また、正三角形、正方形、正五角形をはじめとした正多角形、正多角形以外の多角形としてもよい。また、星形多角形などの、少なくとも一つの内角が180度を超える多角形である、凹多角形とすると、チャネル長を大きくできる。そのほか、楕円形、角の丸い多角形、直線と曲線とを組み合わせた閉曲線などとすることができる。このとき、開口KK1の最大幅は、開口KK1の最上部の形状に合わせて適宜算出するとよい。例えば、平面視において開口部が正方形または長方形である場合、開口KK1の最大幅は、開口KK1の最上部の対角線の長さとするといよい。

[0221]

また、図21Aに示すように、半導体SC1の高さがトランジスタMTCK2のチャネル幅Wとなる。そのため、トランジスタMTCK2のチャネル幅Wは、絶縁体IS2の厚さによって制御することができる。そのため、トランジスタMTCK2のチャネル幅をフォトリソグラフィの露光限界以下の非常に微細な構造（例えば60nm以下、50nm以下、40nm以下、30nm以下、20nm以下、または10nm以下であって、1nm以上、または5nm以上）にすることができる。

[0222]

トランジスタMTCKは、チャネル長が極めて小さく、チャネル幅を大きくできるトランジスタであり、高いオン電流を実現することができる。一方、トランジスタMTCK2はチャネル幅が極めて小さく、チャネル長を大きくできるトランジスタであり、適度なオン電流を実現でき、設計が容易となる。トランジスタMTCKとトランジスタMTCK2とは、作製工程の一部を兼ねることができ、同一基板上に作り分けることができる。例えば、表示装置においては、トランジスタMTCK2を、発光素子に流れる電流を制御するための駆動トランジスタに適用し、トランジスタMTCKを、スイッチとして機能するトランジスタに適用することができる。

[0223]

本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適

宜組み合わせ用いることができる。

[0224]

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置の断面構成例について説明する。

[0225]

図22に示す半導体装置100Aは、上記実施の形態1等で説明した半導体装置100の断面視における構成例である。半導体装置100Aは、基板310上に画素回路、駆動回路などが設けられた構成となっている。なお、図22の半導体装置100Aでは、素子層30、素子層40、および素子層90に加えて、配線層70についても図示している。配線層70は、配線が設けられる層である。

[0226]

素子層30は、一例として、基板310を有し、基板310上には、トランジスタ300dが形成されている。また、トランジスタ300dの上方には、配線層70が設けられており、配線層70には、トランジスタ300d、トランジスタMTCK、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bを電氣的に接続する配線が設けられている。また、配線層70の上方には、素子層40、および素子層90が設けられており、素子層40は、一例として、トランジスタMTCKなどを有する。素子層90は、発光デバイス130（図22では、発光デバイス130R、発光デバイス130G、及び発光デバイス130B）などを有する。

[0227]

トランジスタ300dは、素子層30に含まれているトランジスタとすることができる。また、トランジスタMTCKは、素子層40に含まれるトランジスタとすることができる。また、発光デバイス130は、素子層90に含まれる発光デバイスとすることができる。

[0228]

基板310には、例えば、半導体基板（例えば、シリコン又はゲルマニウムを材料とした単結晶基板）を用いることができる。また、基板310には、半導体基板以外としては、例えば、SOI（Silicon On Insulator）基板、ガラス基板、石英基板、プラスチック基板、サファイアガラス基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムを用いることができる。なお、本実施の形態では、基板310は、シリコンを材料として有する半導体基板として説明する。そのため、素子層30に含まれるトランジスタは、Siトランジスタとすることができる。

[0229]

トランジスタ300dは、素子分離層312と、導電体316と、絶縁体315と、絶縁体317と、基板310の一部からなる半導体領域313と、ソース領域又はドレイン領域として機能する低抵抗領域314a及び低抵抗領域314bと、を有する。このため、トランジスタ300dは、Siトランジスタとなっている。なお、図22では、トランジスタ300dのソース又はドレインの一方が、後述する導電体328を介して、後述する導電体330、導電体356、及び導電体514に電氣的に接続されている構成を示しているが、本発明の一態様の半導体装置の電氣的な接続構成は、これに限定されない。本発明の一態様の半導体装置は、例えば、トランジスタ300dのゲートが、導電体328を介して、導電体514に電氣的に接続されている構成としてもよい。

[0230]

トランジスタ300dは、例えば、半導体領域313の上面及びチャネル幅方向の側面が、ゲート絶縁体として機能する絶縁体315を介して導電体316を覆う構成にすることによって、Fin型にすることができる。トランジスタ300dをFin型にすることにより、実効上のチャネル幅が増大することができ、トランジスタ300dのオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300dのオフ特性を向上させることができる。また、トランジスタ300dは、Fin型でなくプレーナー型としてもよい。

[0231]

なお、トランジスタ300dは、pチャネル型、あるいはnチャネル型のいずれでもよい。またはトランジスタ300dを複数設け、pチャネル型、及びnチャネル型の双方を用いてもよい。

[0232]

半導体領域313のチャネルが形成される領域と、その近傍の領域と、ソース領域又はドレイン領域となる低抵抗領域314a及び低抵抗領域314bと、には、シリコン系半導体を含むことが好ましく、具体的には、単結晶シリコンを含むことが好ましい。又は、上述した各領域は、例えば、ゲルマニウム、シリコンゲルマニウム、ヒ化ガリウム、ヒ化アルミニウムガリウム、又は窒化ガリウムを用いて形成されてもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は、トランジスタ300dは、例えば、ヒ化ガリウムとヒ化アルミニウムガリウムを用いたHEMT (High Electron Mobility Transistor) としてもよい。

[0233]

ゲート電極として機能する導電体316には、ヒ素、又はリンといったn型の導電性を付与する元素、もしくはホウ又はアルミニウムといったp型の導電性を付与する元素を含むシリコンなどの半導体材料を用いることができる。又は、導電体316には、例えば、金属材料、合金材料、又は金属酸化物材料といった導電性材料を用いることができる。

[0234]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、及び窒化タングステンの一方又は双方の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン及びアルミニウムの一方又は双方の金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0235]

素子分離層312は、基板310上に形成されている複数のトランジスタ同士を分離するために設けられている。素子分離層は、例えば、LOCOS (Local Oxidation of Silicon) 法、STI (Shallow Trench Isolation) 法、又はメサ分離法を用いて形成することができる。

[0236]

図22に示すトランジスタ300d上には、絶縁体320及び絶縁体322が、基板310側から順に積層して設けられている。

[0237]

絶縁体320及び絶縁体322として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シ

リコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、及び窒化アルミニウムから選ばれた一以上を用いればよい。

[0238]

なお、本明細書などにおいて、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を指す。例えば、酸化窒化シリコンと記載した場合は、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンと記載した場合は、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0239]

絶縁体322は、絶縁体320及び絶縁体322に覆われているトランジスタ300dなどによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法を用いた平坦化处理により平坦化されている。

[0240]

絶縁体320及び絶縁体322には、絶縁体322より上方に設けられているトランジスタMTCKなどと接続する導電体328が埋め込まれている。なお、導電体328は、プラグ又は配線としての機能を有する。このため、導電体328には、前述した導電体MPGに適用できる材料を用いることができる。

[0241]

半導体装置100Aでは、トランジスタ300d上に配線層70が設けられている。配線層70は、例えば、絶縁体324と、絶縁体326と、導電体330と、絶縁体350と、絶縁体352と、絶縁体354と、導電体356と、を有する。

[0242]

絶縁体322上及び導電体328上には、絶縁体324と絶縁体326とが順に積層して設けられている。また、導電体328に重なる領域において、絶縁体324と絶縁体326とには、開口が形成されている。また、当該開口には導電体330が埋め込まれている。

[0243]

また、絶縁体326上、及び導電体330上には、絶縁体350と絶縁体352と絶縁体354とが順に積層して設けられている。また、導電体330に重なる領域において、絶縁体350と絶縁体352と絶縁体354とには、開口が形成されている。また、当該開口には導電体356が埋め込まれている。

[0244]

導電体330及び導電体356は、トランジスタ300dと接続するプラグ又は配線としての機能を有する。なお、導電体330及び導電体356は、前述した導電体328又は導電体596と同様の材料を用いて設けることができる。

[0245]

なお、例えば、絶縁体324及び絶縁体350は、絶縁体592と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体326、絶縁体352、及び絶縁体354としては、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、絶縁体326、絶縁体352、及び絶縁

体354は、層間絶縁膜及び平坦化膜としての機能を有する。また、絶縁体326、絶縁体352、及び絶縁体354は、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁体を含むことが好ましい。

[0246]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタルを用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300dからの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0247]

また、絶縁体354及び導電体356の上方には、絶縁体512が設けられている。また、絶縁体512上には、絶縁体IS1が設けられている。また、絶縁体IS1及び絶縁体512には、プラグ又は配線として機能する導電体514が埋め込まれている。これにより、トランジスタMTCKのソース又はドレインの一方とトランジスタ300dのソース又はドレインの一方とが電氣的に接続される。なお、導電体514には、一例として、導電体MPGに適用できる材料を用いることができる。

[0248]

絶縁体IS1上及び導電体514上には、トランジスタMTCKが設けられている。また、トランジスタMTCK上には、絶縁体574が形成されており、また、絶縁体574上には、絶縁体581が形成されている。また、絶縁体IS3と絶縁体574と絶縁体581とには、プラグ又は配線として機能する導電体MPGが埋め込まれている。なお、トランジスタMTCKの周辺の絶縁体、導電体、及び半導体については、実施の形態2を参照する。

[0249]

トランジスタMTCKの上方には、絶縁体IS3が形成されている。また、絶縁体IS3上には、絶縁体574及び絶縁体581がこの順に積層して設けられている。

[0250]

絶縁体574は、水及び水素（例えば、水素原子及び水素分子の一方又は双方）といった不純物の拡散を抑制する機能を有することが好ましい。つまり、絶縁体574は、当該不純物がトランジスタMTCKに混入することを抑制するバリア絶縁膜として機能することが好ましい。また、絶縁体574は、酸素（例えば、酸素原子及び酸素分子の一方又は双方）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体574は、絶縁体IS2及び絶縁体IS3より酸素透過性が低いことが好ましい。

[0251]

そのため、絶縁体574は、水及び水素といった不純物の拡散を抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体574は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（例えば、 N_2O 、 NO 、及び NO_2 ）、及び銅原子といった不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、及び酸素分子の一方又は双方）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

[0252]

水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、及びタンタルから選ばれた一以上を含む絶縁体を、単層で、または積層で用いればよい。具体的には、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、及び酸化タンタルといった金属酸化物が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）が挙げられる。また、水及び水素といった不純物と、酸素と、の透過を抑制する機能を有する絶縁体としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、及び窒化シリコンといった金属窒化物が挙げられる。

[0253]

特に、絶縁体574には、酸化アルミニウム、又は窒化シリコンを用いることが好ましい。これにより、水及び水素といった不純物が絶縁体574の上方からトランジスタMTCKに拡散することを抑制できる。または、絶縁体IS3等に含まれる酸素が、絶縁体574の上方に、拡散することを抑制できる。

[0254]

絶縁体581は、層間膜として機能する膜であって、絶縁体574よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体581の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体581の比誘電率は、絶縁体574の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。絶縁体581を誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0255]

また、絶縁体581は、膜中の水及び水素といった不純物の濃度が低減されていることが好ましい。この場合、絶縁体581には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、又は窒化シリコンを用いることができる。また、絶縁体581には、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素と窒素を添加した酸化シリコン、又は空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、及び空孔を有する酸化シリコンといった材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。また、絶縁体581には、樹脂を用いることができる。また、絶縁体581に適用できる材料は、上述した材料を適宜組み合わせたものとしてもよい。

[0256]

絶縁体574上及び絶縁体581上には、絶縁体592、及び絶縁体594がこの順に積層して設けられている。

[0257]

また、絶縁体592には、基板310、トランジスタMTCKから、絶縁体592より上方の領域（例えば、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bなどが設

けられている領域)に、水、及び水素といった不純物が拡散しないようなバリア性を有する絶縁膜(バリア性絶縁膜と呼称する)を用いることが好ましい。したがって、絶縁体592は、水素原子、水素分子、及び水分子といった不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。また、状況によっては、絶縁体592は、窒素原子、窒素分子、酸化窒素分子(例えば、 N_2O 、 NO 、及び NO_2)、及び銅原子といった不純物の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、及び酸素分子の一方又は双方)の拡散を抑制する機能を有することが好ましい。

[0258]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。

[0259]

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS: Thermal Desorption Spectrometry)を用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDSにおいて、膜の表面温度が 50°C から 500°C の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0260]

絶縁体594は、絶縁体581と同様に、誘電率が低い層間膜とすることが好ましい。このため、絶縁体594には、絶縁体581に適用できる材料を用いることができる。

[0261]

なお、絶縁体594は、絶縁体592よりも誘電率が低いことが好ましい。例えば、絶縁体594の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体594の比誘電率は、絶縁体592の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。絶縁体594を誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0262]

また、絶縁体GI1及び絶縁体IS3には、プラグ又は配線として機能する導電体MPGが埋め込まれ、絶縁体592及び絶縁体594には、プラグ又は配線として機能する導電体596が埋め込まれている。特に、導電体MPG及び導電体596は、絶縁体594より上方に設けられている発光デバイスなどと電氣的に接続されている。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0263]

各プラグ、及び配線(例えば、導電体MPG及び導電体596)の材料としては、金属材料、合金材料、金属窒化物材料、及び金属酸化物材料から選ばれた一以上の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステン、又はモリブデンといった高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム、又は銅といった低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0264]

絶縁体594上及び導電体596上には、絶縁体598及び絶縁体599が順に形成されている。

[0265]

絶縁体598は、一例として、絶縁体592と同様に、水素、酸素、及び水から選ばれた一以上に対するバリア性を有する絶縁体を用いることが好ましい。また、絶縁体599としては、絶縁体594と同様に、配線間に生じる寄生容量を低減するために、比誘電率が比較的低い絶縁体を用いることが好ましい。また、絶縁体599は、層間絶縁膜及び平坦化膜としての機能を有する。

[0266]

絶縁体599上には、発光デバイス130及び接続部140が形成されている。

[0267]

接続部140は、カソードコンタクト部と呼ばれる場合があり、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bのそれぞれのカソード電極に電氣的に接続されている。図22では、接続部140は、後述する導電体112a乃至導電体112cから選ばれた一以上の導電体と、後述する導電体126a乃至導電体126cの少なくとも一の導電体と、後述する導電体129a乃至導電体129cから選ばれた一以上の導電体と、後述する共通層114と、後述する共通電極115と、を有する。

[0268]

なお、接続部140は、平面視において表示部の四辺を囲むように設けられてもよく、又は、表示部内（例えば、隣り合う発光デバイス130同士の間）に設けられてもよい（図示しない）。

[0269]

発光デバイス130Rは、導電体112aと、導電体112a上の導電体126aと、導電体126a上の導電体129aと、を有する。導電体112a、導電体126a、及び導電体129aの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス130Gは、導電体112bと、導電体112b上の導電体126bと、導電体126b上の導電体129bと、を有する。発光デバイス130Rと同様に、導電体112b、導電体126b、及び導電体129bの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。また、発光デバイス130Bは、導電体112cと、導電体112c上の導電体126cと、導電体126c上の導電体129cと、を有する。発光デバイス130R、及び発光デバイス130Gと同様に、導電体112c、導電体126c、及び導電体129cの全てを画素電極と呼ぶこともでき、一部を画素電極と呼ぶこともできる。

[0270]

導電体112a乃至導電体112c、及び導電体126a乃至導電体126cには、例えば、反射電極として機能する導電層を用いることができる。反射電極として機能する導電層には、可視光に対して反射率の高い導電体として、例えば、銀、アルミニウム、銀（Ag）とパラジウム（Pd）と銅（Cu）の合金膜（Ag-Pd-Cu（APC）膜）を適用することができる。また、導電体112a乃至導電体112c、及び導電体126a乃至導電体126cには、一対のチタンで挟まれたアルミニウムの積層膜（Ti、Al、Tiの順の積層膜）、又は一対のインジウム錫酸化物で挟まれた銀の積層膜（ITO、Ag、ITOの順の積層膜）を用いることができる。

[0271]

また、例えば、導電体112a乃至導電体112cに反射電極として機能する導電層を用いて、

導電体 1 2 6 a 乃至導電体 1 2 6 c に、透光性が高い導電体を用いてもよい。透光性が高い導電体としては、例えば、銀とマグネシウムの合金、及びインジウム錫酸化物（ITO と呼ばれる場合がある）、が挙げられる。

[0 2 7 2]

導電体 1 2 9 a 乃至導電体 1 2 9 c には、例えば、透明電極として機能する導電層を用いることができる。透明電極として機能する導電層としては、例えば、上述した透光性が高い導電体とすることができる。

[0 2 7 3]

また、後に詳述する発光デバイス 1 3 0 に、マイクロキャビティ構造（微小共振器構造）を設けてもよい。マイクロキャビティ構造とは、発光層の下面と下部電極の上面との距離を、当該発光層が発光する光の色の波長に応じた厚さにする構造を指す。この場合、上部電極（共通電極）である導電体 1 2 9 a 乃至導電体 1 2 9 c に透光性及び光反射性を有する導電材料を用い、下部電極（画素電極）である導電体 1 1 2 a 乃至導電体 1 1 2 c、及び導電体 1 2 6 a 乃至導電体 1 2 6 c として光反射性を有する導電材料を用いること好ましい。

[0 2 7 4]

マイクロキャビティ構造とは、下部電極と発光層の光学的距離を $(2n - 1) \lambda / 4$ （ただし、 n は 1 以上の自然数、 λ は増幅したい発光の波長）に調節した構造を指す。これにより、下部電極によって反射されて戻ってきた光（反射光）は、発光層から上部電極に直接入射する光（入射光）と大きな干渉を起こす。そのため、波長 λ のそれぞれの反射光と入射光との位相を合わせ発光層からの発光をより増幅させることができる。一方で、反射光と入射光とが波長 λ 以外である場合、位相が合わなくなるため、共振せずに減衰する。

[0 2 7 5]

導電体 1 1 2 a は、絶縁体 5 9 9 に設けられた開口を介して、絶縁体 5 9 4 に埋め込まれている導電体 5 9 6 と接続されている。また、導電体 1 1 2 a の端部よりも外側に導電体 1 2 6 a の端部が位置している。導電体 1 2 6 a の端部と導電体 1 2 9 a の端部は、揃っている、または概略揃っている。

[0 2 7 6]

発光デバイス 1 3 0 G における導電体 1 1 2 b、導電体 1 2 6 b、導電体 1 2 9 b、及び、発光デバイス 1 3 0 B における導電体 1 1 2 c、導電体 1 2 6 c、導電体 1 2 9 c については、発光デバイス 1 3 0 R における導電体 1 1 2 a、導電体 1 2 6 a、導電体 1 2 9 a と同様であるため詳細な説明は省略する。

[0 2 7 7]

導電体 1 1 2 a、導電体 1 1 2 b、及び導電体 1 1 2 c には、絶縁体 5 9 9 に設けられた開口を覆うように凹部が形成される。また、当該凹部には、層 1 2 8 が埋め込まれている。

[0 2 7 8]

層 1 2 8 は、導電体 1 1 2 a 乃至導電体 1 1 2 c の凹部を平坦化する機能を有する。導電体 1 1 2 a 上乃至導電体 1 1 2 c 上、及び層 1 2 8 上には、導電体 1 1 2 a 乃至導電体 1 1 2 c と電氣的に接続される導電体 1 2 6 a 乃至導電体 1 2 6 c が設けられている。したがって、導電体 1 1 2 a 乃至導電体 1 1 2 c の凹部と重なる領域も発光領域として使用でき、画素の開口率を高めることができる。

[0279]

層128は、絶縁層であってもよく、導電層であってもよい。層128には、各種無機絶縁材料、有機絶縁材料、及び導電材料を適宜用いることができる。特に、層128は、絶縁材料を用いて形成されることが好ましい。

[0280]

層128には、有機材料を有する絶縁層を好適に用いることができる。例えば、層128には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる。また、層128として、感光性の樹脂を用いることができる。感光性の樹脂としては、ポジ型の材料、またはネガ型の材料が挙げられる。

[0281]

感光性の樹脂を用いることにより、露光及び現像の工程のみで層128を作製することができ、ドライエッチング、あるいはウェットエッチングによる導電体112a、導電体112b、導電体112cの表面への影響を低減することができる。また、ネガ型の感光性樹脂を用いて層128を形成することにより、絶縁体599の開口の形成に用いるフォトマスク（露光マスク）と同一のフォトマスクを用いて、層128を形成できる場合がある。

[0282]

なお、図22では、層128の上面が平坦部を有する例を示すが、層128の形状は、特に限定されない。図23Aに示すとおり、層128の上面は、断面視において、中央及びその近傍において凹曲面を有する形状としてもよい。又は、図23Bに示すとおり、層128は、断面視において、中央及びその近傍において凸曲面を有する形状としてもよい。また、図23Cに示すとおり、層128は、中央及びその近傍において凹曲面及び凸曲面を有する形状としてもよい。

[0283]

発光デバイス130Rは、第1の層113aと、第1の層113a上の共通層114と、共通層114上の共通電極115と、を有する。また、発光デバイス130Gは、第2の層113bと、第2の層113b上の共通層114と、共通層114上の共通電極115と、を有する。また、発光デバイス130Bは、第3の層113cと、第3の層113c上の共通層114と、共通層114上の共通電極115と、を有する。

[0284]

なお、第1の層113aは、導電体126aの上面及び側面と導電体129aの上面及び側面を覆うように形成されている。同様に、第2の層113bは、導電体126bの上面及び側面と導電体129bの上面及び側面を覆うように形成されている。また、同様に、第3の層113cは、導電体126cの上面及び側面と導電体129cの上面及び側面を覆うように形成されている。したがって、導電体126a、導電体126b、及び導電体126cが設けられている領域全体を、発光デバイス130R、発光デバイス130G、及び発光デバイス130Bの発光領域として用いることができるため、画素の開口率を高めることができる。

[0285]

発光デバイス130Rにおいて、第1の層113aと共通層114をまとめてEL層と呼ぶことができる。また、同様に、発光デバイス130Gにおいて、第2の層113bと共通層114をまとめてEL層と呼ぶこともできる。また、同様に、発光デバイス130Bにおいて、第3の層11

3 c と共通層 1 1 4 をまとめて E L 層と呼ぶことができる。

[0 2 8 6]

本実施の形態の発光デバイスの構成に、特に限定はなく、シングル構造であってもタンデム構造であってもよい。

[0 2 8 7]

第 1 の層 1 1 3 a、第 2 の層 1 1 3 b、及び第 3 の層 1 1 3 c は、フォトリソグラフィ法により島状に加工されている。そのため、第 1 の層 1 1 3 a、第 2 の層 1 1 3 b、及び第 3 の層 1 1 3 c は、それぞれその端部において、上面と側面との成す角が 9 0 度に近い形状となる。一方、例えば、FMM (F i n e M e t a l M a s k) を用いて形成された有機膜は、その厚さが端部に近いほど徐々に薄くなる傾向があり、例えば 1 μ m 以上 1 0 μ m 以下の範囲にわたって、上面がスロープ状に形成されるため、上面と側面の区別が困難な形状となる。

[0 2 8 8]

第 1 の層 1 1 3 a、第 2 の層 1 1 3 b、及び第 3 の層 1 1 3 c は、上面と側面の区別が明瞭となる。これにより、隣接する第 1 の層 1 1 3 a と第 2 の層 1 1 3 b において、第 1 の層 1 1 3 a の側面の一と、第 2 の層 1 1 3 b の側面の一は、互いに対向して配置される。これは、第 1 の層 1 1 3 a、第 2 の層 1 1 3 b、及び第 3 の層 1 1 3 c のうちいずれの組み合わせにおいても同様である。

[0 2 8 9]

第 1 の層 1 1 3 a、第 2 の層 1 1 3 b、及び第 3 の層 1 1 3 c は、少なくとも発光層を有する。例えば、第 1 の層 1 1 3 a が、赤色の光を発する発光層を有し、第 2 の層 1 1 3 b が緑色の光を発する発光層を有し、第 3 の層 1 1 3 c が、青色の光を発する発光層を有する構成であると好ましい。また、それぞれの発光層は、上記以外の色としては、シアン、マゼンタ、黄、又は白を適用することができる。

[0 2 9 0]

第 1 の層 1 1 3 a、第 2 の層 1 1 3 b、及び第 3 の層 1 1 3 c は、発光層と、発光層上のキャリア輸送層（電子輸送層または正孔輸送層）と、を有することが好ましい。第 1 の層 1 1 3 a、第 2 の層 1 1 3 b、及び第 3 の層 1 1 3 c の表面は、半導体装置の作製工程中に露出する場合があるため、キャリア輸送層を発光層上に設けることで、発光層が最表面に露出することを抑制し、発光層が受けるダメージを低減することができる。これにより、発光デバイスの信頼性を高めることができる。

[0 2 9 1]

共通層 1 1 4 は、例えば電子注入層、または正孔注入層を有する。または、共通層 1 1 4 は、電子輸送層と電子注入層とを積層して有していてもよく、正孔輸送層と正孔注入層とを積層して有していてもよい。共通層 1 1 4 は、発光デバイス 1 3 0 R、発光デバイス 1 3 0 G、及び発光デバイス 1 3 0 B で共有されている。

[0 2 9 2]

また、共通電極 1 1 5 は、発光デバイス 1 3 0 R、発光デバイス 1 3 0 G、及び発光デバイス 1 3 0 B で共有されている。また、図 2 2 に示すように、複数の発光デバイスが共通して有する共通電極 1 1 5 は、接続部 1 4 0 に含まれている導電体に電氣的に接続される。

[0 2 9 3]

絶縁体 1 2 5 は、水及び酸素の一方又は双方に対するバリア絶縁層としての機能を有することが

好ましい。また、絶縁体 1 2 5 は、水及び酸素の一方又は双方の拡散を抑制する機能を有することが好ましい。また、絶縁体 1 2 5 は、水及び酸素の一方又は双方を捕獲、または固着する（ゲッタリングともいう）機能を有することが好ましい。絶縁体 1 2 5 が、バリア絶縁層としての機能、又はゲッタリング機能を有することで、外部から各発光デバイスに拡散しうる不純物（代表的には、水及び酸素の一方又は双方）の侵入を抑制することが可能な構成となる。当該構成とすることで、信頼性の高い発光デバイス、さらには、信頼性の高い表示パネルを提供することができる。

[0294]

また、絶縁体 1 2 5 は、不純物濃度が低いことが好ましい。これにより、絶縁体 1 2 5 から E L 層に不純物が混入し、E L 層が劣化することを抑制することができる。また、絶縁体 1 2 5 において、不純物濃度を低くすることで、水及び酸素の一方又は双方に対するバリア性を高めることができる。例えば、絶縁体 1 2 5 は、水素濃度及び炭素濃度の一方、好ましくは双方が十分に低いことが望ましい。

[0295]

絶縁体 1 2 7 としては、有機材料を有する絶縁層を好適に用いることができる。有機材料としては、感光性の有機樹脂を用いることが好ましく、例えば、アクリル樹脂を含む感光性の樹脂組成物を用いればよい。また、絶縁体 1 2 7 の材料の粘度は、1 c P 以上 1 5 0 0 c P 以下とすればよく、1 c P 以上 1 2 c P 以下とすることが好ましい。絶縁体 1 2 7 の材料の粘度を上記の範囲にすることで、後述するテーパ形状を有する絶縁体 1 2 7 を、比較的容易に形成することができる。なお、本明細書などにおいて、アクリル樹脂とは、ポリメタクリル酸エステル、またはメタクリル樹脂だけを指すものではなく、広義のアクリル系ポリマー全体を指す場合がある。

[0296]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面に対して傾斜して設けられている形状のことを指す。例えば、傾斜した側面と基板面とがなす角（テーパ角ともいう）が 9 0 ° 未満である領域を有すると好ましい。

[0297]

なお、絶縁体 1 2 7 は、後述するように側面にテーパ形状を有していればよく、絶縁体 1 2 7 に用いることができる有機材料は上記に限られるものではない。例えば、絶縁体 1 2 7 には、アクリル樹脂、ポリイミド樹脂、エポキシ樹脂、イミド樹脂、ポリアミド樹脂、ポリイミドアミド樹脂、シリコーン樹脂、シロキサン樹脂、ベンゾシクロブテン系樹脂、フェノール樹脂、又はこれら樹脂の前駆体を適用することができる場合がある。また、絶縁体 1 2 7 として、ポリビニルアルコール（PVA）、ポリビニルブチラール（PVB）、ポリビニルピロリドン、ポリエチレングリコール、ポリグリセリン、プルラン、水溶性のセルロース、またはアルコール可溶性のポリアミド樹脂といった有機材料を適用することができる場合がある。また、絶縁体 1 2 7 には、例えば、感光性の樹脂として、フォトレジストを用いることができる場合がある。なお、感光性の樹脂としては、ポジ型の材料、またはネガ型の材料が挙げられる。

[0298]

絶縁体 1 2 7 には可視光を吸収する材料を用いてもよい。絶縁体 1 2 7 が発光デバイスからの発光を吸収することで、発光デバイスから絶縁体 1 2 7 を介して隣接する発光デバイスに光が漏れること（迷光）を抑制することができる。これにより、表示パネルの表示品位を高めることができる。また、表示パネルに偏光板を用いなくても、表示品位を高めることができるため、表示パネルの軽

量化及び薄型化を図ることができる。

[0299]

可視光を吸収する材料としては、黒色などの顔料を含む材料、染料を含む材料、光吸収性を有する樹脂材料（例えば、ポリイミド）、及び、カラーフィルタに用いることのできる樹脂材料（カラーフィルタ材料）が挙げられる。特に、2色、または3色以上のカラーフィルタ材料を積層または混合した樹脂材料を用いると、可視光の遮蔽効果を高めることができるため好ましい。特に3色以上のカラーフィルタ材料を混合させることで、黒色または黒色近傍の樹脂層とすることが可能となる。

[0300]

絶縁体127は、例えば、スピコート、ディップ、スプレー塗布、インクジェット、ディスペンス、スクリーン印刷、オフセット印刷、ドクターナイフ法、スリットコート、ロールコート、カーテンコート、又はナイフコートといった湿式の成膜方法を用いて形成することができる。特に、スピコートにより、絶縁体127となる有機絶縁膜を形成することが好ましい。

[0301]

絶縁体127は、EL層の耐熱温度よりも低い温度で形成する。絶縁体127を形成する際の基板温度としては、代表的には、200℃以下、好ましくは180℃以下、より好ましくは160℃以下、より好ましくは150℃以下、より好ましくは140℃以下である。

[0302]

以下では、発光デバイス130Rと発光デバイス130Gの間の絶縁体127の構造を例に挙げて、絶縁体127などの構造について説明を行う。なお、発光デバイス130Gと発光デバイス130Bの間の絶縁体127、及び発光デバイス130Bと発光デバイス130Rの間の絶縁体127などについても同様のことが言える。また、以下では、第2の層113b上の絶縁体127の端部を例に挙げて説明する場合があるが、第1の層113a上の絶縁体127の端部、及び第3の層113c上の絶縁体127の端部についても同様のことが言える。

[0303]

絶縁体127は、半導体装置の断面視において、側面にテーパ角 $\theta 1$ のテーパ形状を有することが好ましい。テーパ角 $\theta 1$ は、絶縁体127の側面と基板面のなす角である。ただし、基板面に限らず、絶縁体125の平坦部の上面、又は第2の層113bの平坦部の上面と、絶縁体127の側面がなす角としてもよい。また、絶縁体127の側面をテーパ形状にすることにより、絶縁体125の側面、及びマスク層118aの側面もテーパ形状となる場合がある。

[0304]

絶縁体127のテーパ角 $\theta 1$ は、90°未満であり、60°以下が好ましく、45°以下がより好ましい。絶縁体127の側面端部をこのような順テーパ形状にすることで、絶縁体127の側面端部上に設けられる、共通層114及び共通電極115に、段切れ、または局所的な薄膜化などを生じさせることなく、被覆性良く成膜することができる。これにより、共通層114及び共通電極115の面内均一性を向上させることができるので、半導体装置の表示品位を向上させることができる。

[0305]

また、半導体装置の断面視において、絶縁体127の上面は凸曲面形状を有することが好ましい。絶縁体127の上面の凸曲面形状は、中心に向かってなだらかに膨らんだ形状であることが好まし

い。また、絶縁体127上面の中心部の突曲面部が、側面端部のテーパ一部に滑らかに接続される形状であることが好ましい。絶縁体127をこのような形状にすることで、絶縁体127上全体で、共通層114及び共通電極115を被覆性良く成膜することができる。

[0306]

また、絶縁体127は、二つのEL層の間の領域（例えば、第1の層113aと第2の層113bとの間の領域）に形成される。このとき、絶縁体127の一部が、一方のEL層（例えば、第1の層113a）の側面端部と、もう一方のEL層（例えば、第2の層113b）の側面端部に挟まれる位置に配置されることになる。

[0307]

また、絶縁体127の一方の端部が画素電極として機能する導電体126aと重なり、絶縁体127の他方の端部が画素電極として機能する導電体126bと重なることが好ましい。このような構造にすることで、絶縁体127の端部を第1の層113a（第2の層113b）の概略平坦な領域の上に形成することができる。よって、絶縁体127のテーパ形状を、上記の通り加工することが比較的容易になる。

[0308]

以上のように、絶縁体127などを設けることにより、第1の層113aの概略平坦な領域から第2の層113bの概略平坦な領域まで、共通層114及び共通電極115に段切れ箇所、及び局所的に膜厚が薄い箇所が形成されるのを防ぐことができる。よって、各発光デバイス間において、共通層114及び共通電極115に、段切れ箇所に起因する接続不良、及び局所的に膜厚が薄い箇所に起因する電気抵抗の上昇が発生するのを抑制することができる。

[0309]

本実施の形態の半導体装置は、発光デバイス間の距離を狭くすることができる。具体的には、発光デバイス間の距離、EL層間の距離、または画素電極間の距離を、 $10\mu\text{m}$ 未満、 $8\mu\text{m}$ 以下、 $5\mu\text{m}$ 以下、 $3\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、 500nm 以下、 200nm 以下、 100nm 以下、 90nm 以下、 70nm 以下、 50nm 以下、 30nm 以下、 20nm 以下、 15nm 以下、または 10nm 以下とすることができる。別言すると、本実施の形態の半導体装置は、隣接する2つの島状のEL層の間隔が $1\mu\text{m}$ 以下の領域を有し、好ましくは $0.5\mu\text{m}$ （ 500nm ）以下の領域を有し、さらに好ましくは 100nm 以下の領域を有する。このように、各発光デバイス間の距離を狭めることで、高い精細度と、大きな開口率を有する半導体装置を提供することができる。

[0310]

発光デバイス130上には、保護層131が設けられている。保護層131は、発光デバイス130を保護するパッシベーション膜として機能する膜である。発光デバイスを覆う保護層131を設けることで、発光デバイスに水及び酸素といった不純物が入り込むことを抑制し、発光デバイス130の信頼性を高めることができる。保護層131には、例えば、酸化アルミニウム、窒化シリコン、又は窒化酸化シリコンを用いることができる。

[0311]

保護層131と、基板110と、は接着層107を介して接着されている。発光デバイスの封止には、固体封止構造または中空封止構造などが適用できる。図22では、基板310と基板110との間の空間が、接着層107で充填されており、固体封止構造が適用されている。または、当該

空間を不活性ガス（窒素またはアルゴンなど）で充填し、中空封止構造を適用してもよい。このとき、接着層 107 は、発光デバイスと重ならないように設けられていてもよい。また、当該空間を、枠状に設けられた接着層 107 とは異なる樹脂で充填してもよい。

[0312]

接着層 107 には、紫外線硬化型の光硬化型接着剤、反応硬化型接着剤、又は熱硬化型接着剤、嫌気型接着剤といった各種硬化型接着剤を用いることができる。これら接着剤としては、例えば、エポキシ樹脂、アクリル樹脂、シリコン樹脂、フェノール樹脂、ポリイミド樹脂、イミド樹脂、PVC（ポリビニルクロライド）樹脂、PVB（ポリビニルブチラール）樹脂、EVA（エチレンビニルアセテート）樹脂が挙げられる。特に、エポキシ樹脂の透湿性が低い材料が好ましい。また、二液混合型の樹脂を用いてもよい。また、接着シートを用いてもよい。

[0313]

半導体装置 100A は、トップエミッション型である。発光デバイスが発する光は、基板 110 側に射出される。そのため、基板 110 には、可視光に対する透過性が高い材料を用いることが好ましい。例えば、基板 110 には、基板 310 に適用できる基板のうち、可視光に対する透過性が高い基板を選択すればよい。画素電極は可視光を反射する材料を含み、対向電極（共通電極 115）は可視光を透過する材料を含む。

[0314]

なお、本発明の一態様の半導体装置は、トップエミッション型ではなく、発光デバイスが発する光が基板 310 側に射出されるボトムエミッション型としてもよい。なお、この場合、基板 310 には、可視光に対する透過性が高い基板を選択すればよい。

[0315]

本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0316]

（実施の形態 4）

本実施の形態では、本発明の一態様の半導体装置を備える電子機器について図 24 を用いて説明する。なお、本実施の形態で例示する電子機器は、表示部に本発明の一態様の半導体装置を備えるものである。したがって、高い精細度が実現された電子機器である。

[0317]

本発明の一態様に係る半導体装置を備える電子機器として、テレビ、モニター等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD（Digital Versatile Disc）などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブル CD プレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、置き時計、壁掛け時計、コードレス電話子機、トランシーバ、携帯電話、自動車電話、携帯型ゲーム機、タブレット型端末、パチンコ機などの大型ゲーム機、電卓、携帯可能な情報端末（「携帯情報端末」ともいう。）、電子手帳、電子書籍端末、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器などの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA 保存用冷凍庫、懐中電灯、チェーンソーなどの工具、煙感知器、透析装置

などの医療機器などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電力の平準化、スマートグリッドのための蓄電装置などの産業機器が挙げられる。

[0318]

また、蓄電装置からの電力を用いて電動機により推進する移動体なども、電子機器の範疇に含まれるものとする。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機、惑星探査機、宇宙船などが挙げられる。

[0319]

電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）などを有していてもよい。

[0320]

電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信手段、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

[0321]

図24A乃至図24Gに示す電子機器は、様々な機能を有する。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出して処理する機能、等を有することができる。なお、電子機器の機能はこれらに限られず、様々な機能を有することができる。電子機器は、複数の表示部を有していてもよい。また、電子機器にカメラ等を設け、静止画または動画を撮影し、記録媒体（外部またはカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有していてもよい。

[0322]

図24A乃至図24Gに示す電子機器の詳細について、以下説明を行う。

[0323]

図24Aは、携帯情報端末9101を示す斜視図である。携帯情報端末9101は、例えばスマートフォンとして用いることができる。なお、携帯情報端末9101は、スピーカ9003、接続端子9006、センサ9007等を設けてもよい。また、携帯情報端末9101は、文字及び画像情報をその複数の面に表示することができる。図24Aでは3つのアイコン9050を表示した例を示している。また、破線の矩形で示す情報9051を表示部9001の他の面に表示することもできる。情報9051の一例としては、電子メール、SNS、電話などの着信の通知、電子メールまたはSNSなどの題名、送信者名、日時、時刻、バッテリーの残量、電波強度などがある。または、情報9051が表示されている位置にはアイコン9050などを表示してもよい。

[0324]

図24Bは、携帯情報端末9102を示す斜視図である。携帯情報端末9102は、表示部9001の3面以上に情報を表示する機能を有する。ここでは、情報9052、情報9053、情報9054がそれぞれ異なる面に表示されている例を示す。例えば使用者は、洋服の胸ポケットに携帯情報端末9102を収納した状態で、携帯情報端末9102の上方から観察できる位置に表示された情報9053を確認することもできる。使用者は、携帯情報端末9102をポケットから取り出すことなく表示を確認し、例えば電話を受けるか否かを判断できる。

[0325]

図24Cは、タブレット端末9103を示す斜視図である。タブレット端末9103は、一例として、移動電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲーム等の種々のアプリケーションの実行が可能である。タブレット端末9103は、筐体9000の正面に表示部9001、カメラ9002、マイクロフォン9008、スピーカ9003を有し、筐体9000の左側面には操作作用のボタンとしての操作キー9005、底面には接続端子9006を有する。

[0326]

図24Dは、腕時計型の携帯情報端末9200を示す斜視図である。携帯情報端末9200は、例えばスマートウォッチ（登録商標）として用いることができる。また、表示部9001はその表示面が湾曲して設けられ、湾曲した表示面に沿って表示を行うことができる。また、携帯情報端末9200は、例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、携帯情報端末9200は、接続端子9006により、他の情報端末と相互にデータ伝送を行うこと、及び、充電を行うこともできる。なお、充電動作は無線給電により行ってもよい。

[0327]

図24E乃至図24Gは、折り畳み可能な携帯情報端末9201を示す斜視図である。また、図24Eは携帯情報端末9201を展開した状態、図24Gは折り畳んだ状態、図24Fは図24Eと図24Gの一方から他方に変化する途中の状態の斜視図である。携帯情報端末9201は、折り畳んだ状態では可搬性に優れ、展開した状態では継ぎ目のない広い表示領域により表示の一覧性に優れる。携帯情報端末9201が有する表示部9001は、ヒンジ9055によって連結された3つの筐体9000に支持されている。例えば、表示部9001は、曲率半径0.1mm以上150mm以下で曲げることができる。

[0328]

本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせて用いることができる。

[実施例1]

[0329]

本実施例では、対角サイズ1.0インチ、アスペクト比16:9、解像度4K（3840×2160画素）、精細度4406ppiを想定した半導体装置100S（図中、DPAに相当）および半導体装置100（図中、DPBに相当）それぞれについて、1枚の12インチウエハ上に作製できる数（「チップ取り数」ともいう。）の見積もり結果について説明する。なお、本実施例などにおいて、ウエハから切り出す半導体装置を「チップ」という場合がある。

[0330]

半導体装置 100S として、表示制御部 50（複数の駆動回路部 51 が設けられる領域）および表示部 60（複数の表示領域 61 が設けられる領域）を Si トランジスタのみで構成し、その上に複数の発光デバイス 91 を備える構成を想定した（「Si\OEL 構成」ともいう。）。

[0331]

半導体装置 100 として、表示制御部 50 を Si トランジスタで構成し、その上に表示部 60 を OS トランジスタで構成し、表示部 60 の上に複数の発光デバイス 91 を備える構成を想定した（「Si\OS\OEL 構成」ともいう。）。半導体装置 100 は、例えば上記実施の形態 1 に示した半導体装置 100 に相当する。

[0332]

想定した半導体装置 100S の外形サイズを図 25A に示す。想定した半導体装置 100 の外形サイズを図 25B に示す。半導体装置 100S および半導体装置 100 ともに、表示部 60 の対角サイズを 1.0 インチ、端子部 92 の幅を 1.5 mm とした。また、半導体装置 100S の外形サイズを 19.5 mm × 26 mm、額縁幅を 2 mm とした。また、半導体装置 100S の外形サイズを 16 mm × 24 mm、額縁幅を 1 mm とした。半導体装置 100S は幅 2 mm の額縁部分にゲートドライバが設けられる。

[0333]

Si\OEL 構成の半導体装置 100S は、表示制御部 50 と表示部 60 が、ウエハ上に並べて設けられる。言い換えると、表示制御部 50 と表示部 60 を重ねて設けることができない。一方で、Si\OS\OEL 構成の半導体装置 100 は、表示部 60 に表示制御部 50 を重ねて設けることができる。また、半導体装置 100 は、表示部 60 にロジック回路部 31 を重ねて設けることも可能である。よって、半導体装置 100 は、半導体装置 100S よりも多くの周辺回路などを設けることができる。加えて、半導体装置 100 の外形サイズを、半導体装置 100S よりも小さくすることができる。

[0334]

図 25A および図 25B に示した外形サイズで見積もると、半導体装置 100S のチップ取り数は 121、半導体装置 100 のチップ取り数は 161 となる。よって、Si\OEL 構成の半導体装置 100S よりも Si\OS\OEL 構成の半導体装置 100の方が、最終的な製造コストの低減が容易であるといえる。

[0335]

なお図 25A および図 25B で説明した、Si\OS\OEL 構成の半導体装置 100 の Si\OEL 構成の半導体装置 100S に対する優位性は、表示部 60 の角部の形状が異なっても変わらない。例えば、図 25C および図 25D に図示するように、表示部における角部がフィレットを付けた形状（角の部分を丸める加工が行われた形状）であってもよい。また、表示部における角部が面取りされた形状であってもよい。表示部 60 の角部の形状をフィレットまたは面取りを付けた形状とすることでデザイン性に優れた表示部とすることができる。

[0336]

図 25E 乃至図 25H に、1 回の露光（1 shot、26 mm × 33 mm）で製造可能な、半導体装置 100S および半導体装置 100 それぞれの表示部 60 の対角サイズの見積もり結果を示す。

[0337]

アスペクト比が 16 : 9 である場合、半導体装置 100S の表示部 60 の最大対角サイズは、1.

3インチであり（図25C参照）、半導体装置100の表示部60の最大対角サイズは、1.4インチと見積もられた（図25D参照）。なお図25Dにおいて、余った領域にロジック回路部31が設けられる様子を図示している。

[0338]

アスペクト比が4:3である場合、半導体装置100Sの表示部60の最大対角サイズは、1.25インチであり（図25E参照）、半導体装置100の表示部60の最大対角サイズは、1.5インチと見積もられた（図25F参照）。

[0339]

表示部を有する半導体装置では、表示部が大きい方が好ましい。Si\OEL構成の半導体装置100Sでは、1回の露光で製造可能な最大対角サイズは1.3インチであった。一方で、Si\OS\OEL構成の半導体装置100は、表示制御部50などを表示部60と重ねて設けることができるため、1回の露光で製造可能な表示部の対角サイズを1.5インチまで広げることができる。また、半導体装置100は、表示部60と重ねて表示制御部50以外の回路を設けることもできる。半導体装置100をSi\OS\OEL構成とすることで、表示部60の大型化だけでなく、様々な機能の付加を低コストで実現可能である。

[0340]

このように本発明の一態様の半導体装置を有する電子機器は、Si\OSの積層構造と、表示素子（代表的にはEL素子）と、当該表示素子を駆動させ表示制御部などを一体に形成することで、オンチップシステム、またはシステムディスプレイを提供することができる。

[0341]

（本明細書等の記載に関する付記）

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

[0342]

各実施の形態および実施例に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0343]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0344]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0345]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0346]

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロッ

クとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合、または複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

[0347]

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0348]

本明細書等において、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子、またはソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

[0349]

また、本明細書等において「電極」または「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」または「配線」の用語は、複数の「電極」または「配線」が一体となって形成されている場合なども含む。

[0350]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0351]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0352]

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0353]

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、ま

たはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

[0354]

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

[0355]

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電氣信号の授受を可能とするものをいう。

[符号の説明]

[0356]

10：演算装置、20：メモリ装置、30：素子層、40：素子層、50：表示制御部、51：駆動回路部、52：駆動回路、53：駆動回路、60：表示部、61：表示領域、62：画素回路、70：配線層、90：素子層、91：発光デバイス、92：端子部、99：封止基板、100：半導体装置、1000：電子機器、1001：筐体、1011：短針、1012：長針、1013：秒針、1014：文字盤

請求の範囲

[請求項 1]

半導体装置を有する電子機器であって、
前記半導体装置は、複数の素子層に設けられたロジック回路部と、表示制御部と、表示部と、を有し、
前記表示部は、複数の表示領域を有し、
前記表示制御部は、複数の駆動回路部を有し、
複数の前記表示領域は、発光デバイスの発光を制御する画素回路を有し、
複数の前記駆動回路部は、前記画素回路を制御する駆動回路を有し、
複数の前記表示領域はそれぞれ、複数の前記駆動回路部のいずれかが設けられる領域と重なる位置に設けられ、
前記ロジック回路部は、演算装置を有し、
前記演算装置は、複数の前記表示領域のそれぞれにおける画像データの更新の有無に応じて、前記表示領域が有する前記画素回路に対応する前記駆動回路の動作状態または停止状態を制御する機能を有する、
電子機器。

[請求項 2]

請求項 1 において、
第 1 の素子層と、第 2 の素子層と、第 3 の素子層と、を有し、
前記第 1 の素子層は、チャンネル形成領域にシリコンを有する半導体層を有する第 1 トランジスタを有し、
前記第 2 の素子層は、チャンネル形成領域に金属酸化物を有する半導体層を有する第 2 トランジスタを有し、
前記第 3 の素子層は、前記発光デバイスを有する、
電子機器。

[請求項 3]

請求項 2 において、
前記演算装置は、スキャンフリップフロップと、前記スキャンフリップフロップに電氣的に接続されたバックアップ回路と、を有し、
前記第 1 の素子層には、前記スキャンフリップフロップおよび前記駆動回路部が設けられ、
前記第 2 の素子層には、前記バックアップ回路および前記画素回路が設けられる、
電子機器。

[請求項 4]

請求項 3 において、
前記バックアップ回路は、前記演算装置の非動作時において、前記スキャンフリップフロップに保持されたデータを電源電圧の供給が停止した状態で保持する機能を有する、
電子機器。

[請求項 5]

請求項 2 において、
前記金属酸化物は、I n と、G a と、Z n と、を含む、

電子機器。

[請求項 6]

請求項 1 において、

前記画像データは、秒針、短針、および長針の表示を行う画像データであり、

前記演算装置は、前記秒針、前記短針、および前記長針を表示する前記表示領域が有する前記画素回路に対応する前記駆動回路を動作状態とし、

前記秒針、前記短針、および前記長針を表示しない前記表示領域が有する前記画素回路に対応する前記駆動回路を停止状態とする、

電子機器。

図1A

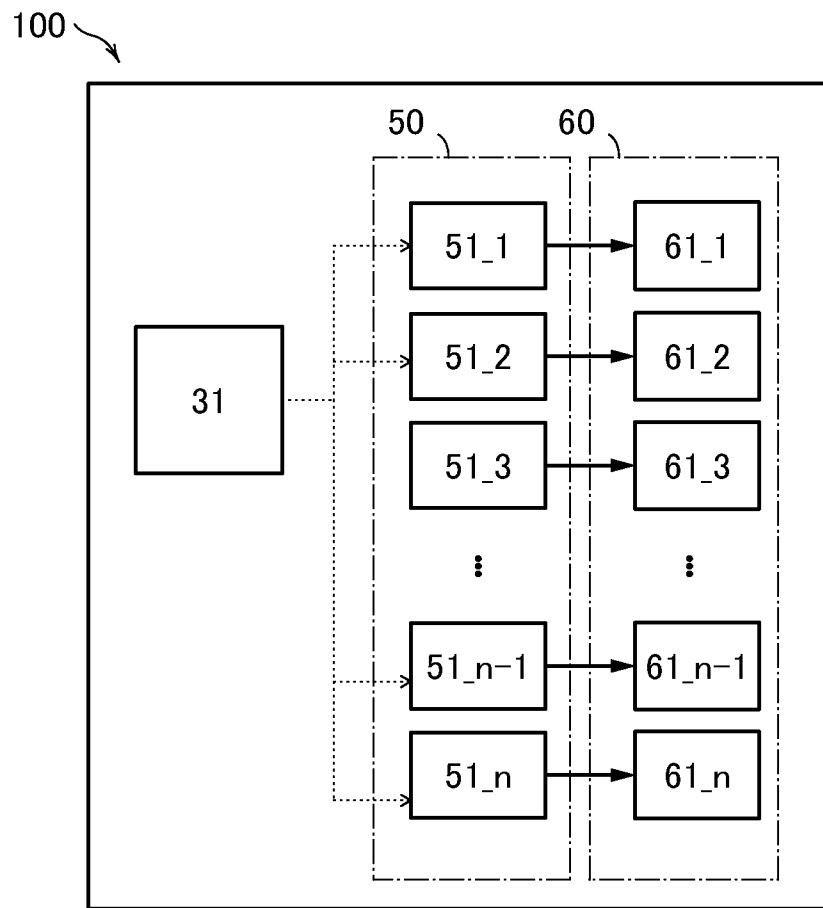


図1B

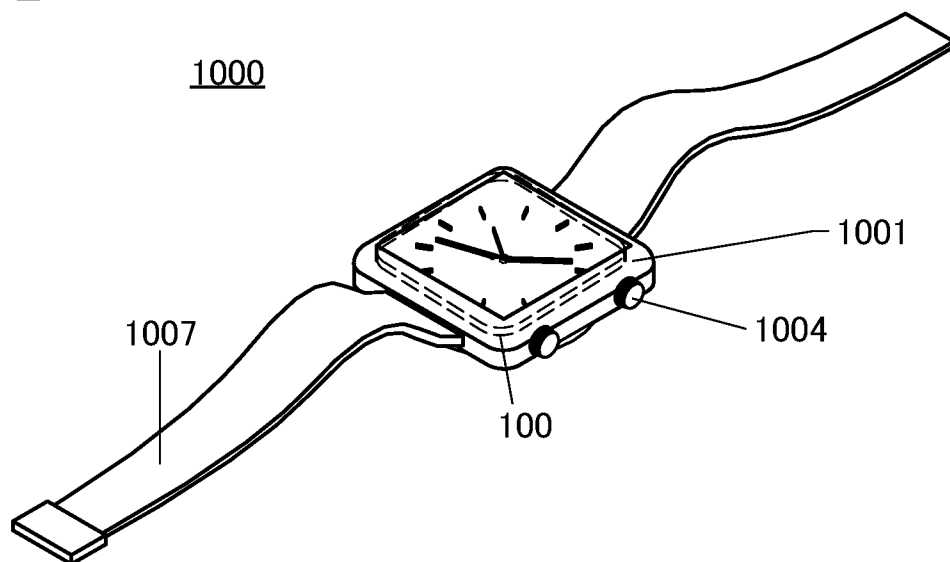


図2A

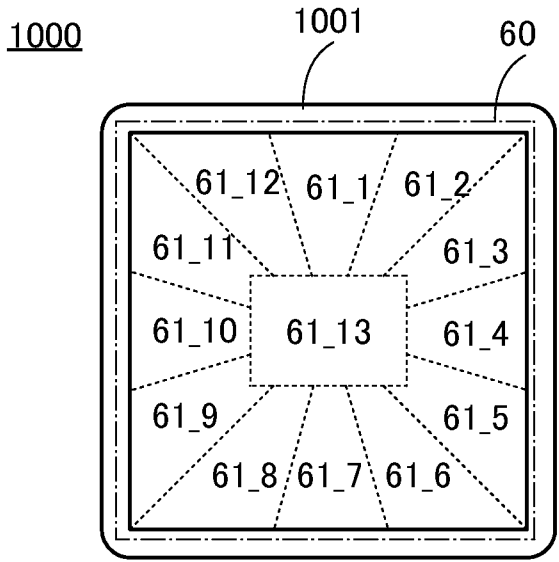


図2B

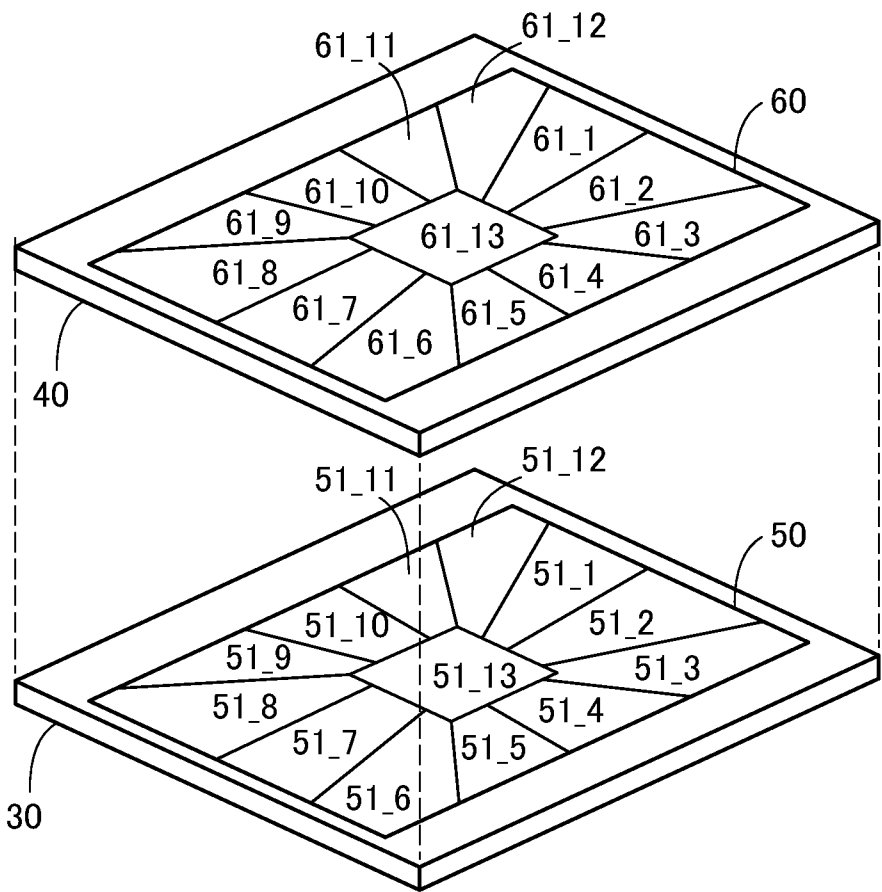


图3A

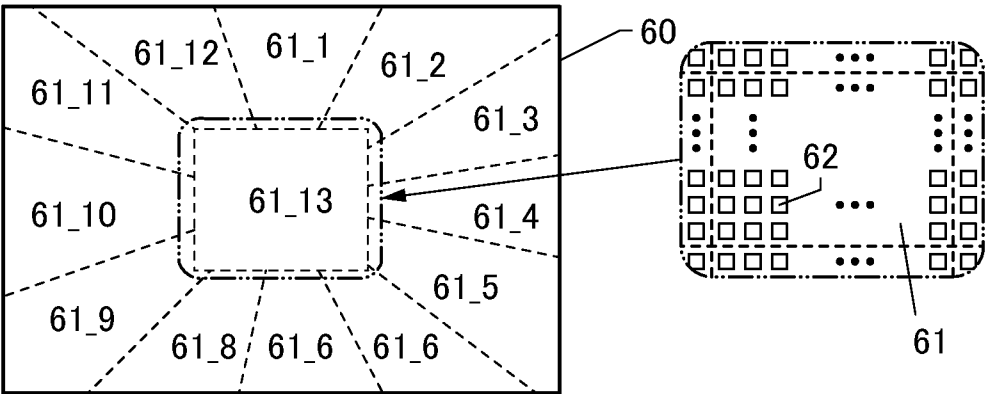


图3B

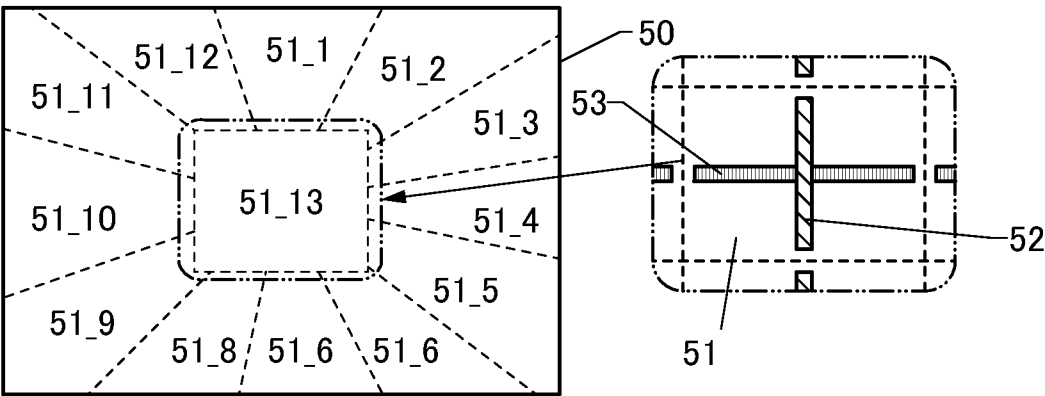


图3C

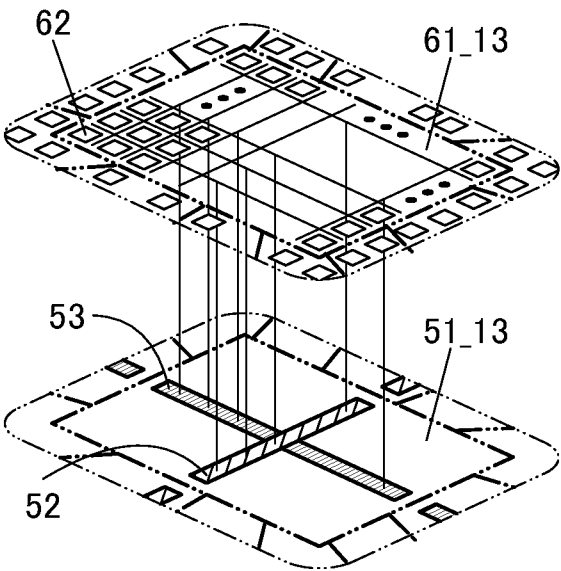


図4A

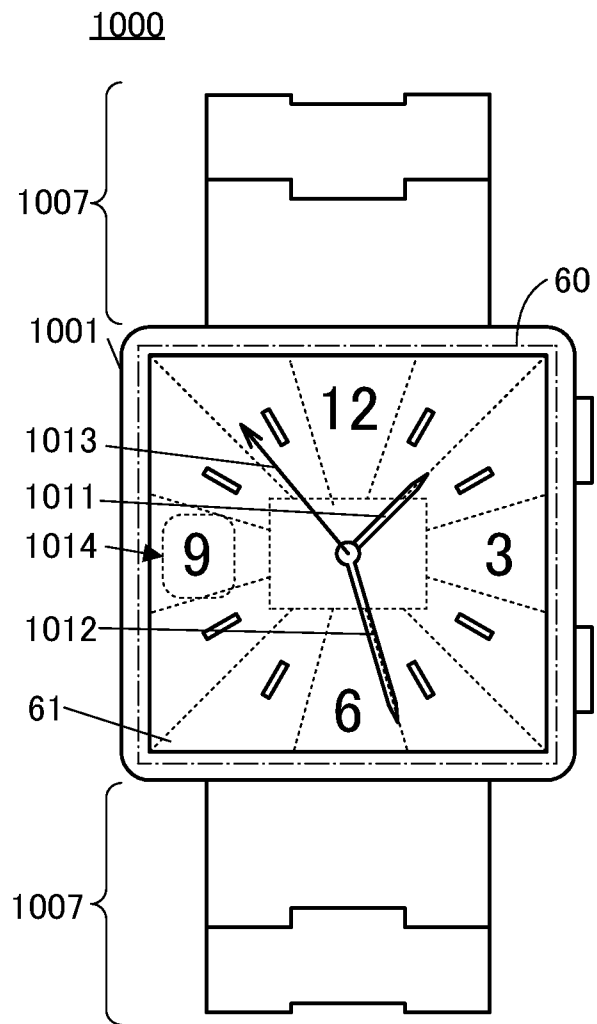
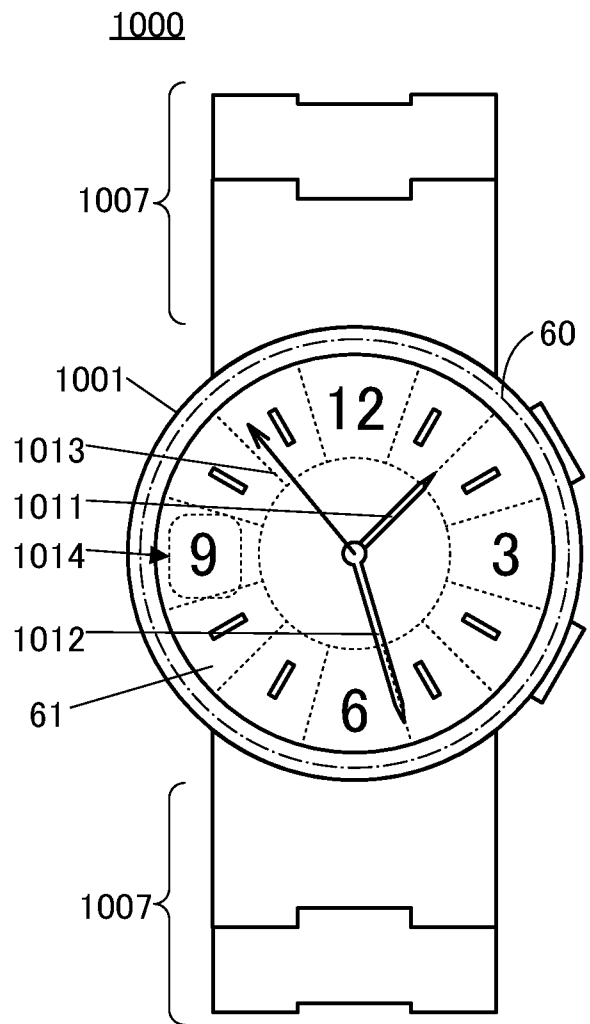


図4B



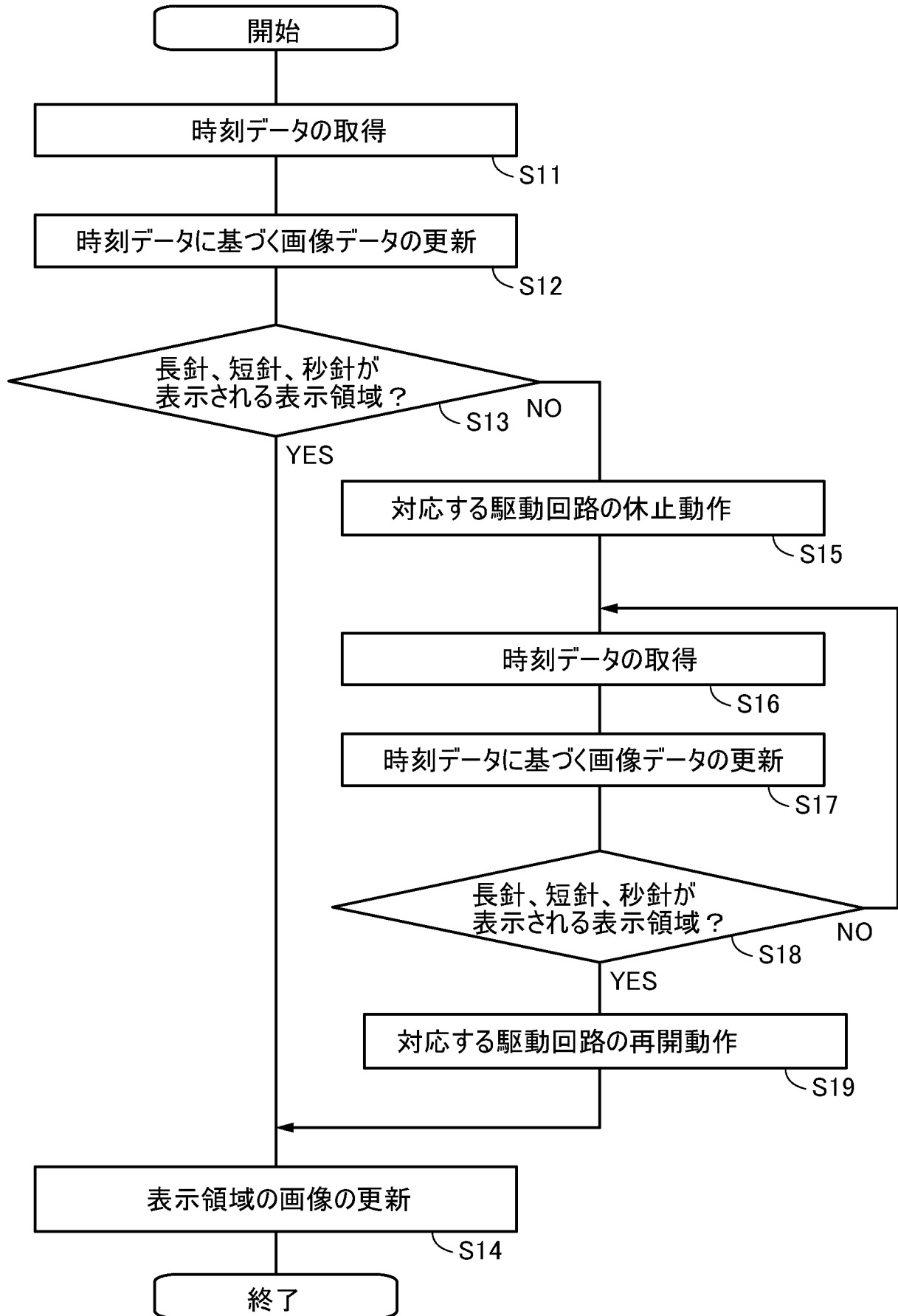


图6A

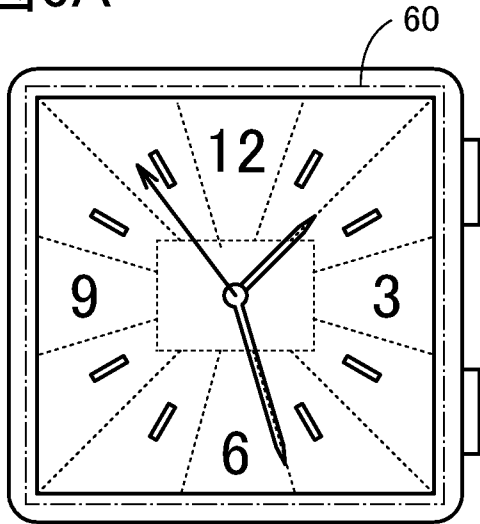


图6B

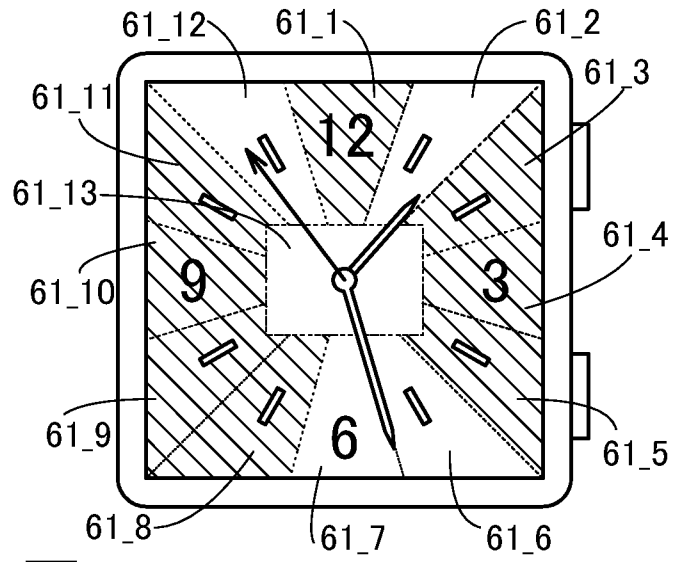


图6C

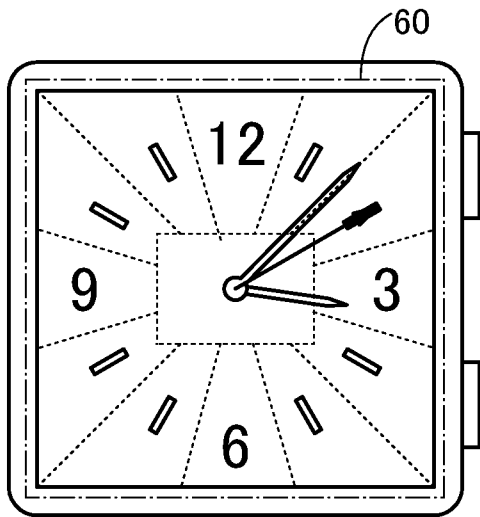


图6D

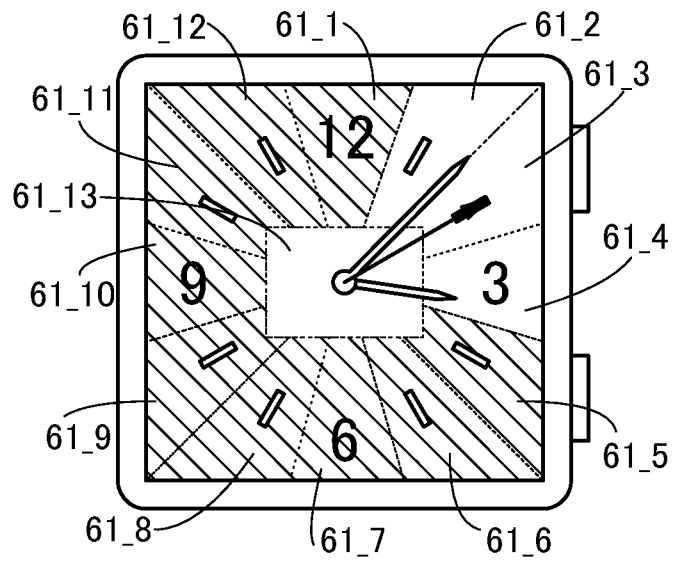


图6E

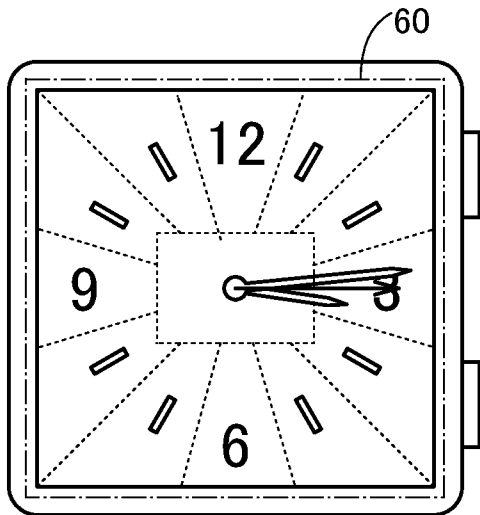
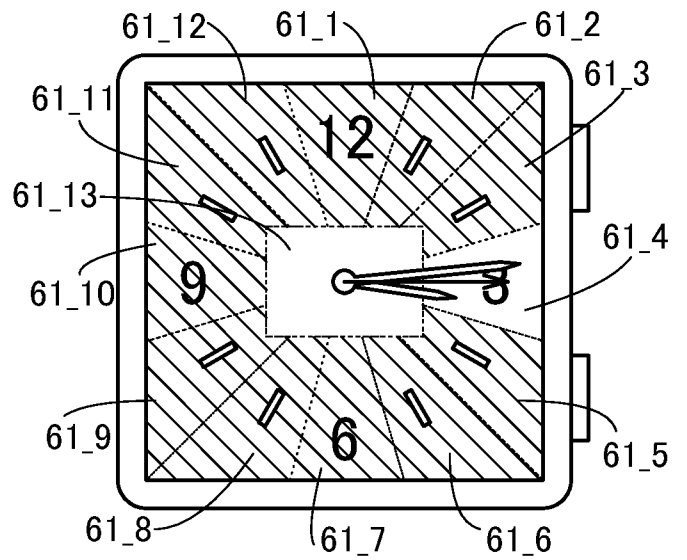
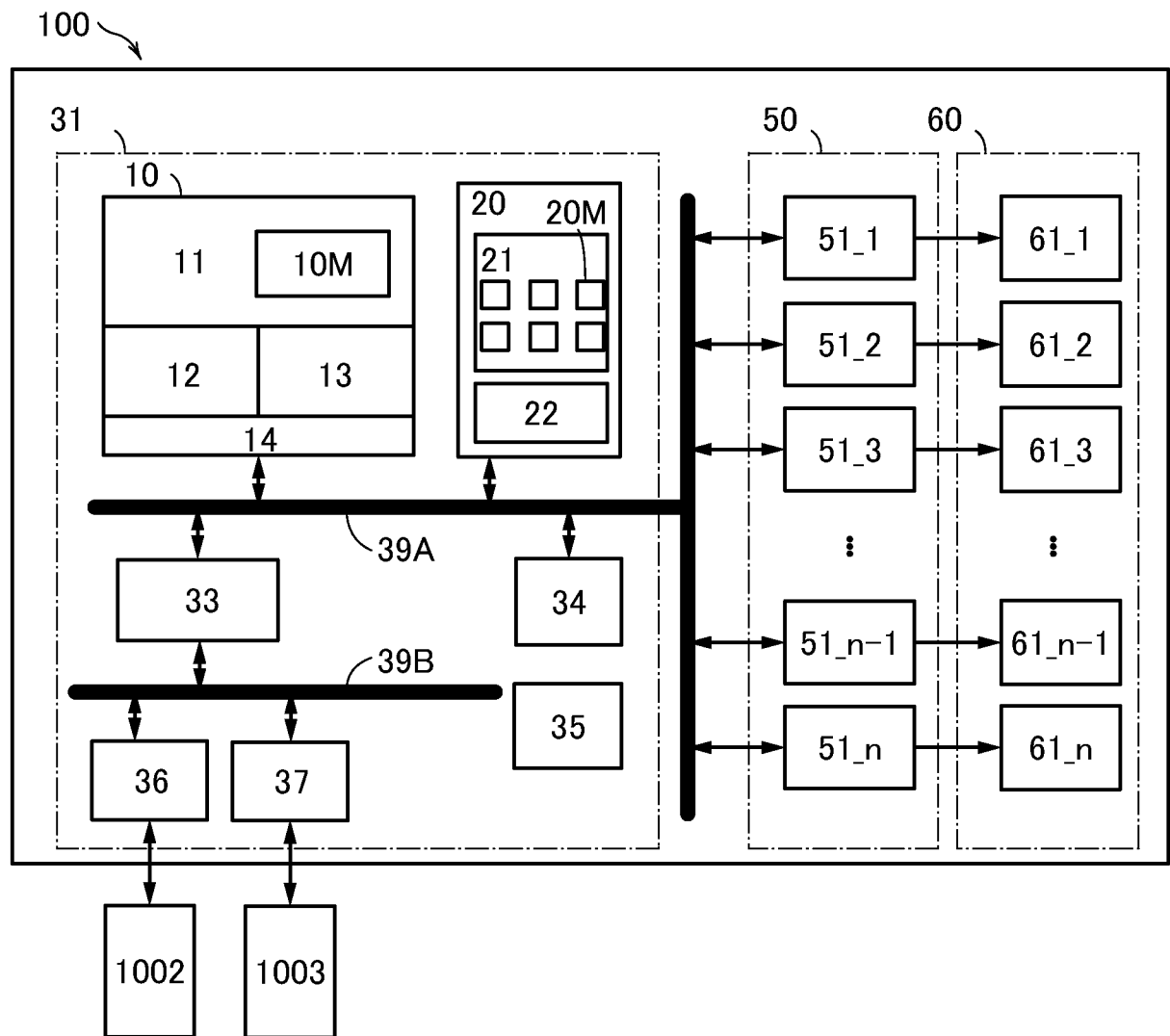
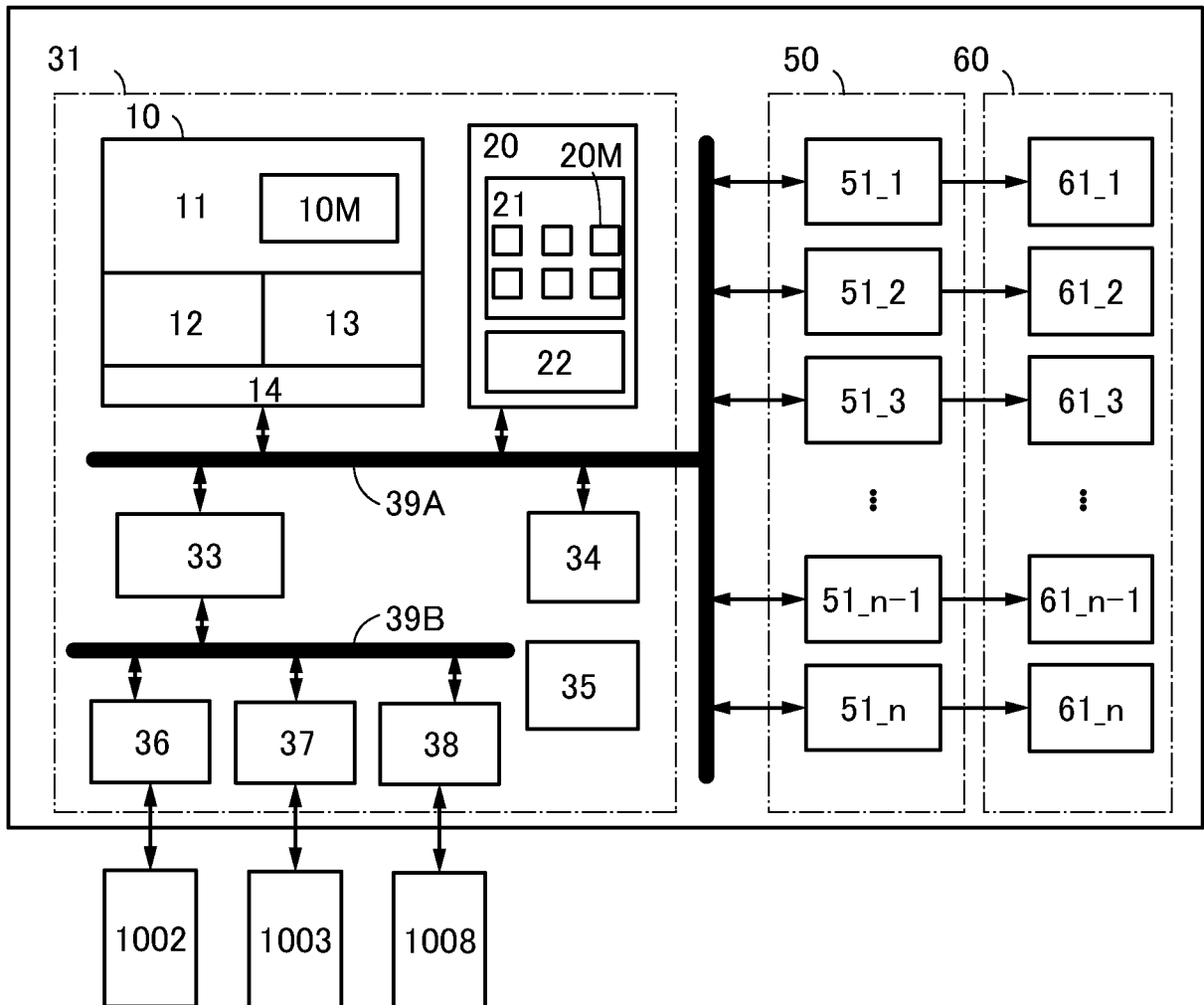


图6F





100S



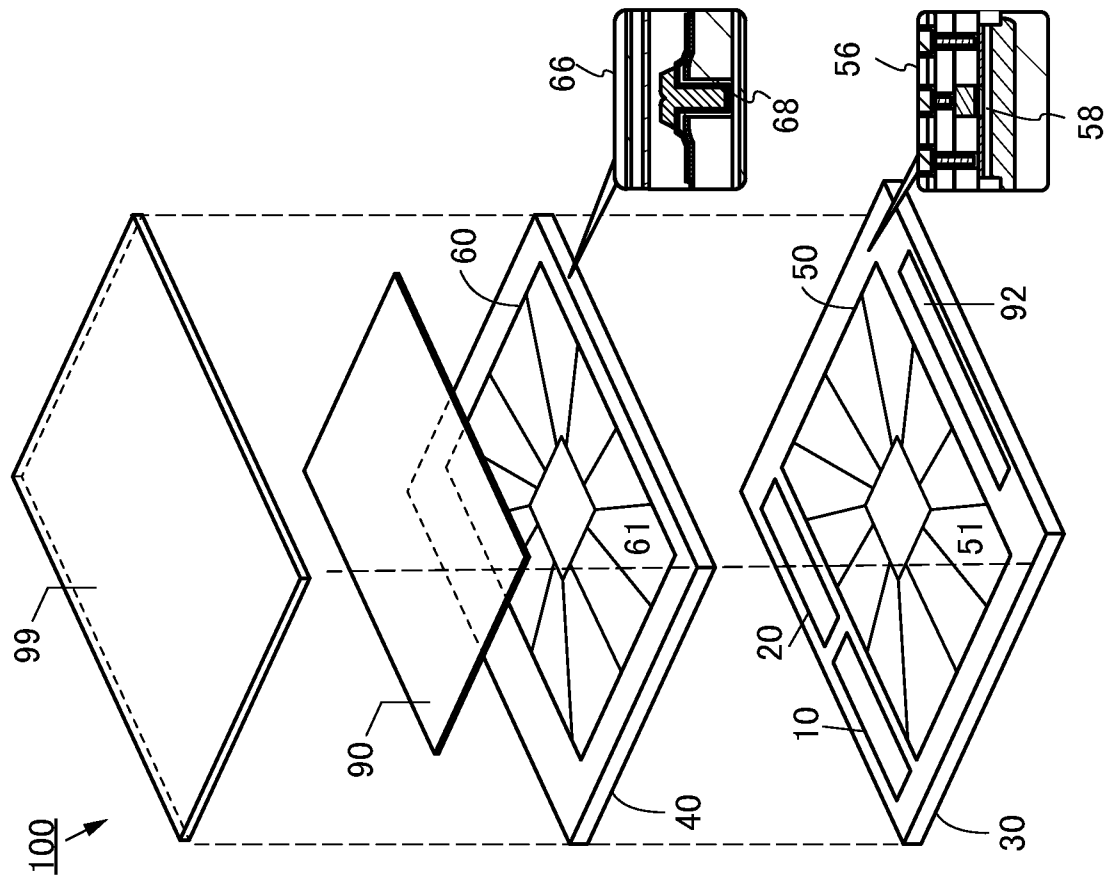
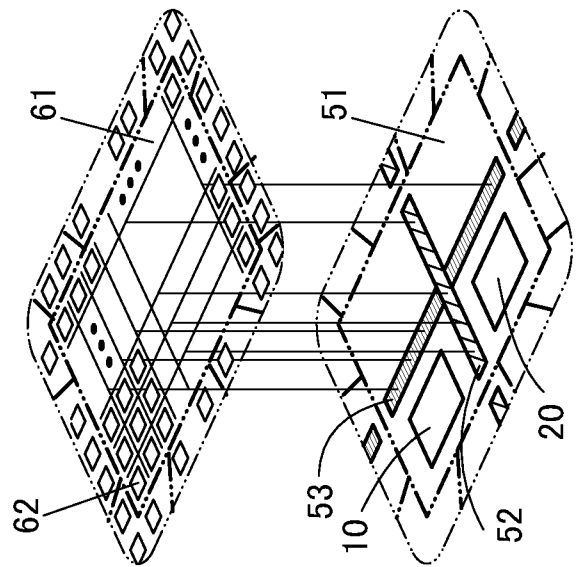
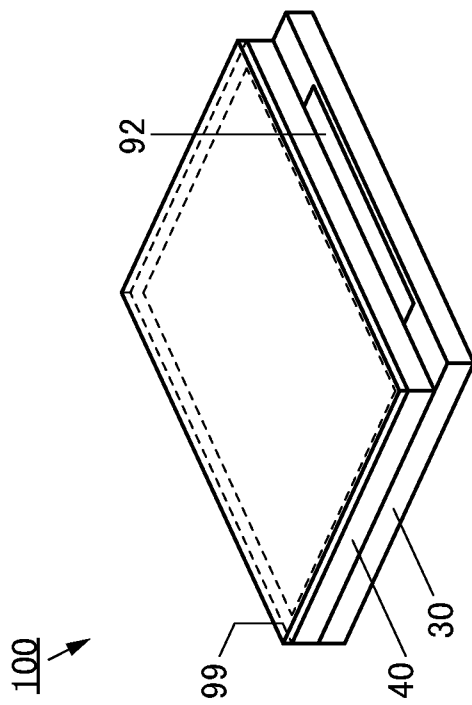


図10A

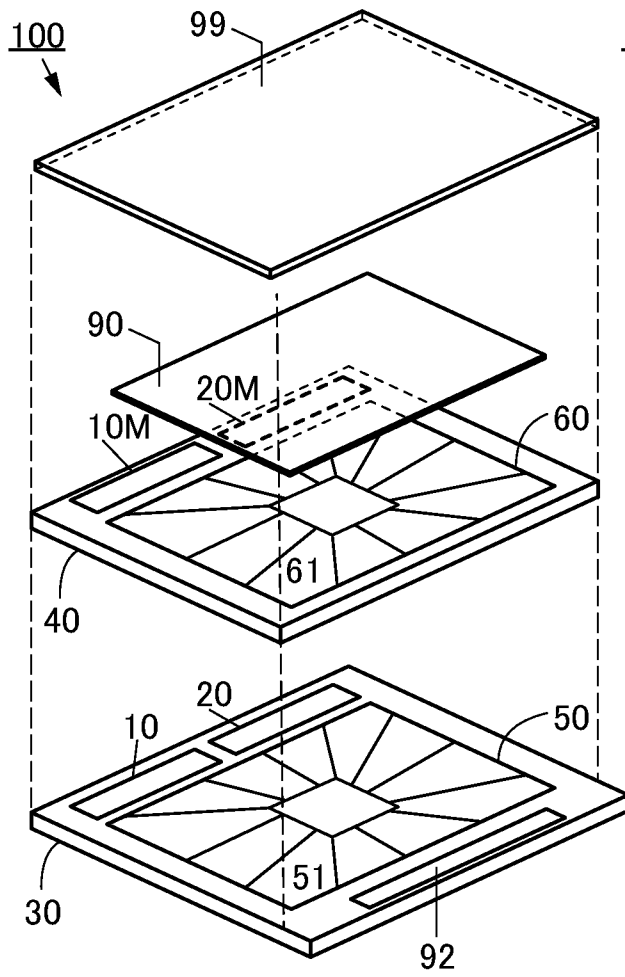


図10B

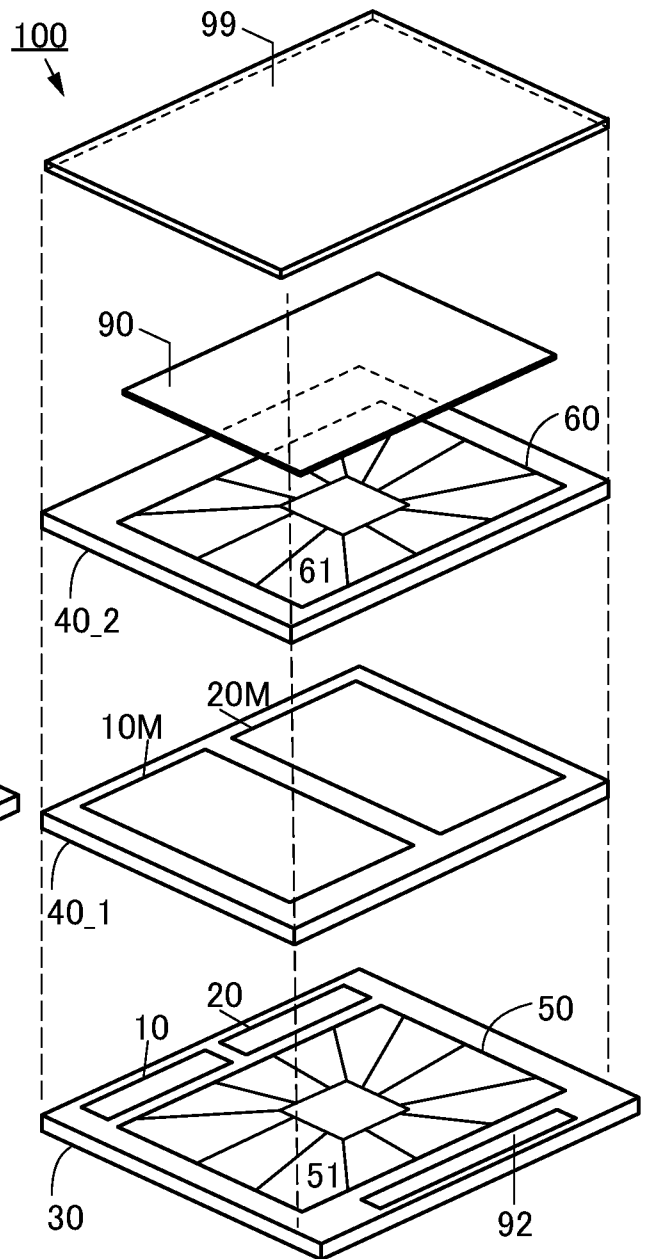


图 11A

1000

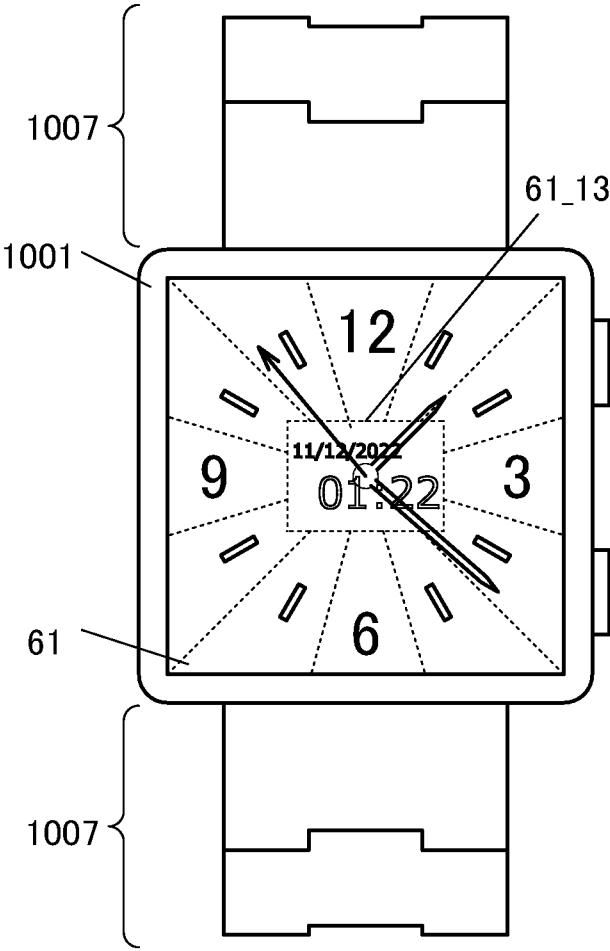


图 11B

1000

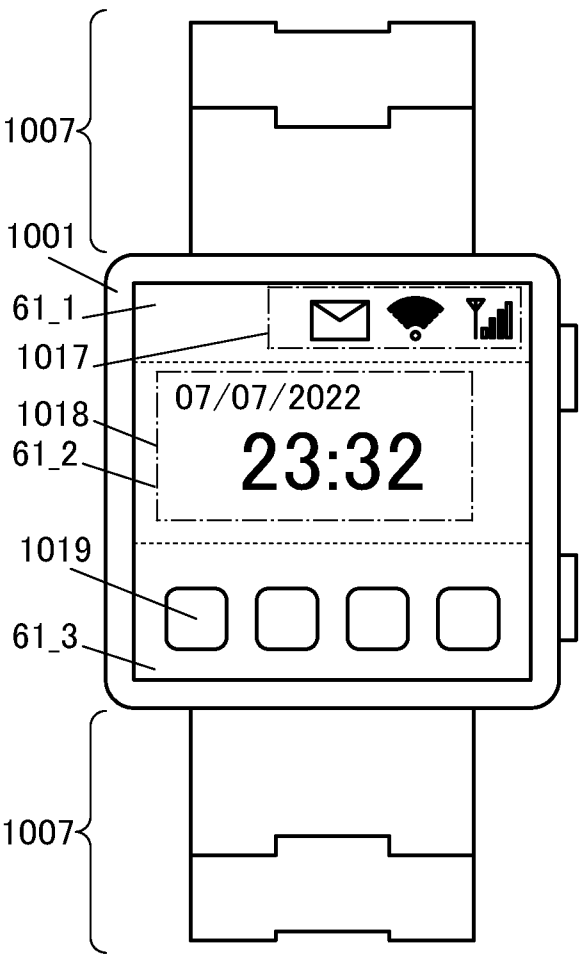


図12A

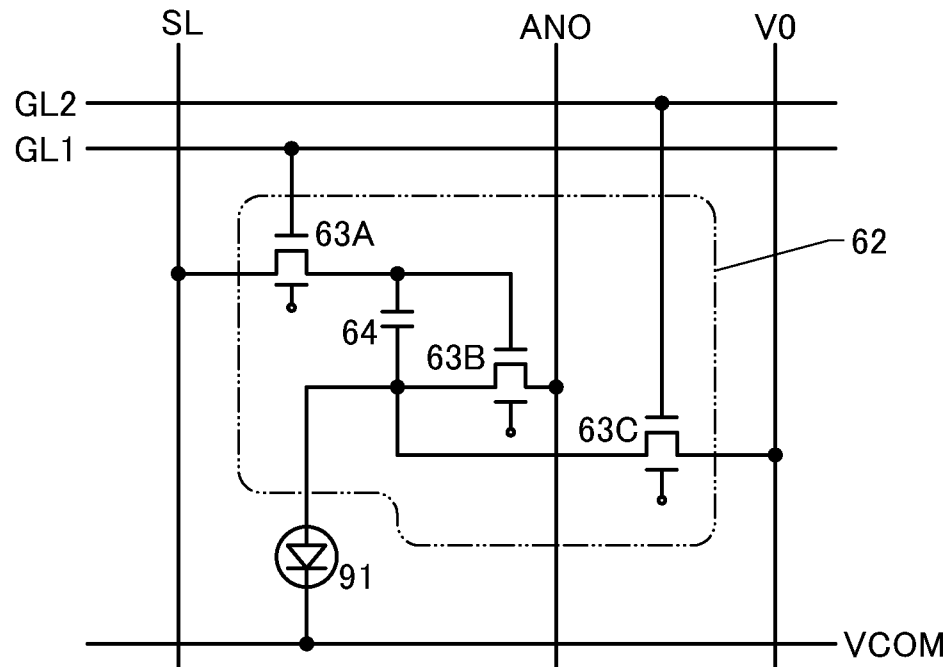


図12B

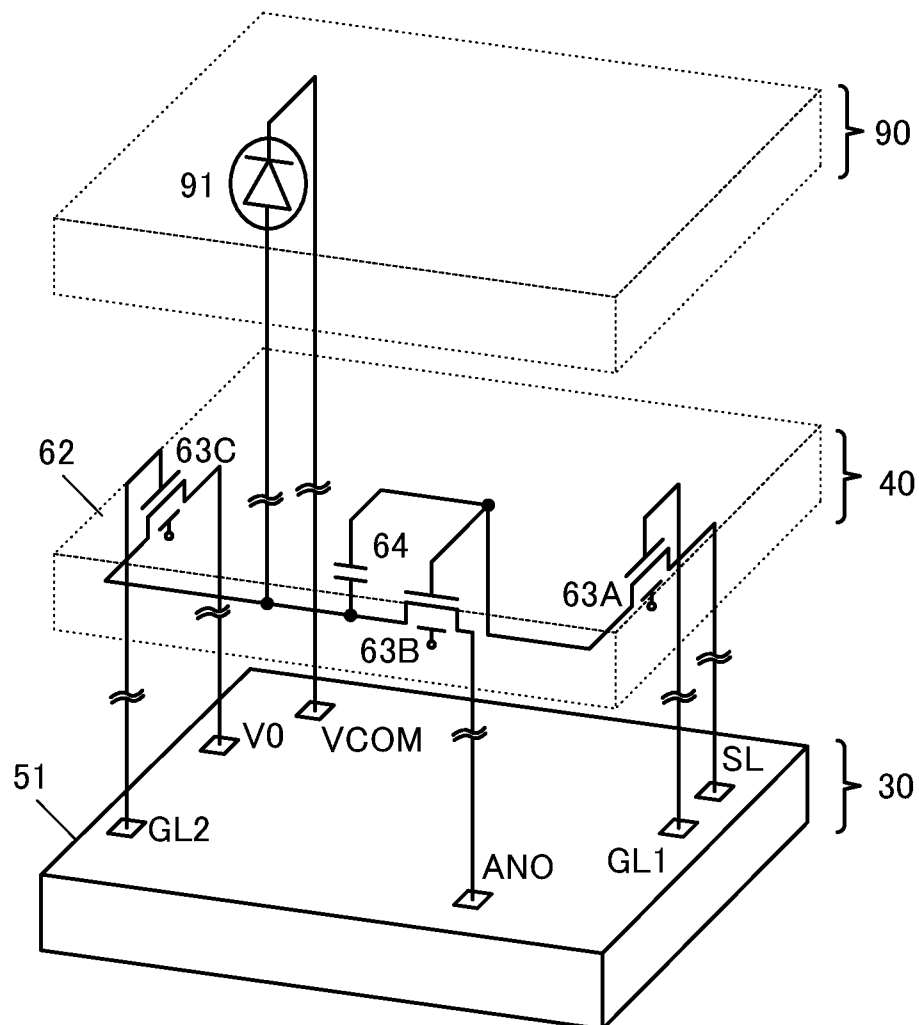


図13A

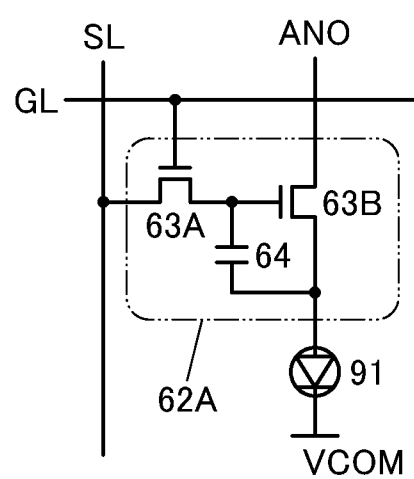


図13B

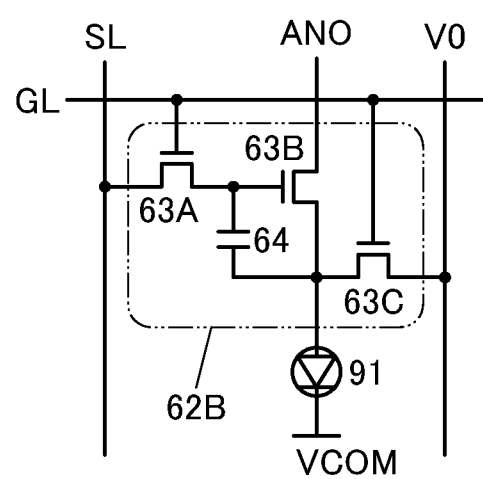


図13C

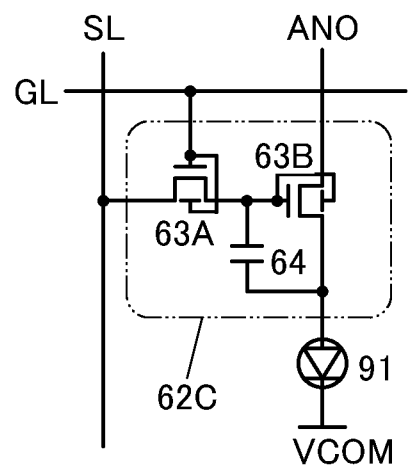


図13D

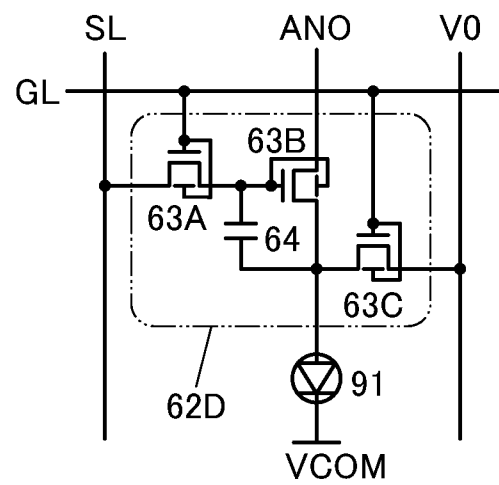


図14A

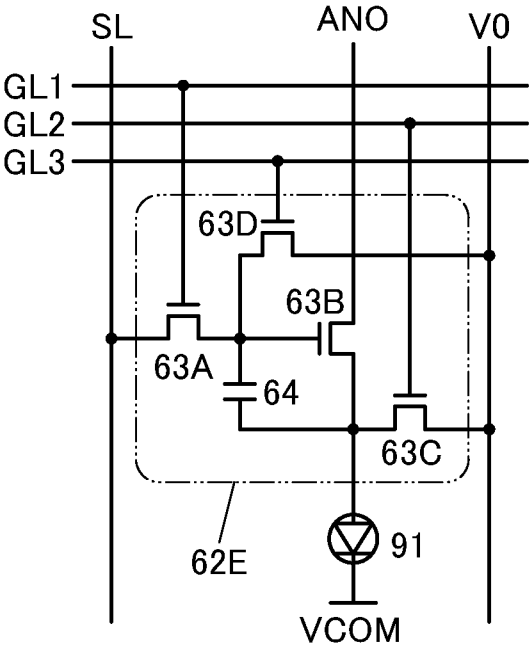


図14B

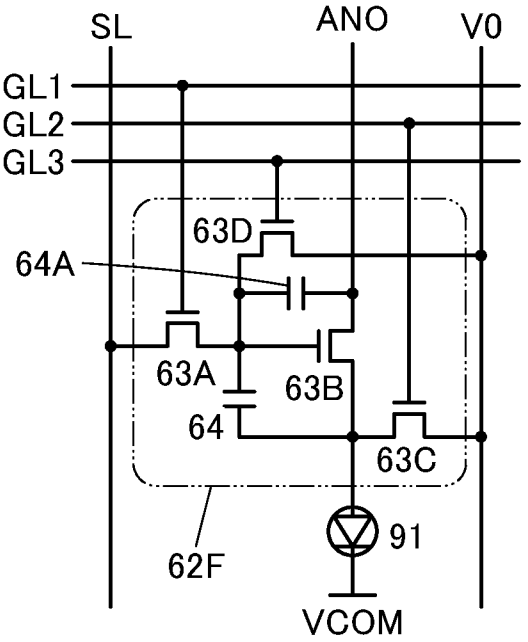


図14C

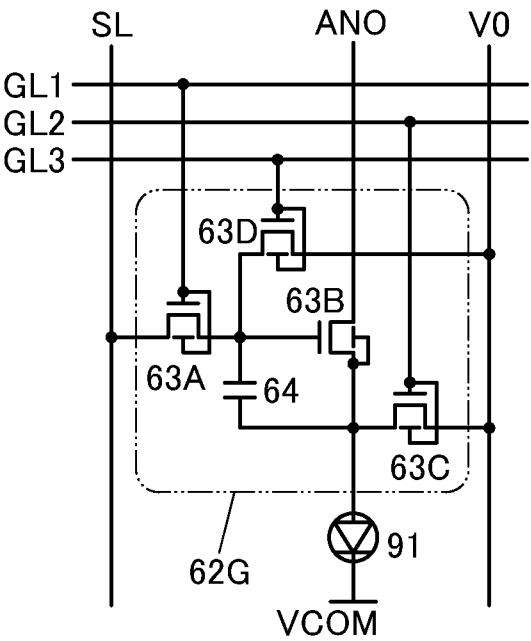
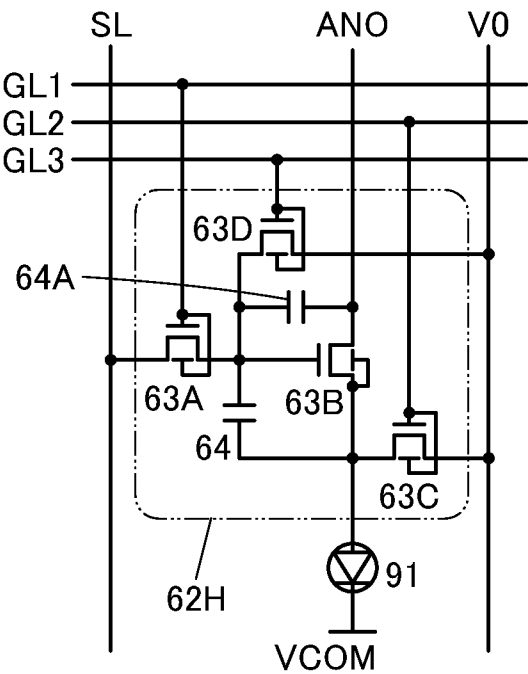


図14D



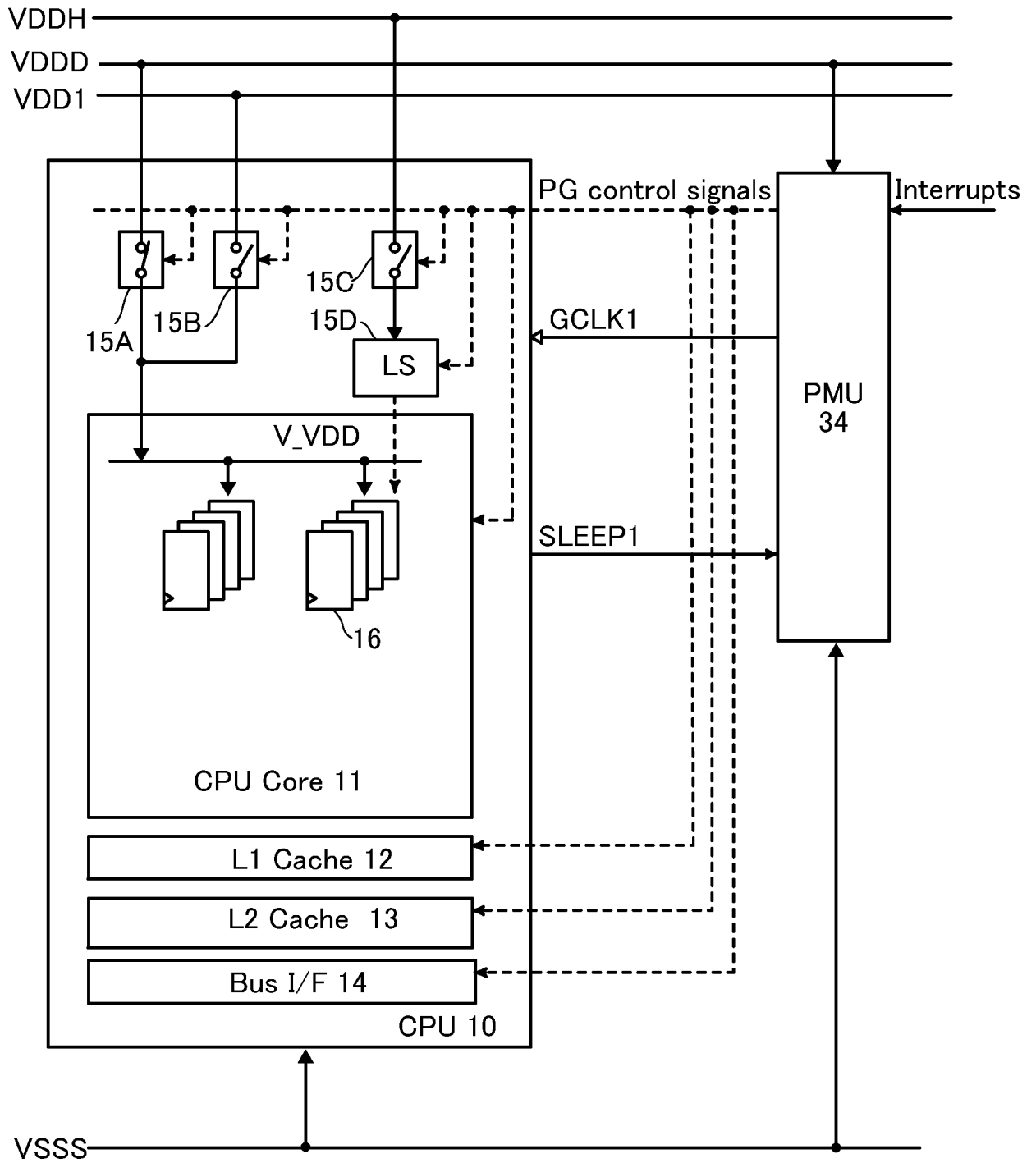


図16A

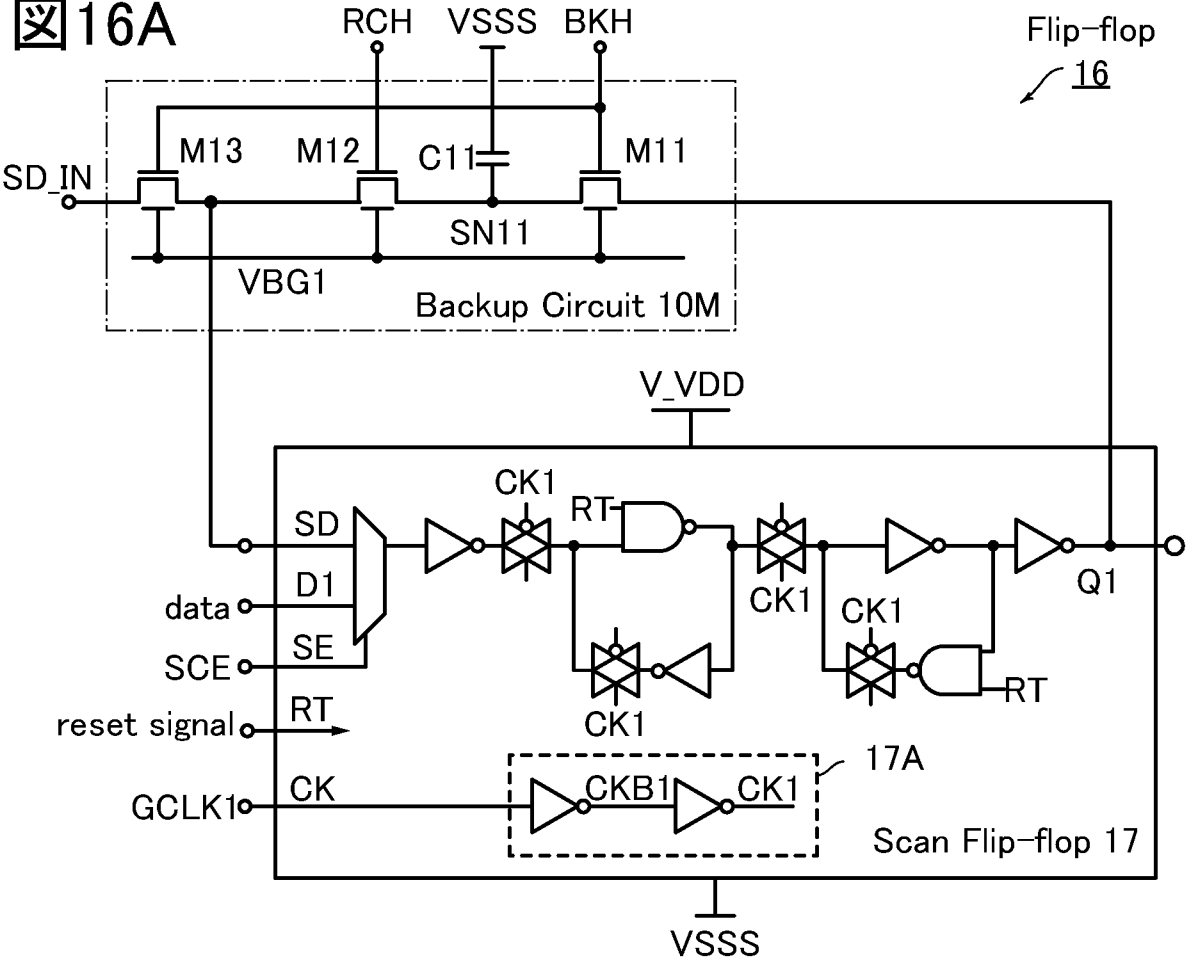
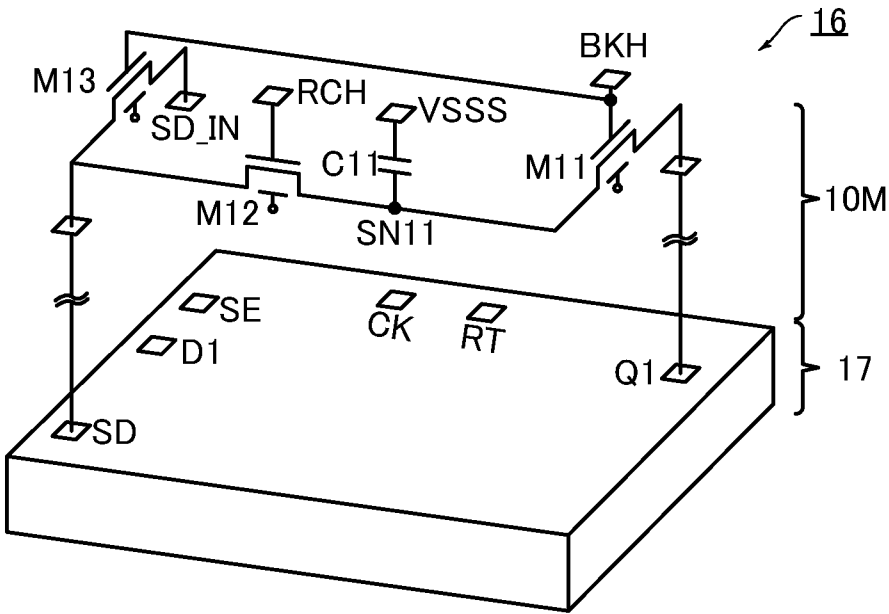


図16B



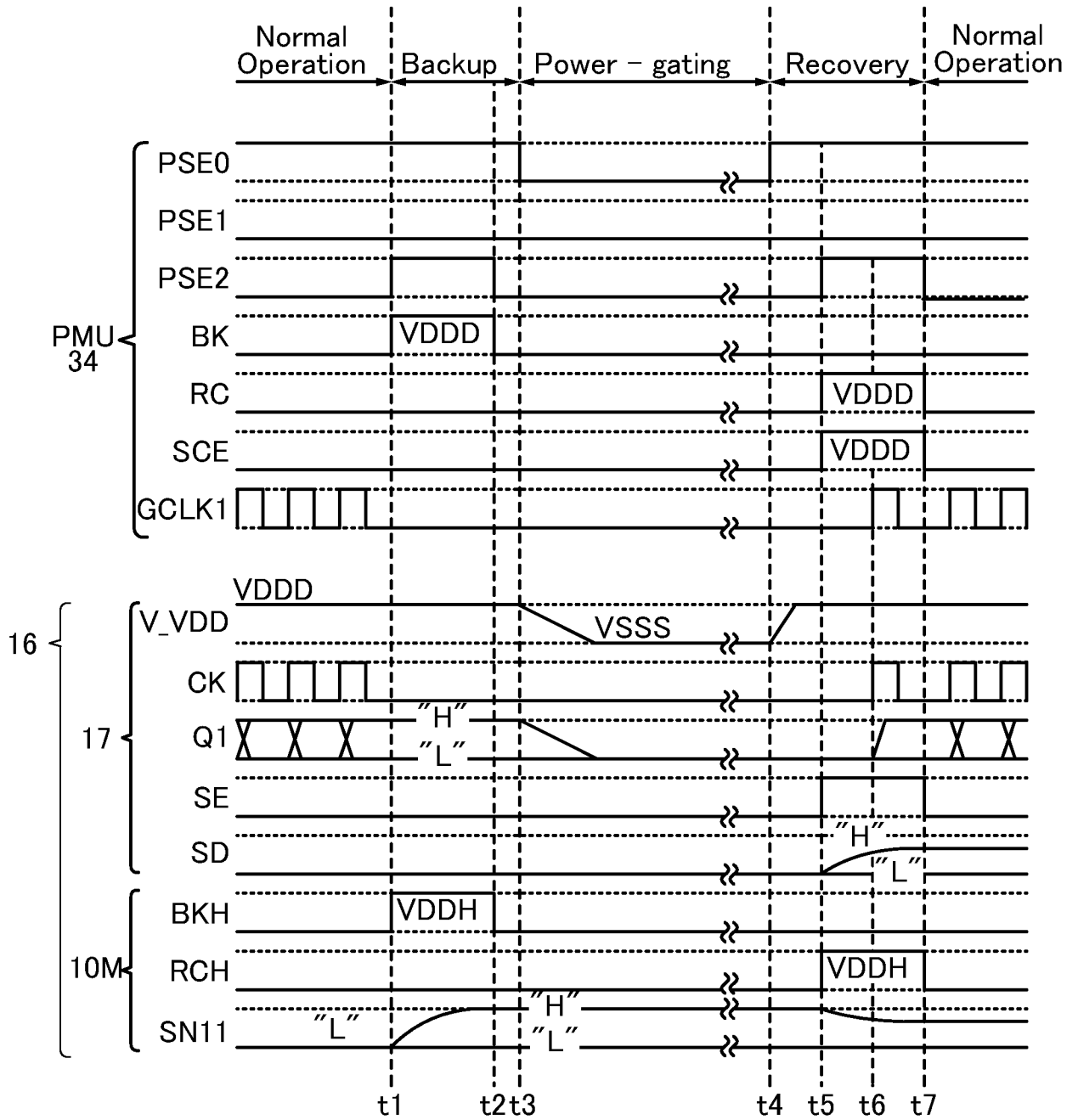


図18A

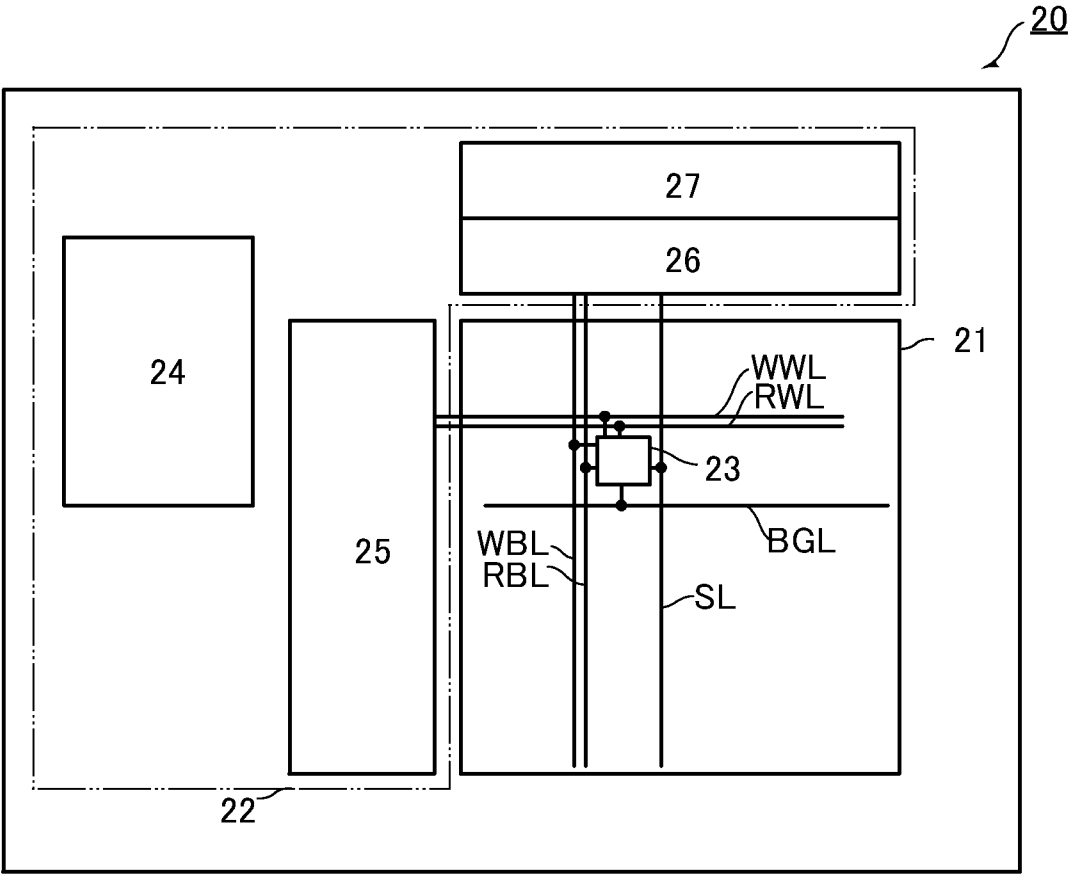


図18B

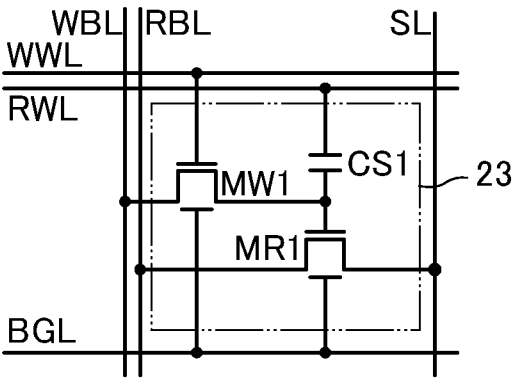


図19A

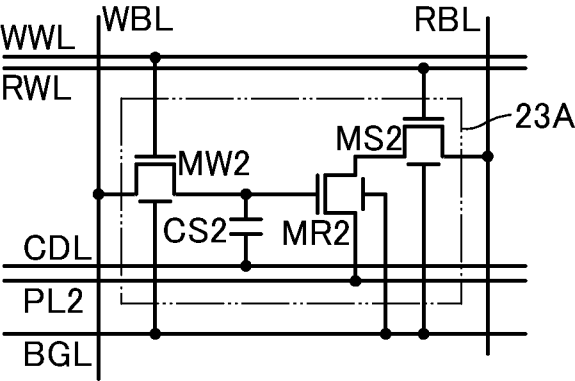


図19B

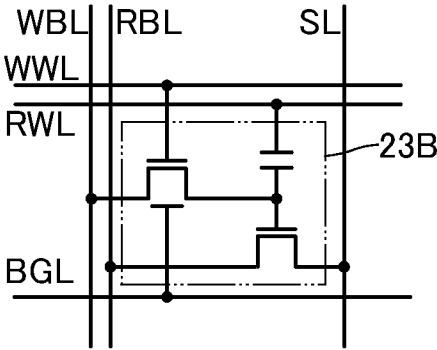


図19C

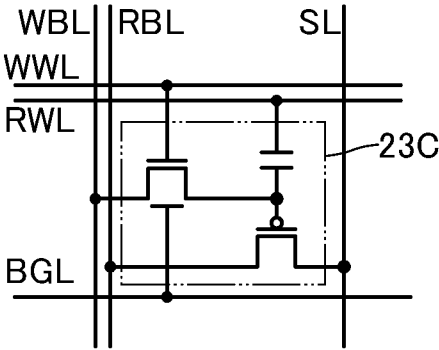


図19D

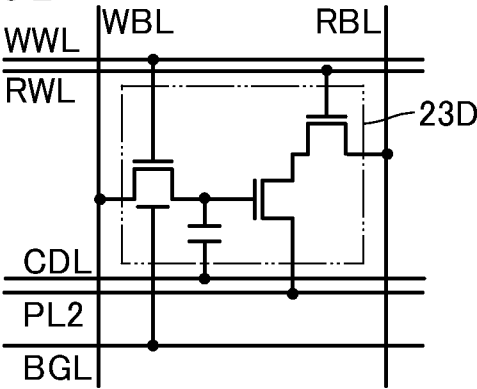


図19E

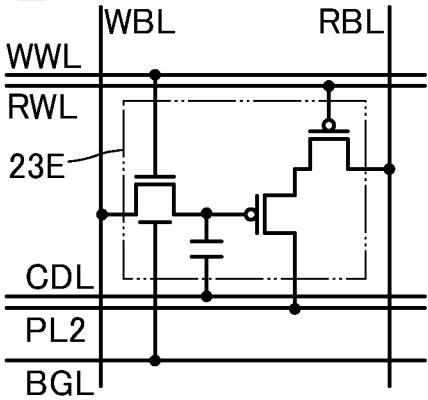


図19F

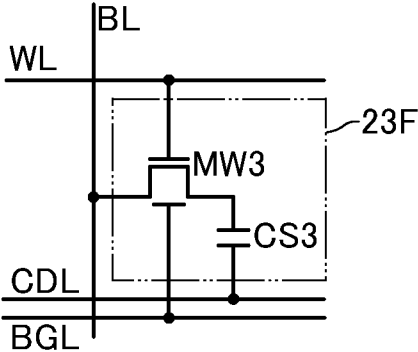


図20A

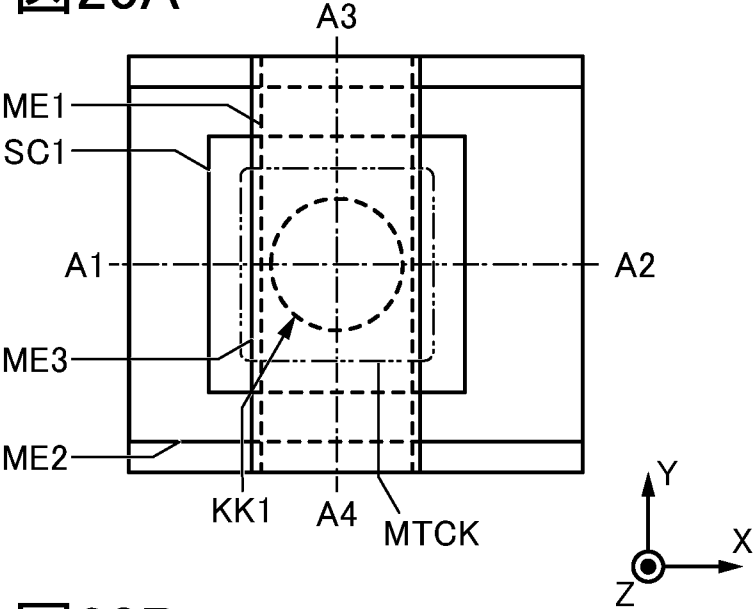


図20B

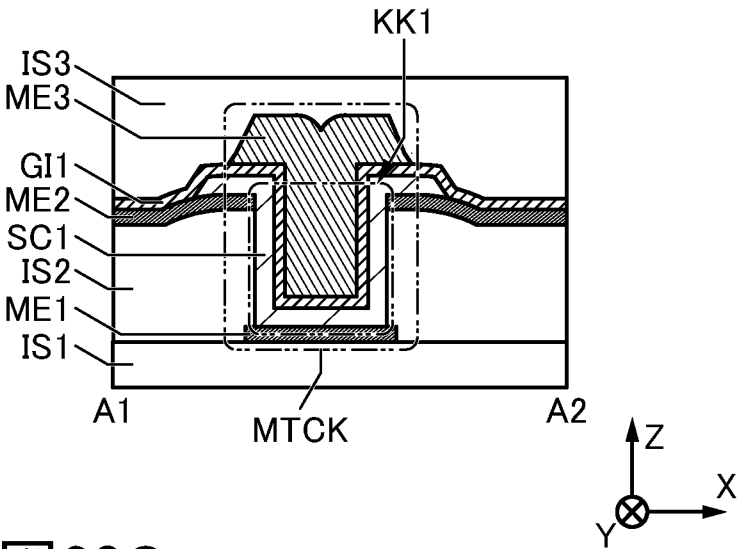


図20C

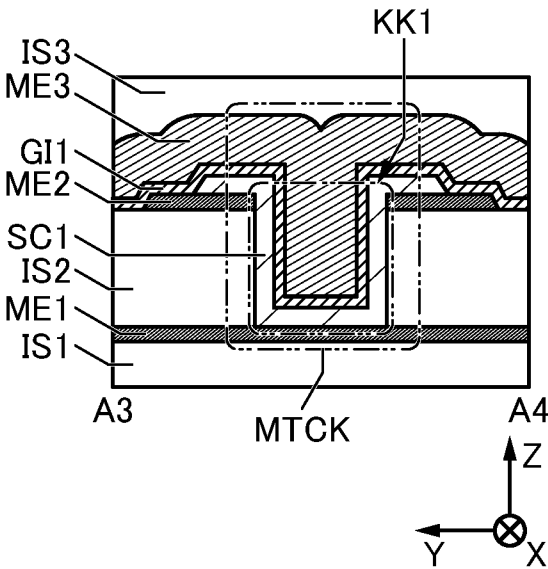


図21A

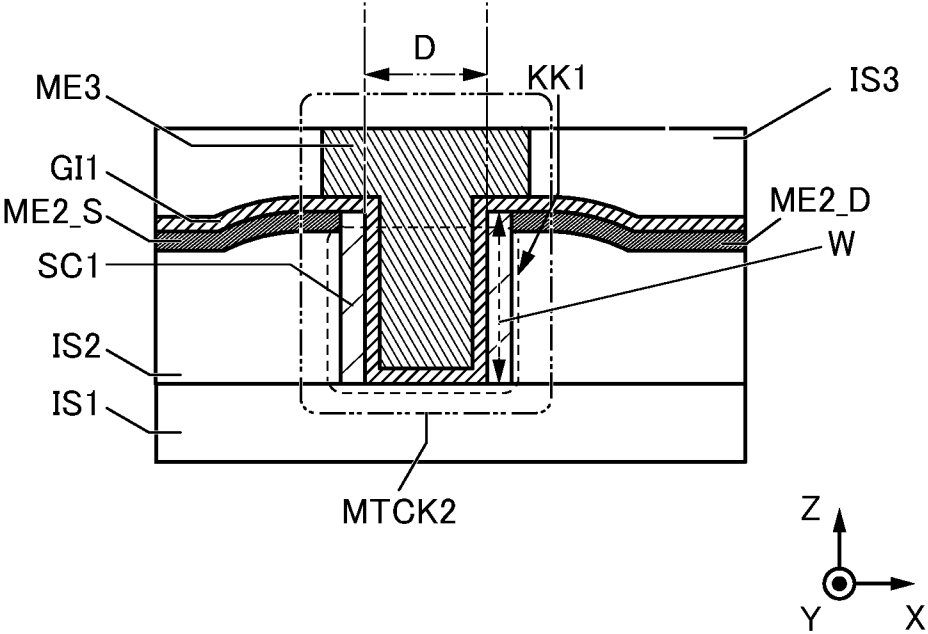
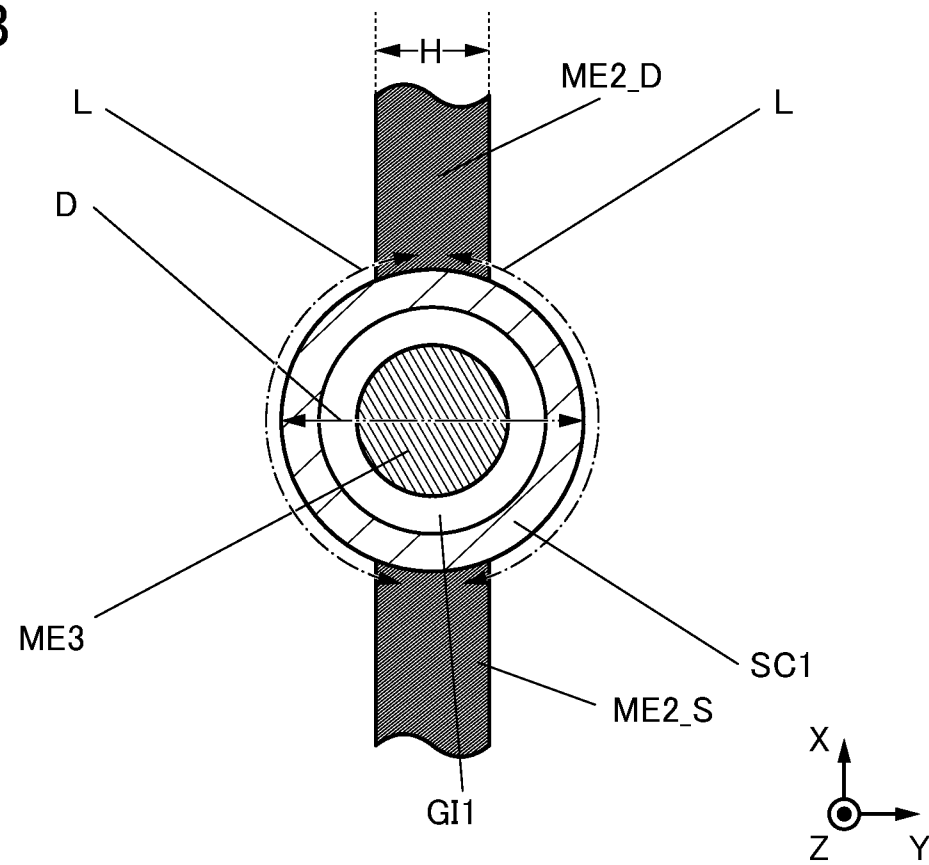


図21B



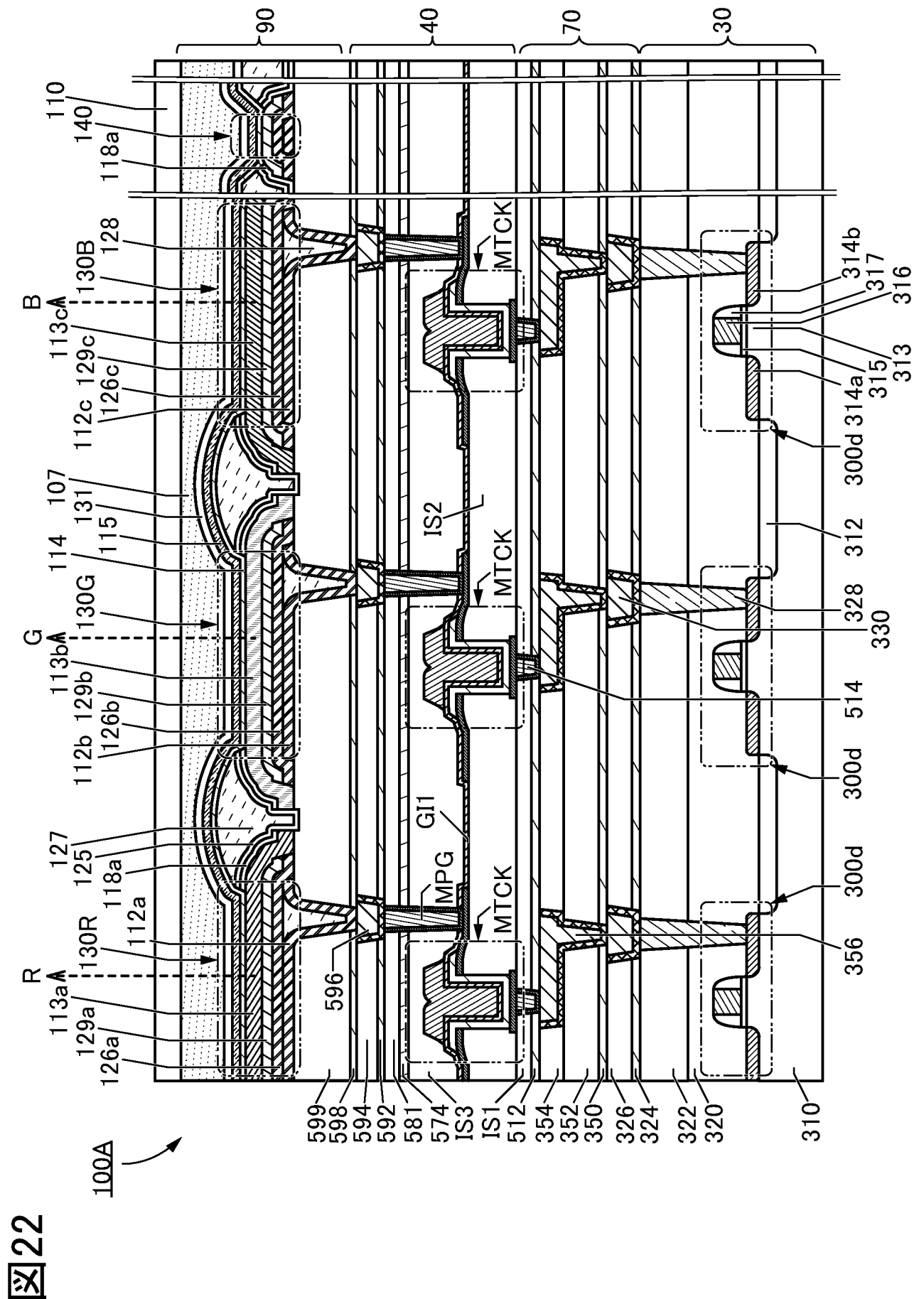


図23A

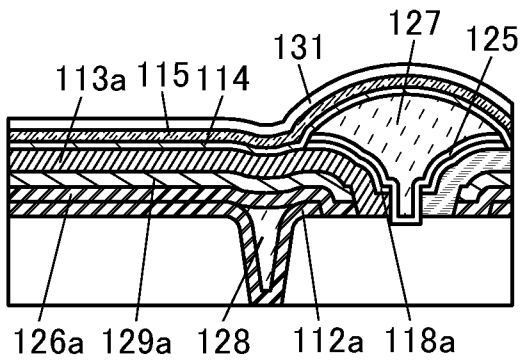


図23B

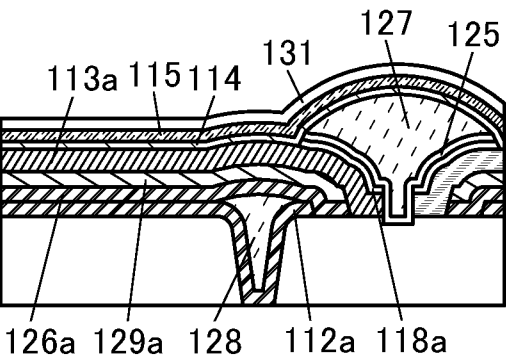


図23C

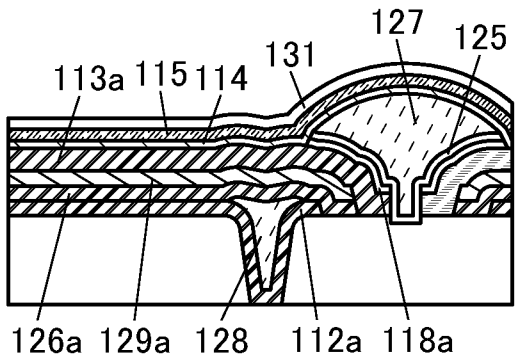


图24A

9101

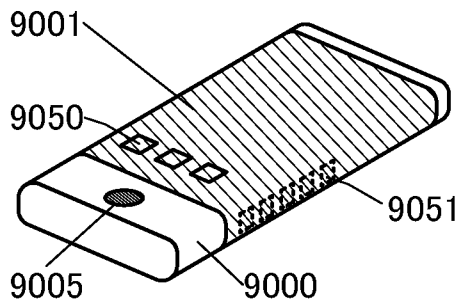


图24B

9102

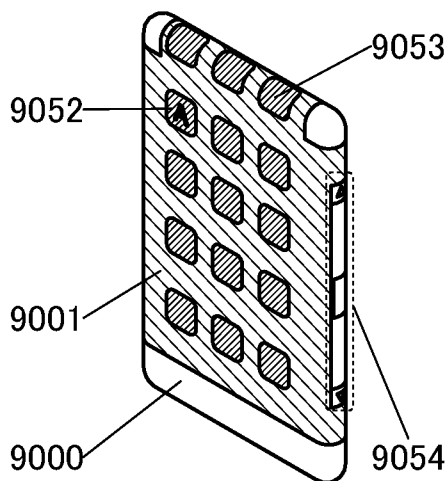


图24C

9103

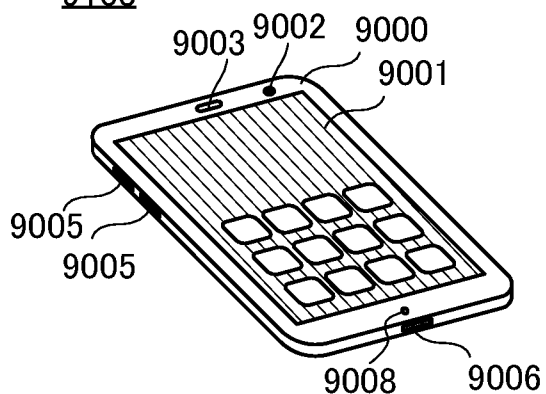


图24D

9200

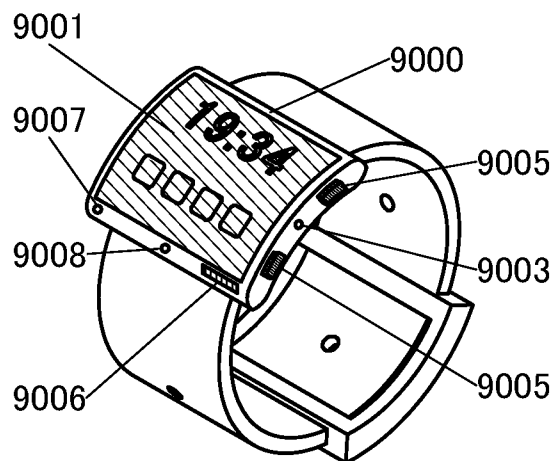


图24E

9201

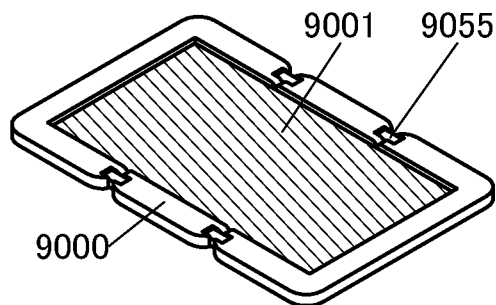


图24F

9201

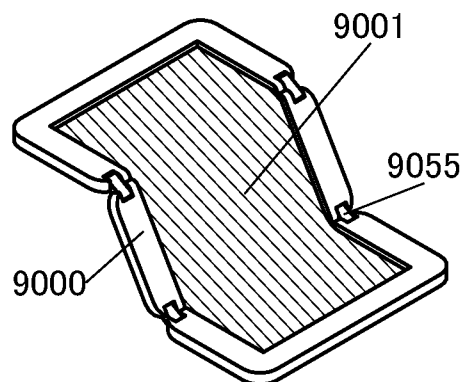


图24G

9201

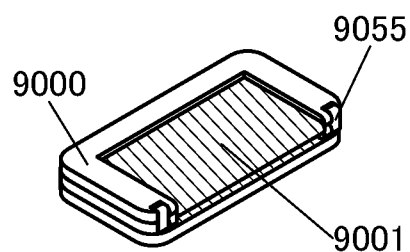


図25A

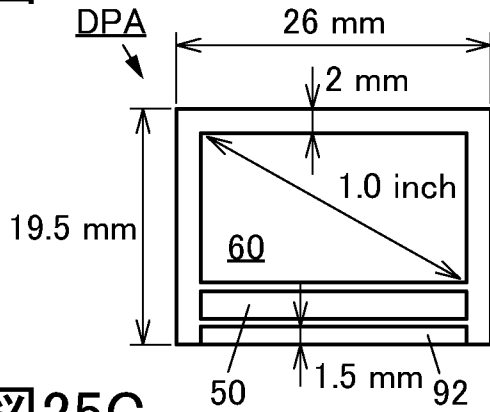


図25B

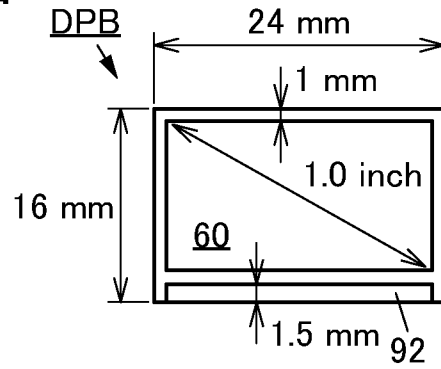


図25C

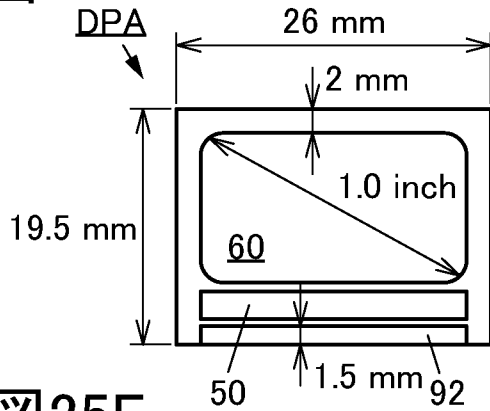


図25D

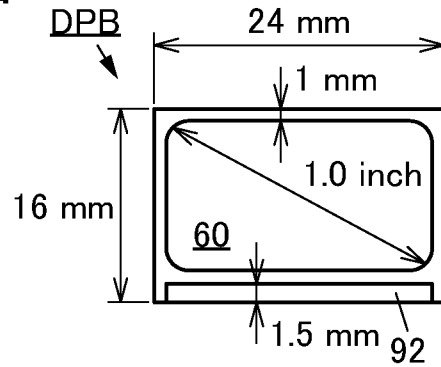


図25E

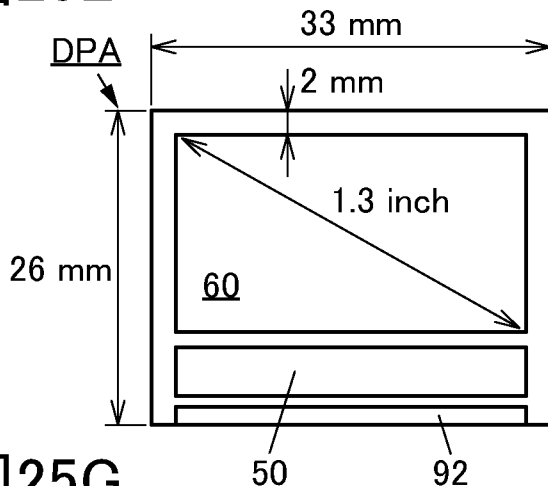


図25F

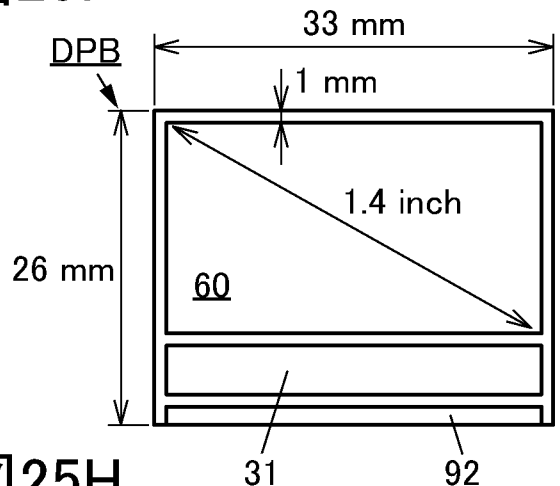


図25G

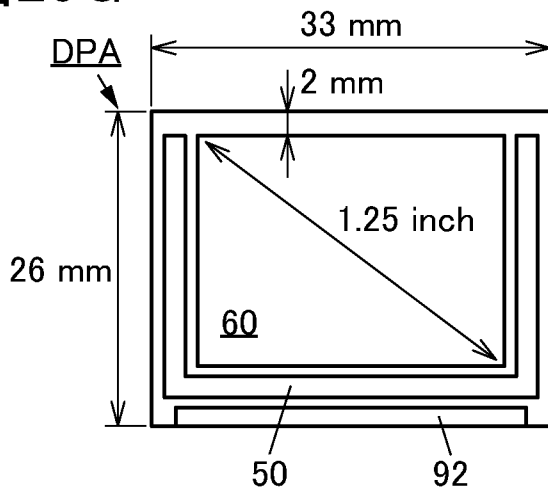
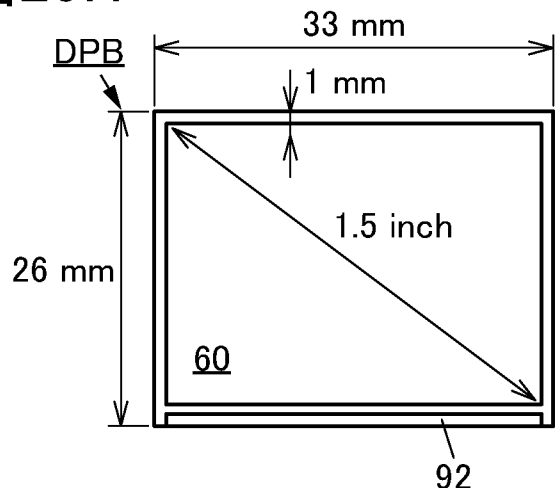


図25H



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/062447

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3225(2016.01)i; **G04G 9/00**(2006.01)i; **G09G 3/20**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H01L 29/786**(2006.01)i; **H10B 12/00**(2023.01)i; **H10B 41/70**(2023.01)i
 FI: G09G3/3225; G04G9/00 306Z; G09G3/20 611A; G09G3/20 612U; G09G3/20 621D; H01L27/06 102A; H01L27/088 E; H01L27/088 331E; H01L29/78 618B; H01L29/78 626A; H10B12/00 621C; H10B12/00 621Z; H10B12/00 671C; H10B12/00 671Z; H10B12/00 801; H10B41/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3225; G04G9/00; G09G3/20; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H10B12/00; H10B41/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2024
 Registered utility model specifications of Japan 1996-2024
 Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2022/118141 A1 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 09 June 2022 (2022-06-09) paragraphs [0029]-[0292], [0408]-[0412], fig. 1-35C, 48A-48B	1-6
Y	JP 2018-55097 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 05 April 2018 (2018-04-05) paragraphs [0019]-[0175], fig. 1-21	1-6
A	CN 109493793 A (BOE TECHNOLOGY GROUP CO., LTD.) 19 March 2019 (2019-03-19) entire text, all drawings	1-6
A	JP 2018-25777 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 15 February 2018 (2018-02-15) entire text, all drawings	1-6

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “D” document cited by the applicant in the international application
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 February 2024

Date of mailing of the international search report

27 February 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2023/062447

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-194540 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 09 October 2014 (2014-10-09) entire text, all drawings	1-6

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2023/062447

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2022/118141	A1	09 June 2022	KR 10-2023-0112706 A	
				CN 116830183 A	
JP	2018-55097	A	05 April 2018	TW 201824227 A	
CN	109493793	A	19 March 2019	(Family: none)	
JP	2018-25777	A	15 February 2018	US 2018/0040640 A1	
				entire text, all drawings	
				KR 10-2018-0015574 A	
JP	2014-194540	A	09 October 2014	US 2014/0240362 A1	
				entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC））

G09G 3/3225(2016.01)i; G04G 9/00(2006.01)i; G09G 3/20(2006.01)i; H01L 21/8234(2006.01)i;
H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H10B 12/00(2023.01)i;
H10B 41/70(2023.01)i
FI: G09G3/3225; G04G9/00 306Z; G09G3/20 611A; G09G3/20 612U; G09G3/20 621D; H01L27/06 102A;
H01L27/088 E; H01L27/088 331E; H01L29/78 618B; H01L29/78 626A; H10B12/00 621C; H10B12/00 621Z;
H10B12/00 671C; H10B12/00 671Z; H10B12/00 801; H10B41/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G09G3/3225; G04G9/00; G09G3/20; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H10B12/00; H10B41/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2024年
日本国実用新案登録公報	1996-2024年
日本国登録実用新案公報	1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2022/118141 A1（株式会社半導体エネルギー研究所）09.06.2022（2022-06-09） [0029]-[292], [0408]-[0412], 図1-35C, 48A-48B	1-6
Y	JP 2018-55097 A（株式会社半導体エネルギー研究所）05.04.2018（2018-04-05） [0019]-[0175], 図1-21	1-6
A	CN 109493793 A（BOE TECHNOLOGY GROUP CO., LTD.）19.03.2019（2019-03-19） 全文全図	1-6
A	JP 2018-25777 A（株式会社半導体エネルギー研究所）15.02.2018（2018-02-15） 全文全図	1-6
A	JP 2014-194540 A（株式会社半導体エネルギー研究所）09.10.2014（2014-10-09） 全文全図	1-6

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日

14. 02. 2024

国際調査報告の発送日

27. 02. 2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

橋本 直明 2I 9707

電話番号 03-3581-1101 内線 3273

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/IB2023/062447

引用文献			公表日	パテントファミリー文献		公表日
WO	2022/118141	A1	09.06.2022	KR 10-2023-0112706	A	
				CN 116830183	A	
JP	2018-55097	A	05.04.2018	TW 201824227	A	
CN	109493793	A	19.03.2019	(ファミリーなし)		
JP	2018-25777	A	15.02.2018	US 2018/0040640	A1	
				全文全図		
				KR 10-2018-0015574	A	
JP	2014-194540	A	09.10.2014	US 2014/0240362	A1	
				全文全図		