



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

212467

(11)

(B1)

(22) Přihlášeno 13 12 78  
(21) (PV 8275-78)

(51) Int. Cl.<sup>3</sup>

H 03 K 5/15

(40) Zveřejněno 31 08 81

(45) Vydáno 15 06 84

(75)

Autor vynálezu

ZDRAŽIL ZDENĚK ing., PRAHA

(54) Zapojení pro kombinační logické funkce mezi dvěma logickými systémy

Vynález se týká oboru číslicových systémů.

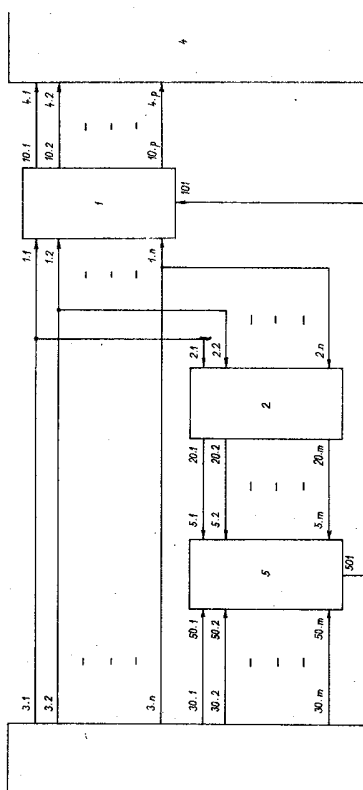
Dosud známá zapojení využívají pro sestavení kombinačních logických obvodů s větším počtem proměnných: diskrétních prvků, obvodů s nízkým stupněm integrace, programovatelných logických polí a mikroprocesorů.

Nevýhody stávajícího přístupu spočívají ve značné pracnosti, nákladnosti, malé spolehlivosti, velkém příkonu a rozměrech.

Podstata vynálezu spočívá v tom, že obsahuje dva paměťové bloky, vyznačené tím, že paměťové bloky mají stejný počet vstupů, přičemž vždy jeden vstup prvního paměťového bloku a jeden vstup druhého paměťového bloku jsou napojeny na jim příslušný třídící výstup řídicího logického systému, komparační výstupy řídicího logického systému jsou napojeny na komparační vstupy logického komparátoru, jehož paměťové vstupy jsou napojeny na výstupy druhého paměťového bloku, výstup logického komparátoru je napojen na hradlovací vstup prvního paměťového bloku, jehož výstupy jsou napojeny na vstupy řízeného logického systému.

Vynálezu je možno s výhodnou použít, zejména pro kombinační logické funkce s velkým počtem vstupních a výstupních proměnných, jejichž množiny vstupních stavů nejsou plně využity, tj. např. v systémech pro rozpoznávání obrazců.

212467



Vynález se týká zapojení pro kombinační logické funkce mezi dvěma logickými systémy, obsahující dva paměťové bloky, mající stejný počet vstupů.

Dosud známá zapojení využívají pro sestavení kombinačních logických obvodů s větším počtem proměnných: diskrétních prvků, obvodů s nízkou integrací, programovatelných logických polí a mikroprocesorů.

Nevýhody diskrétních prvků spočívají ve značné pracnosti, nákladnosti, malé spolehlivosti, velkém příkonu a rozměrech. V menší míře se vyskytují tyto nevýhody i u zapojení z hradel v obvodech nízké integrace. Zásadní rozpor však spočívá v nemožnosti použít stávající způsoby výstavby logické sítě pro obvody s vysokou integrací. U obvodů s nízkou integrací je úloha realizována vnějšími spoji mezi integrovanými obvody. Právě organizace propojení je podstatou problému u obvodů s vysokou integrací, které obsahují řádově 1 000krát více logických obvodů v jednom pouzdře, než jich je v obvodech nízké integrace. Při tak výrazném vzrůstu složitosti, jaký je v přechodu od nízké k vysoké integraci, a nemožnosti nalézt univerzální propojení, je nezbytné hledat jiné způsoby výstavby logických sítí. Dosud jediným výsledkem snah v této oblasti jsou programovatelná logická pole. Jsou to speciální integrované obvody středního až vysokého stupně integrace. Jejich nevýhodou je vysoká cena vyplývající ze speciálnosti, obtížná přizpůsobivost úloze z hlediska počtu vstupů, výstupů a termů funkce, jejímž důsledkem je malá hospodárnost. Proces jejich programování podle zadání úlohy je třeba dosud u většiny typů provádět při vlastní výrobě, což pro uživatele znamená zpravidla zdlouhavou spolupráci s výrobcem. Jinou možností je přepalování nežádoucích spojů laserem. V případě mikroprocesorů vyplývají nevýhody převážně z neadekvátnosti prostředků složitosti problematiky. Vlastní mikroprocesor je třeba doplnit podpůrnými obvody na mikropočítač a navíc řadou registrů, jejichž hodnoty jsou sekvenčně snímány a zpracovávány. Sekvenčnost se projeví v pomalosti odezvy, neboť je třeba řádově desítek instrukcí na rozpoznání vstupního slova o větším počtu proměnných, než s jakým mikroprocesor pracuje. Protože mikroprocesory jsou ještě složitějším logickým blokem než programovatelná logická pole, je zapotřebí dalších zařízení výpočetní techniky pro návrh, diagnostiku a údržbu. Celý cyklus od specifikace úlohy až po realizaci je proto značně zdlouhavý a nákladný.

Mnohé z těchto nevýhod odstraňuje zapojení pro kombinační logické funkce mezi dvěma logickými systémy, podle vynálezu jehož podstata spočívá v tom, že vždy jeden vstup prvního paměťového bloku a jeden vstup druhého paměťového bloku jsou napojeny na jím příslušný řídící výstup řídicího logického systému, komparační výstupy řídicího logického systému jsou napojeny na komparační vstupy logického komparátoru, jehož paměťové vstupy jsou napojeny na výstupy druhého paměťového bloku, výstup logického komparátoru je napojen na hradlovací vstup prvního paměťového bloku, jehož výstupy jsou napojeny na vstupy řídicího logického systému.

Výhody řešení podle vynálezu spočívají v jednoduchosti návrhu, neboť je možno se obejít bez použití boolovy algebry, v prakticky neomezeném počtu vstupů a výstupů, v nezávislosti na logické složitosti realizované funkce a prostřednictvím pamětí i ve volitelné funkční rychlosti celého zapojení. Řešení je založeno na kvantitativním přístupu k logické funkci, kdy podstatnými parametry zadání je počet vstupů, výstupů a počet výstupních slov, na rozdíl od klasického přístupu, v němž byla dominantní kvalita, to znamená složitost logické funkce. Z kvantitativního přístupu vyplývá výhoda univerzálnosti, spočívající nejen v přímé použitelnosti zapojení pro kombinační logické funkce stejné kvantitativní třídy, ale také ve snadné modifikovatelnosti pro jiné kvantitativní parametry. Právě přizpůsobivost zapojení podle zadanych parametrů je zdrojem značných úspor, neboť zapojení není redundantní. Význačným rysem zapojení je použití obvodů s vysokou integrací, které lze obtížně použít pro dosevaďní způsoby zapojování kombinačních logických sítí. Předložené zapojení, s orientací na základní element v oblasti číslicové techniky, jímž je paměť, se stává nezávislým na budoucím technologickém vývoji. Ve srovnání se speciálními prvky pro kombinační logické funkce jsou paměti levnější, neboť výroba speciálních prvků je zanedbatelně malá ve srovnání

s vyráběným počtem paměťových prvků. Ze značného rozšíření paměťových prvků vyplývá i jejich snadná dostupnost. Podstatnou výhodou předloženého zapojení je také možnost volby funkční rychlosti zapojení, použitím pamětí podle rychlostních nároků aplikace, což vede k dalším úsporám. Celkové zpoždění předloženého zapojení je dáno převážně vybavovací dobou použitého typu paměti, protože oba paměťové bloky pracují současně a zpoždění jednoduché logické komparace je zpravidla zanedbatelné. Paměti patří obecně k nejlevnějším obvodům v oblasti velkoplošné integrace, protože obsahují velký počet identických, symetricky rozložených paměťových buněk. Kromě nízkých nákladů vynikají tyto prvky velkou operační rychlostí a zvýšenou systémovou spolehlivostí. Práce s většími bloky zkrátí čas potřebný k vývoji zařízení a usnadní údržbu.

Příklad zapojení podle vynálezu je znázorněn na výkrese představujícím blokové schéma.

Na obrázku jsou dva paměťové bloky 1, 2; paměťové bloky 1, 2 mají stejný počet vstupů, přičemž vždy jeden vstup 1.1, 1.2 až 1.n prvního paměťového bloku 1 a jeden vstup 2.1, 2.2, až 2.n druhého paměťového bloku 2 jsou napojeny na jím příslušný třídící výstup 3.1, 3.2, až 3.n řídicího logického systému 3. Komparační výstupy 30.1, 30.2, až 30.m řídicího logického systému 3 jsou napojeny na komparační vstupy 50.1, 50.2, až 50.m logického komparátoru 2, jehož paměťové vstupy 5.1, 5.2, až 5.m jsou napojeny na výstupy 20.1, 20.2 až 20.m druhého paměťového bloku 2. Výstup 50.1 logického komparátoru 2 je napojen na hradlovací vstup 10.1 prvního paměťového bloku 1, jehož výstupy 10.1, 10.2 až 10.p jsou napojeny na vstupy 4.1, 4.2 až 4.p řízeného logického systému 4.

Zapojení podle vynálezu funguje tak, že definovaným slovům na výstupech 3.1, 3.2 až 3.n, 30.1, 30.2 až 30.m řídicího logického systému 3 jsou přiřazena, podle předpisu daného kombinační logickou funkcí, slova vstupující do řízeného logického systému 4. Z předpisu kombinační logické funkce mající  $n + m$  vstupů a  $p$  výstupů, jež spojuje oba logické systémy, je  $n$  třídících výstupů 3.1, 3.2, 3.n řídicího logického systému 3 takového charakteru, že rozliší každé z definovaných slov. Paměti se zaplní podle funkčního předpisu kombinační logické funkce tak, že podle stavů třídících výstupů 3.1, 3.2, 3.n, které vstupují do obou paměťových bloků 1 a 2, zavedeme na odpovídající místa v případě prvního paměťového bloku 1 předepsaná výstupní slova a v případě druhého paměťového bloku 2 zbývající části definovaných vstupních slov. Potom podle stavu třídících výstupů 3.1, 3.2 až 3.n řídicího logického systému 3 vyberou oba paměťové bloky 1 a 2 uložená slova. Druhý paměťový blok 2 obsahuje zbývající části definovaných slov, příslušející k třídícím výstupům 3.1, 3.2 až 3.n. V logickém komparátoru 2 je pak porovnávána zbývající část definovaného slova s odpovídajícími výstupy 30.1, 30.2, 30.m řídicího logického systému 3 a jedině při jejich shodě je uvolněn logickou úrovní z výstupu 50.1 logického komparátoru 2 první paměťový blok 1, který připojí předepsané výstupní slovo na výstupy 4.1, 4.2 až 4.p řízeného logického systému 4. Jestliže je počet definovaných slov takový, že nezaplní všechna místa příslušející počtu paměťových vstupů, pak na zbývající místa v prvním paměťovém bloku 1 se zavede smluvené výstupní slovo, které znamená, že okamžité výstupní slovo na výstupech 3.1, 3.2 až 3.n, 30.1, 30.2 až 30.m řídicího logického systému 3 není mezi definovanými slovy. Jestliže je nezbytné, aby na vstupech 4.1, 4.2 až 4.p řízeného logického systému 4 bylo smluvené výstupní slovo i při zahradlování prvním paměťovým bloku 1, použijí se k tomu například diskretní pasivní prvky.

Zapojení podle vynálezu je možno s výhodou použít, zejména pro kombinační logické funkce s velkým počtem vstupních a výstupních proměnných, jejichž množiny vstupních stavů nejsou plně využity a nemění se příliš často. Takové úlohy se vyskytují prakticky ve všech oborech číslicové techniky, především pak v řídicí technice. Výhodně se uplatní v realizaci sdružených částí algoritmů s využitím omezení, ať již explicitních, nebo implicitních. Mohou to být libovolné matematicko-logické operace s omezeným počtem výsledných hodnot, které lze v případě potřeby navíc modifikovat nelinearitou. Příkladem budiž násobička v regulátoru, kdy v dalším bloku jsou výsledky omezeny do úzkého rozmezí, nebo naopak když vstupní hodnoty nemohou nabývat libovolných hodnot. Další možnosti nabízí oblast mikropro-

cesorů, pro kterou mohou zapojení podle vynálezu pracovat jako koncentrátoři dat, které jednoznačně transformují vstupní slova o velkém počtu bitů na slova rozměrem vhodná pro přímé zpracování mikroprocesorem, popřípadě mohou vykonávat některé pro procesor zdlouhavé funkce. Jejich příkladem mohou být funkce s velkým rozsahem argumentu a malým počtem funkčních hodnot. Zapojení je též vhodné pro transformaci řídce obsazených matic s velkým počtem řádků a sloupců do vektoru složeného z nenulových hodnot matice. Příkladem použití zapojení v jiné oblasti jsou systémy pro rozpoznávání obrazců, v nichž je třeba z velkého množství možných vzorů snímací matice rozpoznat pouze určité útvary. Zavedením vhodných zpětných vazeb lze zapojení použít i pro sekvenční logické funkce.

#### PŘEDMĚT VYNÁLEZU

Zapojení pro kombinační logické funkce mezi dvěma logickými systémy obsahující dva paměťové bloky, mající stejný počet vstupů, vyznačené tím, že vždy jeden vstup (1.1, 1.2 až 1.n) prvního paměťového bloku (1) a jeden vstup (2.1, 2.2 až 2.n) druhého paměťového bloku (2) jsou napojeny na jim příslušný třídící výstup (3.1, 3.2 až 3.n) řídicího logického systému (3), komparační výstupy (30.1, 30.2 až 30.m) řídicího logického systému (3) jsou napojeny na komparační vstupy (50.1, 50.2 až 50.m) logického komparátoru (5), jehož paměťové vstupy (5.1, 5.2 až 5.m) jsou napojeny na výstupy (20.1, 20.2 až 20.m) druhého paměťového bloku (2), výstup (501) logického komparátoru (5) je napojen na hradlovací vstup (101) prvního paměťového bloku (1), jehož výstupy (10.1, 10.2 až 10.p) jsou napojeny na vstupy (4.1, 4.2 až 4.p) řízeného logického systému (4).

1 list výkresů

