



(12)发明专利

(10)授权公告号 CN 105027290 B

(45)授权公告日 2018.08.10

(21)申请号 201380073977.X

(22)申请日 2013.12.27

(65)同一申请的已公布的文献号
申请公布号 CN 105027290 A

(43)申请公布日 2015.11.04

(30)优先权数据
13/732,284 2012.12.31 US

(85)PCT国际申请进入国家阶段日
2015.08.27

(86)PCT国际申请的申请数据
PCT/US2013/078129 2013.12.27

(87)PCT国际申请的公布数据
W02014/106127 EN 2014.07.03

(73)专利权人 维西埃-硅化物公司
地址 美国加利福尼亚州

(72)发明人 纳维恩·蒂皮勒内尼
迪瓦·N·巴达纳亚克

(74)专利代理机构 北京市磐华律师事务所
11336
代理人 高伟 冯永贞

(51)Int.Cl.
H01L 29/78(2006.01)
H01L 21/336(2006.01)

(56)对比文件
US 2011/0298042 A1, 2011.12.08,
US 2002/0005549 A1, 2002.01.17,
CN 1605119 A, 2005.04.06,
US 7582519 B2, 2009.09.01,
审查员 梁庆然

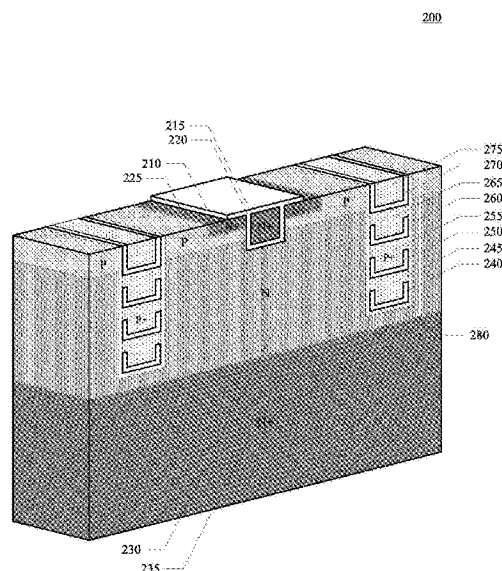
权利要求书5页 说明书14页 附图26页

(54)发明名称

自适应电荷平衡的MOSFET技术

(57)摘要

自适应电荷平衡的MOSFET器件包括场板堆叠、栅极结构、源极区、漏极区和体区。栅极结构包括被栅极绝缘体区包围的栅极区。场板堆叠包括多个场板绝缘体区、多个场板区和场环区。多个场板通过相应的场板绝缘体被彼此分开。体区被设置在栅极结构、源极区、漏极区和场环区之间。每两个或更多个场板被耦接到场环。



1. 一种用于自适应电荷补偿的装置,包括:
场板堆叠,包括:
多个场板绝缘体区;
多个场板区,其中,所述多个场板区被穿插在多个场板绝缘体区之间;以及
场环区,其中两个或多个场板区被耦接到所述场环区,以及选择所述多个场板绝缘体区中至少一个的厚度和所述多个场板区中至少一个与所述场环区之间的接触面积,以便当漏极电压比夹断电压大时所述多个场板区中的至少两个浮置到不同的电位;
栅极结构,包括被栅极绝缘体区包围的栅极区;
源极区;
漂移区;
体区,设置在所述栅极结构、所述源极区、所述漂移区和所述场环区之间。
2. 根据权利要求1所述的装置,其中,所述场环区包括多个部分,其中所述场环区的两个或多个部分各自耦接相应的场板区到所述体区的相邻的部分。
3. 根据权利要求1所述的装置,其中:
所述漂移区包括中度掺杂磷或砷的外延硅;
所述体区包括中度掺杂硼的硅;
所述源极区包括重掺杂磷或砷的硅;
所述栅极区包括重掺杂磷或砷的多晶硅;
所述多个场板区包括重掺杂硼的多晶硅;以及
所述场环区包括重掺杂硼的外延硅。
4. 根据权利要求1所述的装置,其中:
所述漂移区包括中度掺杂硼的外延硅;
所述体区包括中度掺杂磷或砷的硅;
所述源极区包括重掺杂硼的硅;
所述栅极区包括重掺杂硼的多晶硅;
所述多个场板区包括重掺杂磷或砷的多晶硅;以及
所述场环区包括重掺杂磷或砷的外延硅。
5. 根据权利要求1所述的装置,其中,所述场板堆叠的深度大于所述栅极结构的深度。
6. 一种用于制备自适应电荷补偿MOSFET器件的方法,包括:
形成中度掺杂第一类型掺杂剂的半导体层于重掺杂所述第一类型掺杂剂的半导体层上;
形成多个场板堆叠沟槽于轻掺杂所述第一类型掺杂剂的所述半导体层中;
在中度掺杂所述第一类型掺杂剂的所述半导体层中沿所述场板堆叠沟槽的侧壁形成重掺杂第二类型掺杂剂的半导体区;
在所述场板堆叠沟槽中形成第一介电层,其中所述介电层包括底部和两个侧部;
在所述场板堆叠沟槽中的所述第一介电层上形成重掺杂所述第二类型掺杂剂的第一半导体层,其中,所述第一半导体层的第一部分接触重掺杂所述第二类型掺杂剂的所述半导体区的第一部分,以及所述第一半导体层的第一部分设置于所述介电层的底部和两个侧部中;

在所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层上形成第二介电层；

在所述场板堆叠沟槽中的所述第二介电层上形成重掺杂所述第二类型掺杂剂的第二半导体层，其中，所述第二半导体层的部分接触重掺杂所述第二类型掺杂剂的所述半导体区的第二部分；

在轻掺杂所述第一类型掺杂剂的所述半导体层中形成多个栅极沟槽；

在所述栅极沟槽中形成介电层；

在所述栅极沟槽中的所述介电层上形成重掺杂所述第一类型掺杂剂的半导体层；

在中度掺杂所述第一类型掺杂剂的所述半导体层中、重掺杂所述第一类型掺杂剂的所述半导体层的对面、以及所述栅极沟槽中的所述介电层与沿着所述场板堆叠沟槽的侧壁重掺杂所述第二类型掺杂剂的所述半导体区之间形成中度掺杂所述第二类型掺杂剂的半导体区；以及

在中度掺杂所述第二类型掺杂剂的所述半导体区中、轻掺杂所述第一类型掺杂剂的所述半导体层的对面、邻近所述栅极沟槽中的所述介电层形成重掺杂所述第一类型掺杂剂的半导体区，然而通过中度掺杂所述第二类型掺杂剂的所述半导体区，将其和沿着所述场板堆叠沟槽的所述侧壁的重掺杂所述第二类型掺杂剂的所述半导体区分开。

7. 根据权利要求6所述的方法，进一步包括：

在所述场板堆叠沟槽中、重掺杂所述第二类型掺杂剂的所述半导体层上形成第三介电层；以及

在所述场板堆叠沟槽中的所述第三介电层上形成重掺杂所述第二类型掺杂剂的第三半导体层，其中，所述第三半导体层的部分接触重掺杂所述第二类型掺杂剂的所述半导体区的第三部分。

8. 根据权利要求7所述的方法，进一步包括：

在所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第三半导体层上形成第四介电层；以及

在所述场板堆叠沟槽中的所述第四介电层上形成重掺杂所述第二类型掺杂剂的第四半导体层。

9. 根据权利要求6所述的方法，其中，在所述场板堆叠沟槽中形成所述第一介电层和所述第一半导体层包括：

在所述场板堆叠沟槽中生长第一介电层；

在所述场板堆叠沟槽中沉积重掺杂所述第二类型掺杂剂的所述第一半导体层的部分；

回蚀刻所述场板堆叠沟槽中重掺杂所述第二类型掺杂剂的所述第一半导体层的所述部分至第一预定厚度；

回蚀刻所述场板堆叠沟槽中的所述第一介电层至所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层的所述部分的所述第一预定厚度；

在所述场板堆叠沟槽中沉积重掺杂所述第二类型掺杂剂的所述第一半导体层的另外部分；以及

回蚀刻所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层的所述另外部分至第二预定厚度，其中，所述第二预定厚度的重掺杂所述第二类型掺杂剂的所

述第一半导体层的所述另外部分接触重掺杂所述第二类型掺杂剂的所述半导体区的所述第一部分。

10. 根据权利要求6所述的方法, 其中, 在轻掺杂所述第一类型掺杂剂的所述半导体层中、沿着所述场板堆叠沟槽的侧壁形成重掺杂所述第二类型掺杂剂的所述半导体区, 包括沿着所述场板堆叠沟槽的侧壁, 倾斜注入所述第二类型掺杂剂到轻掺杂所述第一类型掺杂剂的所述半导体层中。

11. 根据权利要求6所述的方法, 其中, 在轻掺杂所述第一类型掺杂剂的所述半导体层中沿着所述场板堆叠沟槽的侧壁形成重掺杂所述第二类型掺杂剂的所述半导体区, 进一步包括:

在轻掺杂所述第一类型掺杂剂的所述半导体层中、沿着所述场板堆叠沟槽的侧壁、邻近所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层的所述部分形成重掺杂所述第二类型掺杂剂的第一半导体区; 以及

在中度掺杂所述第二类型掺杂剂的所述半导体区中、沿着所述场板堆叠沟槽的侧壁、邻近所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第二半导体层的所述部分形成重掺杂所述第二类型掺杂剂的第二半导体区。

12. 根据权利要求11所述的方法, 其中, 在轻掺杂所述第一类型掺杂剂的所述半导体层中、沿着所述场板堆叠沟槽的侧壁形成重掺杂所述第一类型掺杂剂的所述第一半导体区, 以及在中度掺杂所述第二类型掺杂剂的所述半导体区中、沿着所述场板堆叠沟槽的侧壁形成重掺杂所述第二类型掺杂剂的第二半导体区, 包括:

从所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层中和所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第二半导体层中向外扩散所述第二类型掺杂剂。

13. 一种用于自适应电荷补偿的装置, 包括:

漏极区;

漂移区, 设置在所述漏极区之上;

多个体区, 设置在所述漂移区之上、与所述漏极区相对;

多个源极区, 设置在所述多个体区之上、与所述漂移区相对;

多个栅极结构, 其中每个栅极结构包括:

多个基本平行细长的栅极区, 所述栅极区延伸穿过所述多个源极区和所述多个体区并部分地延伸进所述漂移区中; 以及

多个栅极绝缘体区, 均设置在所述多个栅极区中的相应一个和所述多个源极区之间、所述多个体区和所述漂移区之间; 以及

多个场板结构, 其中, 每个场板结构设置为穿过所述体区并延伸进所述漂移区中, 其中每个栅极结构被设置在场板结构组之间, 并且其中每个场板结构包括:

多个场板绝缘体区;

多个场板区, 其中所述多个场板区被穿插在所述多个场板绝缘体区之间; 以及

设置在所述多个场板区与邻近的漂移区之间的场环区, 并且其中一组场板的一些区域中通过所述多个场板绝缘体区从所述场环区横向分离, 以及所述一组场板的其它区域被耦接到所述场环区;

其中所述多个栅极结构邻接所述多个源极区、所述多个体区以及所述漂移区。

14. 根据权利要求13所述的装置, 其中:

所述漏极区包括重n型掺杂的半导体;

所述漂移区包括中度n型掺杂的半导体;

所述多个体区包括中度p型掺杂的半导体;

所述多个源极区包括重n型掺杂的半导体;

所述多个场板区包括重p型掺杂的半导体; 以及

所述多个场环区包括重p型掺杂的半导体。

15. 根据权利要求13所述的装置, 其中:

所述漏极区包括重p型掺杂的半导体;

所述漂移区包括中度p型掺杂的半导体;

所述多个体区包括中度n型掺杂的半导体;

所述多个源极区包括重p型掺杂的半导体;

所述多个场板区包括重n型掺杂的半导体; 以及

所述多个场环区包括重n型掺杂的半导体。

16. 根据权利要求13所述的装置, 其中, 所述多个场环区中的每一个均包括多个部分, 其中所述场环区的两个或多个部分被耦接到相应的场板区。

17. 根据权利要求13所述的装置, 进一步包括: 源极/体/场板接触, 设置在所述源极区、所述体区和所述多个场板区中的一个之上。

18. 根据权利要求13所述的装置, 其中, 所述多个场板区与所述漂移区肖特基接触, 相比于欧姆接触提高了所述装置的击穿电压。

19. 一种金属氧化物半导体场效应晶体管, 包括:

场板堆叠, 包括:

多个场板绝缘体区;

多个场板区, 所述多个场板区包括重掺杂硼、磷或砷的多晶硅, 其中所述多个场板区被穿插在所述多个场板绝缘体之间; 以及

场环区, 所述场环区包括重掺杂硼、磷或砷的外延硅, 其中两个或更多个场板的每一个被耦接到所述场环区, 其中, 选择所述场板绝缘体区的厚度和所述场板区与所述场环区之间的接触面积, 以便当漏极电压比夹断电压大时每个场板区浮置到不同的电位;

栅极结构, 包括被栅极绝缘体区包围的栅极区, 所述栅极区包括重掺杂磷、砷或硼的多晶硅;

源极区, 所述源极区包括重掺杂磷、砷或硼的硅;

漂移区, 所述漂移区包括中度掺杂磷、砷或硼的外延硅;

体区, 设置在所述栅极结构、所述源极区、所述漂移区和所述场环区之间, 所述体区包括中度掺杂硼、磷或砷的硅。

20. 根据权利要求19所述的金属氧化物半导体场效应晶体管, 其中, 所述场环区包括多个部分, 其中所述场环区的两个或多个部分各自耦接相应的场板区到所述体区的邻近部分。

21. 根据权利要求19所述的金属氧化物半导体场效应晶体管, 其中:

所述漂移区包括中度掺杂磷或砷的外延硅；

所述体区包括中度掺杂硼的硅；

所述源极区包括重掺杂磷或砷的硅；

所述栅极区包括重掺杂磷或砷的多晶硅；

所述多个场板区包括重掺杂硼的多晶硅；以及

所述场环区包括重掺杂硼的外延硅。

22. 根据权利要求19所述的金属氧化物半导体场效应晶体管，其中：

所述漂移区包括中度掺杂硼的外延硅；

所述体区包括中度掺杂磷或砷的硅；

所述源极区包括重掺杂硼的硅；

所述栅极区包括重掺杂硼的多晶硅；

所述多个场板区包括重掺杂磷或砷的多晶硅；以及

所述场环区包括重掺杂磷或砷的外延硅。

23. 根据权利要求19所述的金属氧化物半导体场效应晶体管，其中，所述场板堆叠的深度大于所述栅极结构的深度。

自适应电荷平衡的MOSFET技术

[0001] 相关申请的交叉引用

[0002] 本申请与2012年12月31日提交的、序列号为13/732,284的美国专利申请相关并要求其优先权,该美国申请通过引用完全的并入本文。

背景技术

[0003] 大多数电子电路的重要电路元件是晶体管。有许多的晶体管族,例如双极结型晶体管和场效应晶体管。一个重要的晶体管族是金属氧化物半导体场效应晶体管(MOSFET)。有的MOSFETs供微弱信号应用使用以及其他被设计用于功率应用。普通的功率MOSFET是垂直的或沟槽式MOSFET。参考图1,示出了根据现有技术的基本的沟槽式MOSFET。所示出的沟槽式MOSFET 100的结构通常被称为条形单元MOSFET。条形沟槽式MOSFET 100包括源极接触(未示出),多个源极区110,多个栅极区115,多个栅极绝缘体区120,多个体区125,漂移区130,漏极区135,以及漏极接触(未示出)。

[0004] 体区125被设置在漂移区130之上与漏极区135相对。源极区110、栅极区115和栅极绝缘体区120被设置在体区125内。栅极区115和栅极绝缘体区120形成为大体上平行细长的结构。每个栅极绝缘体区120围绕相应的栅极区115,将栅极区115自其周围的区域110、125、130电性地隔离。栅极区115被耦接,以形成器件100的公共栅极。源极区110形成为沿栅极绝缘体区120的周围大体上平行细长的结构。通过源极接触将源极区110耦接在一起,以形成器件100的公共源极。源极接触也耦接源极区110到体区125。

[0005] 源极区110和漏极区135为重掺杂n型(N+)半导体,例如掺杂磷或砷的硅。漂移区130是轻掺杂n型(N-)半导体,例如掺杂磷或砷的硅。体区125是P型掺杂半导体,例如掺杂硼的硅。栅极区115是重掺杂n型(N+)半导体,例如掺杂磷的多晶硅。栅极绝缘体区120可以是介电层,例如二氧化硅。

[0006] 当栅极区115相对于源极区110的电位提高到器件100的阈值电压之上时,则沿栅极绝缘体区120的周边的体区125中产生导电沟道。条形沟槽式MOSFET 100随后将在漏极区135和源极区110之间传导电流,因此,器件100处于导通状态(On-state)。

[0007] 当栅极区115的电位降低到阈值电压以下时,沟道不再产生。因此,被施加在漏极区135和源极区110之间的电位差将不会引起电流在其之间流过。因此,器件100处于关闭状态(OFF-state),并且通过体区125和漏极区135形成的结供应施加在源极和漏极两端的电压。

[0008] 条形沟槽式MOSFET 100的沟道宽度是多个源极区110的宽度的函数。因此,条形沟槽式MOSFET 100提供大的沟道宽度与长度比。因此,条形沟槽式MOSFET 100可以被用于功率MOSFET有利于地应用,如脉冲宽度调制(PWM)电压调节器中的开关元件。

[0009] 现有技术中,有许多改进的MOSFET被制作以提升器件的性能。例如,沟槽式MOSFET可被修改成包括超结、具有厚氧化物的源极区、结合厚的栅-漏氧化物降低导体路径的漏极,和类似物。

[0010] 超结MOSFET可以实现低于硅的对于给定的半无限平面结击穿电压限制的导通状

态电阻值。替代的p-n区域的存在允许根据p-n区域的宽度增加漂移区的掺杂。可以通过减少p和n区的宽度以维持低的横向电场的需求来维持击穿电压,增加漂移区的掺杂。然而,由于内置的耗尽区的存在,横向p-n结区域限制可实现的导电的漂移区的宽度。这使得超结MOSFET器件不太有利于低电压功率MOSFETs(例如,30V或更少),其外延掺杂增量更多,需要看见主要组成沟道电阻的总的导通状态电阻减小。对于高电压功率MOSFETs(例如,150V或者更高),多个外延或沟槽填充技术被用于制备可替代的p-n区,使实现更深p-n结区的窄的n区宽度更加艰难而且成本昂贵。

[0011] 在相对低的电压(例如,150V或者更低)处,为了克服与使用垂直pn结复出区域(resurface region)相关联的问题,并且能够降低导通电阻使其低于硅的限制,采用使用栅极或者源极被连接到n外延区的屏蔽结构周围来实现额外的n掺杂的横向耗尽。然而,基于这样的屏蔽技术的器件在栅极或源极屏蔽结构和硅之间需要更厚的氧化物层(例如,0.5 μm 或更多),以达到更高的击穿电压(例如,150V或以上)。沟槽中较薄的氧化物的技术挑战性是利用这种屏蔽技术的显著障碍,其被需要以实现高的击穿电压。此外,屏蔽技术示出低导通状态(on-state)电阻不可避免地增加了器件的电容,因而需要充电来打开和关闭晶体管进而导致增加开关损耗。栅极-至-漏极厚氧化技术经历类似的缺点。其结果是,屏蔽技术的MOSFET被限制为相对低的开关频率(例如,1MHz或更小)。因此,希望具有一种器件结构,即超越超结、屏蔽结构以及栅极-至-漏极厚氧化物晶体管的改进,其实现低导通状态电阻与器件电容的最小增加,以及相对高的击穿电压,即使在结构之间使用较薄的氧化层时。

发明内容

[0012] 通过参考用于阐述本技术的针对自适应电荷补偿MOSFET器件和制备方法的实施例的下述的描述和附图,可以最好地理解本技术。

[0013] 在一个实施例中,自适应电荷补偿的MOSFET器件包括设置于漏极区上的漂移区。设置于所述漂移区上的、与所述漏极区相对的多个体区。设置于所述多个体区上的、与所述漂移区相对的多个源极区,并且其邻近多个栅极结构。多个场板结构中的每个设置于一组体区之间并部分地延伸进入所述漂移区。每个场板结构包括多个场板绝缘体区、多个场板区以及场环区。所述多个场板穿插在所述多个场板绝缘体之间。所述场环区设置于所述多个场板区和相邻组的体区之间,使得第一场板通过源极/体/场板接触连接到所述多个体区和所述多个源极区之间。每个其他场板通过场板绝缘体之间的间隙连接到所述场环。多个栅极结构的每个设置于场板堆叠组之间。每个栅极结构包括多个基本平行的细长的栅极区和多个栅极绝缘体区。所述多个基本平行的细长的栅极区延伸穿过所述多个源极区和体区并部分地进入所述漂移区。所述多个栅极绝缘体区设置于所述多个栅极区的相应的一个和所述多个源极区、所述多个体区以及所述漂移区之间。

[0014] 在另一个实施例中,制备自适应电荷补偿MOSFET器件的方法包括形成轻掺杂第一类型掺杂剂的半导体层于重掺杂第一类型掺杂剂的半导体层上。多个场板堆叠沟槽形成于所述轻掺杂第一类型掺杂剂的半导体层中。通过在所述轻掺杂第一类型掺杂剂的半导体层中形成沿着所述场板堆叠沟槽的侧壁的重掺杂第二类型掺杂剂的半导体区来制备场环。通过在所述场板堆叠沟槽中形成第一介电层来制备第一场板绝缘体。通过在所述场板堆叠沟槽中的所述第一场板绝缘体上形成重掺杂第二类型掺杂剂的第一半导体层来制备第一场

板,其中所述第一场板的部分连接所述场环的第一部分。通过在所述场板堆叠沟槽中的所述第一场板上形成第二介电层来制备第二场板绝缘体。通过在所述场板堆叠沟槽中的所述第二场板绝缘体上形成重掺杂所述第二类型掺杂剂的第二半导体层,来制备第二场板,其中所述第二场板的部分连接所述场环的第二部分。然后,在所述轻掺杂第一类型掺杂剂的半导体层上形成多个栅极沟槽。通过在所述栅极沟槽中形成介电层来制备栅极绝缘层。通过在所述栅极沟槽中的所述栅极绝缘层上形成重掺杂第一类型掺杂剂的半导体层来制备栅极。通过在与所述重掺杂所述第一类型掺杂剂的半导体层相对以及在所述栅极绝缘层和所述场环之间的所述轻掺杂所述第一类型掺杂剂的半导体层中形成中度掺杂所述第二类型掺杂剂的半导体层来制备体区。可以理解的是,所述轻掺杂第一类型掺杂剂的所述半导体层的剩余部分形成所述漂移区,并且所述重掺杂第一类型掺杂剂的所述半导体层形成漏极区。通过在体区中形成重掺杂所述第一类型掺杂剂的半导体区,以制备源极区,该源极区与所述漂移区相对且邻近所述栅极绝缘层,然而,通过所述体区将源极区与所述场环分开。

[0015] 附图简要说明

[0016] 在附图的图中,本发明的各个实施例通过举例的方式而非通过限制的方式进行说明,并且在附图中相同的参考标号表示相同的元件,其中:

[0017] 图1示出根据常规技术的基本沟槽式MOSFET的横截面透视图;

[0018] 图2A示出根据本技术一个实施例的自适应电荷平衡的MOSFET的横截面透视图;

[0019] 图2B示出根据本技术一个实施例的、在图2A中的场板结构的扩展视图;

[0020] 图3示出根据本技术一个实施例的、半单元结构和掺杂分布的示例性自适应电荷平衡的MOSFET器件的模拟曲线;

[0021] 图4示出100V下示例性自适应电荷平衡的MOSFET器件的模拟电位等高线图;

[0022] 图5示出击穿下示例性自适应电荷平衡的MOSFET器件的模拟电位等高线图;

[0023] 图6示出根据本技术的实施例中、示例性自适应电荷平衡的MOSFET器件的模拟IV曲线;

[0024] 图7示出用于常规的屏蔽器件的电场等高线的模拟图;

[0025] 图8A和8B示出具有场板的自适应电荷平衡的MOSFET与传统的超结器件的击穿IV的模拟比较图;

[0026] 图9A-9E示出根据本技术的一个实施例的、自适应电荷平衡的MOSFET的制备方法的流程图;

[0027] 图10A-10M示出根据本技术的一个实施例的、在自适应电荷平衡的MOSFET的制备过程中的不同阶段的方框图;

[0028] 图11示出根据本技术的另一实施例的、自适应电荷平衡MOSFET的横截面透视图。

具体实施方式

[0029] 现在将详细地参考本发明的各个实施例,其示例在附图中示出。虽然本发明将结合各种实施例来说明,可以理解,这些各种实施例并非试图将本发明限制于这些实施例。与此相反,本发明旨在覆盖替换,修改和等同,其可以包括根据权利要求解释的本发明的范围内。此外,在本发明的以下详细描述中,阐述了许多具体细节,以便彻底理解本发明。然而,本发明可以在没有这些具体细节的情况下实施。在其他的实施方案中,公知的方法、过程、

部件和电路未被详细描述,以免不必要地混淆本发明的各方面。

[0030] 在本发明中,反意连接词的使用意在包括连接词。明确或不明确冠词的使用不是为了表明基数。尤其是,提及“该/所述”对象或者“一个”对象预期还表示可能的多个这样的对象中的一个。还应该理解的是,在此使用的语法和术语的目的仅在于描述而不作为限制。

[0031] 可以理解,在附图中所示的结构并未按比例绘制。附图是用于说明本发明的实施方案的目的。可以理解,该结构可以具有不同的尺寸,同时绝对和相对的,具有规则或不规则的边缘,边界和/或类似特性,特征,特性和/或参数。

[0032] 现在参考图2A,示出根据本技术的一个实施例的自适应电荷平衡的金属氧化物半导体场效应晶体管(MOSFET)的横截面透视图;该MOSFET包括多个源极区210、多个栅极区215、多个栅极绝缘体区220、多个体区225、漂移区230、漏极区235、多个场板堆叠240-280。该MOSFET还包括一个或多个其他结构例如栅极接触、源极/体/场板接触、漏极接触、封装层等等,其未在该图中示出,以更好地说明本发明的实施例。

[0033] 源极区210、栅极区215、栅极绝缘体区220、体区225和场板堆叠240-280设置在漂移区230上、与漏极区235相对。栅极区215以及栅极绝缘体区220形成为大致平行的细长结构。每个栅极绝缘体区220包围一个对应的栅极区215,将栅极区215与其周围的源极210、体区225和漂移区230电隔离。栅极区215相互连接(未示出)并形成多个条形单元。每个栅极区215和其周边栅极绝缘体区220的组合,在此之后统称为栅极结构。栅极结构215、220延伸穿过体区225并可能部分地进入到所述漂移区230。场板堆叠240-280形成为基本平行的细长结构,设置在栅极结构215、220之间。场板堆叠240-280设置为穿过体区225并部分地延伸进入漂移区,其比栅极结构215、220更深。以下文中提到的每组场板堆叠240-280之间的区域210-225称为堆叠间台面区(inter-stack mesa region)。源极区220沿着栅极绝缘层区域220的周边形成,并且通过体区225从场板堆叠240-280中分离。体区225也沿栅极绝缘体区220的周边将源极区210从漂移区230分开。部分体区225将源极区210从漂移区230分离形成器件的源极-漏极沟道。

[0034] 每个场板堆叠240-280包括多个场板区245、255、265、275,由多个场板绝缘体区240、250、260、270使其彼此分开。该组的场板区245、255、265、275和场板绝缘体区240、250、260、270被一个或多个场环280包围。在每个场板堆叠中,一些区域中的所述场板区245、255、265、275通过场板绝缘体区240、250、260、270从场环280横向分离,并在其他区域中被连接到场环280。然而,每个场板区245、255、265、275作欧姆接触到场环280,或多个场环的单独的一个,其中,所述场板区245、255、265、275连接一个或多个场环280。如果场板区245、255、265、275和场板绝缘体区240、250、260、270的组被单一场环280包围,如图所示,则场环280设置于场板245、255、265、275和周边体区225以及漂移区230之间。如果场板区245、255、265、275和场板绝缘体区240、250、260、270的组被多个场环280包围,则每个场环280设置于相应的场板245、255、265、275和周边体区240、250、260、270以及漂移区230之间。

[0035] 现在参考图2B,示出根据本技术一个实施例的、在图2A中的场板结构的扩展视图。此外,每个场板堆叠240-280包括多个场板区245、255、265、275,由多个场板绝缘体区240、250、260、270使其彼此分开。该组的场板区245、255、265、275和场板绝缘体区240、250、260、270被场环280包围。在每个场板堆叠中,一些区域中的所述场板区245、255、265、275通过场板绝缘体区240、250、260、270从场环280横向分离,并在其他区域中被连接到场环280。

可以理解的是,尽管示出的顶部场板区275被相应的场板绝缘体区270包围,顶部场板区275可选择的连接场环280,因为在一些实施例中相应的场板绝缘体区270并未延伸到顶部表面。在一示例性实施例中,顶部场板和场板绝缘体区可以延伸穿过体区225进入漂移区230,超过栅极结构215,220的深度。场板绝缘体区240、250、260、270的厚度(如图中所示垂直地)可以选择为以实现通过漂移区230的基本相等的电场电位降(electric field potential steps down)。场板区245、255、265、275,场板绝缘体区240、250、260、270,它们之间存在的间隙,和/或类似物的一个或多个其他的尺寸可同样可以被改变以实现一个或更多具体设计标准。再次,可以理解的是,在图2A和2B中所示的结构并未按比例绘制。

[0036] 在一个实施例中,如图2A所示,场板区245、255、265、275可以是p型掺杂的(P)半导体,例如硼掺杂的多晶硅。每个堆叠中的一个或多个场环可以是p型掺杂的(P)半导体,如硼掺杂的硅。场板绝缘体区240、250、260、270可以是介电层,例如二氧化硅。源极区210和漏极区235可是重度n型掺杂的(+N)半导体,诸如磷或砷掺杂的硅。体区225可以是p型掺杂的(P)半导体,例如硼掺杂的硅。场环280和场板区245、255、265、275具有比体区225更重的掺杂。栅极区220可以是重度n型掺杂的半导体(N+),例如磷或砷掺杂的多晶硅。栅极绝缘体区220可以是介电层,如二氧化硅。漂移区235可为轻度n型掺杂(N-)的半导体,诸如磷或砷掺杂的硅。

[0037] 在另一个实施例中,场板区可以是n型掺杂的半导体,例如磷或砷掺杂的多晶硅。每个堆叠中的一个或多个场环可以是n型掺杂的(N)半导体,如磷或砷掺杂的硅。场板绝缘体区可以是介电层,例如二氧化硅。源极区和漏极区可是重度p型掺杂的(+P)半导体,诸如硼掺杂的硅。体区可以是n掺杂的(N)半导体,例如磷或砷掺杂的硅。场环和场板区具有比体区更重的掺杂。栅极区可以是重度p型掺杂的半导体(P+),例如硼掺杂的多晶硅。栅极绝缘体区可以是介电层,如二氧化硅。漂移区可以为轻度p型掺杂(P-)的半导体,诸如硼掺杂的硅。

[0038] 器件的击穿电压取决于堆叠中的场板240、250、260、270数量和场板堆叠的深度。击穿电压还取决于场板堆叠间的台面宽度 W_{mesa} ,源极、体区和漂移区210、225、230的掺杂分布,以及半导体的自身材质(例如,硅、砷化镓)。对于n型掺杂的漂移区230的情况,薄的更重掺杂的p型场环区280连接中度p型掺杂的体区225。选择p型掺杂的场环区280的掺杂浓度,以便当实施的漏极电压相比体区-漂移区的击穿电压足够低时,能够耗尽自由电荷载流子。p型场环280适用于实现平稳的梯度、更好地线性增加、沿它的深度从源极210到漂移区230的电位开始从低漏极-至-场板堆电压的底部。

[0039] 考虑到场板绝缘体区240、250、260、270的厚度 $T_{\text{insulator}}$,从场环280和体区225横向分开的场板区245、255、265、275的厚度 W_{FP} 被选择,以为了MOSFET器件的给定的击穿电压在体区225中实现基本小的电场峰值。当维持相对低地器件导通电阻 $R_{\text{DS-on}}$ 和体区225中低的电场时,场板绝缘体区240、250、260、270的厚度 $T_{\text{insulator}}$ 还支配场板245、255、265、275的数量,以实现器件的给定击穿电压。场板区245、255、265、275与体区225欧姆接触或通过场环280与漂移区230肖特基接触,该场板区245、255、265、275的厚度 $T_{\text{fp-c}}$ 被选择,以便接触面积对于场板区245、255、265、275是足够的,以在该接触面积下能够漂浮到体区225的电位电平。此外,应该理解的是,通过源极/体/场板接触(未示出),源极区210的电位耦接到体区225、顶部场板275和场环280。

[0040] 在关闭状态(Off-state),当漏极电压增加到超过夹断电压(pinch-off voltage)时,该夹断电压需要耗尽靠近栅极结构215、220的体区225的源极-漏极沟道,穿过耗尽区的长度的电位降从沟道的源极侧到漏极侧增大。根据沿着沟道的电位降分布,在场板堆叠中的相邻场板区245、255、265、275浮置到不同的电位,该不同的电位取决于它们相对于所述源极210和漏极区235的位置。

[0041] 现在参考图3,示出根据本技术一个实施例的、半单元结构和掺杂分布的示例性自适应电荷平衡的MOSFET器件。现在参考图4和图5分别示出在100V和击穿电压下示例性自适应电荷平衡的MOSFET器件的电位等高线图。耦接到源极/体/场板接触的第一场板处于源极和体区的电位。随后的场板区浮置到递增地更高的电位,这样最接近漏极区的场板区浮置到最高电位。当场板区浮置到比体区中电位小的电位时,它们开始耗尽体区。在源极电位的第一场板区耗尽体区中的电荷,并且当耗尽区到达第二场板区时,第二场板区浮置到比常规的不具有场板堆叠的MOSFET的未耗尽的体区的电位(例如,漏极电位)更小的电压。然而第二场板的更小的电位有助于耗尽体区到一个点,在该点耗尽区到达下一场板,其依次浮置到比不具有场板堆叠的常规MOSFET的漏极电位更小的电压。持续进行耗尽延伸和场板浮置到连续增加的电位的过程,直到整个体区被耗尽。一旦整个体区被耗尽,电位的进一步增加不一定增加耗尽区,更进一步导致高电场和结构的击穿。

[0042] 可以理解的是,当场板浮置到与体区的电位接近的电压时,对于薄绝缘体,分离场板和体区的场板绝缘体区内的电场更小。相比之下,在常规的隔离栅极或源极器件中,需要厚绝缘体以在和场板堆叠相同的区域中实现小的电场,由于屏蔽板是在栅极或源极电位处,因此处于一个更大的电位差。换言之,由于在常规器件中的屏蔽和本实施例的场板之间大的电位差,随着常规器件栅极结构之间的台面深度的增加,需要更厚的绝缘体以实现更高的击穿电压。然而,在本技术的实施例中,当场板和台面区之间的电位差较小时,如上所述,更高的击穿电压可以通过更薄的绝缘区和更深的台面区来实现。还应该理解的是,相比于常规的屏蔽器件,由于场板和体区之间更小的电位差,因此对于具有场板结构的器件其充电或电容更小。

[0043] 现在参考图6,示出根据本技术的实施例中、示例性自适应电荷平衡的MOSFET器件的IV曲线。如图所示,对于给定绝缘体厚度、沟槽深度和体区的掺杂分布,使用场板堆叠获得的击穿电压相对大。现在参考图7,常规屏蔽器件的电场等高线表明,由于薄的氧化层厚度,该击穿发生在靠近沟槽底部。可以理解,低击穿电压也是在氧化物-硅界面处形成的空穴反转层的结果。反相电压是氧化层厚度和栅极结构之间的台面的掺杂分布的函数。在本发明实施例中,薄的p型掺杂体区与多个场板沿着从源极到漏极的沟道浮置到更高的电位,有助于避免反转层的形成,从而导致更高的击穿电压。

[0044] 然而,应注意避免场板区旁边的台面上的n型漂移区的反转。在场板旁边的台面区的漂移区中反型层形成的情况下,器件的击穿电压将小于具有连续薄p型场环的器件的击穿电压。此外,可以改变在连续的薄p型场环中的电荷,以调整超结二极管对于场板结构的整体击穿电压增强的贡献,从而根据本技术的实施例提供了一种方法来调整器件中的电场。

[0045] 场板区应该做欧姆接触到p型场环和体区。在场板被耦接到台面中的漂移区的情况下,场板应做肖特基接触,以便能够调整该器件使其具有高的击穿电压,即使台面具有高

掺杂分布。

[0046] 现在参考图7,示出用于常规超结器件的电场等高线,对于具有类似于图6所示的自适应电荷平衡MOSFET器件的沟槽深度和氧化物厚度的器件。现在参考图8A和图8B,定性比较常规的超结器件和具有场板的自适应电荷平衡MOSFET的击穿IV。

[0047] 现在参考图9A-9E,示出根据本发明的一个实施例的、自适应电荷平衡的MOSFET的制备方法。将参考图10A-10M对制备方法进一步解释,图10A-10M示出在自适应电荷平衡的MOSFET的制备期间的不同阶段。再次,应该理解,图10A-10M示出的结构未按比例绘制。

[0048] 该制备工艺开始于302处,具有在半导体晶圆上的进行的各种初始工艺,例如清洗,沉积,掺杂,蚀刻和/或类似工艺。该晶圆可以是掺杂有第一浓度的第一类型掺杂剂的第一衬底半导体层402。在一个实施例中,该第一衬底半导体层可以是重掺杂磷(N⁺)的硅。

[0049] 在304处,在第一衬底半导体层402上形成掺杂有第二浓度的第二类型掺杂剂的第二衬底半导体层404。在一个实施例中,第二衬底半导体层可以被外延沉积在第一衬底半导体层上。外延沉积的硅可以通过向反应室内引入所需的杂质(例如磷或砷)来进行掺杂。在一个实施例中,外延沉积的第二衬底半导体层可以是轻掺杂磷(N⁻)的硅。

[0050] 在306处,在掺杂的第二衬底半导体层404上沉积硬掩膜层406。在一个实施例中,硬掩膜层406可以是氮化硅或类似物。在308处,在硬掩膜层406上形成场板沟槽掩膜408。通过沉积光阻并利用任何熟知的光刻工艺图案化该光阻可以形成场板沟槽掩模408。在一个实施例中,场板掩膜408具有多个纵向平行的开口(例如,条形)。

[0051] 在310处,刻蚀通过场板沟槽掩膜408暴露的硬掩膜406的部分和第二衬底半导体层404的部分。可以由一个或多个熟知的各向同性蚀刻方法刻蚀硬掩膜408和第二衬底半导体层404。形成多个场板堆叠沟槽410,其具有设置在沟槽410间的场板间台面。在一个实施例中,场板堆叠沟槽410具有大约D的深度、大约W的宽度,并且彼此间隔相距约S。在312处,利用合适的抗蚀剂剥离或抗蚀剂灰化工艺去除场板堆叠沟槽掩模408。

[0052] 现在参考图10B,在314处,在第二衬底半导体层404a中沿着多个场板沟槽410形成场环414。场环414掺杂有第三浓度的第二类型掺杂剂,在一个实施例中,利用任何公知的离子注入工艺倾斜注入第二类型掺杂剂,以形成沿着场板堆叠沟槽410的侧壁和底部的场板环414。硬掩膜406阻止离子注入进场板堆叠沟槽410间的台面的其余部分中。在一个实施例中,沿着场板堆叠沟槽410的侧壁和底部进行硼离子注入,以形成具有近似 W_{ring} 的宽度的场环414。

[0053] 现在参考图9B和10C,在316处,在多个场板堆叠沟槽中形成第一场板介电层416。可以通过氧化沿着多个场板堆叠沟槽410的侧壁和底部的第二衬底半导体层404形成介电层。在一个实施例中,介电层418可以是具有厚度 $T_{insulator}$ 的氧化硅。在318处,在多个场板堆叠沟槽410中的第一场板介电层416上形成第一场板半导体层418。第一场板半导体层418掺杂有第四浓度的第二类型掺杂剂。在一个实施例中,可以通过共形沉积硼掺杂的多晶硅形成第一场板半导体层418。

[0054] 现在参考图10D,在320处,回蚀刻第一场板半导体层418进入到多个场板堆叠沟槽410中,以形成场板420的第一部分。场板420的第一部分具有厚度 T_{fp-nc} 。可通过任何熟知的选择性蚀刻工艺回蚀刻第一场板半导体层418。

[0055] 现在参考图10E,在322处,回蚀刻第一场板介电层416进入多个场板堆叠沟槽410,

以形成第一场板绝缘体422。可以通过任何熟知的选择性蚀刻工艺回蚀刻第一场板介电层416。

[0056] 现在参考图10F,在324处,在多个场板堆叠沟槽中的场板420的第一部分和第一场板绝缘体422上形成第二场板半导体层424。在一个实施例中,可以通过共形沉积p型掺杂的多晶硅形成第二场板半导体层424。

[0057] 参考图10G,在326处,回蚀刻第二场板半导体层424进入到多个场板沟槽410中,以形成第一场板426的第二部分。形成的场板具有厚度 T_{fp} 。可以通过任何熟知的选择性蚀刻工艺回蚀刻第二场板半导体层424。重复316-326的工艺以形成多个场板426,由多个场板绝缘体422使该多个场板426彼此分开。

[0058] 现在参考图9C和10H,在328处,在多个场板沟槽中形成最终场板介电层428。可以通过氧化沿着多个场板堆叠沟槽410的侧壁的剩余部分的第二衬底半导体层404来形成最终场板介电层。在一个实施例中,最终场板介电层可以是氧化硅,具有厚度 $T_{insulator}$ 。在330处,在多个场板堆叠沟槽410中的最终场板介电层428上形成最终场板430,该最终场板430掺杂有第四浓度的第二类型掺杂剂。可以通过共形沉积半导体并回蚀刻该半导体到多个场板堆叠沟槽410的顶部,以形成最终场板430。在每个场板堆叠沟槽410中的场板428、430和内插的场板绝缘体422、428,以及伴随的场环414在此统称为场板堆叠。

[0059] 现在参考图10I,在332处,在硬掩膜406上形成栅极沟槽掩膜432。可以通过沉积光阻并利用任何熟知的光刻工艺图案化该光阻形成栅极沟槽掩膜432。在一个实施例中,栅极沟槽掩膜432包括具有宽度 W_{gate} 的多个纵向平行的开口(例如,条形),并且彼此间隔,且基本上平行于多个场板堆叠。在334处,刻蚀通过栅极沟槽掩膜432暴露的硬掩膜406和第二衬底半导体层404的部分,以形成栅极沟槽434。可以通过一个或多个熟知的各向同性蚀刻方法刻蚀硬掩膜406和第二衬底半导体层404。在一个实施例中,栅极沟槽具有深度 D_{gate} 和宽度 W_{gate} 。在336处,利用合适的抗蚀剂剥离或抗蚀剂灰化工艺去除栅极沟槽掩膜432。在338处,利用任何熟知的选择性蚀刻工艺去除硬掩膜405。

[0060] 现在参考图9D和10J,在340处,在多个栅极沟槽434中形成栅极绝缘层440的第一部分。可以通过氧化沿着多个栅极沟槽434的侧壁和底部的第二衬底半导体层404形成栅极绝缘层440的第一部分。在一个实施例中,介电层可以是氧化硅,具有厚度 T_{gate} 。在342处,在多个栅极沟槽434中形成栅极层442。可以通过共形沉积掺杂有第五浓度的第一类型掺杂剂的半导体层,然后回蚀刻半导体层到栅极沟槽434的顶部而形成栅极层442。在一个实施例中,栅极层442可以是磷或砷掺杂的多晶硅。在344处,在第二衬底半导体层中、多个栅极结构和场板堆叠之间以及第一衬底半导体层402的对面形成多个体区444。体区可以通过注入第六浓度的第二类型掺杂剂至第二衬底半导体层404中的预定深度来形成。第一衬底半导体层440形成器件的漏极,而在体区444和漏极区402之间的第二衬底半导体层的剩余部分中形成器件的漂移区445。在一个实施例中,体区可以是中度掺杂硼(P)的硅。

[0061] 现在参考图10K,在346处,在栅极绝缘层上形成源极区掩膜446。通过沉积光阻并利用任何熟知的光刻工艺图案化该光阻可以形成源极区掩膜446。在一个实施例中,源极区掩膜446包括多个纵向平行的开口(例如,条形),其具有宽度 W_s ,延伸超出栅极沟槽434的每一侧。在348处,在邻近栅极结构的每一侧的体区444中形成源极区448。源极区448可以通过在本体区444中注入第一类型掺杂剂至预定深度来形成。在一个实施例中,源极区448可以

是重掺杂磷或砷(N+)的硅。在350处,利用合适的抗蚀剂剥离或抗蚀剂灰化工艺去除源极区掩膜。

[0062] 现在参考图9E和10L,在352处,在晶圆上形成第二栅极层452。可通过氧化晶圆的表面形成介电层。在354处,形成源极/体/场板接触掩膜454。可以通过沉积光阻并利用任何熟知的光刻工艺图案化该光阻形成源极/体/场板接触掩膜454。在356处,刻蚀通过源极/体/场板接触掩膜454暴露的介电层,以在介电层中形成源极/体/场板接触456,以及在栅极半导体层之上形成栅极绝缘层457的第二部分。在358处,利用合适的抗蚀剂剥离或抗蚀剂灰化工艺去除源极/体/场板接触掩膜454。

[0063] 现在参考图10M,在360处,形成源极/体/场板接触层460。在一个实施例中,可以通过任何熟知的方法例如溅射法沉积金属层来形成源极/体/场板接触层460。在362处,在晶圆的相对侧形成漏极接触层462。再次,可以通过任何熟知的方法例如溅射法沉积金属层来形成漏极接触层462。在364处,通过各种其他工艺继续制备过程。这些各种工艺典型地包括蚀刻、沉积、掺杂、清洗、退火、钝化、切割和/或相似的工艺。

[0064] 参考图11,示出根据本技术的另一实施例的自适应电荷平衡的MOSFET。再次,应该理解的是,图11中所示的结构未按比例绘制。电荷平衡的MOSFET的场板堆叠结构每个包括多个场环280。每个场环280,285,290设置在相应的场板245,255,265,275和周边体区240,250,260,270和漂移区230之间。该场环280,285,290可以通过从场板245,255,265,275向外扩散进入相邻的体区225和漂移区230来形成。

[0065] 根据本发明的各个具体实施例的前述描述的目的是为了说明和描述。它们并不试图穷举或将本发明限制于公开的精确的形式,并且,借鉴以上教导还明显可能有许多修改和变形。这些实施例被选出并进行描述是为了更好地解释本发明内容的原理和其实际应用,从而使本领域其他技术人员能够更好地利用本发明内容和具有适合于实际打算应用的各种变化的各种实施例。其意图通过随附的权利要求书和他们的等同物来限定本发明的保护范围。

[0066] 在此描述的所有元件、部分和步骤都优选地被包括在内。应该理解的是,这些元件、部分和步骤中的任一项都可由其它元件、部分和步骤替换,或全部一起被删除,这对于本领域技术人员来说将是显而易见的。

[0067] 概念

[0068] 本文公开了至少以下概念:

[0069] 概念1、一种装置包括:

[0070] 场板堆叠,包括:

[0071] 多个场板绝缘体区;

[0072] 多个场板区,其中,所述多个场板被穿插在多个场板绝缘体之间;以及

[0073] 场环区,其中每两个或多个场板被耦接到所述场环;

[0074] 栅极结构,包括被栅极绝缘体区包围的栅极区;

[0075] 源极区;

[0076] 漂移区;

[0077] 体区,设置在所述栅极结构、所述源极区、所述漂移区和所述场环区之间。

[0078] 概念2、根据概念1所述的装置,其中,所述场环区包括多个部分,其中所述场环区

的两个或多个部分各自耦接相应的场板区到所述体区的相邻的部分。

[0079] 概念3、根据概念1或2所述的装置,其中:

[0080] 所述漂移区包括中度掺杂磷或砷的外延硅;

[0081] 所述多个体区包括中度掺杂硼的硅;

[0082] 所述多个源极区包括重掺杂磷或砷的硅;

[0083] 所述多个栅极区包括重掺杂磷或砷的多晶硅;

[0084] 所述多个场板区包括重掺杂硼的多晶硅;以及

[0085] 所述多个场环区包括重掺杂硼的外延硅。

[0086] 概念4、根据概念1或2所述的装置,其中:

[0087] 所述漂移区包括中度掺杂硼的外延硅;

[0088] 所述多个体区包括中度掺杂磷或砷的硅;

[0089] 所述多个源极区包括重掺杂硼的硅;

[0090] 所述多个栅极区包括重掺杂硼的多晶硅;

[0091] 所述多个场板区包括重掺杂磷或砷的多晶硅;以及

[0092] 所述多个场环区包括重掺杂磷或砷的外延硅。

[0093] 概念5、根据前述概念的任一项所述的装置,其中,所述场板堆叠的深度大于所述栅极结构的深度。

[0094] 概念6、根据前述概念的任一项所述的装置,其中,选择所述场板绝缘体区的厚度和所述场板区与所述场环区之间的接触面积,以便当漏极电压比夹断电压大时每个场板区浮置到不同的电位。

[0095] 概念7、根据前述概念的任一项所述的装置,其中,所述多个场板区与所述漂移区肖特基接触,相比于欧姆接触提高了所述装置的击穿电压。

[0096] 概念8、一种方法,包括:

[0097] 形成中度掺杂第一类型掺杂剂的半导体层于重掺杂所述第一类型掺杂剂的半导体层上;

[0098] 形成多个场板堆叠沟槽于轻掺杂所述第一类型掺杂剂的所述半导体层中;

[0099] 在中度掺杂所述第一类型掺杂剂的所述半导体层中、沿所述场板堆叠沟槽的侧壁形成重掺杂第二类型掺杂剂的半导体区;

[0100] 在所述场板堆叠沟槽中形成第一介电层;

[0101] 在所述场板堆叠沟槽中的所述第一介电层上形成重掺杂所述第二类型掺杂剂的第一半导体层,其中,所述第一半导体层的一部分接触重掺杂所述第二类型掺杂剂的所述半导体区的第一部分;

[0102] 在所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层上形成第二介电层;

[0103] 在所述场板堆叠沟槽中的所述第二介电层上形成重掺杂所述第二类型掺杂剂的第二半导体层,其中,所述第二半导体层的一部分接触重掺杂所述第二类型掺杂剂的所述半导体层的第二部分;

[0104] 在轻掺杂所述第一类型掺杂剂的所述半导体层中形成多个栅极沟槽;

[0105] 在所述栅极沟槽中形成介电层;

- [0106] 在所述栅极沟槽中的所述介电层上形成重掺杂所述第一类型掺杂剂的半导体层；
- [0107] 在中度掺杂所述第一类型掺杂剂的所述半导体层中、重掺杂所述第一类型掺杂剂的所述半导体层的对面、以及所述栅极沟槽中的所述介电层与沿着所述场板堆叠沟槽的侧壁的重掺杂所述第二类型掺杂剂的所述半导体区之间形成中度掺杂所述第二类型掺杂剂的半导体区；以及
- [0108] 在中度掺杂所述第二类型掺杂剂的所述半导体区中、轻掺杂所述第一类型掺杂剂的所述半导体层的对面、邻近所述栅极沟槽中的所述介电层形成重掺杂所述第一类型掺杂剂的半导体区，然而通过中度掺杂所述第二类型掺杂剂的所述半导体区，将其和沿着所述场板堆叠沟槽的所述侧壁的重掺杂所述第二类型掺杂剂的所述半导体区分开。
- [0109] 概念9、如概念8所述的方法，进一步包括：
- [0110] 在所述场板堆叠沟槽中、重掺杂所述第二类型掺杂剂的所述半导体层上形成第三介电层；以及
- [0111] 在所述场板堆叠沟槽中的所述第三介电层上形成重掺杂所述第二类型掺杂剂的第三半导体层，其中，所述第三半导体层的一部分接触重掺杂所述第二类型掺杂剂的所述半导体区的第三部分。
- [0112] 概念10、根据概念9所述的方法，进一步包括：
- [0113] 在所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第三半导体层上形成第四介电层；以及
- [0114] 在所述场板堆叠沟槽中的所述第四介电层上形成重掺杂所述第二类型掺杂剂的第四半导体层。
- [0115] 概念11、根据概念8所述的方法，其中，在所述场板堆叠沟槽中形成所述第一介电层和所述第一半导体层包括：
- [0116] 在所述场板堆叠沟槽中生长第一介电层；
- [0117] 在所述场板堆叠沟槽中沉积重掺杂所述第二类型掺杂剂的所述第一半导体层的部分；
- [0118] 回蚀刻所述场板堆叠沟槽中重掺杂所述第二类型掺杂剂的所述第一半导体层的所述部分至第一预定厚度；
- [0119] 回蚀刻所述场板堆叠沟槽中的所述第一介电层，到所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层的所述部分的第一预定厚度；
- [0120] 在所述场板堆叠沟槽中沉积重掺杂所述第二类型掺杂剂的所述第二半导体的另外部分；以及
- [0121] 回蚀刻所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层的所述另外部分，到第二预定厚度，其中，所述第二厚度的、重掺杂所述第二类型掺杂剂的所述第一半导体层的所述另外部分接触重掺杂所述第二类型掺杂剂的所述半导体区的所述第一部分。
- [0122] 概念12、根据概念8所述的方法，其中，在轻掺杂所述第一类型掺杂剂的所述半导体层中、沿着所述场板堆叠沟槽的侧壁形成重掺杂所述第二类型掺杂剂的所述半导体区，包括沿着所述场板堆叠沟槽的侧壁，倾斜注入所述第二类型掺杂剂到轻掺杂所述第一类型掺杂剂的所述半导体层中。

[0123] 概念13、根据概念8所述的方法,其中,在轻掺杂所述第一类型掺杂剂的所述半导体层中、沿着所述场板堆叠沟槽的侧壁形成重掺杂所述第二类型掺杂剂的所述半导体区,进一步包括:

[0124] 在轻掺杂所述第一类型掺杂剂的所述半导体层中、沿着所述场板堆叠沟槽的侧壁、邻近所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层的部分形成重掺杂所述第二类型掺杂剂的第一半导体区;以及

[0125] 在中度掺杂所述第二类型掺杂剂的所述半导体区中、沿着所述场板堆叠沟槽的侧壁、邻近所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第二半导体层的所述部分形成重掺杂所述第二类型掺杂剂的第二半导体区。

[0126] 概念14、根据概念13所述的方法,其中,在轻掺杂所述第一类型掺杂剂的所述半导体层中、沿着所述场板堆叠沟槽的侧壁形成重掺杂所述第一类型掺杂剂的第一半导体区,以及在中度掺杂所述第二类型掺杂剂的所述半导体区中、沿着所述场板堆叠沟槽的侧壁形成重掺杂所述第二类型掺杂剂的第二半导体区,包括:

[0127] 从所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第一半导体层中和所述场板堆叠沟槽中的重掺杂所述第二类型掺杂剂的所述第二半导体层中向外扩散所述第二类型掺杂剂。

[0128] 概念15、一种装置,包括:

[0129] 漏极区;

[0130] 漂移区,设置在所述漏极区之上;

[0131] 多个体区,设置在所述漂移区之上、与所述漏极区相对;

[0132] 多个源极区,设置在所述多个体区之上、与所述漂移区相对,其中,所述多个源极区、所述多个体区以及所述漂移区邻近多个栅极结构;

[0133] 所述多个栅极结构,其中每个栅极结构包括:

[0134] 多个基本平行细长的栅极区,延伸穿过所述多个源极区和所述多个体区并部分地延伸到所述漂移区中;以及

[0135] 多个栅极绝缘体区均设置在所述多个栅极区中的相应一个和所述多个源极区之间、所述多个体区和所述漂移区之间;

[0136] 多个场板结构,其中,每个场板结构设置为穿过所述体区并延伸进所述漂移区中,其中每个栅极结构被设置在场板结构组之间,并且其中每个场板结构包括:

[0137] 多个场板绝缘体区;

[0138] 多个场板区,其中所述多个场板区被穿插在所述多个场板绝缘体区之间;以及

[0139] 设置在所述多个场板区与所述邻近的漂移区之间的场环区,并且其中场板组被耦接到所述场环区。

[0140] 概念16、根据概念15所述的装置,其中:

[0141] 所述漏极区包括重n型掺杂的半导体;

[0142] 所述漂移区包括中度n型掺杂的半导体;

[0143] 所述多个体区包括中度p型掺杂的半导体;

[0144] 所述多个源极区包括重n型掺杂的半导体;

[0145] 所述多个场板区包括重p型掺杂的半导体;以及

- [0146] 所述多个场环区包括重p型掺杂的半导体。
- [0147] 概念17、根据概念15所述的装置,其中:
- [0148] 所述漏极区包括重p型掺杂的半导体;
- [0149] 所述漂移区包括中度p型掺杂的半导体;
- [0150] 所述多个体区包括中度n型掺杂的半导体;
- [0151] 所述多个源极区包括重p型掺杂的半导体;
- [0152] 所述多个场板区包括重n型掺杂的半导体;以及
- [0153] 所述多个场环区包括重n型掺杂的半导体。
- [0154] 概念18、根据概念15-17中任一项所述的装置,其中,所述多个场环区中的每一个均包括多个部分,其中所述场环区的两个或多个部分被耦接到相应的场板区。
- [0155] 概念19、根据概念15-18中任一项所述的装置,进一步包括:源极/体/场板接触设置在所述源极区、所述体区和所述多个场板区中的一个之上。
- [0156] 概念20、根据概念16中所述的装置,其中,所述多个场板区与所述漂移区肖特基接触,相比于欧姆接触提高了所述装置的击穿电压。。
- [0157] 概念21、一种金属氧化物半导体场效应晶体管,包括:
- [0158] 场板堆叠,包括:
- [0159] 多个场板绝缘体区;
- [0160] 多个场板区,其中所述多个场板区被穿插在所述多个场板绝缘体区之间;以及
- [0161] 场环区,其中每两个或更多个场板被耦接到所述场环区;
- [0162] 栅极结构,包括被栅极绝缘体区包围的栅极区;
- [0163] 源极区;
- [0164] 漂移区;
- [0165] 体区设置在所述栅极结构、所述源极区、所述漂移区和所述场环区之间。
- [0166] 概念22、根据概念21所述的金属氧化物半导体场效应晶体管,其中,所述场环区包括多个部分,其中所述场环区的两个或多个部分均耦接相应的场板区到所述体区的邻近部分。
- [0167] 概念23、根据概念21或22所述的金属氧化物半导体场效应晶体管,其中:
- [0168] 所述漂移区包括中度掺杂磷或砷的外延硅;
- [0169] 所述多个体区包括中度掺杂硼的硅;
- [0170] 所述多个源极区包括重掺杂磷或砷的硅;
- [0171] 所述多个栅极区包括重掺杂磷或砷的多晶硅;
- [0172] 所述多个场板区包括重掺杂硼的多晶硅;以及
- [0173] 所述多个场环区包括重掺杂硼的外延硅。
- [0174] 概念24、根据概念21或22所述的金属氧化物半导体场效应晶体管,其中:
- [0175] 所述漂移区包括中度掺杂硼的外延硅;
- [0176] 所述多个体区包括中度掺杂磷或砷的硅;
- [0177] 所述多个源极区包括重掺杂硼的硅;
- [0178] 所述多个栅极区包括重掺杂硼的多晶硅;
- [0179] 所述多个场板区包括重掺杂磷或砷的多晶硅;以及

[0180] 所述多个场环区包括重掺杂磷或砷的外延晶硅。

[0181] 概念25、根据概念21-24中任一项所述的金属氧化物半导体场效应晶体管,其中,所述场板堆叠的深度大于所述栅极结构的深度。

[0182] 概念26、根据概念21-25中任一项所述的金属氧化物半导体场效应晶体管,其中,选择所述场板绝缘体区的厚度和所述场板区与所述场环区之间的接触面积,以便当漏极电压比夹断电压大时每个场板区浮置到不同的电位。

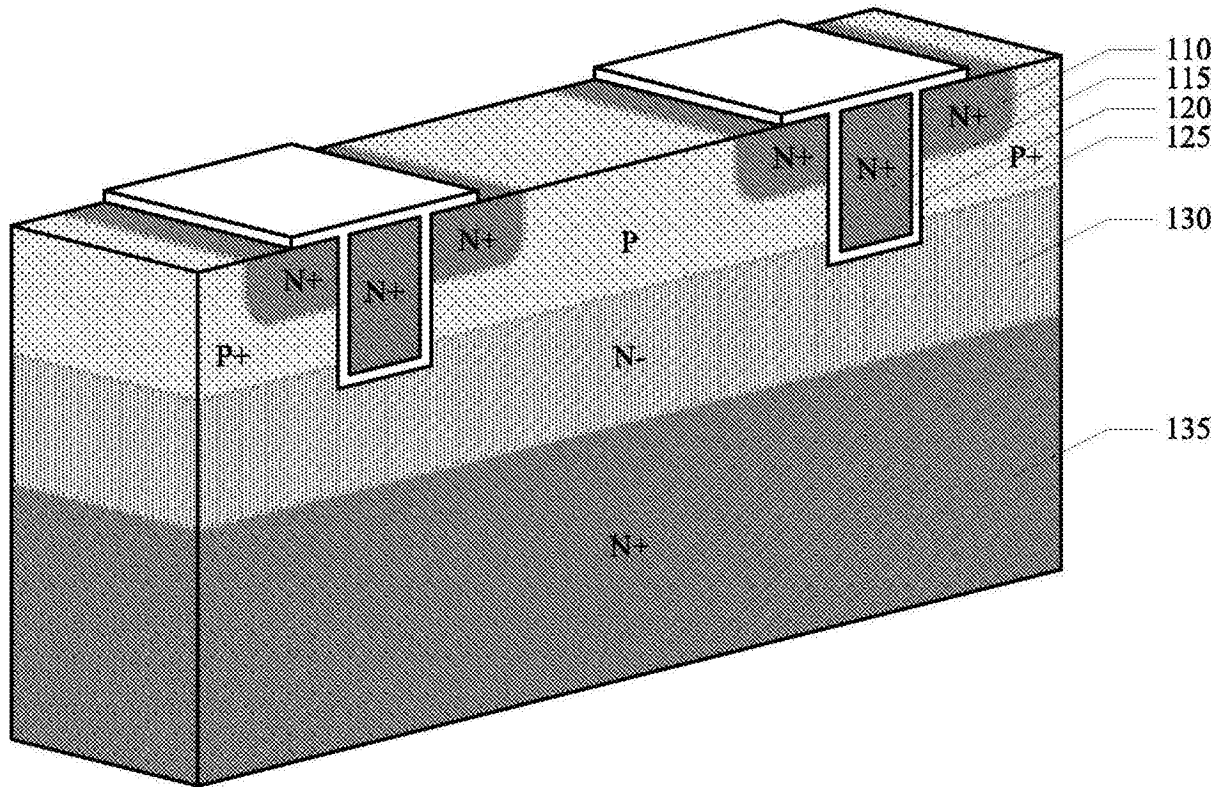
100

图1(常规技术)

200

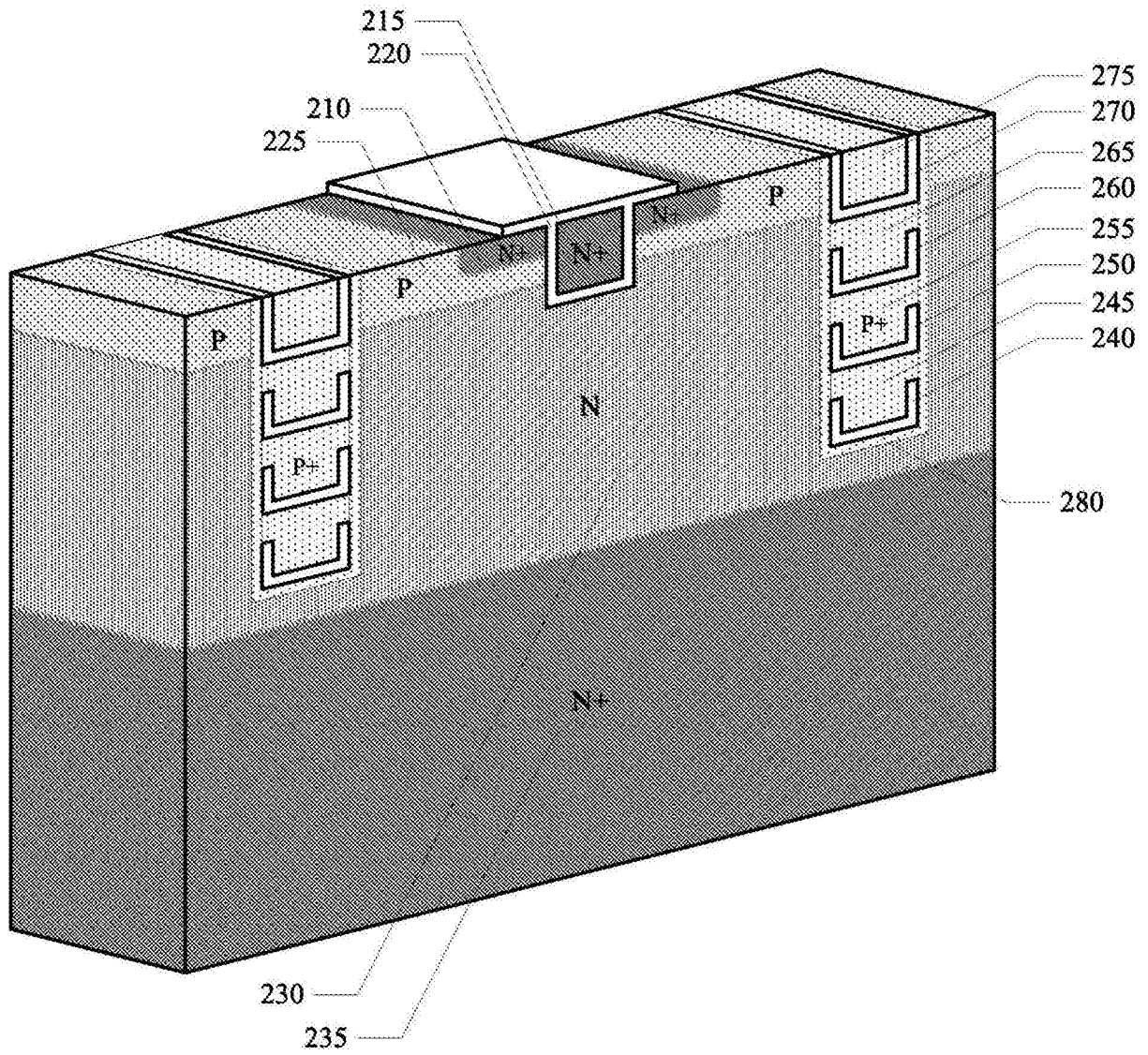


图2A

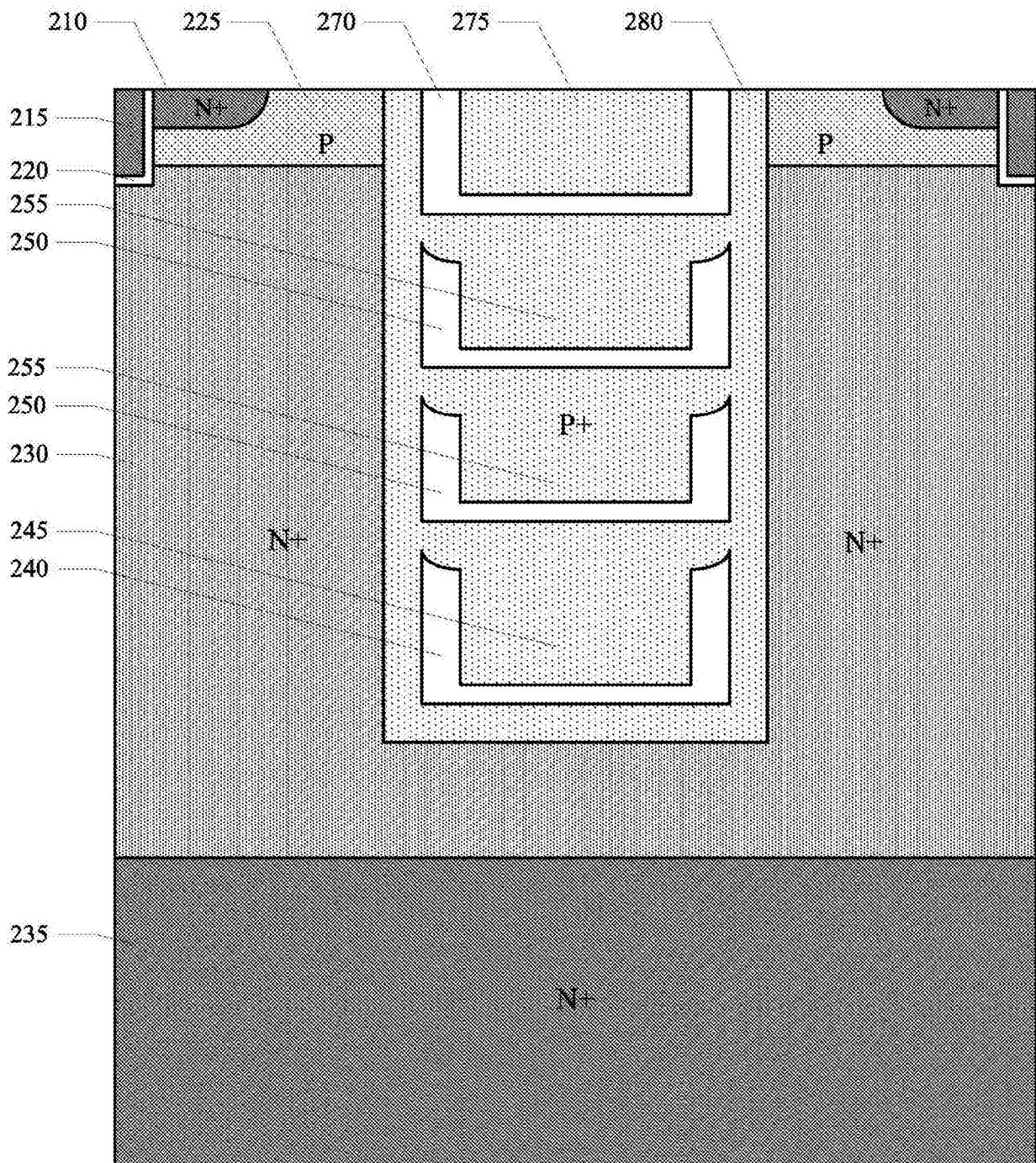


图2B

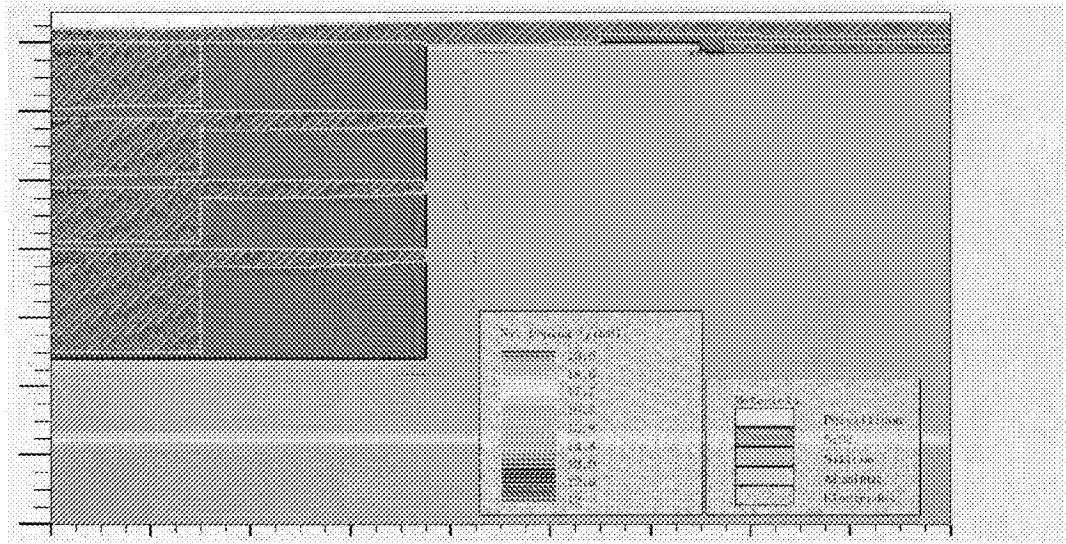


图3

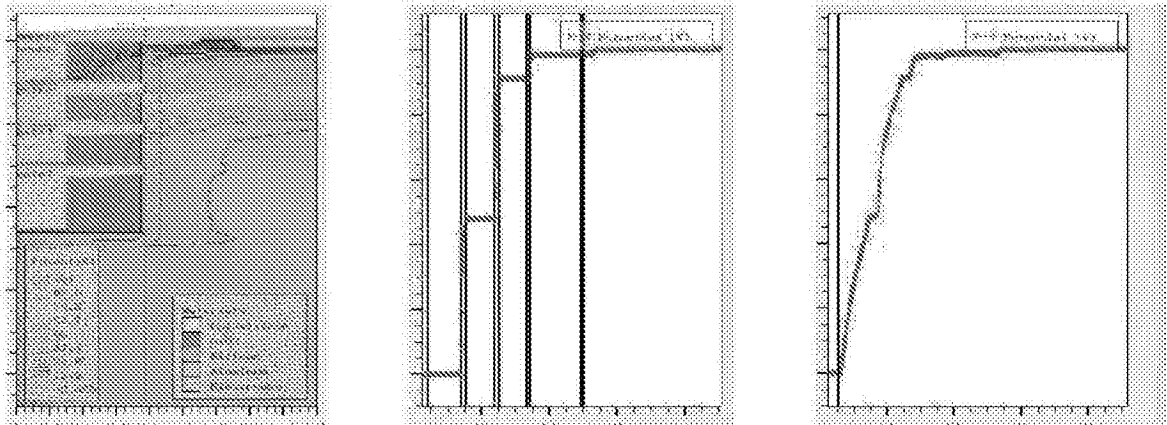


图4

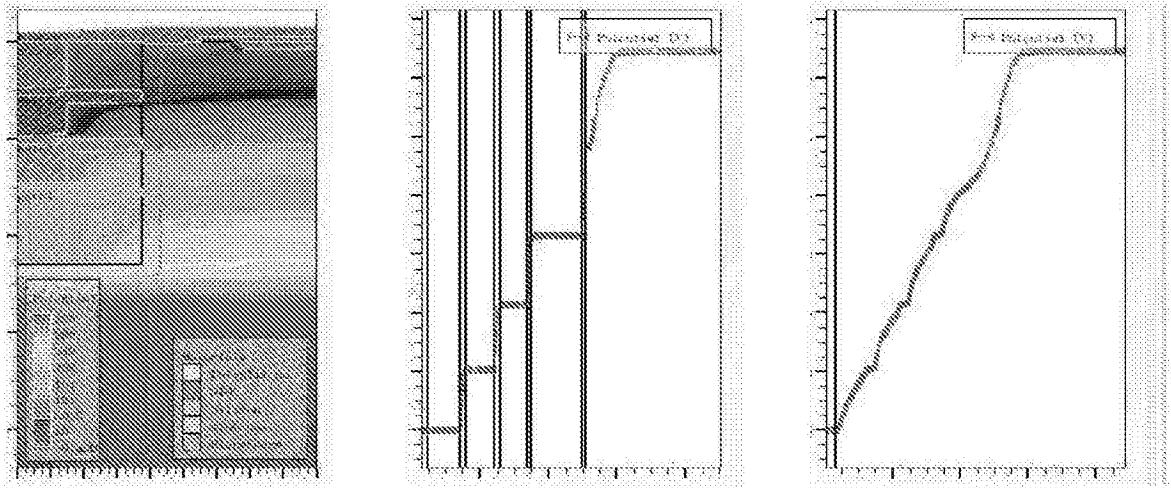


图5

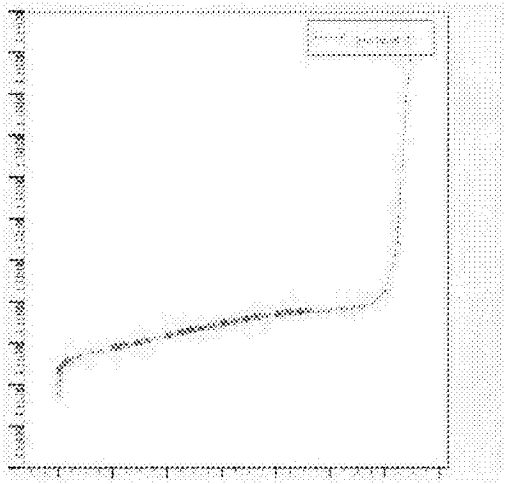


图6

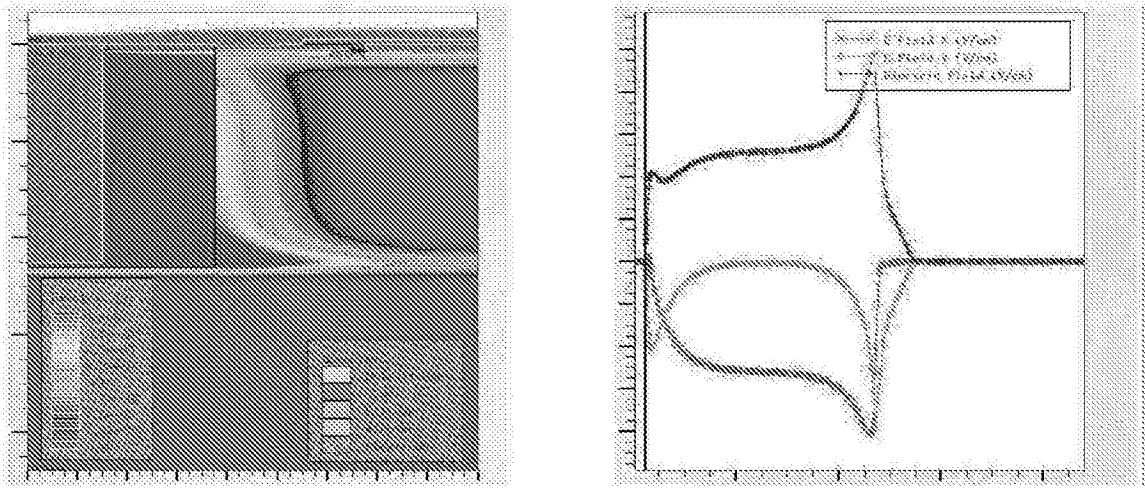


图7

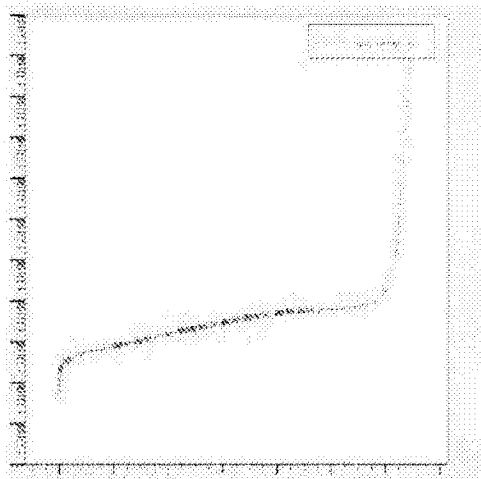


图8A

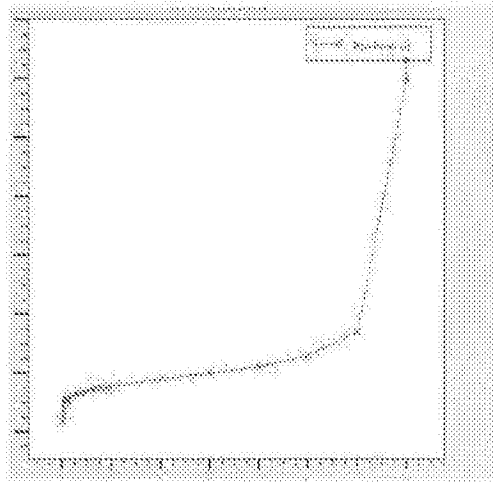


图8B

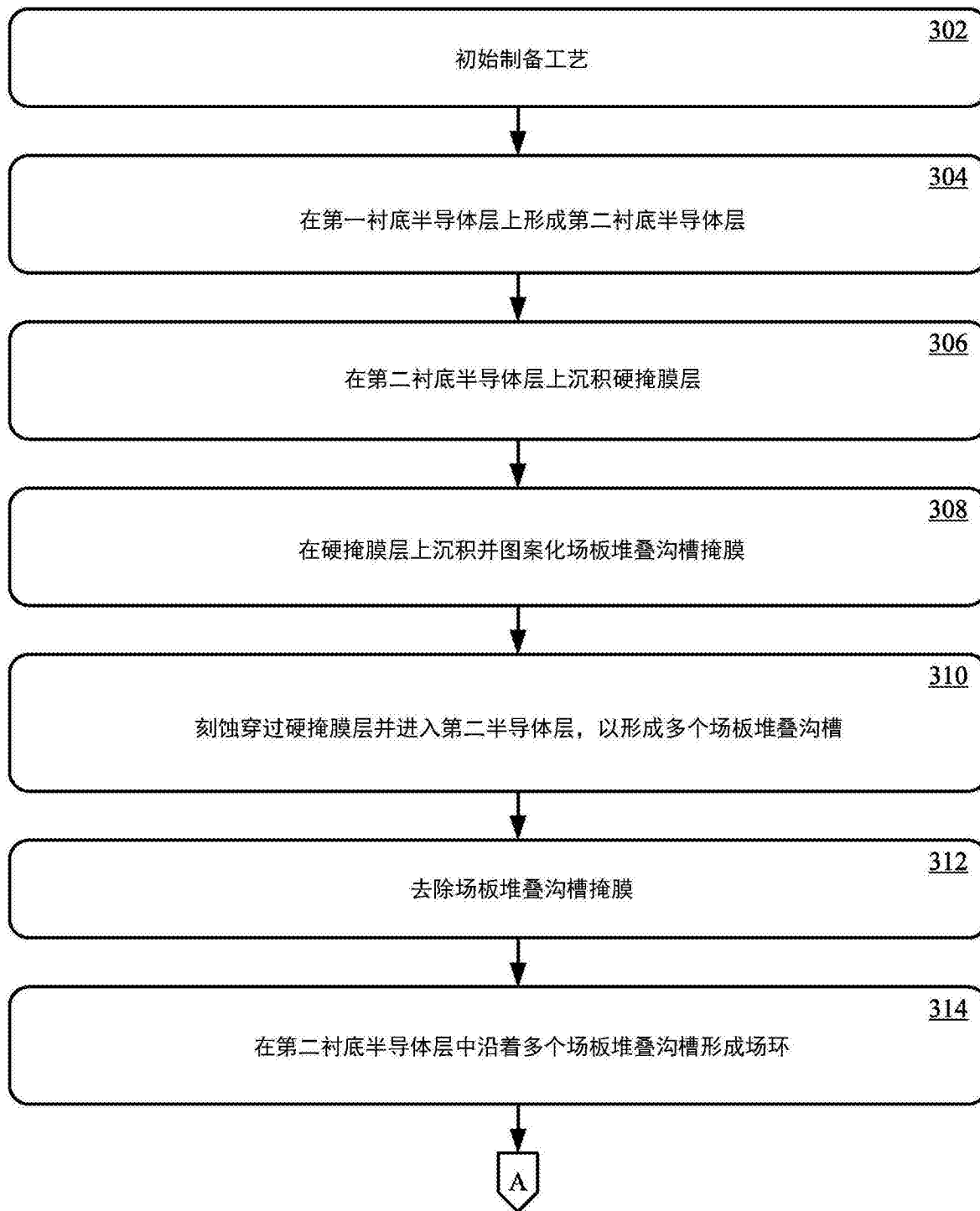


图9A

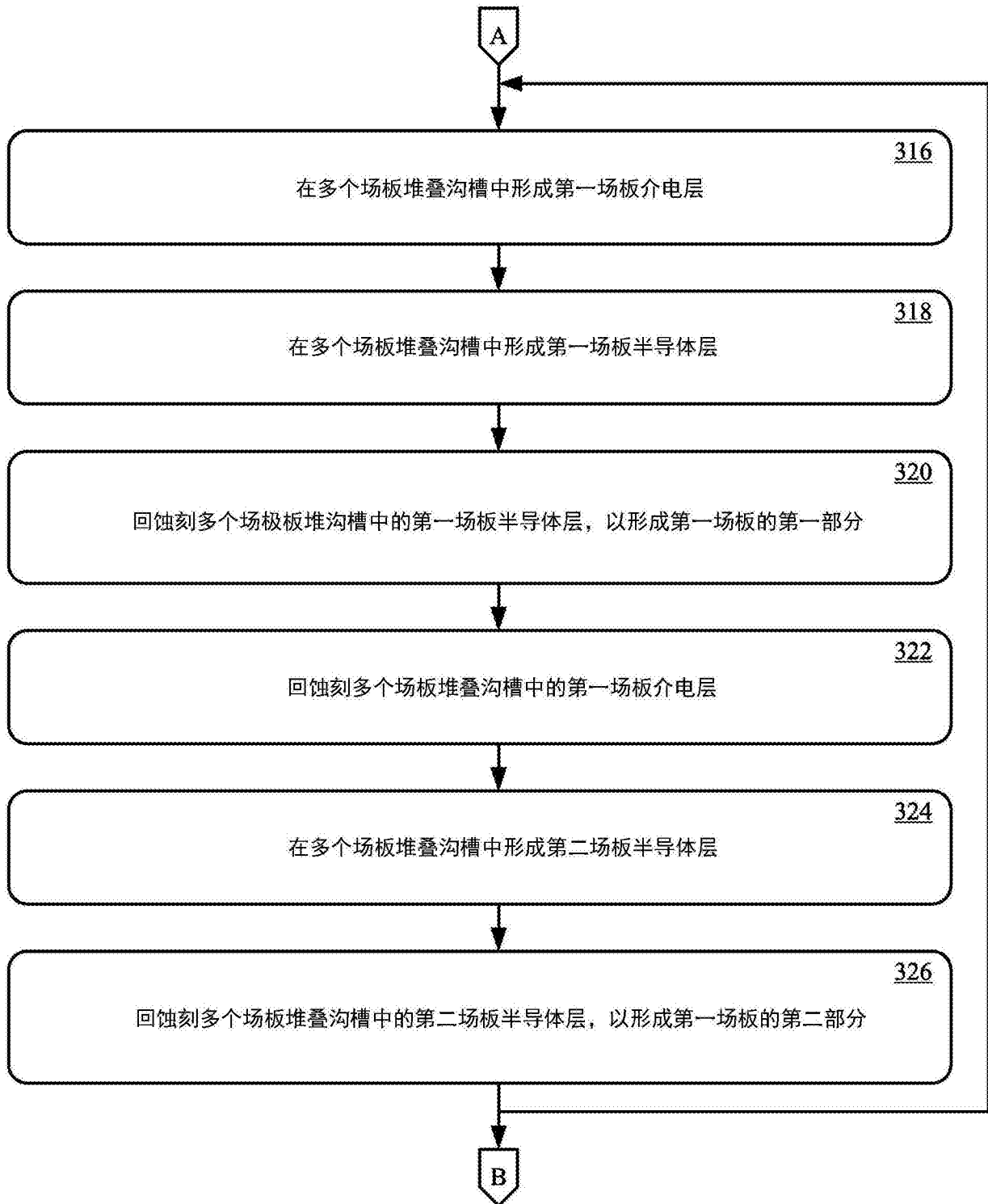


图9B

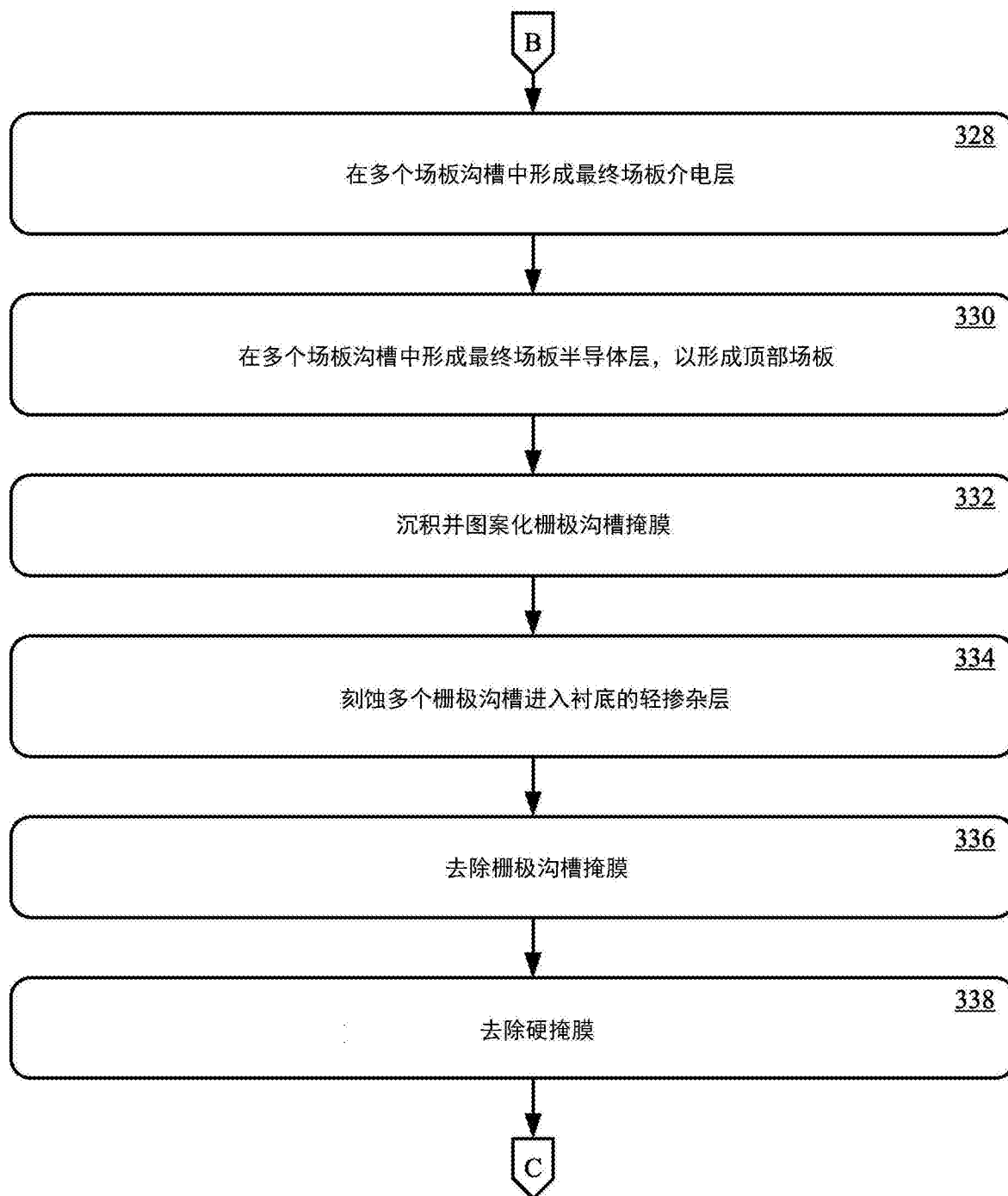


图9C

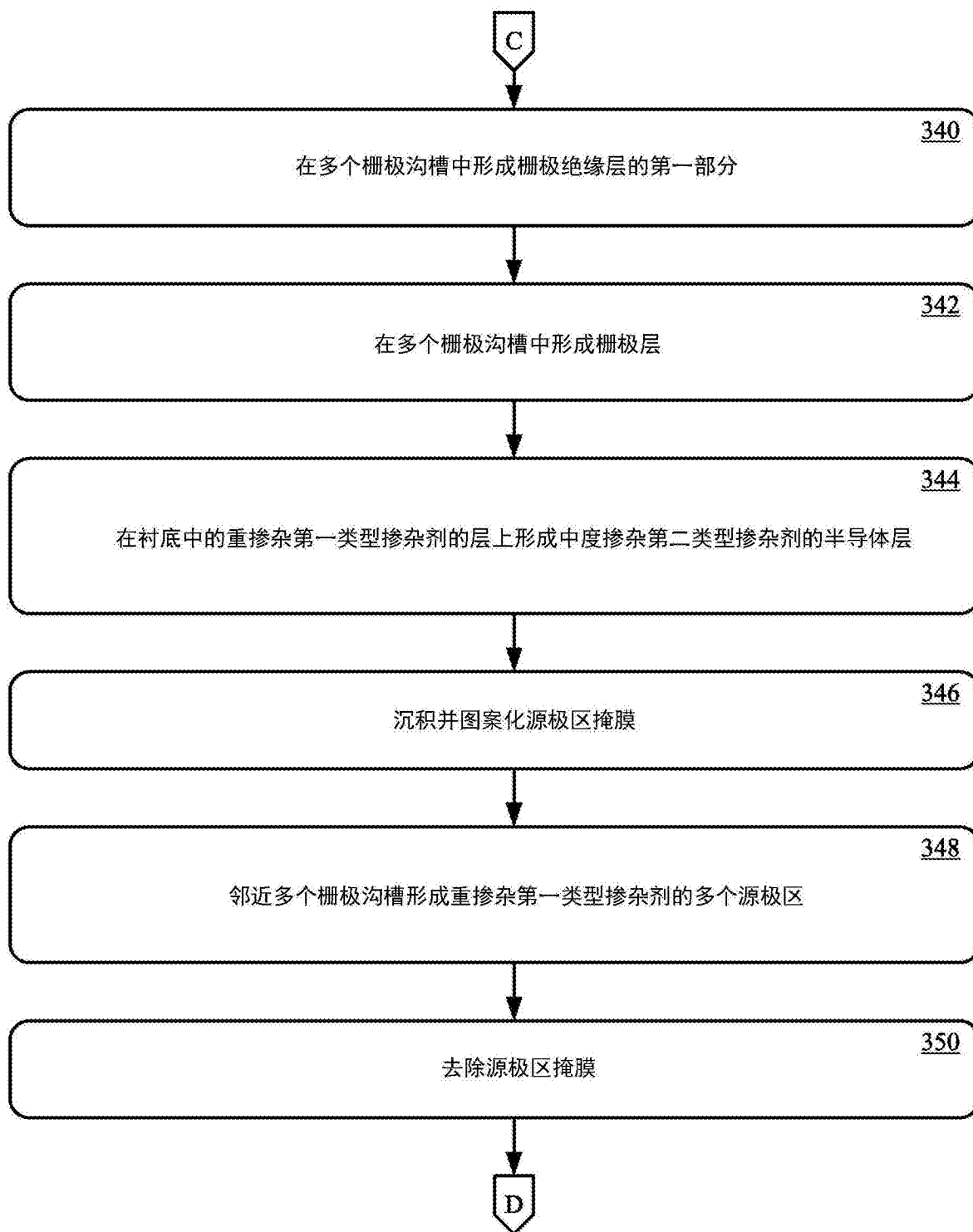


图9D

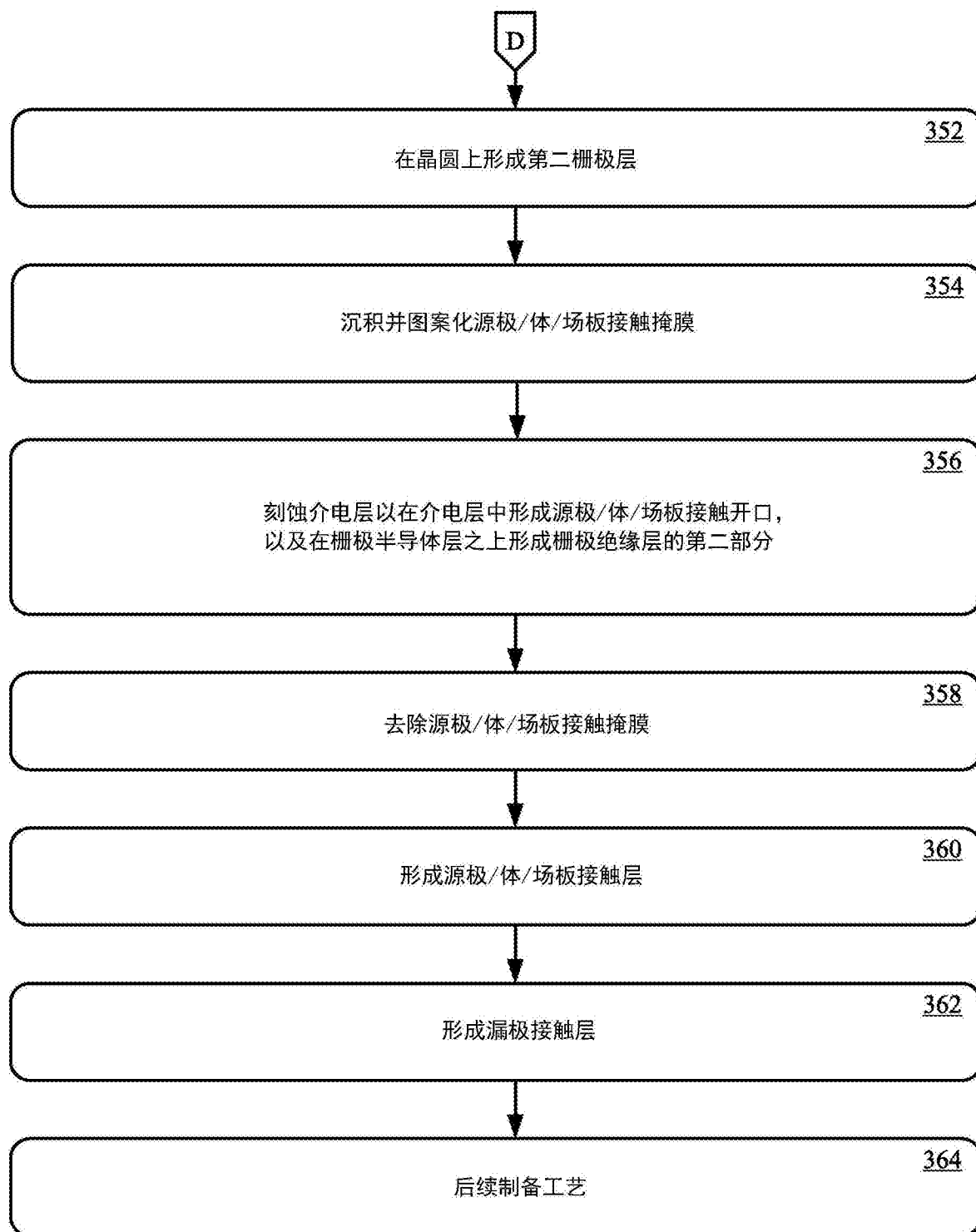


图9E

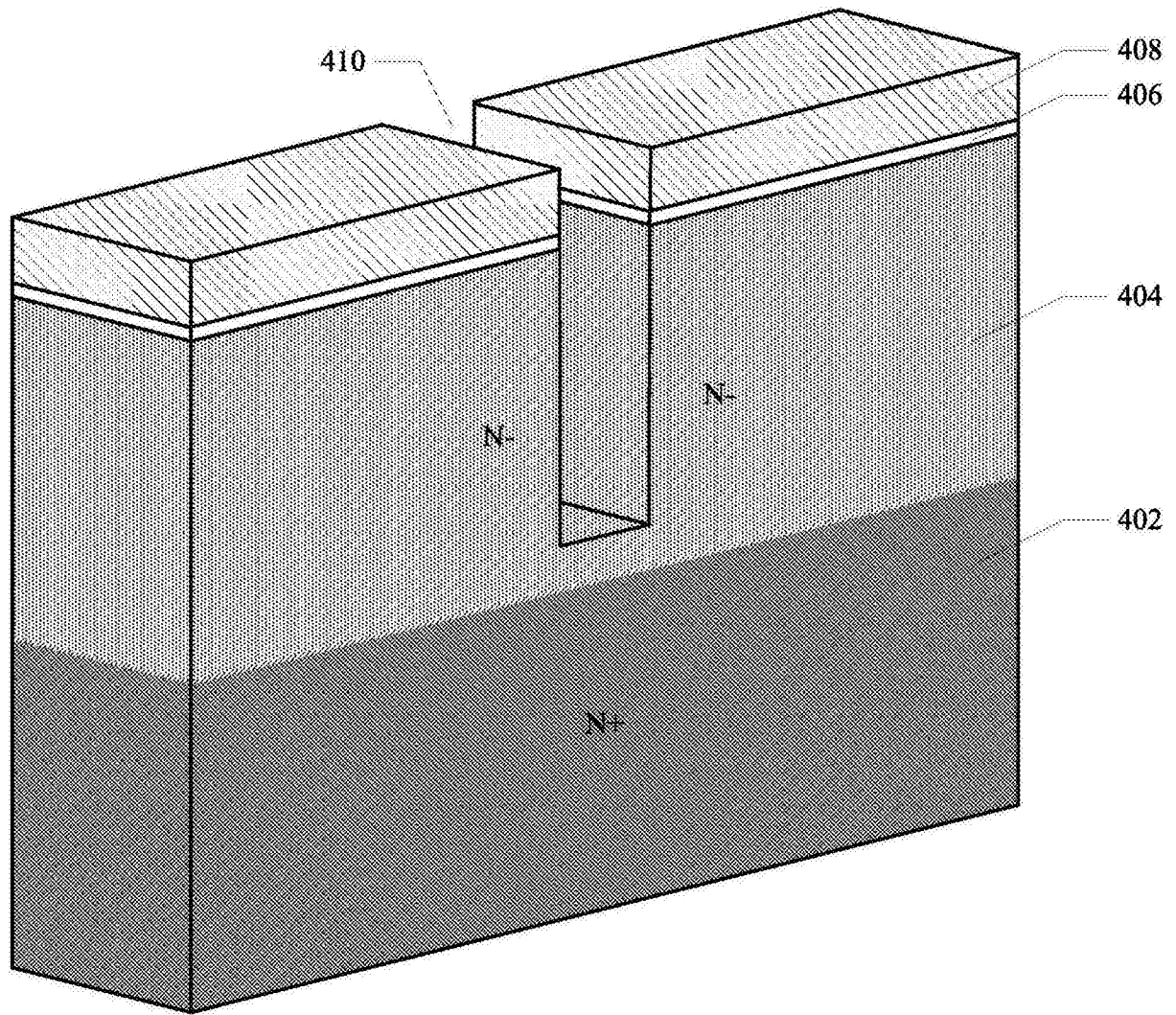


图10A

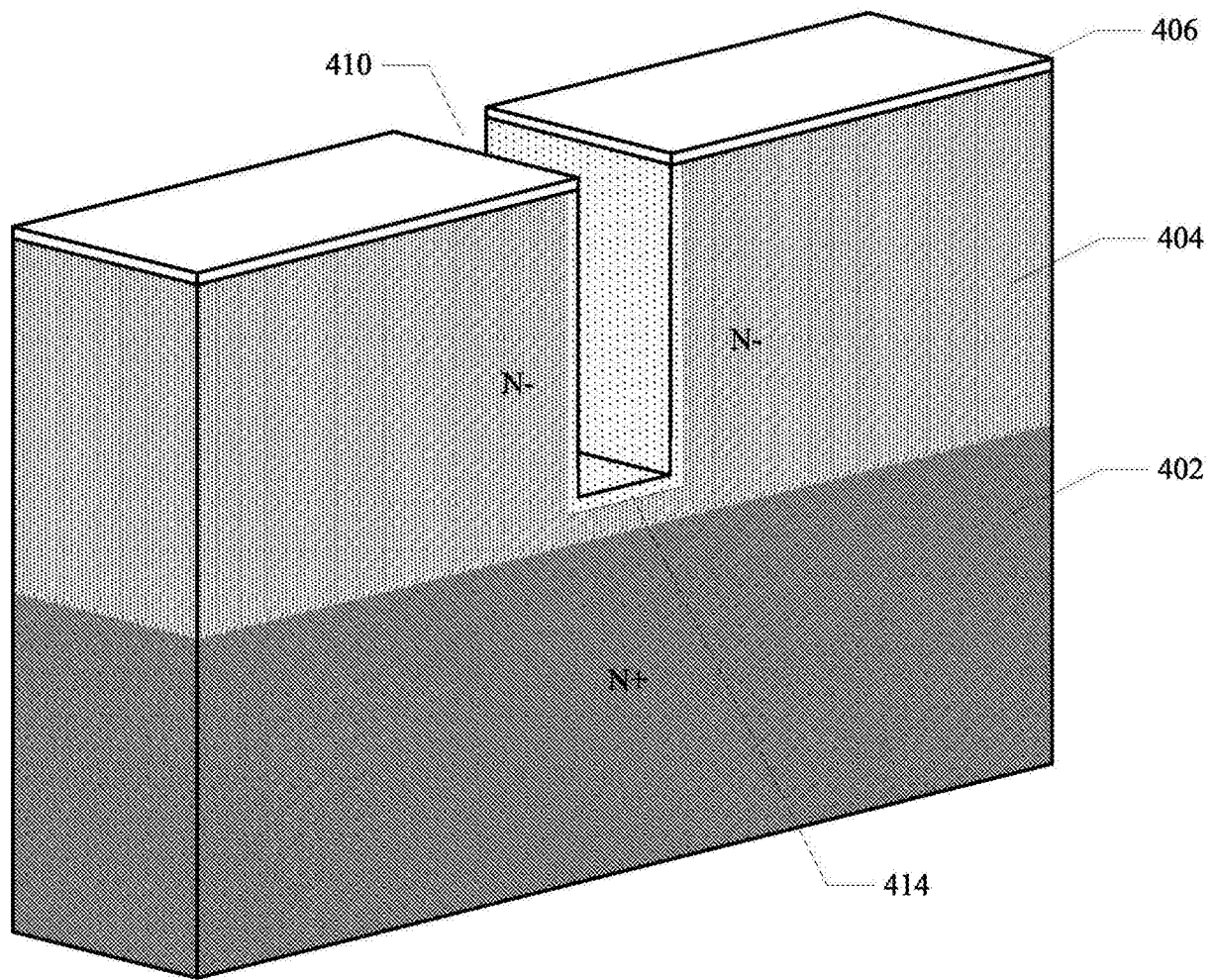


图10B

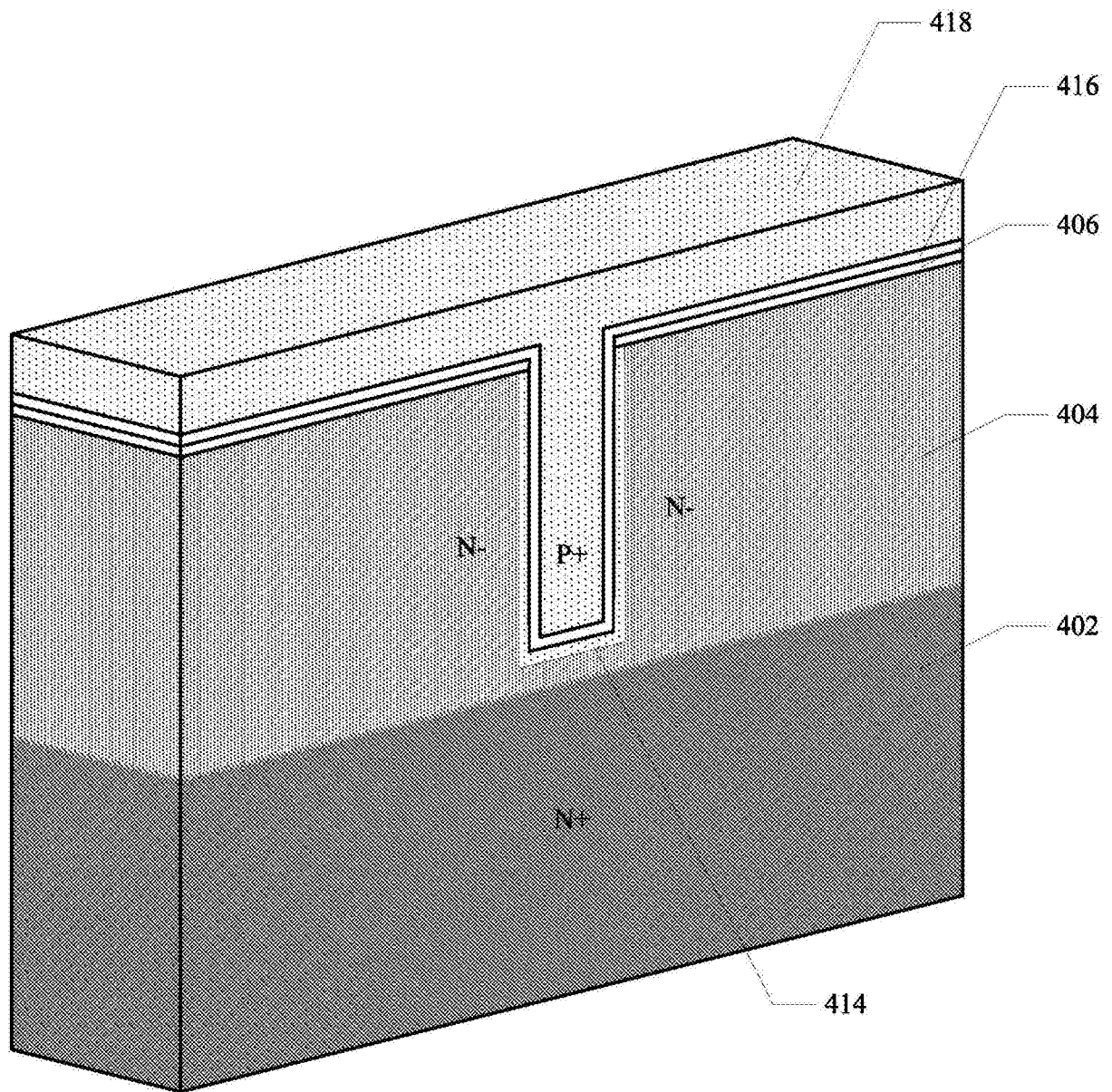


图10C

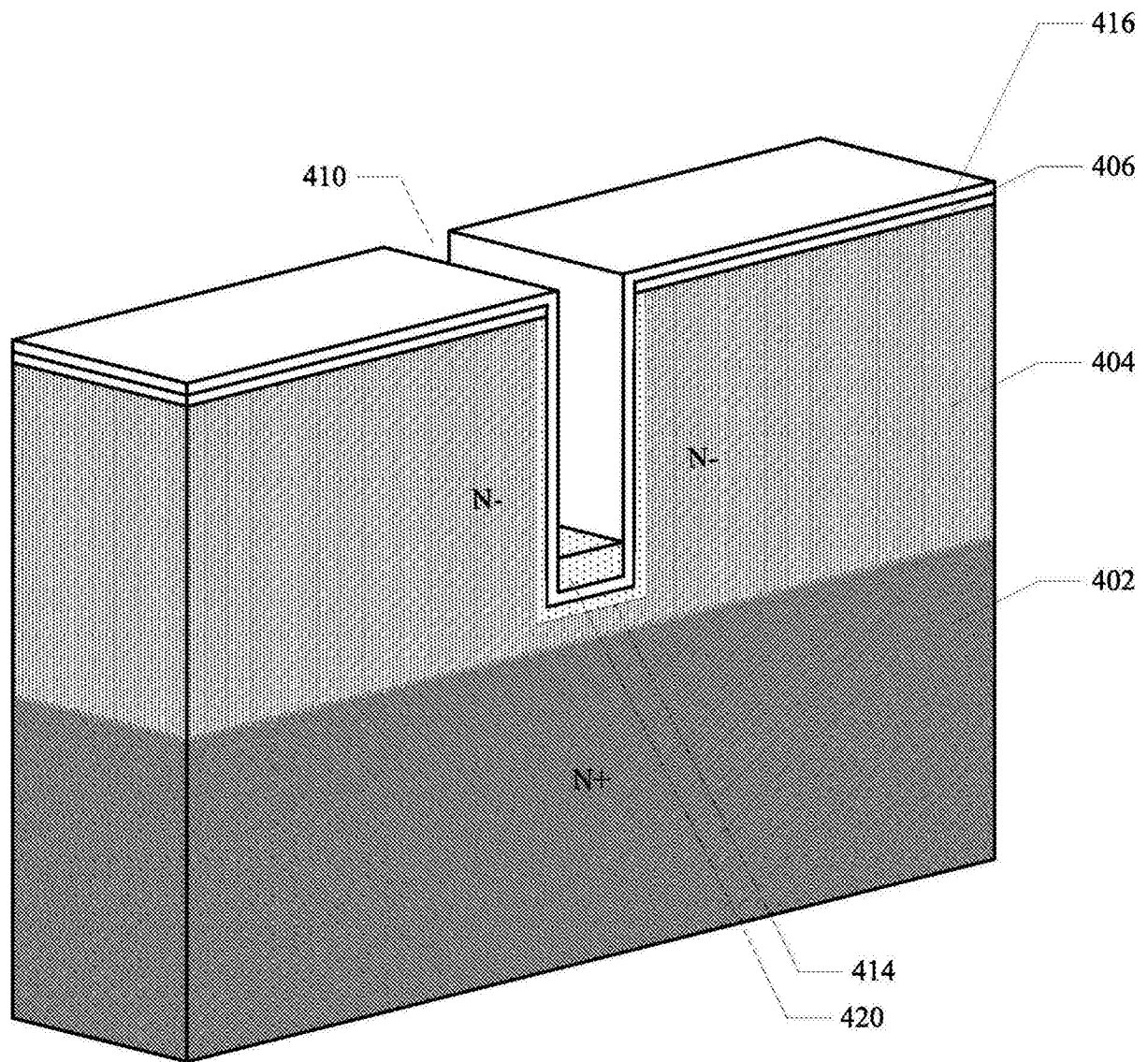


图10D

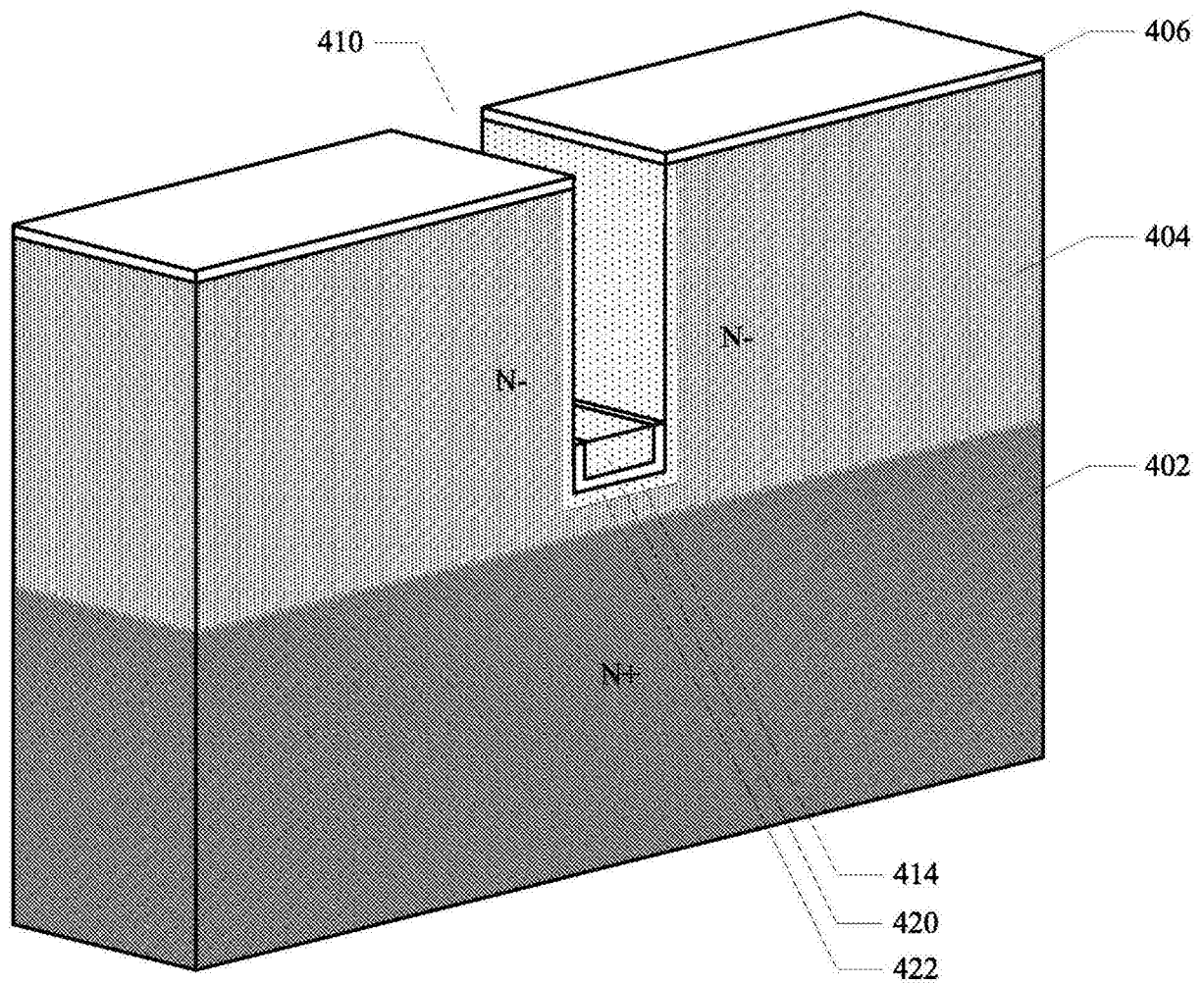


图10E

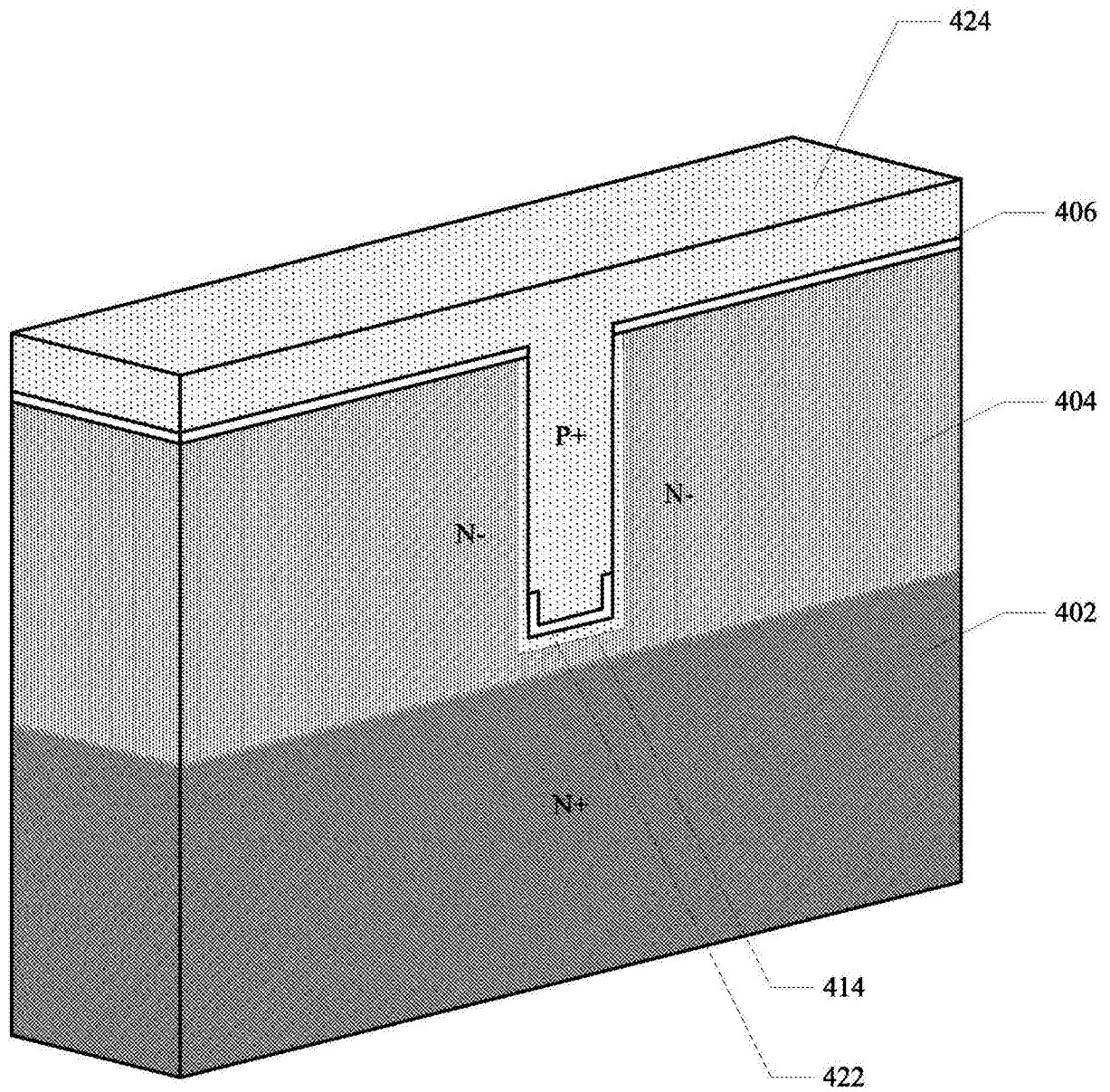


图10F

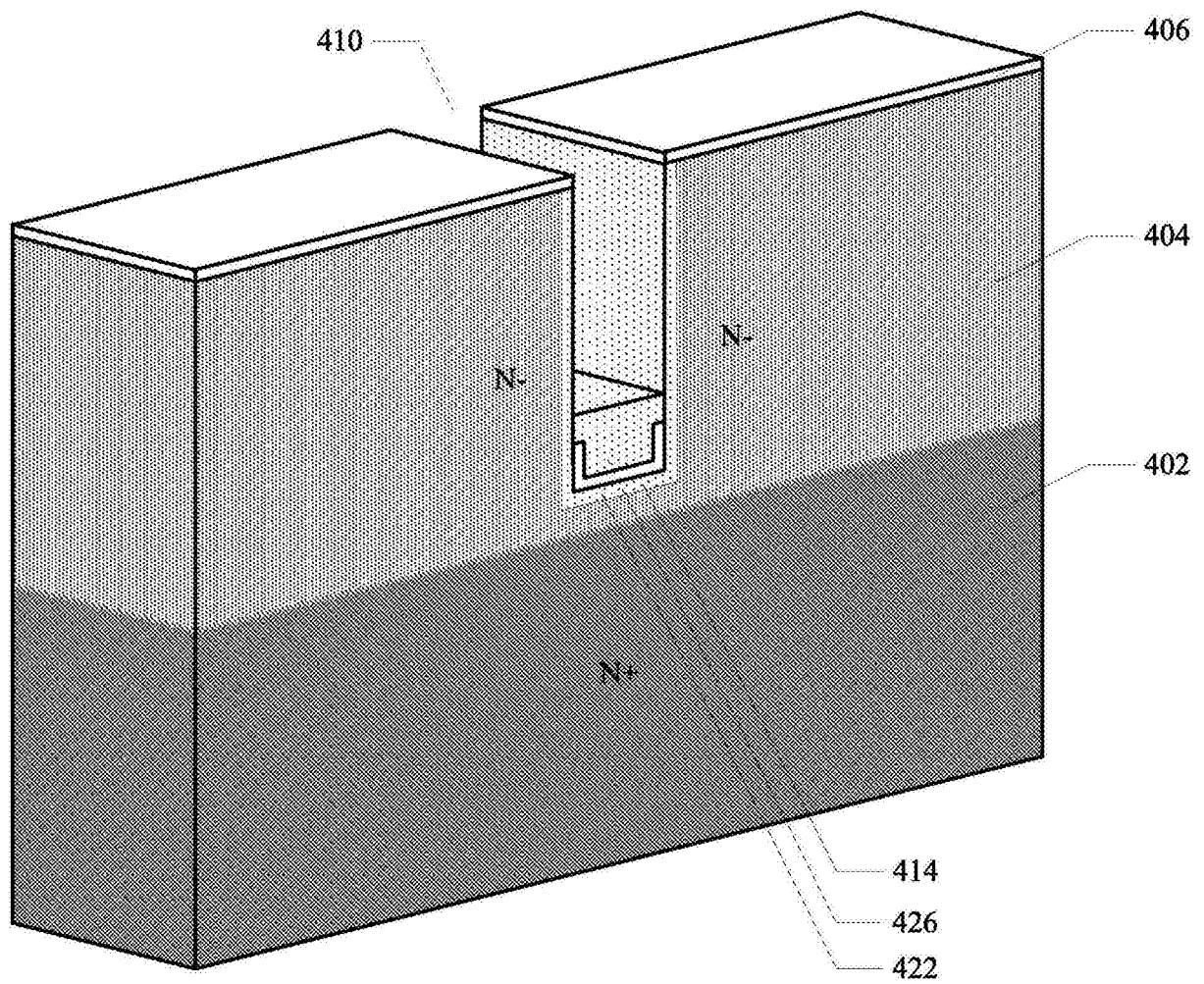


图10G

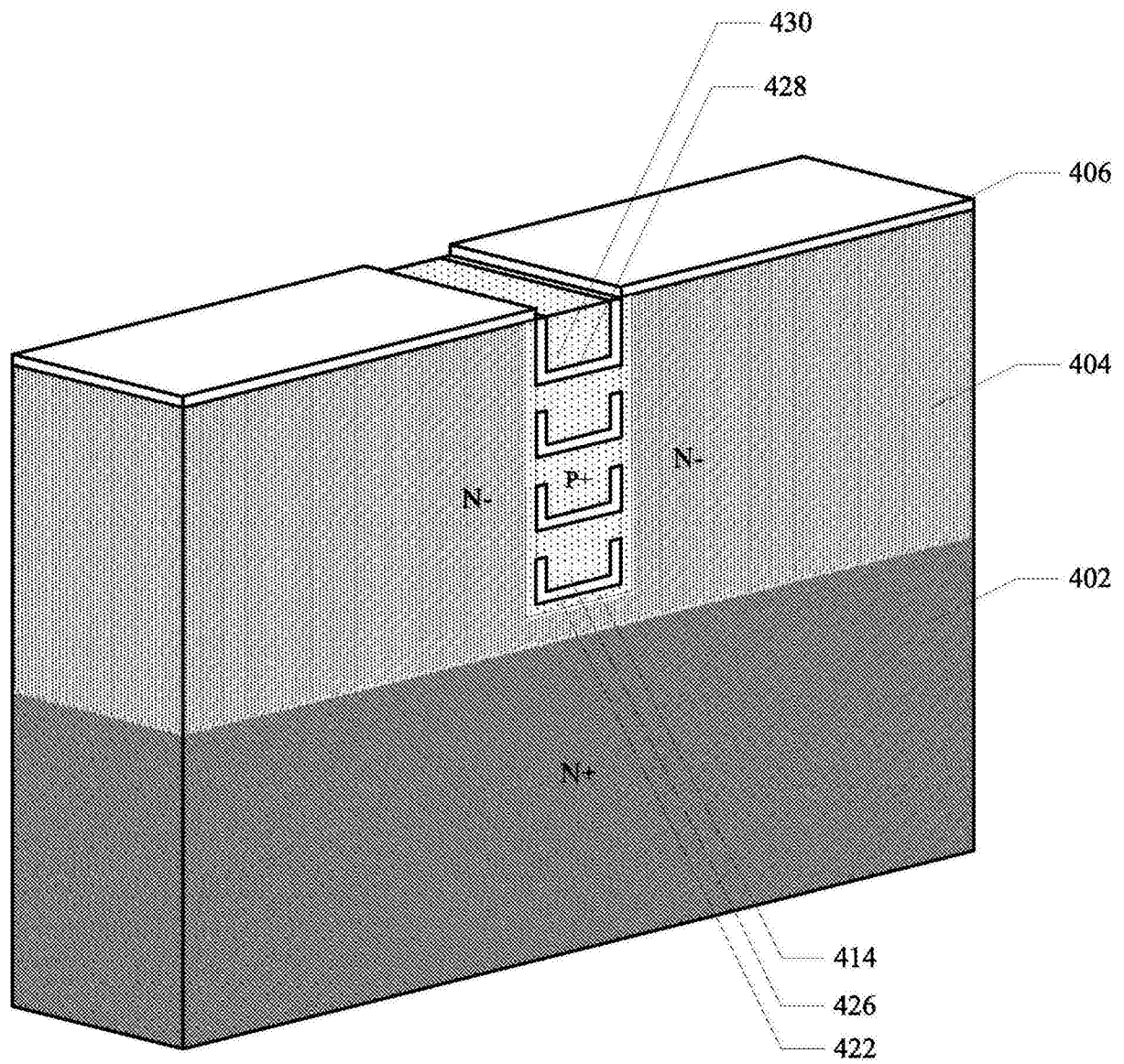


图10H

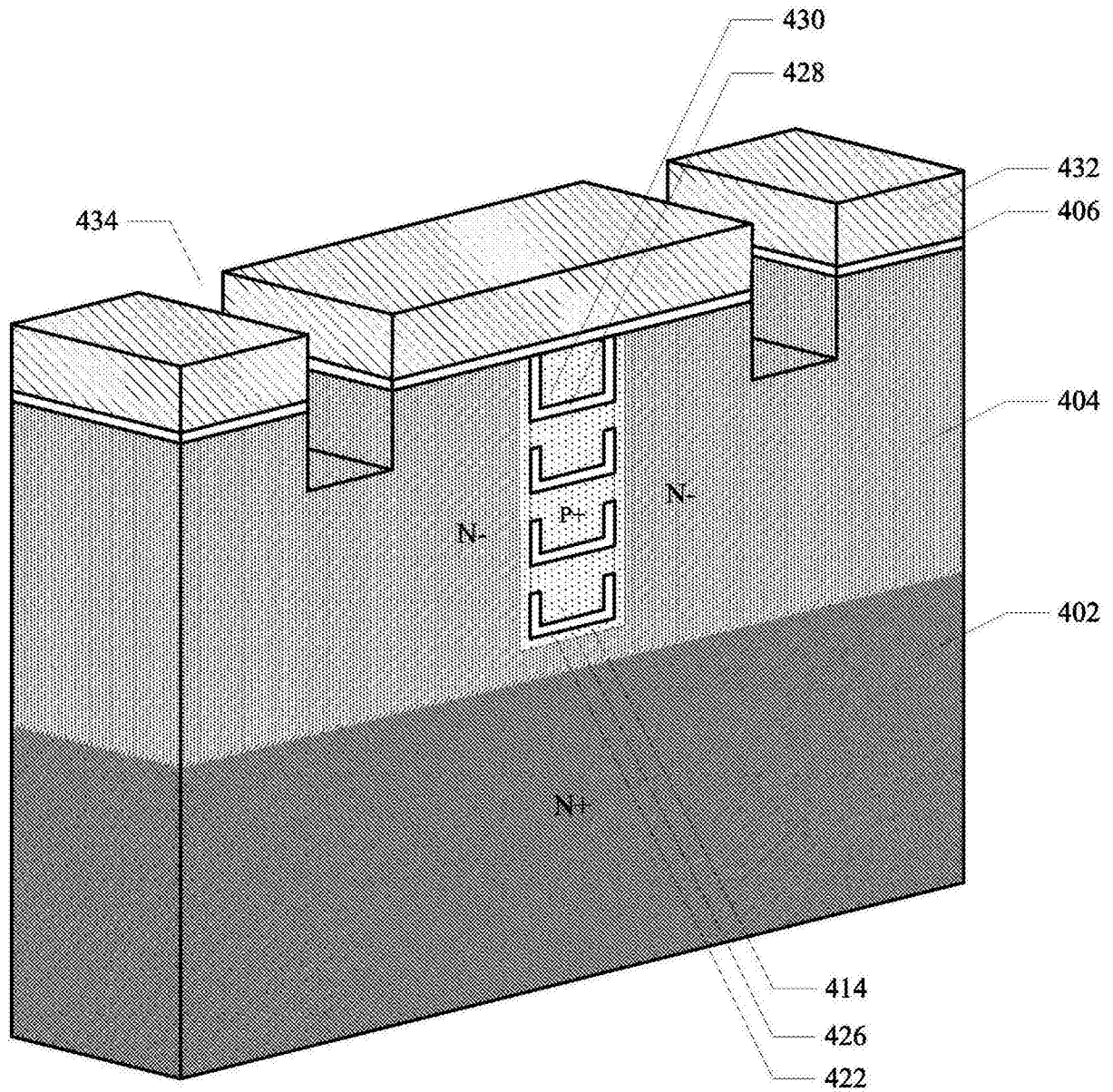


图10I

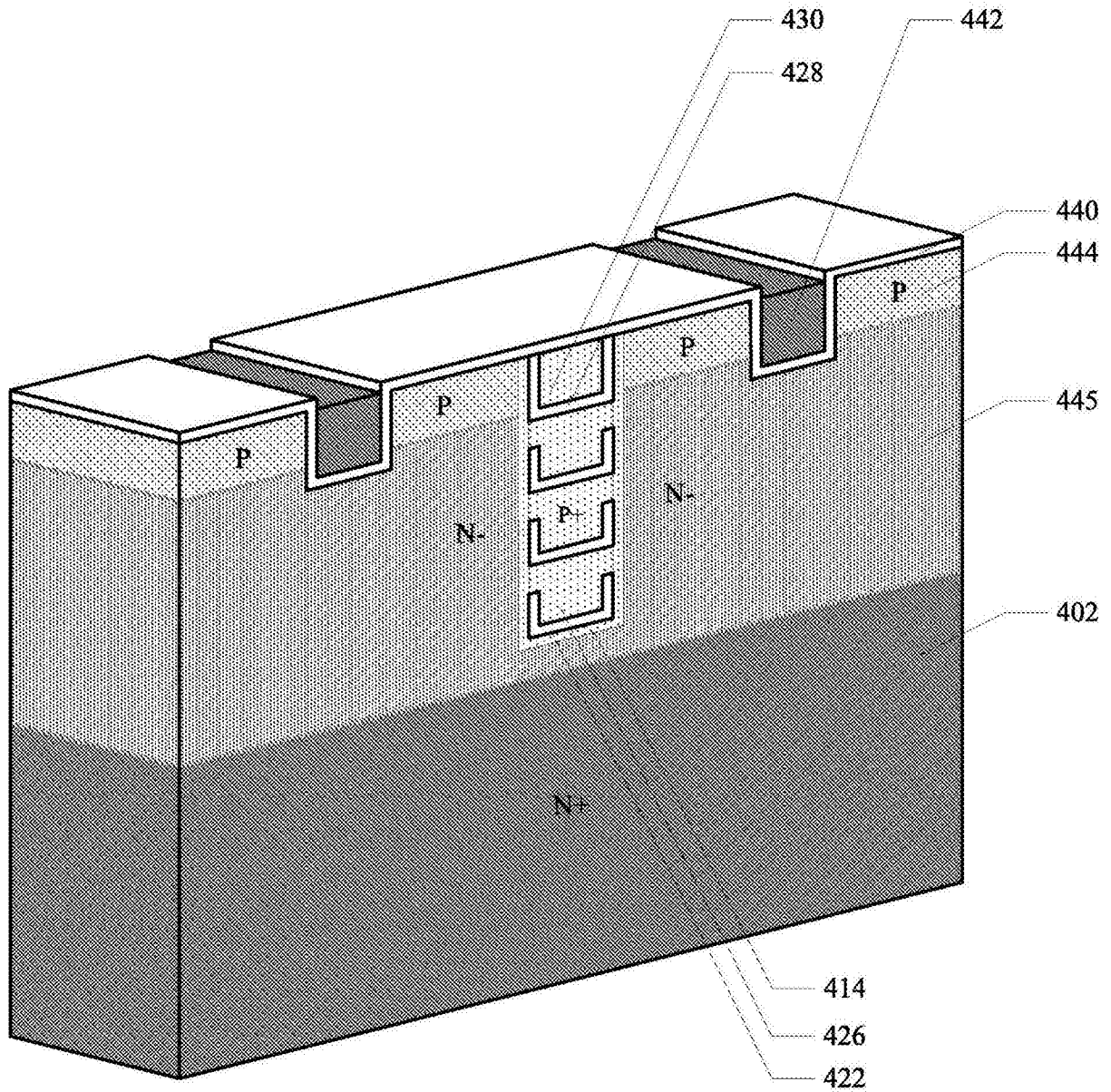


图10J

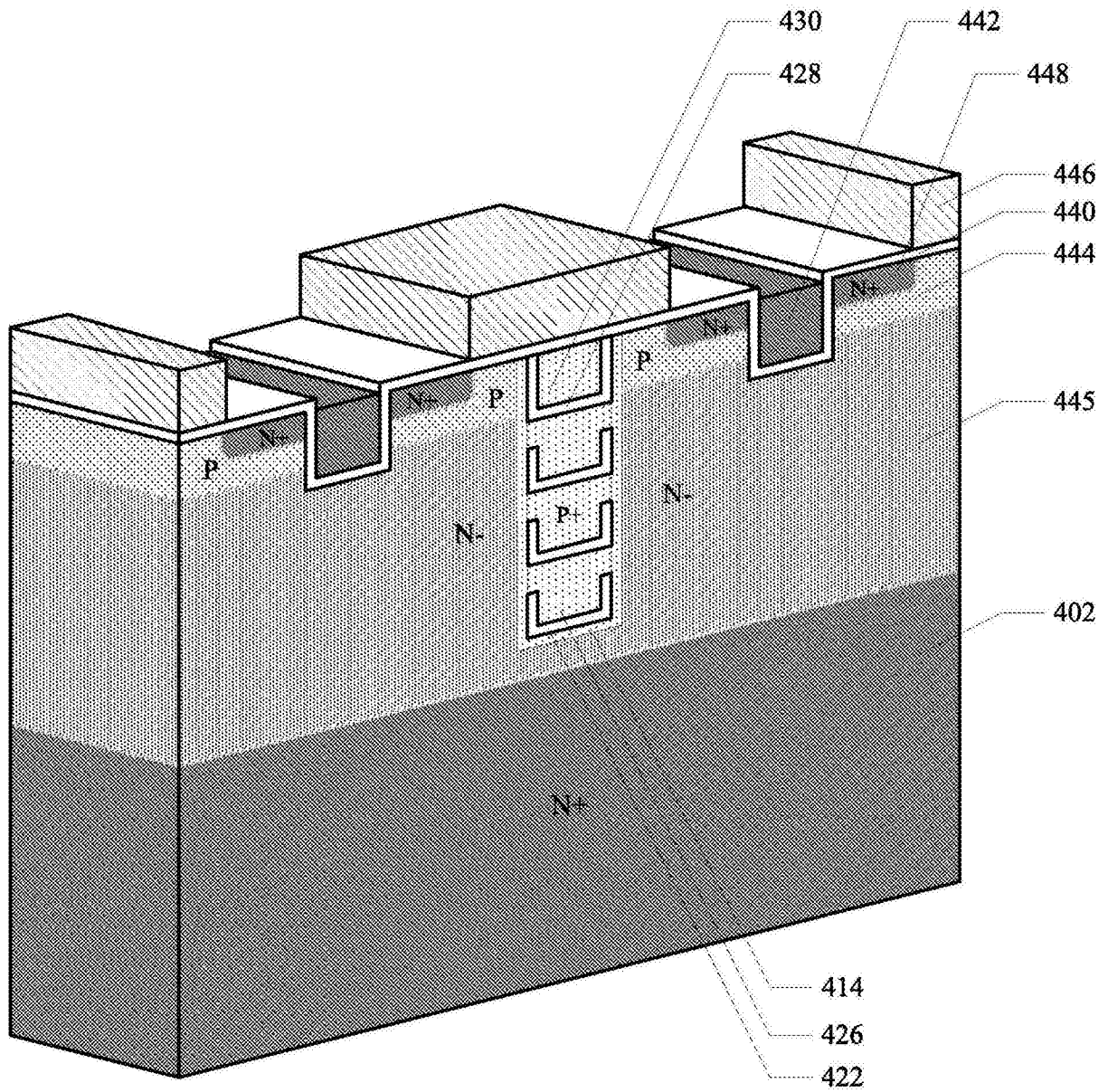


图10K

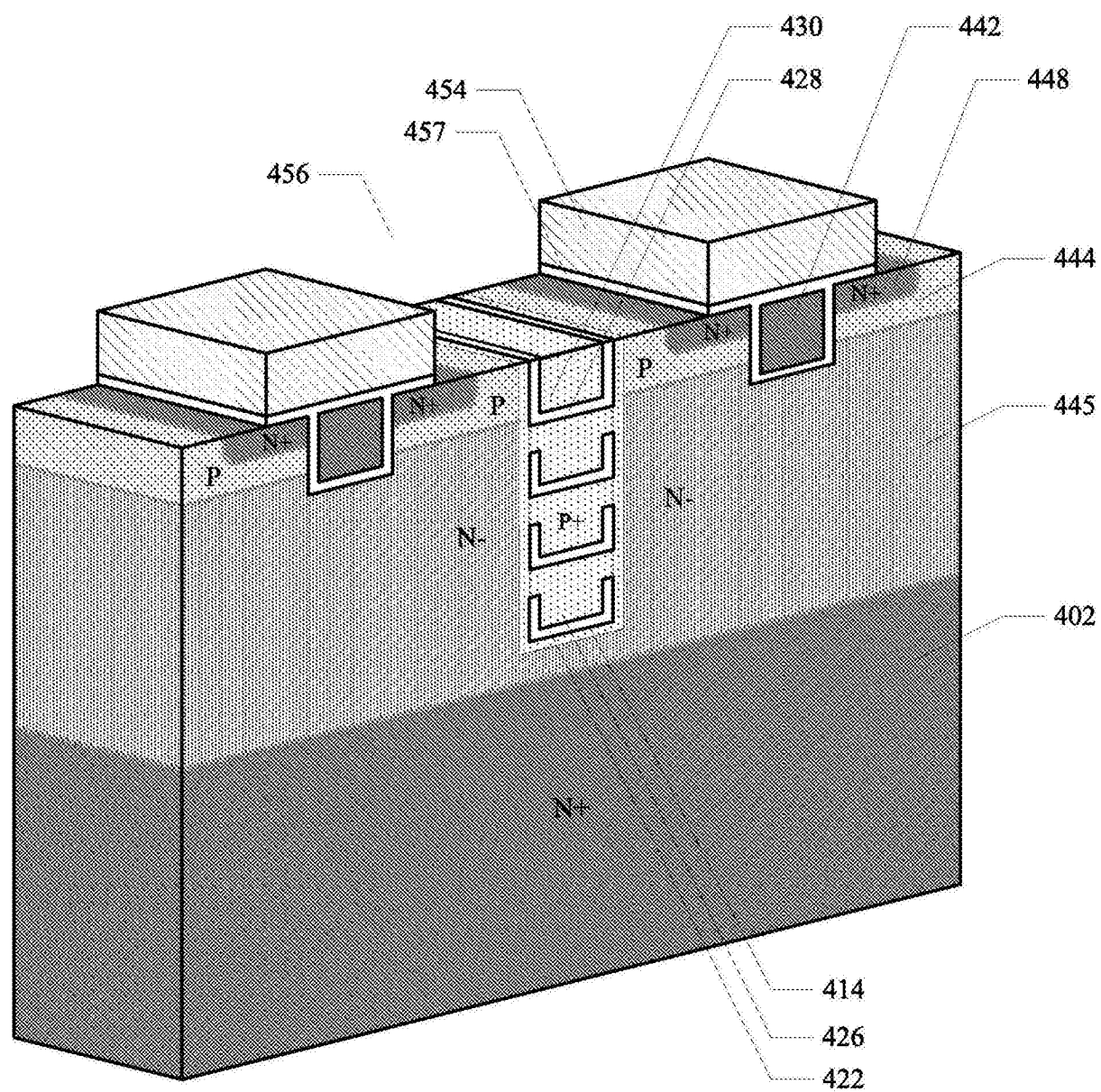


图 10L

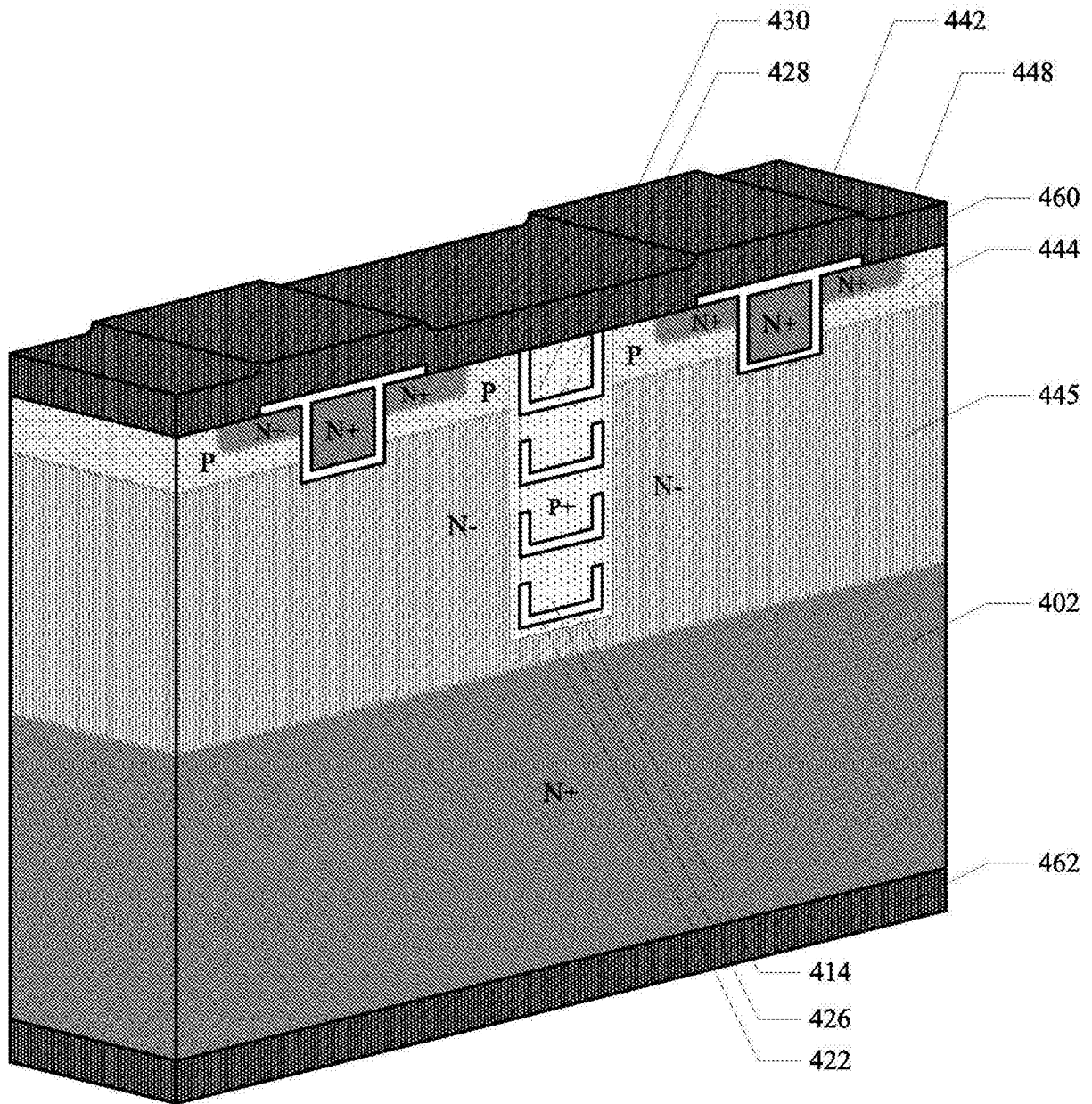


图10M

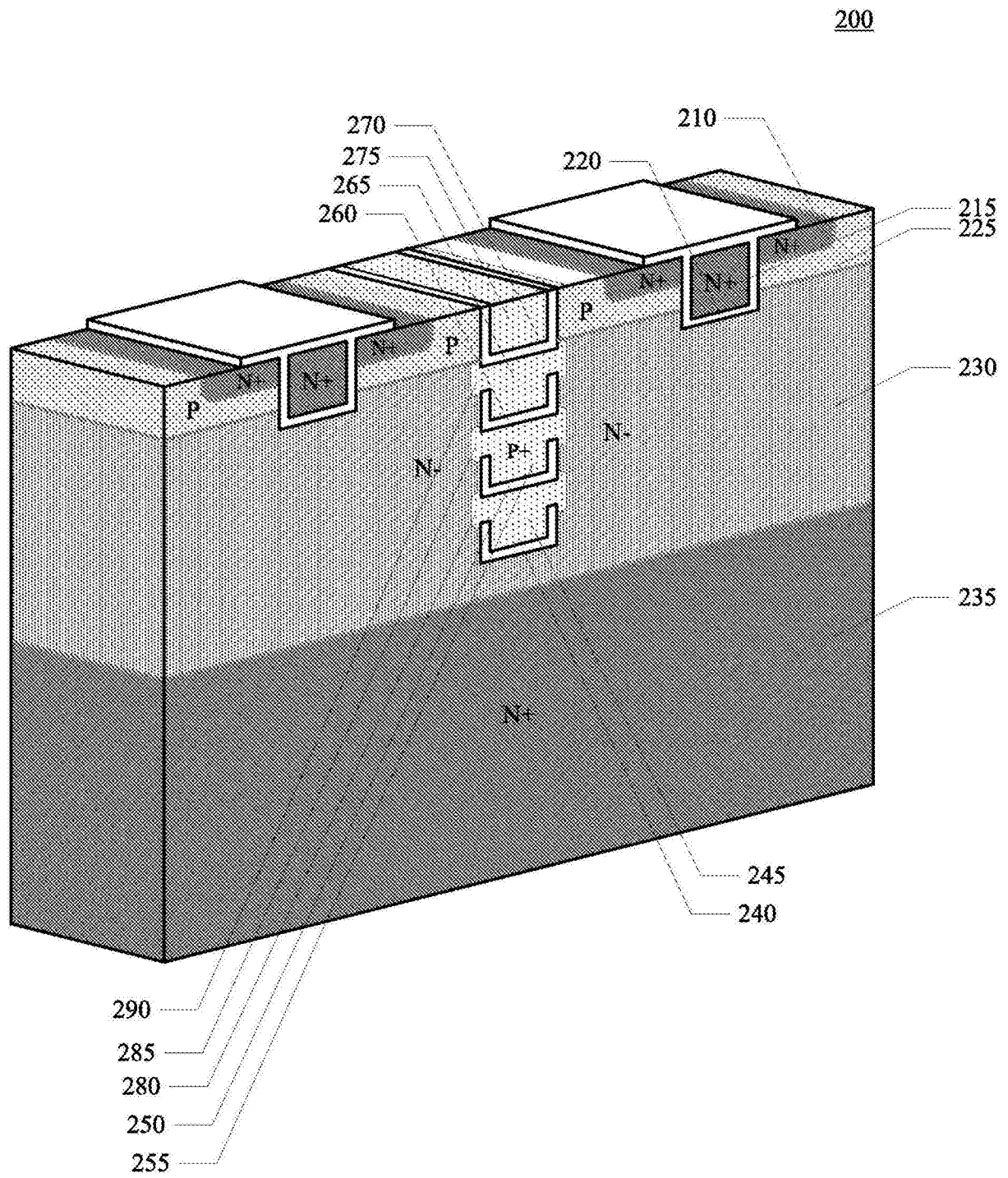


图11