

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5863395号
(P5863395)

(45) 発行日 平成28年2月16日(2016.2.16)

(24) 登録日 平成28年1月8日(2016.1.8)

(51) Int.Cl.

F 1

H03B 1/00 (2006.01)
H03L 7/08 (2006.01)H03B 1/00
H03L 7/08D
G

請求項の数 4 (全 11 頁)

(21) 出願番号 特願2011-241635 (P2011-241635)
 (22) 出願日 平成23年11月2日 (2011.11.2)
 (65) 公開番号 特開2013-98872 (P2013-98872A)
 (43) 公開日 平成25年5月20日 (2013.5.20)
 審査請求日 平成26年9月16日 (2014.9.16)

(73) 特許権者 000232483
 日本電波工業株式会社
 東京都渋谷区笹塚一丁目47番1号
 (74) 代理人 100091513
 弁理士 井上 俊夫
 (72) 発明者 赤池 和男
 埼玉県狭山市大字上広瀬1275番地の2
 日本電波工業株式会社 狹山事業所内
 (72) 発明者 古幡 司
 埼玉県狭山市大字上広瀬1275番地の2
 日本電波工業株式会社 狹山事業所内
 (72) 発明者 佐藤 信一
 埼玉県狭山市大字上広瀬1275番地の2
 日本電波工業株式会社 狹山事業所内

最終頁に続く

(54) 【発明の名称】発振器

(57) 【特許請求の範囲】

【請求項 1】

周波数の設定信号を発振回路部に入力することにより当該発振回路部から前記設定信号に応じた周波数の出力が得られるように構成され、公称周波数よりも低い周波数と公称周波数よりも高い周波数との間で周波数を可変できる発振器において、

公称周波数に対応するディジタル値を出力する公称周波数出力部と、

公称周波数に対する周波数の調整量を周波数の比率により設定するために、当該比率に対応するディジタル値を出力する周波数調整量出力部と、

この周波数調整量出力部から出力されたディジタル値に乘算すべきゲインに対応するディジタル値を出力するゲイン出力部と、

周波数調整量出力部から出力されたディジタル値に前記ゲイン出力部から出力されたゲインを乗算する乗算部と、

前記公称周波数出力部から出力されたディジタル値と前記乗算部から出力されたディジタル値とを加算して周波数の設定信号として出力する加算部と、を備え、

前記周波数調整量出力部にて設定可能なディジタル値の最小値に、周波数の比率で表わされる周波数可変幅の下限値を割り当てると共に、周波数調整量出力部にて設定可能なディジタル値の最大値に、周波数の比率で表わされる周波数可変幅の上限値を割り当てるよう、前記ゲインの値が決められていることを特徴とする発振器。

【請求項 2】

前記ゲイン出力部により出力されたゲインは、1よりも大きな第1のゲインと2の指數

10

20

の逆数である第 2 のゲインと、を含み、

前記乗算部にて得られる値は、周波数調整量出力部から出力されたディジタル値と第 1 のゲインと第 2 のゲインとを乗算した値であることを特徴とする請求項 1 記載の発振器。

【請求項 3】

前記周波数調製量及びゲインの値が含まれる、発振器にて用いる固有情報を記憶する不揮発性メモリを備え、

前記周波数調整量出力部及びゲイン出力部は揮発性メモリからなり、

前記揮発性メモリにおける前記周波数調整量及び前記ゲインは、前記不揮発性メモリから読み出されて書き込まれることを特徴とする請求項 1 または 2 記載の発振器。

【請求項 4】

ディジタルインターフェイスを備え、

前記周波数調整量及び前記ゲインは、外部の制御部から前記ディジタルインターフェイスを介して前記不揮発性メモリに書き込まれることを特徴とする請求項 3 記載の発振器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、周波数設定信号に応じた周波数で発振する発振器に関する。

【背景技術】

【0002】

水晶発振器の代表的な構成例としてコルピツ回路を用いた水晶発振器を図 6 に示す。この回路は、水晶振動子 101、インダクタ 102 及び電圧制御型の可変容量素子である例えばバリキャップダイオード 103 を含む共振部と、增幅部であるトランジスタ 104 と、を備え、アナログの制御電圧を制御端子 105 に入力することにより、バリキャップダイオード 103 の容量を変えて発振周波数を設定するように構成されている。106、107 は抵抗、108、109 はコンデンサである。

【0003】

従って発振周波数の可変幅は、バリキャップダイオード 103 における電圧 容量の直線領域に対応することになり、実際には周波数の可変幅を大きく取るためにバリキャップダイオード 103 は例えば 2 個用いられている。図 7 は、制御電圧と発振周波数との関係の一例を示しており、制御電圧が V1 から V2 の間にて出力周波数は f1 から f2 の間で直線的に変化する。なお電圧制御型の可変容量素子としてはバリキャップダイオードの他に、MOS 型の可変容量素子なども用いられている。

このような水晶発振器は、次のような課題がある。

ユーザ側における発振周波数の使用範囲に応じて、その使用範囲の中で高精度に周波数の設定を行う要請が大きいが、このような要請に対応することができない。例えば図 7において公称周波数が f0 であるとし、この f0 に対してユーザ側で必要な可変範囲に対してできるだけ高精度に調整しようとしても、分解能がアナログ電圧の調整機器の分解能により決まってしまう。また仮にユーザ側の発振周波数の使用範囲に対応する電圧の可変幅の最小値と最大値との間で制御電圧を変えることができるよう調整機器を構成した場合には、高い分解能が得られる。しかしながら、ユーザから要求される周波数の可変範囲はまちまちであることから、その都度ハード構成を構築しなければならず、つまりハード構成の共用化を行うことができず、このため製造効率が悪くなつて製造コストの高騰の要因になる。

【0004】

またアナログの直流電圧の不安定性や制御用の信号線のノイズによる出力の雑音劣化などにより、正確な周波数制御と周波数の高い安定度とを確保することが難しい。更にまたアナログ制御による周波数調整は調整精度を上げるためにデバイスの特性のばらつきを抑える必要があるが、特性のばらつきが小さいデバイスは価格が高い傾向にある。

【0005】

更に可変容量素子を用いた場合には、可変容量素子の非直線性領域に起因する周波数調

10

20

30

40

50

整の限界、可変容量素子の経年変化による周波数の変動、などの問題も顕在化する。一方、G P Sなど高い周波数安定度が要求される分野においては、周波数の許容変化率が 10^{-9} オーダである場合もあり、このような要求に対応し難い課題がある。

【0006】

特許文献1には、D D S参照用のクロックを出力し、この参照用のクロックをP L Lに入力して電圧制御発振器から目的とする周波数の周波数信号を出力する装置が記載されている。そしてスプリアスが良好な参照用のクロックの周波数と分周比とを設定するチャンネル番号群をメモリに記憶し、このメモリから読み出されたチャンネル番号に応じてD D Sから参照用のクロックを出力することが記載されている。しかしながらこの技術では、ユーザ側で必要な周波数の可変範囲に対してできるだけ高精度に調整するという要請には応えられない。10

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2011-19208号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明はこのような事情の下になされたものであり、その目的は、周波数の可変幅を容易に変更することができ、また周波数を高精度に調整することができる発振器を提供することにある。20

【課題を解決するための手段】

【0009】

本発明は、周波数の設定信号を発振回路部に入力することにより当該発振回路部から前記設定信号に応じた周波数の出力が得られるように構成され、公称周波数よりも低い周波数と公称周波数よりも高い周波数との間で周波数を可変できる発振器において、

公称周波数に対応するデジタル値を出力する公称周波数出力部と、

公称周波数に対する周波数の調整量を周波数の比率により設定するために、当該比率に対応するデジタル値を出力する周波数調整量出力部と、30

この周波数調整量出力部から出力されたデジタル値に乘算すべきゲインに対応するデジタル値を出力するゲイン出力部と、

周波数調整量出力部から出力されたデジタル値に前記ゲイン出力部から出力されたゲインを乗算する乗算部と、

前記公称周波数出力部から出力されたデジタル値と前記乗算部から出力されたデジタル値とを加算して周波数の設定信号として出力する加算部と、を備え、

前記周波数調整量出力部にて設定可能なデジタル値の最小値に、周波数の比率で表わされる周波数可変幅の下限値を割り当てると共に、周波数調整量出力部にて設定可能なデジタル値の最大値に、周波数の比率で表わされる周波数可変幅の上限値を割り当てるよう、前記ゲインの値が決められていることを特徴とする。40

【0010】

本発明の具体例を以下に挙げておく。

【0011】

前記ゲイン出力部により出力されたゲインは、1よりも大きな第1のゲインと2の指数の逆数である第2のゲインと、を含み、

前記乗算部にて得られる値は、周波数調整量出力部から出力されたデジタル値と第1のゲインと第2のゲインとを乗算した値である。

【0012】

前記周波数調製量及びゲインの値が含まれる、発振器にて用いる固有情報を記憶する不揮発性メモリを備え、

前記周波数調整量出力部及びゲイン出力部は揮発性メモリ例えばレジスタからなり、50

前記揮発性メモリにおける前記周波数調整量及び前記ゲインは、前記不揮発性メモリから読み出されて書き込まれる。

【0013】

前記周波数調整量及び前記ゲインは、外部の制御部から発振器に設けられたディジタルインターフェイスを介して前記不揮発性メモリに書き込まれる。

【発明の効果】

【0014】

本発明は、公称周波数出力部により公称周波数に対応するディジタル値を出力すると共に、公称周波数に対する周波数の調整分のディジタル値を、周波数比率で表わした周波数調整量とゲインとの乗算値として生成し、この乗算値を公称周波数に加算して周波数の設定信号としている。そして周波数調整量であるディジタル値の可変範囲と周波数比率で表わした周波数の可変幅とを対応させるようにゲインを決めている。従って本発明によれば、発振周波数の使用範囲に応じて可変幅を設定し、その可変幅の中で高精度に周波数の設定を行うことができる。

10

【図面の簡単な説明】

【0015】

【図1】本発明の実施形態の全体構成を示すブロック図である。

20

【図2】可変幅設定部を構成する一部のレジスタの入出力の関係を示す説明図である。

【図3】周波数調整量に相当するディジタル値と公称周波数に対する変動率との関係を示す特性図である。

【図4】本発明の実施形態に用いられるレジスタのアドレスとデータとを対応させた説明図である。

【図5】本発明の他の実施形態を示す回路図である。

【図6】従来の発振器を示す回路図。

【図7】従来の発振器における制御電圧と発振周波数（出力周波数）との関係を示す特性図である。

【発明を実施するための形態】

30

【0016】

図1は本発明の実施形態にかかる発振器の全体構成を示すブロック図である。この発振器は、設定された周波数に応じた周波数信号を出力する周波数シンセサイザとして構成されている。この周波数シンセサイザは、発振回路部1と、この発振回路部1の動作に必要なパラメータを出力する機能及び当該発振回路部1を制御する制御部であるマイクロコンピュータ2と、を備えている。

【0017】

発振回路部1は、DDS (Direct Digital Synthesizer) 11を備えており、このDDS 11は、周波数の設定信号である周波数データ（ディジタル値）が入力されることにより、当該周波数データに対応する周波数の信号を出力する機能を備えている。DDSの一例としては、例えば周波数データに対応する鋸波をディジタル値により生成し、この鋸波を構成するディジタル値の並びのうち、負のディジタル値から正のディジタル値に変わることをタイミング（ゼロクロスポイント）ごとに矩形波を出力する機能を備えたものを挙げることができる。

40

【0018】

DDS 11から出力される矩形波である周波数信号は、リファレンス（参照用）クロックであり、従ってDDS 11は参照用クロックの出力部である。一方、発振回路部1の一部をなす電圧制御発振器12の出力は分周器13で分周され、分周器13から出力されるパルスの位相と前記リファレンスクロックの位相とが位相比較部14にて比較される。位相比較部14における比較結果である位相差がチャージポンプ15によりアナログ化され

50

、アナログ化された信号はループフィルタ16に入力され、ここで積分される。そしてループフィルタ16の出力が電圧制御発振器12に制御電圧として入力され、こうしてPLL(Phase locked loop)が安定するように制御される。電圧制御発振器12からは前記リファレンスクロックの周波数に対応する周波数、この例ではリファレンスクロックの周波数に対して、分周比の分母であるN倍の周波数のパルス信号が周波数シンセサイザの出力信号として出力される。

【0019】

次にマイクロコントローラ2に関して説明する。マイクロコントローラ2は、周波数シンセサイザの周波数設定に関する機能を備えている。この実施の形態に係る周波数シンセサイザは、メーカー側で決める公称周波数に対して、メーカー側で設定される可変幅で可変できるように構成されている。可変幅は、公称周波数に対する比率(ppm)で表され、公称周波数に対して例えばプラス側及びマイナス側に同じ比率が設定されている。可変幅の具体例としては、公称周波数±5ppmのように表される。従って周波数シンセサイザのユーザは、この可変幅の範囲内で周波数を調整することができる。言い換えれば、周波数シンセサイザのメーカーは、ユーザからの要請により、可変幅を設定することになる。

3は公称周波数出力部に相当する第1のレジスタであり、例えば32ビットのデジタル値(デジタルデータ)により公称周波数を設定する役割を有する。

【0020】

41は周波数調整量出力部に相当する第2のレジスタであり、第2のレジスタ41は、例えば2の補数で表現した24ビットのデジタル値(デジタルデータ)により周波数調整量を設定する役割を有する。この周波数調整量は、メーカー側で設定された可変幅の中で、ユーザが公称周波数に対する比率を設定するためのものである。この周波数調整量が決まると、後述するように公称周波数に、前記比率に応じた周波数が加算され、その加算値が周波数設定信号である周波数データとなる。

またマイクロコントローラ3には、第2のレジスタ41にて設定された周波数調整量に対してゲインを設定するためのゲイン出力部が設けられている。ゲイン出力部は、第1のゲインG1を設定するための第1のゲイン出力部に相当する第3のレジスタ42と第2のゲインG2を設定するための第2のゲイン出力部に相当する第4のレジスタ43とからなる。44及び45は、各々乗算部である。

【0021】

ゲインG1及びG2は、第2のレジスタ41にて設定された周波数調整量の最小値が可変幅の下限値(例えば-5ppm)に対応し、前記第2のレジスタ41にて設定された周波数調整量の最大値が可変幅の上限値(例えば+5ppm)に対応するように、決められている。即ち、前記周波数調整量を最小値から最大値に変更していくと、周波数調整量×G1×G2の値が例えば-5ppm~+5ppmに変わることになる。

第1のゲインG1は、例えば2の補数で表現した8ビットのデジタル値として表される。

【0022】

第2のゲインG2は、前記周波数調整量に第1のゲインG1を乗算した値に対して丸め処理(2^{-n} を乗算する処理(nは自然数))を行うための値である。第4のレジスタ43は、3ビットのデジタル値の入力に対して、 2^0 、 2^{-3} 、 2^{-6} 、 2^{-8} 、 2^{-9} 、 2^{-10} 、 2^{-11} 、 2^{-12} の値の中から入力値に対応する値がゲインG2として選択されて出力される。3ビットのデジタル値とゲインG2との関係を図2に示しておく。

周波数調整量、可変幅、及びゲインG1、G2について具体例を挙げておく。公称周波数が38.88MHzであり、この公称周波数に対応したデジタル値が仮に「128792027777」であるとする。可変幅を±5ppmとすると、第1のレジスタ3のデジタル値において、38.88MHzの5ppmに相当するデジタル値は「643960」である。第2のレジスタ41における2の補数で表現される24ビットの最大値は

10

20

30

40

50

「8388608 - 1」であるから、24ビットのデジタル値が最大値のときに、乗算部45の出力値が「643960」となるゲインG1、G2を見つけることにより、可変幅を±5ppmに設定することができる。この場合、ゲインG1は79、ゲイン2は2⁻¹⁰となる。

【0023】

30は加算部であり、第1のレジスタ3にて設定された公称周波数に対応するデジタル値と乗算部45からのデジタル値とが加算される。上述の例では、周波数調整量出力部41にて、2の補数表現のデジタル値の最小値である「-8388608」に設定したときに、加算部30で得られるデジタル値（周波数設定データ）は、38.88MHzから5ppm相当の周波数（38.88MHz × 5 / 100万）を差し引いた値となる。また周波数調整量出力部41にて最大値である「8388608 - 1」に設定したときに、加算部30で得られるデジタル値（周波数設定データ）は、38.88MHzから5ppm相当の周波数（38.88MHz × 5 / 100万）を加えた値となる。

10

【0024】

即ち、周波数調整量出力部41における周波数調整量は、38.88MHz ± 5ppm相当の周波数の可変幅の中で、そのデジタル値に見合う周波数を設定できることになる。図3は周波数調整量出力部41にて設定されるデジタル値を最小値から最大値まで変化させたときの周波数調製量（公称周波数に対する周波数の比率）を表わしたものであり、可変幅を±5ppmに設定したとき、±7ppmに設定したときの例を示している。

20

【0025】

図1に戻って、マイクロコントローラ2には不揮発性メモリ、例えばEEPROM(Electrically Erasable Programmable ROM)からなる外部メモリ51が接続されている。またマイクロコントローラ2は、上位コンピュータ6と正常に通信ができるインターフェイス52を備えている。このインターフェイス52は、例えばシリアルインターフェイスの標準規格である「I2Cインターフェイス」または「RS232」などが用いられる。なお、インターフェイス52は、パラレルインターフェイスであってもよい。

20

【0026】

外部メモリ51は、発振器ごとに固有な固有情報が書き込まれている。固有情報としては、発振回路部1にて必要な種々なパラメータ、製品番号などが挙げられるが、前記第1～第4のレジスタ3、41、42、43に記憶されるデジタル値も固有情報に含まれる。外部メモリ51に対する固有情報の書き込みは、メーカーにて上位コンピュータ6からインターフェイス52を介して行われる。そしてこの例では、前記第1～第4のレジスタ3、41、42、43に夫々割り当てられるアドレスと、外部メモリ51内にて公称周波数、周波数調整量、第1のゲインG1、第2のゲインG2に夫々割り当てられるアドレスとが一致している。例えば外部メモリ51内にて公称周波数に割り当てられるアドレスがA2であるとすると、第1のレジスタ3に割り当てられるアドレスもA2である。

30

【0027】

次に上述実施の形態の作用について説明する。先ず発振器メーカーは、発振器を製造するときに上位コンピュータ6から必要なパラメータを外部メモリ6に書き込んでおく。パラメータには、既述の公称周波数、ゲインG1、G2の値などが含まれる。公称周波数の設定については次のようにして行われる。第1のレジスタ3から周波数設定信号であるデジタル値を発振回路部1のDDS11に入力し、発振回路部1の出力周波数を周波数計測器により計測し、出力周波数が公称周波数となる前記デジタル値を公称周波数の設定値として外部メモリ51に書き込む。このとき第2のレジスタ41にはデジタル値としてゼロの値が記憶されている。

40

【0028】

そして公称周波数に対応する第1のレジスタのデジタル値が決定されると、公称周波数が38.88MHzであり、この公称周波数に対応したデジタル値が「128792027777」である場合を例にとって既に詳述したように、第3のレジスタ42におけるゲインG1の値及び第4のレジスタ43におけるゲインG2の値が決定される。メーカ

50

一は、例えばユーザの要求に応じて公称周波数に対する可変幅(可変比率)を決め、この可変幅に応じてゲインG1、G2の各値が決定される。これらの値は上位コンピュータ6からシリアル信号としてインターフェイス52に入力され、ここでパラレル信号に変換されて外部メモリ51に書き込まれる。

【0029】

このようにゲインG1、G2が決まると、第2のレジスタ41に記憶するデジタル値のフルレンジが可変幅、例えば±5ppmに対応し、当該デジタル値を調整することにより出力周波数が例えば図3に示すように調整できる。周波数調整量はメーカーにより例えばゼロ値が設定されており、ユーザはメーカーが設定した可変幅の範囲内において出力周波数を所望の値に設定することができる。10

即ち、ユーザは必要な周波数調整量を上位コンピュータ6からインターフェイス52を介して第2のレジスタ41のデータを書き換える。なお、第2のレジスタ41に書き込まれるべき周波数調整量は、他のパラメータと同様に、上位コンピュータ6からインターフェイス52を介して外部メモリ51に一旦書き込み、装置の電源投入時に第2のレジスタ41に読み出されるように構成してもよい。

【0030】

その後、発振器の電源を投入すると、マイクロコントローラ2内に格納されているプログラムにより、外部メモリ51内のパラメータが読み出されて、対応するレジスタに書き込まれる。第1のレジスタ3からは公称周波数に対応するデジタル値が出力される。第2のレジスタ41は、ユーザがインターフェイス52を介して任意に調整することができ、公称周波数に対する調整比率に応じたデジタル値が出力される。この調整比率に応じたデジタル値にゲインG1、G2が乗算されて、公称周波数に対して調整すべき周波数に対応するデジタル値が求められる。このデジタル値と公称周波数に対応するデジタル値とが加算部30にて加算され、加算値が周波数設定信号として発振回路部1のDDS11に入力され、既に詳述したように動作して発振回路部1から必要としている出力周波数が得られる。20

【0031】

なお発振回路は、OCXO(恒温槽付き発振器)であってもよいし、あるいはTCXO(温度補償付き発振器)であってもよく、TCXOの場合には、記述のようにして得られた周波数設定信号(加算部30からの出力信号)に、温度検出部における検出結果に応じた補償信号が加算されてDDS11に入力されることになる。30

【0032】

上述の実施の形態では、公称周波数出力部である第1のレジスタ3により公称周波数に対応するデジタル値を出力すると共に、公称周波数に対する周波数の調整分のデジタル値を、周波数比率で表わした周波数調整量とゲインとの乗算値として生成し、この乗算値を公称周波数に加算して周波数の設定信号としている。そして周波数調整量であるデジタル値の可変範囲と周波数比率で表わした周波数の可変幅とを対応させるようにゲインを決めている。従って本発明によれば、例えばメーカーが発振周波数の使用範囲に応じて、周波数比率で表される可変幅を外部コンピュータ6により設定することができ、そしてユーザはその可変幅の中で高精度に周波数の設定を行うことができる。従ってハード構成を変更することなく、種々の周波数調整レンジ仕様(可変幅)に対応できる。40

即ち、周波数調整量に対応するデジタルデータのビット幅を十分広く確保することにより、高い周波数の設定精度が得られる。

【0033】

またデジタル値により周波数調整を行っているため、アナログ信号を用いる場合に問題となる電子雑音の影響を受けないし、アナログ素子の経年変化や温度による特性の変化に基づく周波数の不安定性の問題も解消される。このため周波数の安定性が高く、GPSなどの高安定周波数制御が要求されるシステムに適している。更にまたレジスタ41にデジタル値を設定することにより周波数調整量が決まるところから、アナログ回路により周波数設定をする場合に比べて、周波数の設定入力値と発振回路部に入力される周波数設定50

信号との直線性が良好になり、このため周波数の設定入力値と出力周波数との直線性が良好になる。

ここで各レジスタ 3、4 1、4 2、4 3 にデジタル値を書き込む手法は、外部メモリ 5 1 から読み出すことに限られるものではなく、上位コンピュータからインターフェイス 5 2 を介して直接書き込むようにしてもよい。

また本発明は、ユーザ側にて周波数の可変幅を変更するようにしてもよい。

【0034】

本発明は、周波数の設定信号に応じて出力周波数が決まる発振器であれば、発振回路部としては種々の構成を採用できる。

図 5 は、発振回路部としてコルピツ回路を用いた例である。7 は発振回路部を示し、背景技術で説明した図 6 の回路と同じ部分には同じ符号を付している。この例では、図 1 に示したマイクロコントローラ 2 の周波数設定信号の出力端（加算部 3 0 の出力端）と制御入力端子 1 0 5 との間にデジタル／アナログ変換部 7 1 が設けられており、デジタル値である周波数設定信号をデジタル／アナログ変換部 7 1 にてアナログ信号に変換して、制御入力端子 1 0 5 に入力される。この例においても既述の実施の形態と同様の効果が得られる。

なお発振回路部としては、コルピツ回路の他に、Pierce回路、Clapp回路、Butler回路など他の発振回路であってもよい。

【0035】

ここで周波数の可変幅は、周波数比率で表したときに、公称周波数よりも高い側の比率と低い側の比率とが同じであることに限定されず、互いに異なるように設定してもよい。即ち、上述の実施形態では、公称周波数に対して $\pm 5 \text{ ppm}$ などの例を挙げているが、例えば公称周波数に対して -4 ppm から $+6 \text{ ppm}$ のように設定してもよい。

このように設定は、例えば図 1 に示す構成に加えて補助レジスタを設けることにより実施できる。例えば公称周波数に対して $\pm 5 \text{ ppm}$ の可変幅を設定したとすると、補助レジスタには、 $+1 \text{ ppm}$ に相当するデジタル値を設定しておき、第 2 のレジスタ 4 1 から出力されるデジタル値に補助レジスタからのデジタル値を加算し、その加算値にゲイン G 1、G 2 を乗算するように構成する。この場合、第 2 のレジスタ 4 1 のデジタル値を最小値から最大値に変えると、 $+1 \text{ ppm}$ の周波数調整分が加わることから、 -4 ppm から $+6 \text{ ppm}$ の可変幅が得られる。

【0036】

また図 1 の実施の形態では、公称周波数出力部、周波数調整量出力部及びゲイン出力部としてレジスタを用いているが、レジスタに限らず例えば RAM (Random Access Memory) を用いてもよい。

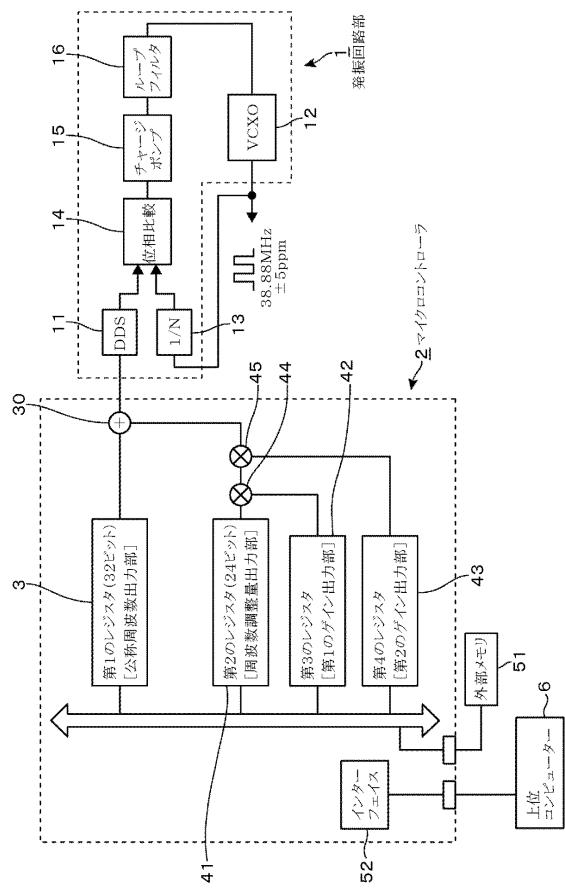
更にまた発振回路部は、水晶振動子を発振部とする構成に限られるものではなく、例えば L C 共振部（インダクタ成分とコンダクタ成分とを用いた共振部）を発振部とする構成であってもよい。

【符号の説明】

【0037】

1	発振回路部	40
2	マイクロコントローラ	
3	第 1 のレジスタ（公称周波数出力部）	
3 0	加算部	
4 1	第 2 のレジスタ（周波数調整量出力部）	
4 2	第 3 のレジスタ（第 1 のゲイン出力部）	
4 3	第 4 のレジスタ（第 2 のゲイン出力部）	
5 1	外部メモリ	
5 2	インターフェイス	
6	外部コンピュータ	
7	発振回路部	50

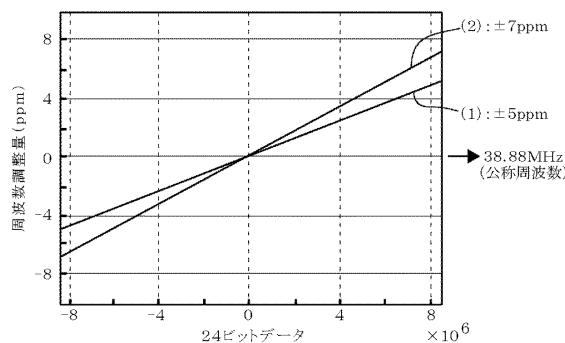
【図1】



【図2】

レジスタ入力	レジスタ出力(G2)
000	2^{-0}
001	2^{-1}
010	2^{-2}
011	2^{-3}
100	2^{-4}
101	2^{-5}
110	2^{-6}
111	2^{-7}

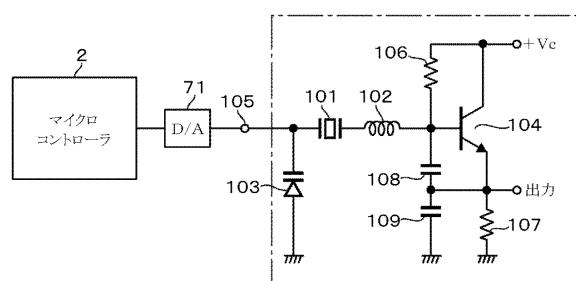
【図3】



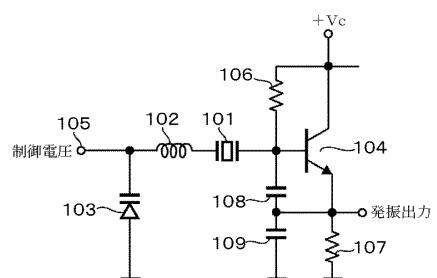
【図4】

アドレス	データ
A0	D0
A1	D1
A2(第1のレジスタ)	D2
A3	D3
A4(第2のレジスタ)	D4
A5	D5
A6	D6
A7(第3のレジスタ)	D7(G1)
A8(第4のレジスタ)	D8(G2)
...	...

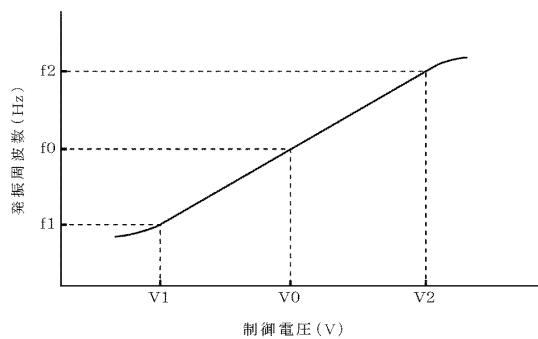
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 小山 光明

埼玉県狭山市大字上広瀬1275番地の2 日本電波工業株式会社 狹山事業所内

審査官 高 橋 義昭

(56)参考文献 特開平10-022825(JP,A)

特開2008-098790(JP,A)

米国特許出願公開第2008/0084248(US,A1)

特開2007-208372(JP,A)

特開2007-150590(JP,A)

特開平08-256058(JP,A)

特開2011-019208(JP,A)

特開2011-055402(JP,A)

特開2008-109243(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03B 1/00

H03L 7/08