

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年7月22日(2010.7.22)

【公開番号】特開2008-305082(P2008-305082A)

【公開日】平成20年12月18日(2008.12.18)

【年通号数】公開・登録公報2008-050

【出願番号】特願2007-150548(P2007-150548)

【国際特許分類】

G 06 F 12/08 (2006.01)

【F I】

G 06 F	12/08	5 0 1 D
G 06 F	12/08	5 0 5 B
G 06 F	12/08	5 5 1 Z
G 06 F	12/08	5 7 5

【手続補正書】

【提出日】平成22年6月3日(2010.6.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

リンク構造が構築されたDRAMと、

システムバスと、

前記DRAMを前記システムバスを介してアクセスするために、前記リンク構造のリストをアクセスするための先読み情報を付加した読み出し命令を出力するマスタと、

キャッシュメモリと、

前記システムバスと前記DRAMとの間に配備され、前記マスタからの前記DRAMの読み出し命令を受け、前記キャッシュメモリに該読み出し命令に応じたデータが格納されているときは該データを該キャッシュメモリから読み出して前記マスタに送り、該キャッシュメモリに該読み出し命令に応じたデータが格納されていないときは該読み出し命令を前記DRAMに伝えて該DRAMから読み出された該読み出し命令に応じたデータを前記マスタに送るとともに該DRAMから先読みしたデータを前記キャッシュメモリに格納するキャッシュメモリコントローラと、

前記先読み情報を受け取り、該先読み情報に従って前記リンク構造を辿って、前記キャッシュメモリコントローラに、前記DRAMからデータを先読みさせて前記キャッシュメモリに格納させるシーケンサとを備えたことを特徴とするメモリシステム。

【請求項2】

前記シーケンサが、前記先読み情報の番号ごとのアドレスオフセット値を格納する複数のレジスタと、前記先読み情報の番号に対応する前記レジスタに格納されたアドレスオフセット値を使って、前記キャッシュメモリコントローラに、前記DRAMからデータを先読みさせるシーケンサマスターとを備えたことを特徴とする請求項1記載のメモリシステム。

【請求項3】

前記キャッシュメモリコントローラが、前記マスターからの読み出し命令を受け取る第1のポートと、前記シーケンサから前記先読みのための読み出し命令を受け取る第2のポートとを有することを特徴とする請求項1又は2記載のメモリシステム。