

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年11月15日 (15.11.2007)

PCT

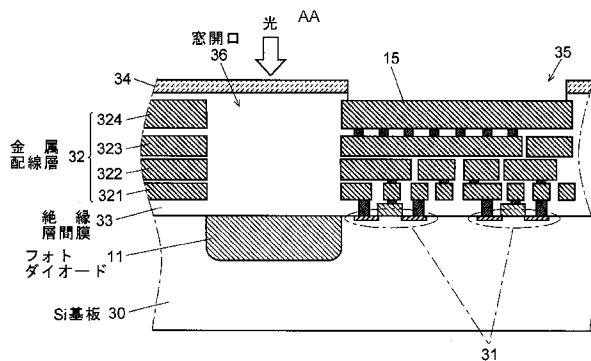
(10) 国際公開番号
WO 2007/129451 A1

- (51) 国際特許分類:
G01N 27/00 (2006.01) G01N 21/64 (2006.01)
- (21) 国際出願番号: PCT/JP2007/000401
- (22) 国際出願日: 2007年4月12日 (12.04.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-121393 2006年4月26日 (26.04.2006) JP
- (71) 出願人(米国を除く全ての指定国について): 国立大学法人奈良先端科学技術大学院大学 (NATIONAL UNIVERSITY CORPORATION NARA INSTITUTE OF SCIENCE AND TECHNOLOGY) [JP/JP]; 〒6300192 奈良県生駒市高山町8916-5 Nara (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 徳田崇 (TOKUDA, Takashi) [JP/JP]; 〒6300192 奈良県生駒市高山町8916-5 国立大学法人奈良先端科学技術大学院大学内 Nara (JP). 太田淳 (OHTA, Jun) [JP/JP]; 〒6300192 奈良県生駒市高山町8916-5 国立大学法人奈良先端科学技術大学院大学内 Nara (JP).
- (74) 代理人: 小林良平 (KOBAYASI, Ryohei); 〒6008091 京都府京都市下京区東洞院通四条下ル元悪王子町37番地 豊元四条烏丸ビル7階 小林特許商標事務所 Kyoto (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

[続葉有]

(54) Title: IMAGE SENSOR

(54) 発明の名称: イメージセンサ



32 METALLIC WIRING LAYER
 33 INSULATING INTERLAYER FILM
 11 PHOTODIODE
 30 Si SUBSTRATE
 36 WINDOW OPENING
 AA LIGHT

(57) Abstract: A metallic wiring layer (324), i.e., the uppermost layer of the light-shielding layer is formed of a multilayer metallic wiring (32) to hinder light from entering regions of a photodiode (11) other than the light-receiving region of each pixel cell. The metallic wiring layer (324) is brought into direct contact to a subject and used as a measurement electrode (15) for measuring an electric signal. A circuit for reading the electric signal produced by the measurement electrode (15) is provided in each pixel cell independently or commonly in addition to the circuit for reading the electrical signal produced by the photodiode (11). With this, in each pixel cell, the photodiode (11) for optical measurement and the measurement electrode (15) for electrical measurement are provided. The spatial resolutions of both two-dimensional images of the image sensor integrally having an optical measurement function of acquiring optical information on a subject and an electrical measurement function of acquiring electrical information on the subject can be both improved.

(57) 要約: 各画素セルにおいてフォトダイオード(11)の受光領域以外に光が入射することを妨げる、多層金属配線(32)による遮光層の中の最上層の金属配線層(324)を、検体に直接接触して電気信号を計測するための計測電極(15)として利用する。また、各画素セル内に、フォトダイオード(11)による電気信号を読み出す回路のほか、独立して或いは共用化して、計測電極(15)による

[続葉有]

WO 2007/129451 A1



HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

電気信号を読み出すための回路を設ける。これにより、各画素セル毎に光計測用のフォトダイオード(11)と電気計測用の計測電極(15)とを設けることができる。従って、検体による光学的情報を取得する光計測機能と検体による電気的情報を取得する電気計測機能と一体化したイメージセンサにおいて、両二次元画像の空間分解能をともに高くすることができる。

明 細 書

イメージセンサ

技術分野

[0001] 本発明は、検体（測定対象物）に由来する光学的情報や電気的情報を検出してその測定対象試料に関連した二次元画像を再現するためのイメージセンサに関し、特に、主として生化学、分子生物学、臨床医学等の分野において、DNA、mRNA、タンパク質、ペプチド、糖類などの各種生体組織の測定・観察を行うために好適なイメージセンサに関する。

背景技術

[0002] 近年、生化学、分子生物学、臨床医学等の分野において、生物の遺伝子情報の利用が進んでおり、それに伴いDNAの構造解析の技術は急速に進歩している。従来より、DNA構造を解明するためにDNAマイクロアレイ（DNAチップともいう）が用いられている。DNAマイクロアレイでは、スライドガラス等の基板の上に複数種類の既知の塩基配列を有するDNAプローブが固定されており、この基板の上に検体であるサンプルDNAを流すと、ハイブリダイゼーションによりサンプルDNAは対応する特定のDNAプローブと相補的に結合して基板の上に固定される。したがって、サンプルDNAが結合したDNAプローブを特定することによりサンプルDNAの塩基配列に関する情報を得ることができる。

[0003] サンプルDNAが結合したDNAプローブを特定する方法として、大別して、光学計測によるものと電気計測によるものがある。前者の方法では、予め蛍光標識を施したサンプルDNAをマイクロアレイ基板の上に流し、DNAプローブと相補結合させる。その状態で、所定波長の励起光をマイクロアレイに照射するとサンプルDNAと結合したDNAプローブのみが蛍光発光する。したがって、この蛍光強度を光検出器により検出し、いずれのDNAプローブが発光しているのかを調べることでサンプルDNAの塩基配列に関する情報を得ることができる。一般的には、例えば近接場顕微鏡などの微弱

な蛍光を検出可能な装置を用いる必要があるが、DNAマイクロアレイと二次元検出器とを一体化した装置も提案されている（例えば特許文献1、2など参照）。

[0004] 一方、電気計測においてもDNAマイクロアレイと検出用のセンサとを一体化する試みがなされており、計測対象のスポットに直接接触する電極によりハイブリダイゼーションに伴う電気化学特性の変化を検出する方法と、絶縁膜等を挟んで計測対象のスポットと容量結合する電極によりスポットの静電的特性の変化を検出する方法とが提案されている。

[0005] 上記のようなDNAマイクロアレイを用いたDNA構造解析において、光学計測による検出と電気計測による検出とを並行的に進めることが可能であれば、それぞれの検出漏れや不確定性を補って解析精度の大幅な向上が望める。しかしながら、従来、こうした解析を実現可能なセンサは存在しなかった。

[0006] また上記のようなDNAマイクロアレイに限らず、生体組織等の生体試料の観察や測定を行う上で、光学計測と電気計測とを並行して実行することは非常に有効である。こうした観点から、本願出願人は、生体試料についての光学計測と電気計測とを同時に行えるようにしたイメージセンサの特許文献3において提案している。この文献に記載のイメージセンサによれば、二次元状に配列された光電変換部の一部で、画素に代えて保護膜から上方に突出する電極を設けており、この電極を保護膜上に載置された試料に接触させるようにして試料の電気信号を取り出すとともに光電変換部で試料から発せられた蛍光などを検出することが可能となっている。

[0007] しかしながら、上記構成では、電気計測はあくまで補助的なものであることを想定しているため、電気計測による二次元画像の空間分解能を上げるために電極の数を増加しようとするすると光電変換部の数を減らさなければならず、光学計測による二次元画像の空間分解能が低下する。即ち、両方の二次元画像の空間分解能をともに高くすることはできず、必ずしも相補的に利用できるような結果を得ることは難しいという問題がある。

[0008] 特許文献1：特開2002-202303号公報

特許文献2：特開2005-4991号公報

特許文献3：特開2005-207155号公報

発明の開示

発明が解決しようとする課題

[0009] 本発明は上記課題に鑑みて成されたものであり、その第1の目的とするところは、同一の試料に対し蛍光等の光学計測による高分解能の二次元画像の取得と電気計測による高分解能の二次元画像の取得とを同時並行的に或いは時分割で以て行うことができるイメージセンサを提供することにある。

[0010] また上記のようなイメージセンサを実現するためには電気計測を行うための計測電極をLSI技術により実現することが必要であるが、容量結合型の構成では、LSI製造プロセスの過程で発生する残留電荷が蓄積し、これがバックグラウンドノイズとなる可能性がある。

[0011] 本発明の第2の目的とするところは、こうした残留電荷を容易に除去することができ、バックグラウンドノイズを抑制することができるイメージセンサを提供することにある。

[0012] さらにまた、本発明の第3の目的とするところは、LSI技術を利用することで従来の電気計測では困難であった高機能な計測を可能とするイメージセンサを提供することにある。

課題を解決するための手段

[0013] 上記第1の目的を達成するために成された第1発明は、検体による光学的情報を取得する光計測機能と、前記検体に直接接触して又は容量結合を介して該検体による電気的情報を取得する電気計測機能と、を同一半導体基体上に搭載したイメージセンサであって、

a) 前記半導体基体の表層に設けられた光計測機能のための光電変換部と、

b) 前記半導体基体の表層を被覆するように設けられ、少なくとも最上層が導電体層であって前記光電変換部への光の導入のための非遮光領域を有する複数層の遮光層と、

c) 前記遮光層の最上層の導電体層を利用して形成された電気計測機能のための計測電極と、

を備えることを特徴としている。

[0014] ここで導電体層は典型的には金属層であるが、金属以外の導電性物質から成る層でもよい。

[0015] 上記第1発明に係るイメージセンサの一態様として、前記半導体基体の一面に画素セルが n 行 m 列の二次元状に多数配置され、各画素セルは、前記光電変換部と前記計測電極のほか、前記光電変換部で得られた電気信号を選択的に読み出すための第1読み出し回路と、前記計測電極で得られた電気信号を読み出すための第2読み出し回路と、を含む構成とすることが好ましい。ここで光電変換部は典型的にはフォトダイオードである。

[0016] 一般的なCMOSイメージセンサ等のLSI回路では2層以上の多層配線が利用されるから、前記遮光層としてこの多層配線のために半導体基体上に積層される金属配線層を用いることができる。また、金属配線層以外に、MOSトランジスタのゲート電極やコンデンサを形成するために用いられる多結晶シリコン層などを含んでもよいが、少なくとも遮光層の最上層は金属等の導電体層である。

[0017] 基本的に、遮光層は光電変換部以外の、例えば読み出し回路等を構成するMOSトランジスタなどに、光が入射することにより不要な電荷が発生することを防止するためのものであり、上述したような多層配線のパターンを適宜に設計することにより遮光領域と非遮光領域が設定される。第1発明に係るイメージセンサでは、この遮光層の中で最上層の導電体層を例えば画素セル毎に区画することで分離し、これを計測電極として利用する。但し、画素セル毎に分離するために導電体層が除去された部分は遮光のために機能しなくなるから、その部分について下層の金属配線層等のパターンで遮光が行われるように配慮することが望ましい。

発明の効果

[0018] 第1発明に係るイメージセンサによれば、各画素毎にそれぞれ光電変換部

とともに計測電極を配置することができるため、光電変換部による電気信号に基づく光学的現象を捉えた二次元画像と計測電極による電気信号に基づく電氣的現象を捉えた二次元画像とをともに高い空間分解能とすることができる。また、両二次元画像を同時並行的に又は時分割で取得することができる。これにより、例えば光学的情報と電氣的情報とを適宜組み合わせる又は補い合うようにして測定対象物の観察・測定精度を大幅に向上させることができる。

[0019] 上記第1発明に係るイメージセンサでは、遮光層の表層に保護膜層を設ける構成とすることにより計測電極の形態として2つのいずれかを選択することができる。即ち、遮光層の表層には保護膜層が形成されるが、計測電極上で保護膜層に開口部を設けることで計測電極が露出するようになれば、検体に計測電極を接触させて直接的に電気信号を計測することができる。また、絶縁体である保護膜層で計測電極を被覆して計測電極が露出しないようにした構成では、保護膜層上に載置される検体と該保護膜層を挟んで容量結合することで該計測電極に発生する電気信号を計測することができる。

[0020] 即ち、計測電極上を被覆する保護膜層を除去するかどうかにより、同じ電気計測でも直接計測と容量結合計測とを選択することが可能となる。もちろん、一個のイメージセンサにおいて、複数の画素セルの中の所定個数を直接計測型にし、他を容量結合計測型にするように両者を混在させることも可能である。

[0021] また、第1発明に係るイメージセンサでは、各画素セルにおいて光学計測用の第1読み出し回路と電氣的計測用の第2読み出し回路とが独立して設けられ、列内に配置される複数の画素セルに共通の信号読み出し線を光計測用と電気計測用とで独立して設ける構成とすることにより、光学計測と電気計測とを同時に行うことができる。

[0022] 一方、各画素セルにおいて第1読み出し回路と第2読み出し回路との少なくとも一部を共用化し、列内に配置される複数の画素セルに共通の信号読み出し線は光計測用と電気計測用とで共用する構成とすることにより、完全な

同時計測はできないものの、各画素セルのサイズを縮小化して画素セルの密度を高めることができる。

[0023] 上記第2の目的を達成するために成された第2発明は、検体の電氣的現象による二次元画像を取得するためのイメージセンサであって、

n行m列の二次元状に配列された、容量結合を介して検体による電気信号を取得するための複数の計測電極と、

各計測電極毎に設けられた、該計測電極で得られた電気信号を読み出すためのMOSトランジスタ回路と、

各計測電極毎に設けられた、該計測電極の蓄積電位をリセットするためのMOSトランジスタ回路と、

を備えることを特徴としている。

[0024] 第2発明に係るイメージセンサによれば、リセット用のMOSトランジスタ回路を通して各計測電極を所定電位にリセットすることができるので、LSI製造プロセスの過程等で計測電極付近の接合部などに蓄積される電荷を簡単に除去することができる。これにより、残留電荷によるバックグラウンドノイズを軽減して、取得される二次元画像の精度を向上させることができる。

[0025] もちろん、この第2発明の構成要素を第1発明に係るイメージセンサに導入することにより、光電変換部による電気信号に基づく光学的現象を捉えた二次元画像と計測電極による電気信号に基づく電氣的現象を捉えた二次元画像とをともに高い空間分解能とし、しかも後者の二次元画像の精度を向上させることができる。

[0026] 上記第3の目的を達成するために成された第3発明は、検体の電氣的現象による二次元画像を取得するためのイメージセンサであって、

n行m列の二次元状に配列された、検体に直接接触して該検体による電気信号を取得するための複数の計測電極と、

各計測電極毎に設けられた、該計測電極で得られた電気信号を読み出すための読み出し用MOSトランジスタ回路と、

各計測電極毎に設けられた、該計測電極を介して前記検体に電流を供給するための電流注入用MOSトランジスタ回路と、

列内に配置される複数の計測電極に対応した前記電流注入用MOSトランジスタ回路に共通に接続され、且つ列毎に独立した設けられた電流供給線、及び電流供給回路と、

を備えることを特徴としている。

[0027] 第3発明に係るイメージセンサによれば、例えば電流注入用MOSトランジスタ回路を介して検体に所定の電流を流したりその電流値を制御したりしながら読み出し用MOSトランジスタ回路を介して検体の局所的な電位変化を計測することができる。また、所定の電圧を検体に印加しながら検体に局所的に流れる電流を計測することもできる。このように、電流と電圧のいずれか一方を制御量、他方を計測量として多様な計測が可能となる。

[0028] もちろん、この第3発明の構成要素を第1発明に係るイメージセンサに導入することにより、光電変換部による電気信号に基づく光学的現象を捉えた二次元画像と計測電極による電気信号に基づく電氣的現象を捉えた二次元画像とをともに高い空間分解能とし、しかも計測電極を用いた計測において、電流と電圧のいずれか一方を制御量、他方を計測量として多様な計測が行える。

図面の簡単な説明

[0029] [図1]本発明の一実施例（第1実施例）によるイメージセンサの全体構成を示すブロック図。

[図2]第1実施例のイメージセンサにおける1個の画素セルの回路構成図。

[図3]第1実施例のイメージセンサにおける画素レイアウトの平面図。

[図4]第1実施例のイメージセンサにおける1個の画素セルの概略縦断面図。

[図5]第1実施例のイメージセンサにおけるカラム回路の構成図。

[図6]本発明の他の実施例（第2実施例）によるイメージセンサにおける1個の画素セルの概略縦断面図。

[図7]本発明の他の実施例（第3実施例）によるイメージセンサにおける1個

の画素セルの回路構成図。

[図8]本発明の他の実施例（第4実施例）によるイメージセンサにおける1個の画素セルの回路構成図。

符号の説明

- [0030] 1…イメージセル部
2…行スキヤナ
3…カラム回路部
4…出力回路部
5…列スキヤナ
6…タイミング制御回路
7…出力端子
10…画素セル
10a…光計測部
10b…電気計測部
11…フォトダイオード
12、13、14、16、17、18、40、41、42、43、50、51…MOSトランジスタ
15…計測電極
20…光計測リセット信号線
21…電気計測リセット信号線
22…電圧信号線
23…行選択信号線
24…列リセット信号線
25…光計測出力信号線
26…電気計測出力信号線
27…光計測選択信号線
28…電気計測選択信号線
30…Si基板

- 3 1…回路部
- 3 2、3 2 1～3 2 4…金属配線層
- 3 3…絶縁層間膜
- 3 4…保護膜層
- 3 5…開口部
- 3 6…窓開口
- 4 3…スイッチ部
- 4 4…I/V変換用アンプ
- 4 5…スイッチ部
- 4 6…抵抗部

発明を実施するための最良の形態

[0031] [第1実施例]

本発明に係るイメージセンサの一実施例（第1実施例という）について図面を参照して説明する。図1は本実施例によるイメージセンサの全体構成を示すブロック図、図2は1個の画素セルの回路構成図、図3は画素レイアウトの平面図、図4は1個の画素セルの概略縦断面図、図5は各列に設けられるカラム回路の構成図である。

[0032] 図1に示すように、本実施例によるイメージセンサは、 n 行 \times m 列の二次元アレイ状に画素セル10が配置されたイメージセル部1と、イメージセル部1内の各行の m 個の画素セル10毎に各種制御信号を設定する行スキャナ2と、イメージセル部1内の各列に対応して設けられたカラム回路部3とカラム回路部3で得られた各列毎の信号をパラレルーシリアル変換して出力するための出力回路部4と、イメージセル部1内の各列の n 個の画素セル10毎に各種制御信号を設定する列スキャナ5と、各部に所定の制御信号を供給するタイミング制御回路6と、を備える。各画素セル10は、測定対象物からの光学的情報を取り込むための光計測部10aと電気的情報を取り込むための電気計測部10bとを備える。

[0033] この第1実施例のイメージセンサでは、図2に示すように、1個の画素セ

ル10において光計測部10aと電気計測部10bとは独立して設けられている。光計測部10aは1個のフォトダイオード11と3個のMOSトランジスタ12、13、14とから成り、電気計測部10bは1個の計測電極15と3個のMOSトランジスタ16、17、18とから成る。光計測部10aと電気計測部10bとは、フォトダイオード11と計測電極15とが入れ替わっているだけで他は同じ構造となっている。

[0034] 光計測部10aにおいて、フォトダイオード11はアノード端子が接地され、カソード端子はリセット用の第1MOSトランジスタ12のソース端子とソースホロアンプとして機能する第2MOSトランジスタ13のゲート端子とに接続されている。第1MOSトランジスタ13のゲート端子及びドレイン端子はそれぞれ光計測リセット信号線20及び列リセット信号線24に接続され、第2MOSトランジスタ13のドレイン端子は電圧信号線22に接続され、そのソース端子は出力選択用スイッチである第3MOSトランジスタ14を介して光計測出力信号線25に接続されている。この第3MOSトランジスタ14のゲート端子は行選択信号線23に接続されている。

[0035] 一方、電気計測部10bにおいて、計測電極15は第4MOSトランジスタ16のソース端子とソースホロアンプとして機能する第5MOSトランジスタ17のゲート端子とに接続されている。第4MOSトランジスタ16のゲート端子及びドレイン端子はそれぞれ電気計測リセット信号線21及び列リセット信号線24に接続され、第5MOSトランジスタ17のドレイン端子は電圧信号線22に接続され、そのソース端子は出力選択用スイッチである第6MOSトランジスタ18を介して電気計測出力信号線26に接続されている。この第6MOSトランジスタ18のゲート端子は行選択信号線23に接続されている。

[0036] 光計測リセット信号線20、電気計測リセット信号線21、及び行選択信号線23はイメージセル部1内で同一行に属するm個の画素セル10に共通であり、一方、列リセット信号線24、光計測出力信号線25及び電気計測出力信号線26はイメージセル部1内で同一列に属するn個の画素セル10

に共通である。こうした構成は従来の一般的なイメージセンサの画素構成と同様である。

[0037] 上述のように本実施例のイメージセンサでは、各画素セル10にそれぞれ光電変換部としてのフォトダイオード11と電気計測用の計測電極15とが設けられているが、計測電極15を設けるために特徴的な画素構造を有している。即ち、図3に示すように、1個の画素セル10の中にはフォトダイオード11の受光領域11aと、それを取り囲むように広く計測電極15が占める領域15aとが設けられ、隣接する画素セル10の計測電極15の領域15aは格子状に分離されている。

[0038] 図4に示すように、半導体基体であるSi基板30の表層には、フォトダイオード11やフォトダイオード11で得られた信号を読み出すためのMOSトランジスタや計測電極15で得られた信号を読み出すためのMOSトランジスタから成る回路部31が形成されている。その表層の上には、それぞれSiO₂などによる絶縁層間膜33を挟んで4層の金属配線層32が形成され、その最上層の上には保護膜層34が形成されている。金属配線層32は形成の順番に、下層から第1金属配線層321、第2金属配線層322、第3金属配線層323、第4金属配線層324となっている。一般的には、第1金属配線層321及び第2金属配線層322が回路内や回路間の信号配線に利用され、第3金属配線層323や第4金属配線層324はほぼベタパターンの電源やグラウンドに利用されることが多い。

[0039] 金属配線は光を遮るため、光を検出する必要のあるフォトダイオード11の直上において各金属配線層321～324は金属配線が全く存在しない領域（つまり非遮光領域）となっており、これによりフォトダイオード11に光を入射させるための略筒状の絶縁層間膜33及び保護膜層34のみから成る窓開口36が形成されている。これにより、図4に示すように上方から入射して来る光はフォトダイオード11に到達してフォトダイオード11で光電変換される。一方、フォトダイオード11以外の回路部31や各画素で得られた信号を保持・転送する図示しないレジスタ回路などに光が入射すると

、これがノイズとなって誤動作や画質劣化の一因となる。そこで、フォトダイオード 11 直上以外の部分は金属配線層 32 で被覆して遮光を行うようにしている。

[0040] このように金属配線層 32 は配線の機能とともに遮光の機能を有しているが、本実施例では、さらに最上層の第 4 金属配線層 324 が計測電極 15 として利用されている。即ち、従来、このような 4 層配線の場合、第 4 金属配線層 324 は電気的には電源又はグラウンド電位に利用され、特に遮光のためにフォトダイオード 11 以外の領域を広く覆うようなパターンとされるが、本実施例のイメージセンサでは、図 4 に示すように第 4 金属配線層 324 のパターンを各画素セル 10 毎に分離し、さらに第 4 金属配線層 324 の表層を被覆する保護膜層 34 に開口部 35 を設けることで、各画素セル 10 毎に外部に露出する計測電極 15 を形成するようにしている。もちろん、この計測電極 15 自体も回路部 31 などに光が到達することを妨げる遮光層として機能する。

[0041] 但し、画素セル 10 間の計測電極 15 を分離するために第 4 金属配線層 324 には上述のように格子状の非配線領域が存在し、その領域では第 4 金属配線層 324 に遮光性がない。そこで、その下層の第 1～3 金属配線層 321～323 の金属配線パターンで以てその領域をカバーすることにより、上記非配線領域の直下における遮光性も十分に確保している。これにより、全体としての遮光性は損なわれない。

[0042] 以上のように、本実施例のイメージセンサの画素構造では、従来、主として遮光のために利用している最上層の第 4 金属配線層 324 を利用することで、各画素セル 10 毎にそれぞれ計測電極 15 を設けることができる。

[0043] 図 5 はカラム回路部 3 の中の 1 列分の回路構成を示しているが、左側の回路は光計測出力信号線 25 と電気計測出力信号線 26 とでそれぞれ設けられているものの 1 つを省略している。この光計測出力信号線 25 又は電気計測出力信号線 26 の末端に接続される出力用回路は直列接続される 2 個の MOS トランジスタ 40、41 と、アンプとして機能する 1 個の MOS トランジ

スタ 4 2 を含む。一方、列リセット信号線 2 4 の末端に接続されるリセット／電流供給用回路は、スイッチ部 4 3 と、I/V 変換用アンプ 4 4 と、該アンプ 4 4 の帰還経路に挿入される複数のスイッチを含むスイッチ部 4 5 と複数の異なる値の抵抗を含む抵抗部 4 6 とを含む。

[0044] 次に、上記構成のイメージセンサを用いた計測の際の動作について説明する。このイメージセンサを用いて検体の光学的二次元画像及び電氣的二次元画像を取得する際には、全体としてイメージセンサの表層を覆う保護膜層 3 4 の上に直接検体を載せるようにする。

[0045] 光計測の場合、画像信号を取得するための 1 サイクル（例えば 1 フレーム）の最初に、まず各画素セル 1 0 内のフォトダイオード 1 1 をリセットする。即ち、このときにはカラム回路部 3 においてスイッチ 4 3 は a がオン、b がオフされ、列リセット信号線 2 4 には所定のリセット電圧 V_{RS} が与えられている。この状態で光計測リセット信号線 2 0 にリセット信号 ORS を印加することにより画素セル 1 0 内の第 1 MOS トランジスタ 1 2 がオンすると、フォトダイオード 1 1 のカソード側の電位はリセット電圧 V_{RS} に一旦リセットされる。その後、第 1 MOS トランジスタ 1 2 がオフした状態でフォトダイオード 1 1 に光が入射すると、その受光強度に応じた電流がフォトダイオード 1 1 に流れ、その電流による放電のためにフォトダイオード電位は徐々に低下する。このときの電位の低下速度は受光強度に依存しており、受光強度が大きいほど低下速度が速くなる。

[0046] 第 3 MOS トランジスタ 1 4 がオフしている間、第 2 MOS トランジスタ 1 3 は光計測出力信号線 2 5 と実質的には切り離されているが、行選択信号線 2 3 に供給される選択信号 SEL によって第 3 MOS トランジスタ 1 4 がオンすると、そのときのフォトダイオード電位に応じてソースホロアアンプである第 2 MOS トランジスタ 1 3 に流れる電流信号が光計測出力信号線 2 5 に供給される。上述のようにフォトダイオード電位の低下速度は受光強度が大きいほど速いため、所定の受光期間内の受光量が大きいほどフォトダイオード電位は小さい。

[0047] 光計測出力信号線 25 に供給された電流信号はカラム回路部 3 において負荷抵抗として機能する MOS トランジスタ 41、42 により電圧信号に変換され、次段の MOS トランジスタ 43 により増幅されて出力回路部 4 に送られる。そして、出力回路部 4 では、行スキャナ 2 により読み出し列が順次 1 つずつ選択され、1 行の m 個の画素セル 10 の中でその選択された列に属する画素セル 10 に対応した電圧信号が出力端子 7 に出力される。これにより、各画素セル 10 のフォトダイオード 11 で受光した受光量に対応した電圧信号が順番に出力されることになる。

[0048] 一方、電気計測の場合、単純に測定対象物の電圧計測を行う場合には光計測のようにリセットを行う必要はなく、第 4 MOS トランジスタ 16 をオフさせた状態で第 6 MOS トランジスタ 18 をオンし、計測電極 15 に発生した電位に応じて電気計測出力信号線 26 に流れる電流信号をカラム回路部 3 で電圧信号に変換して出力回路部 4 を通して読み出すようにすればよい。

[0049] また、電気計測の場合で、観察対象物に電流を注入しながら電流計測を行う場合には列リセット信号線 24 を利用して次のような計測を行うことができる。即ち、このときにはカラム回路部 3 においてスイッチ 43 は b がオン、 a がオフされ、 I/V 変換用アンプ 44 の反転入力端子に所定の制御電圧 V_{CT} を印加し、スイッチ 45 でいずれかをオンして I/V 変換用アンプ 44 のゲインを設定する。この状態で第 4 MOS トランジスタ 16 をオンさせると計測電極 15 に接触している測定対象物に第 4 MOS トランジスタ 16、列リセット信号線 24、スイッチ 43 b 、スイッチ部 45、抵抗部 46 を通して計測電流が流れ、 I/V 変換用アンプ 44 の出力ではその計測電流に応じた電圧信号が得られる。

[0050] これにより、1 行の m 個の画素セル 10 に含まれる m 個の計測電極 15 で同時並行的にそれぞれ異なる制御電圧の下での電流信号を計測することができる。

[0051] [第 2 実施例]

第 1 実施例のイメージセンサでは、電気計測は観察対象物に直接に接触す

る計測電極 15 により得た電圧信号又は電流信号を取り出すものであったが、上記第 1 実施例の構造を少し変更するだけで間接的な容量結合型計測を行うものに変更することができる。図 6 はこの第 2 実施例の画素セルの縦断面図であり、第 1 実施例で示した図 4 と基本的には同じ構造である。異なるのは、第 1 実施例では計測電極 15 を被覆する保護膜層 34 に開口部 35 が形成されていたために計測電極 15 が露出していたのに対し、この第 2 実施例では、計測電極 15 の全面が保護膜層 34 で被覆されたままとされていることである。

[0052] 上記と同様に、測定対象物である検体は保護膜層 34 の上に直接載置されるが、計測電極 15 と検体との間には一種の誘電体である保護膜層 34 が存在するため、計測電極 15 はその直上の検体と容量結合してそれにより電位が発生する。この第 2 実施例の構成の場合、このようにして計測電極 15 に発生した電位を MOS トランジスタ 17、18 を通して電気計測出力信号線 26 に取り出して検出することになる。

[0053] この場合、第 1 実施例の構成とは異なり計測電極 15 から検体に電流を流すことはできないため、図 5 に示したカラム回路において I/V 変換用アンプ 44 やその帰還回路は不要である。一方、スイッチ部 43 を通したリセットは重要である。

[0054] 即ち、図 2 に示す回路においてリセット用の MOS トランジスタ 16 が無い場合を考えると、この第 2 実施例の構成では計測電極 15 が露出していないため、LSI 製造プロセス等において MOS トランジスタ 17 のゲートソース/ドレイン接合に電荷が蓄積されると、この電荷が抜ける経路がなく残留電荷となってバックグラウンドノイズの原因となる可能性がある。これに対し、この第 2 実施例の構成では、リセット用の MOS トランジスタ 16 と列リセット信号線 24 を介して全ての画素セル 10 の計測電極 15 をリセットすることが可能である。これにより、上記のように蓄積される電荷を抜いてノイズの少ない状態で電気計測を行うことが可能である。

[0055] [第 3 実施例]

上記第 1 実施例のイメージセンサでは、各画素セル 10 において光計測部 10a と電気計測部 10b とが独立して設けられており、光計測と電気計測とを同時に実行できる反面、各画素セル 10 に 6 個の MOS トランジスタが必要になり画素セル 10 の小型化には不利である。第 3 実施例及び第 4 実施例のイメージセンサは、光計測と電気計測とが同時に実行できない代わりに画素セル 10 のトランジスタ数を減らすことができる構成を有している。

[0056] 図 7 は第 3 実施例のイメージセンサにおける 1 個の画素セルの回路構成図である。この構成では、リセット用、ソースホロアンプ用、及び出力スイッチ用の MOS トランジスタ 12、13、14 は光計測と電気計測とで共用化されており、出力信号線 25 も 1 本だけである。一方、光計測と電気計測とを選択するために光計測選択用の MOS トランジスタ 50 と電気計測選択用の MOS トランジスタ 51 が設けられ、各 MOS トランジスタのゲート端子は光計測選択信号線 27、電気計測選択信号線 28 に接続されている。

[0057] 即ち、この構成では、光計測選択信号線 27 及び電気計測選択信号線 28 により択一的にオン駆動される MOS トランジスタ 50、51 に応じてフォトダイオード 11 のカソード端子又は計測電極 15 のいずれかが MOS トランジスタ 12、13 等に接続され、前述のような計測のための動作が可能となる。

[0058] [第 4 実施例]

図 8 は第 4 実施例のイメージセンサにおける 1 個の画素セルの回路構成図である。この構成では、第 3 実施例における画素セル 10 の構成から、さらに MOS トランジスタ 50 が取り除かれている。この場合、MOS トランジスタ 51 がオフ状態であれば計測電極 15 は切り離され、フォトダイオード 11 による光計測が可能である。一方、MOS トランジスタ 51 をオン状態とすれば計測電極 15 が MOS トランジスタ 13 のゲート端子に接続され、計測電極 15 による電気計測が可能である。但し、この場合にはフォトダイオード 11 も接続されたままであるので、フォトダイオード 11 に対する入射光の変動が無視できる条件の下で電気計測を行うことが望ましい。

- [0059] もちろん、第3、第4実施例においては、第1実施例のような直接計測型、第2実施例のような容量結合計測型のいずれの構成も採ることができる。
- [0060] なお、上記各実施例は一例であって、本発明の趣旨の範囲で適宜変形や修正を行っても、本願の特許請求の範囲に包含されることは明らかである。

請求の範囲

- [1] 検体による光学的情報を取得する光計測機能と、前記検体に直接接触して又は容量結合を介して該検体による電気的情報を取得する電気計測機能と、を同一半導体基体上に搭載したイメージセンサであって、
- a) 前記半導体基体の表層に設けられた光計測機能のための光電変換部と、
 - b) 前記半導体基体の表層を被覆するように設けられ、少なくとも最上層が導電体層であって前記光電変換部への光の導入のための非遮光領域を有する複数層の遮光層と、
 - c) 前記遮光層の最上層の導電体層を利用して形成された電気計測機能のための計測電極と、
- を備えることを特徴とするイメージセンサ。
- [2] 前記遮光層の表層には保護膜層が形成され、前記計測電極上で前記保護膜層には開口部が設けられていることを特徴とする請求項 1 に記載のイメージセンサ。
- [3] 前記計測電極は保護膜層で被覆され、該保護膜層上に載置される検体と該保護膜層を挟んで容量結合することで前記計測電極に電気信号が発生するものであることを特徴とする請求項 1 に記載のイメージセンサ。
- [4] 前記半導体基体の一面に画素セルが n 行 m 列の二次元状に多数配置され、各画素セルは、前記光電変換部と前記計測電極のほか、前記光電変換部で得られた電気信号を選択的に読み出すための第 1 読み出し回路と、前記計測電極で得られた電気信号を読み出すための第 2 読み出し回路と、を含むことを特徴とする請求項 1 ~ 3 のいずれかに記載のイメージセンサ。
- [5] 各画素セルにおいて前記第 1 読み出し回路と前記第 2 読み出し回路とは独立して設けられ、列内に配置される複数の画素セルに共通の信号読み出し線は光計測用と電気計測用とで独立していることを特徴とする請求項 4 に記載のイメージセンサ。
- [6] 各画素セルにおいて前記第 1 読み出し回路と前記第 2 読み出し回路との少なくとも一部は共用化され、列内に配置される複数の画素セルに共通の信号

読み出し線は光計測用と電気計測用とで共用されることを特徴とする請求項 4 に記載のイメージセンサ。

[7] 各画素セル内に前記光电変換部であるフォトダイオードをリセットするためのトランジスタ素子を有し、該トランジスタ素子を用いて同一画素セル内の前記計測電極をリセット可能としたことを特徴とする請求項 4 に記載のイメージセンサ。

[8] 前記計測電極は n 行 m 列の二次元状に配列され、容量結合を介して検体による電気信号を取得するものであって、

前記各計測電極毎に設けられ、該計測電極で得られた電気信号を読み出すための MOS トランジスタ回路と、

前記各計測電極毎に設けられ、該計測電極の蓄積電位をリセットするための MOS トランジスタ回路と、をさらに備えることを特徴とする請求項 1 に記載のイメージセンサ。

[9] 前記計測電極は n 行 m 列の二次元状に配列され、検体に直接接触して該検体による電気信号を取得するものであって、

前記各計測電極毎に設けられ、該計測電極で得られた電気信号を読み出すための読み出し用 MOS トランジスタ回路と、

前記各計測電極毎に設けられ、該計測電極を介して前記検体に電流を供給するための電流注入用 MOS トランジスタ回路と、

列内に配置される複数の計測電極に対応した前記電流注入用 MOS トランジスタ回路に共通に接続され、且つ列毎に独立して設けられた電流供給線、及び電流供給回路と、

さらにを備えることを特徴とする請求項 1 に記載のイメージセンサ。

[10] 検体の電氣的現象による二次元画像を取得するためのイメージセンサであって、

a) n 行 m 列の二次元状に配列された、容量結合を介して検体による電気信号を取得するための複数の計測電極と、

b) 各計測電極毎に設けられ、該計測電極で得られた電気信号を読み出すた

めのMOSトランジスタ回路と、

c)各計測電極毎に設けられ、該計測電極の蓄積電位をリセットするためのMOSトランジスタ回路と、

を備えることを特徴とするイメージセンサ。

[11] 検体の電気的現象による二次元画像を取得するためのイメージセンサであって、

a) n 行 m 列の二次元状に配列された、検体に直接接触して該検体による電気信号を取得するための複数の計測電極と、

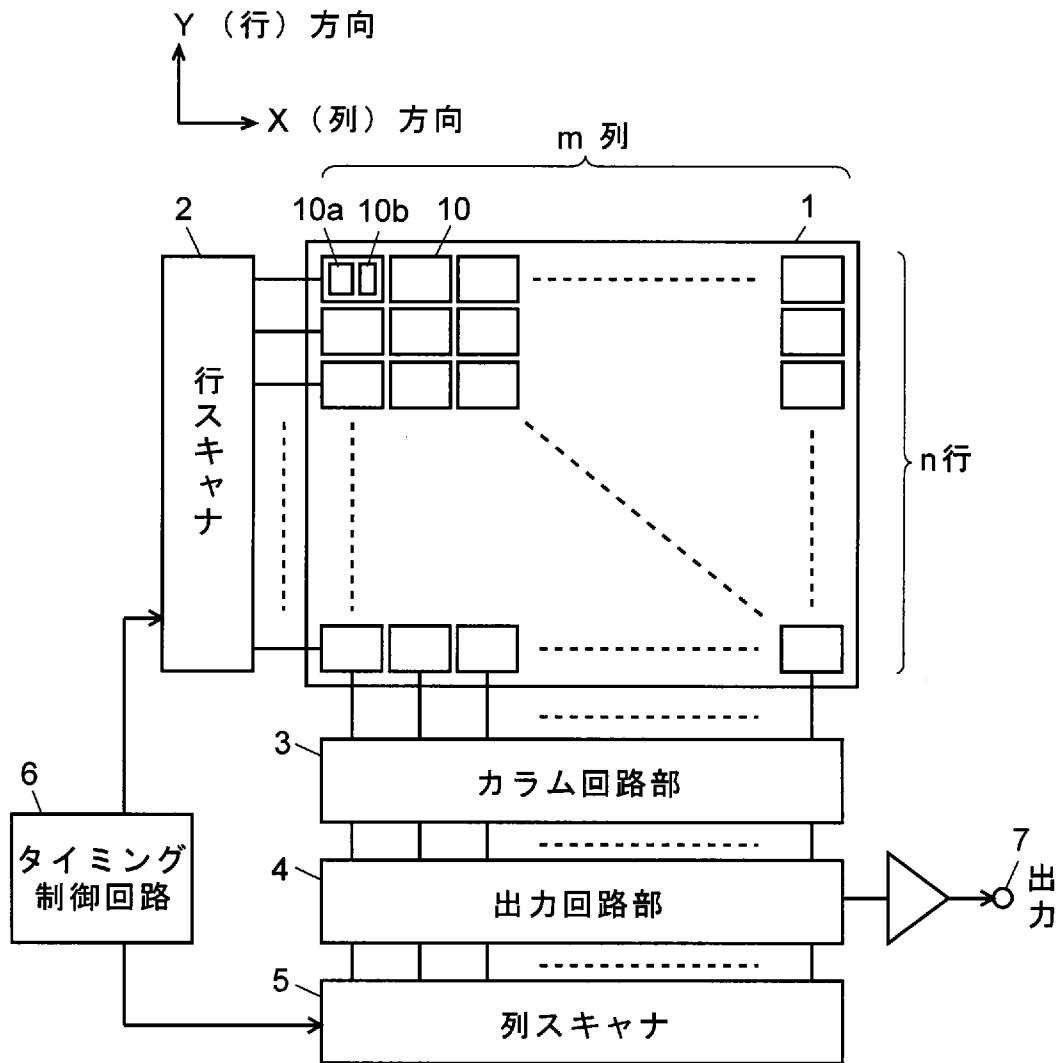
b)各計測電極毎に設けられ、該計測電極で得られた電気信号を読み出すための読み出し用MOSトランジスタ回路と、

c)各計測電極毎に設けられ、該計測電極を介して前記検体に電流を供給するための電流注入用MOSトランジスタ回路と、

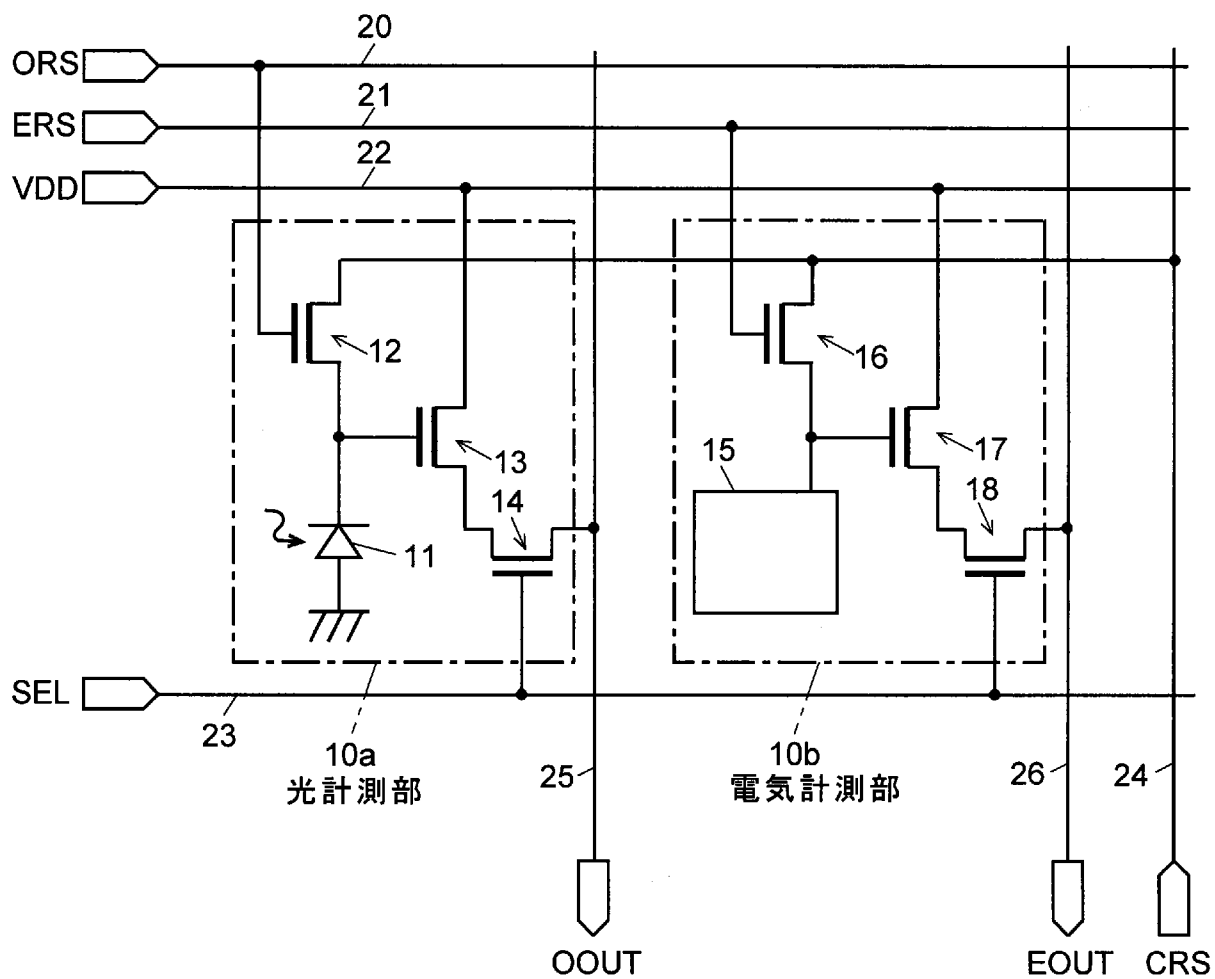
d)列内に配置される複数の計測電極に対応した前記電流注入用MOSトランジスタ回路に共通に接続され、且つ列毎に独立して設けられた電流供給線、及び電流供給回路と、

を備えることを特徴とするイメージセンサ。

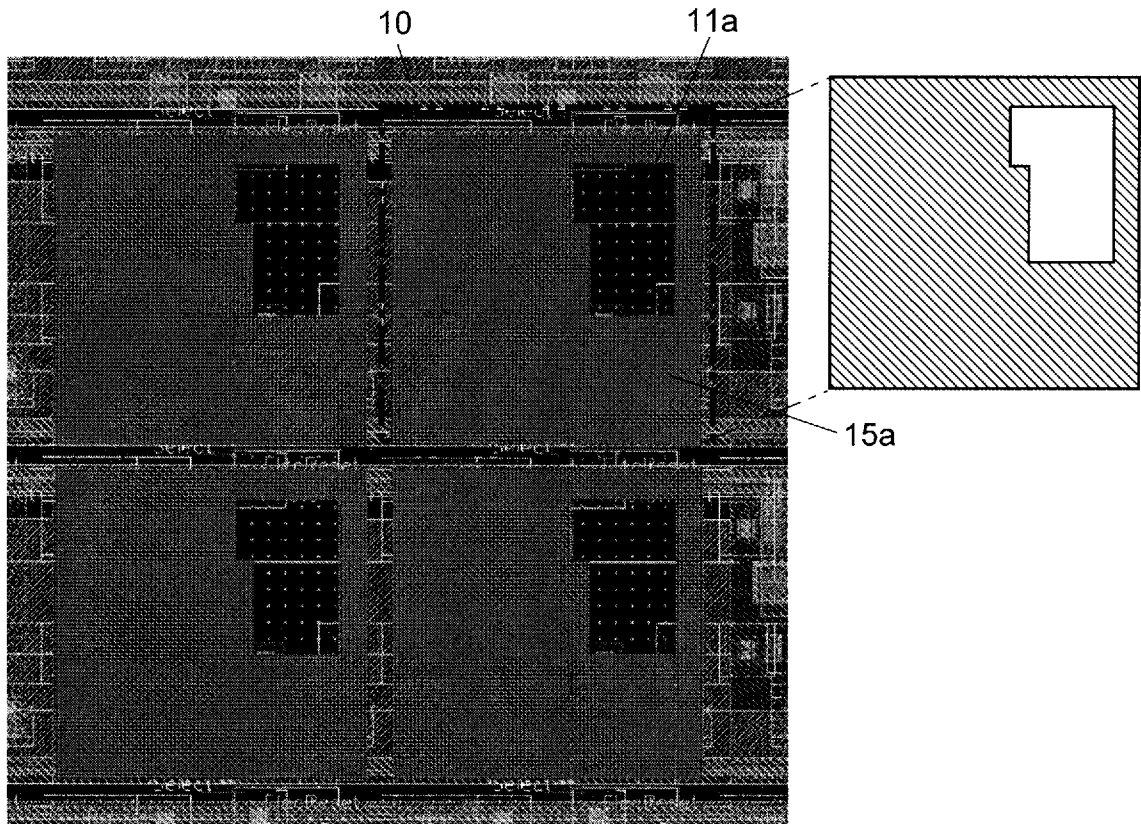
[図1]



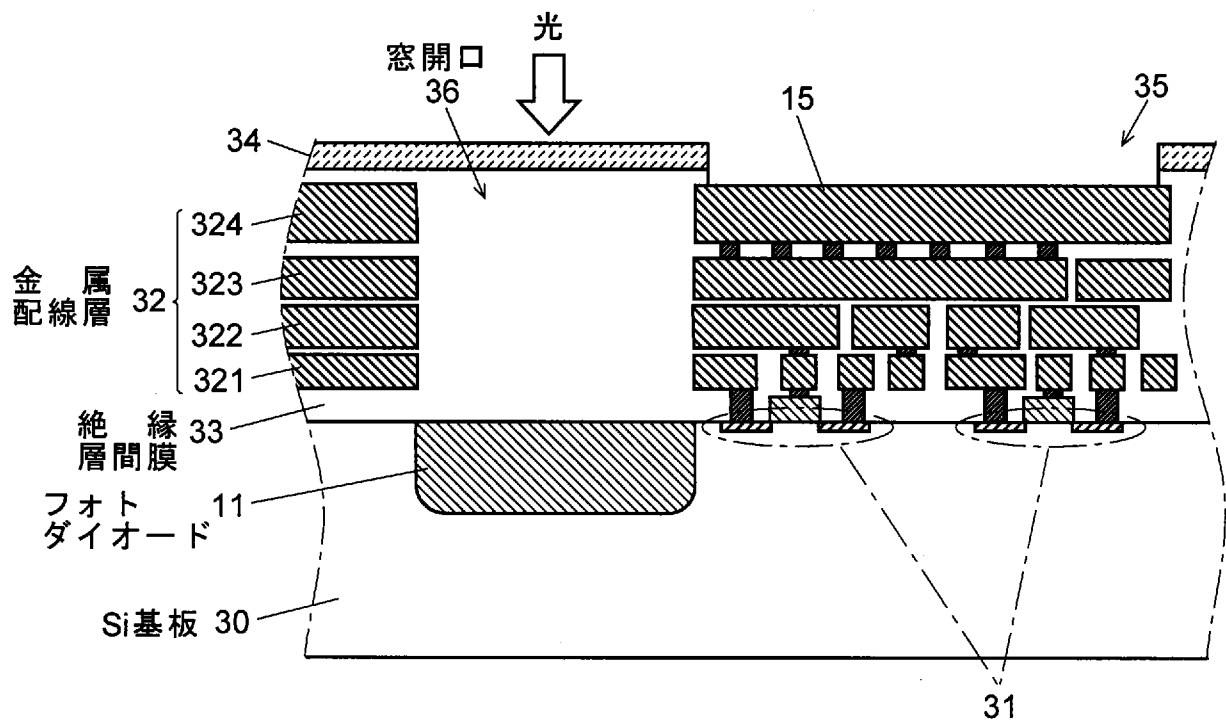
[図2]



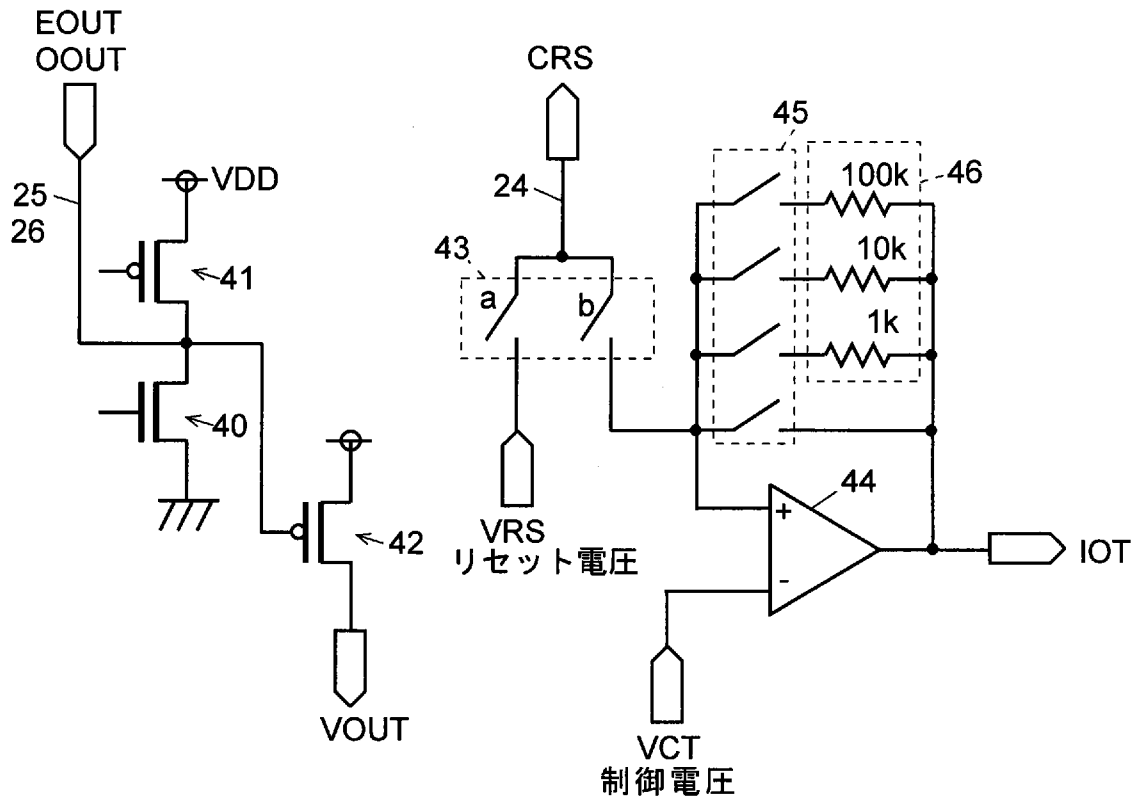
[図3]



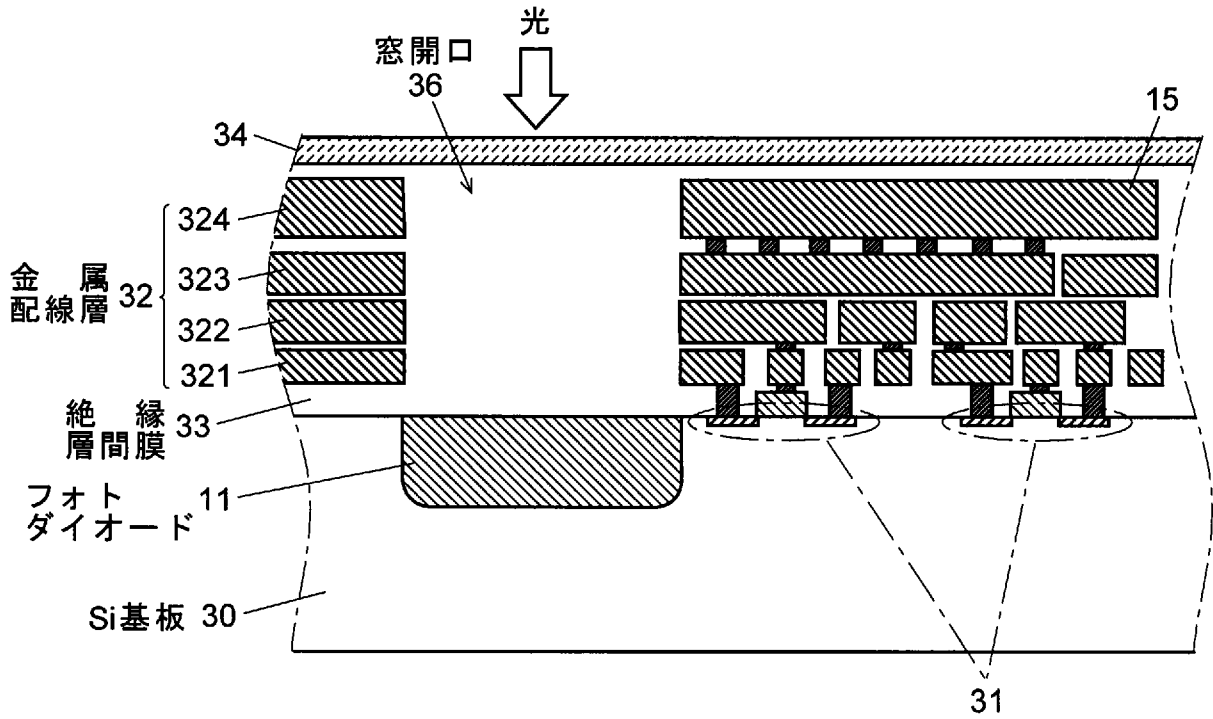
[図4]



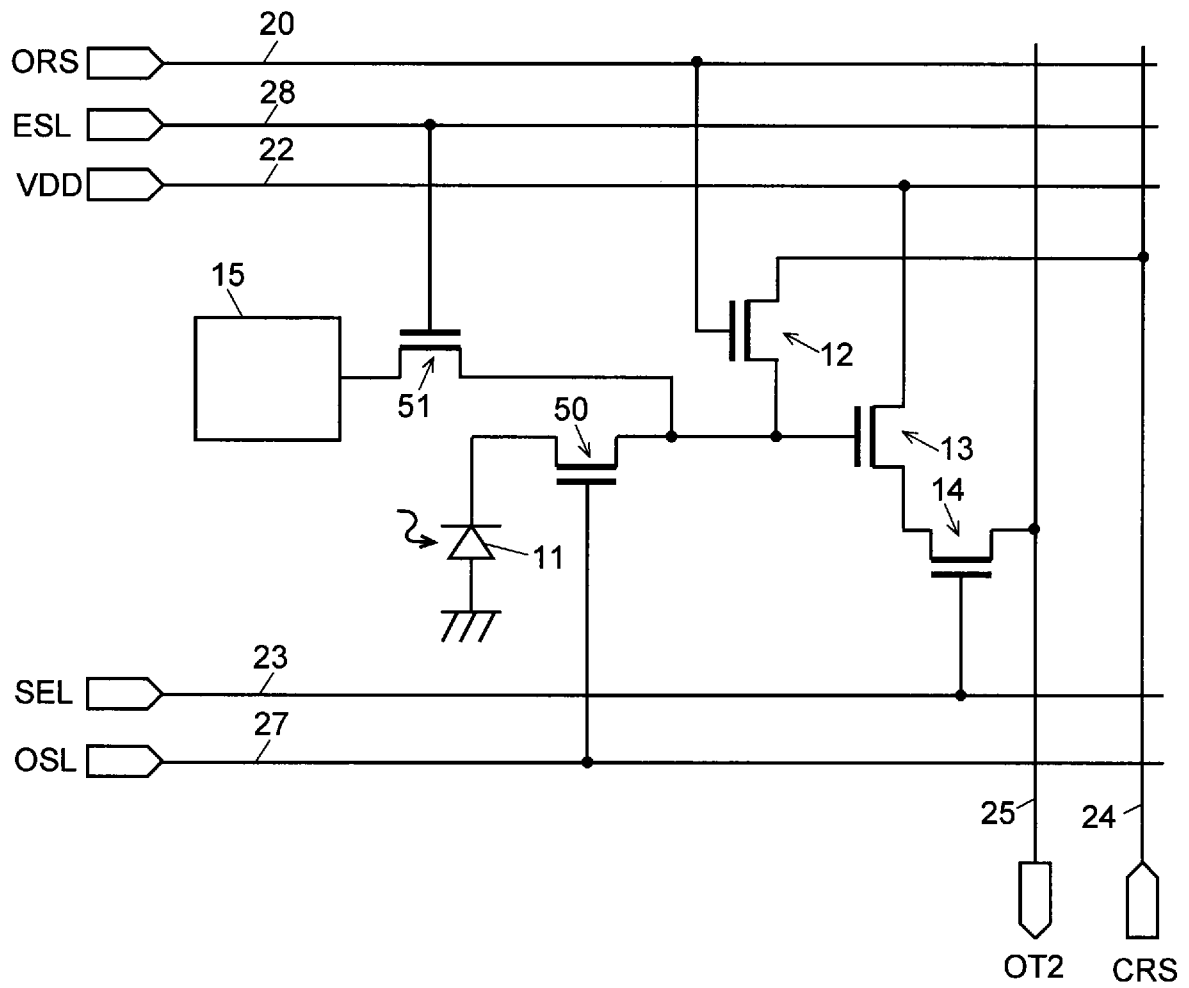
[図5]



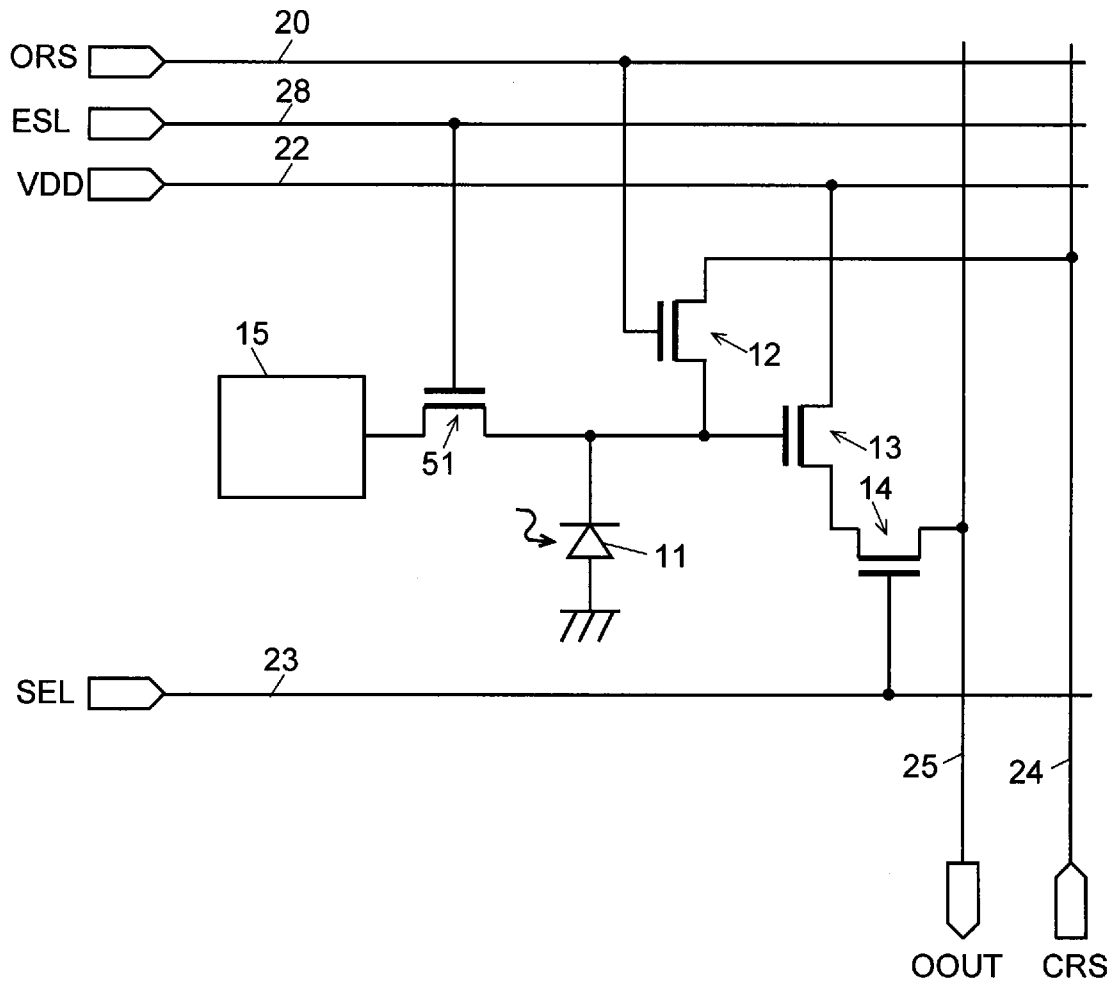
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000401

A. CLASSIFICATION OF SUBJECT MATTER

G01N27/00(2006.01) i, G01N21/64(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01N27/00-27/24, G01N21/00-21/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JST7580 (JDream2), JSTPlus (JDream2)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Koji YAMAMOTO et al., "On-chip DNA Microarray Keisoku no tame no Hikari·Den'i Dual Image CMOS Sensor", ITE Technical Report, Vol.29, No.62, 28 October, 2005 (28.10.05), pages 1 to 4	1-9
A	Koji YAMAMOTO et al., "Hikari·Den'i Dual Image CMOS Sensor o Mochiita DNA Spot no Imaging", Dai 53 Kai Oyo Butsurigaku Kankei Rengo Koenkai Koen Yokoshu, Separate Vol.3, 22 March, 2006 (22.03.06), page 1382(25a-I-4)	1-9
A	Kunihiro TANAKA et al., "Denki Kagaku Keisoku Kino o Tosai shita On-chip Biosensing-yo Multi Functional CMOS Image Sensor", Dai 221 Kai The Institute of Image Electronics Engineers Kenkyukai Koen Yoko, 14 November, 2005 (14.11.05), pages 31 to 34	1-9

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 July, 2007 (04.07.07)	Date of mailing of the international search report 17 July, 2007 (17.07.07)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000401

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-205340 A (Casio Computer Co., Ltd.), 22 July, 2004 (22.07.04), Full text; all drawings & WO 2004-59006 A1 & US 2006-14151 A1	1-9
A	JP 2005-227155 A (Nara Institute of Science and Technology), 25 August, 2005 (25.08.05), Full text; all drawings (Family: none)	1-9
A	JP 2005-252743 A (Nara Institute of Science and Technology), 15 September, 2005 (15.09.05), Full text; all drawings (Family: none)	1-9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000401

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The special technical feature of the inventions of claims 1-9 is an image sensor having an optical measurement function and an electrical measurement function provided on the same semiconductor substrate, wherein the uppermost layer of the light-shielding layer is used as a measurement electrode.

The special technical feature of the invention of claim 10 is an image sensor for acquiring a two-dimensional image by using an electrical phenomenon of a subject, wherein the image sensor has a MOS transistor circuit for resetting the accumulation potential of the measurement electrode.

The special technical feature of the invention of the claim 11 is an image sensor for acquiring (continued to the extra sheet.)

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 - 9

Remark on Protest
the

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee..
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000401

Continuation of Box No.III of continuation of first sheet (2)

a two-dimensional image by using an electrical phenomenon of a subject, wherein the image sensor has a current injection MOS transistor circuit for supplying current to a subject through a measurement electrode.

Since no technical relationship among these inventions involving one or more of the same or corresponding special technical feature can be seen, they are not so linked as to form a single general inventive concept.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G01N27/00(2006.01)i, G01N21/64(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G01N27/00-27/24, G01N21/00-21/74			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語) JST7580(JDream2), JSTPlus(JDream2)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
A	山本晃司 他, オンチップ DNA マイクロアレイ計測のための光・電位デュアルイメージ CMOS センサ, 映像情報メディア学会技術報告, Vol. 29 No. 62, 2005. 10. 28, pp. 1-4	1-9	
A	山本晃司 他, 光・電位デュアルイメージ CMOS センサを用いた DNA スポットのイメージング, 第 53 回応用物理学関係連合講演会予稿集第 3 分冊, 2006. 03. 22, p. 1382 (25a-I-4)	1-9	
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 04. 07. 2007		国際調査報告の発送日 17. 07. 2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 田中 洋介	2W 3009 電話番号 03-3581-1101 内線 3292

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	田中邦博 他, 電気化学計測機能を搭載したオンチップバイオセンシング用マルチファンクショナルCMOSイメージセンサ, 第221回画像電子学会研究会講演予稿, 2005.11.14, pp.31-34	1-9
A	JP 2004-205340 A (カシオ計算機株式会社) 2004.07.22, 全文、全図 & WO 2004-59006 A1 & US 2006-14151 A1	1-9
A	JP 2005-227155 A (国立大学法人 奈良先端科学技術大学院大学) 2005.08.25, 全文、全図 (ファミリーなし)	1-9
A	JP 2005-252743 A (国立大学法人 奈良先端科学技術大学院大学) 2005.09.15, 全文、全図 (ファミリーなし)	1-9

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、

2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1-9に係る発明は、光計測機能と電気計測機能を同一半導体基体上に搭載したイメージセンサであって、遮光層の最上層を計測電極としたことを特別な技術的特徴とするものである。

請求の範囲10に係る発明は、検体の電氣的現象による二次元画像を取得するイメージセンサであって、計測電極の蓄積電位をリセットすることのためのMOSトランジスタ回路を特別な技術的特徴とするものである。

請求の範囲11に係る発明は、検体の電氣的現象による二次元画像を取得するイメージセンサであって、計測電極を介して検体に電流を供給するための電流注入用MOSトランジスタ回路を特別な技術的特徴とするものである。

これらの発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように関連しているものとは認められない。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲1-9

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付を伴う異議申立てがなかった。