

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6112764号
(P6112764)

(45) 発行日 平成29年4月12日 (2017. 4. 12)

(24) 登録日 平成29年3月24日 (2017. 3. 24)

(51) Int. Cl.

F I

H O 4 N 5/232 (2006. 01)

H O 4 N 5/232 Z

H O 4 N 5/347 (2011. 01)

H O 4 N 5/335 4 7 O

請求項の数 6 (全 12 頁)

(21) 出願番号 特願2011-255190 (P2011-255190)
 (22) 出願日 平成23年11月22日 (2011. 11. 22)
 (65) 公開番号 特開2013-110644 (P2013-110644A)
 (43) 公開日 平成25年6月6日 (2013. 6. 6)
 審査請求日 平成26年2月4日 (2014. 2. 4)
 審判番号 不服2016-6134 (P2016-6134/J1)
 審判請求日 平成28年4月25日 (2016. 4. 25)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100112210
 弁理士 稲葉 忠彦
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100153176
 弁理士 松井 重明
 (74) 代理人 100109612
 弁理士 倉谷 泰孝
 (72) 発明者 笠井 康行
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置、輝度制御方法、及び輝度制御装置

(57) 【特許請求の範囲】

【請求項 1】

撮像手段と、

前記撮像手段が撮像した映像信号中の注目画素と前記注目画素の複数の周辺画素の各画素値に係数を掛ける演算手段と、

前記演算手段で係数が掛けられた各画素値を加算する加算手段と、

前記加算手段から出力された信号より画面の明るさを算出し、前記画面の明るさが予め決められた範囲となるよう、前記注目画素と前記注目画素の複数の周辺画素を画素加算する場合の前記係数を制御する制御手段と、

前記映像信号の増幅利得を調節する利得制御手段とを備え、

前記制御手段はさらに、前記利得制御手段による感度アップが上限に達した場合に、前記加算手段の加算処理を行うことにより、輝度制御を行う撮像装置。

【請求項 2】

前記係数は、小数点以下の単位まで制御可能なことを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記撮像手段から出力された映像信号を所定の走査方式の撮像信号として出力する信号処理手段とを備え、

前記注目画素と、前記複数の周辺画素とは、前記信号処理手段から出力された前記撮像

10

20

信号をフィールド単位、フレーム単位、ライン単位、またはピクセル単位のうち少なくとも1つで遅延させて得ることを特徴とする請求項1または請求項2に記載の撮像装置。

【請求項4】

前記制御手段は、前記係数をテーブルとして記憶し、前記画面の明るさに基づいて前記係数を制御することを特徴とする請求項1ないし請求項3のいずれか1項に記載の撮像装置。

【請求項5】

撮像手段が撮像した映像信号中の注目画素と前記注目画素の複数の周辺画素の各画素値に係数を掛ける演算処理、

前記演算処理により係数が掛けられた各画素値を加算する加算処理、

前記加算処理で加算された信号より画面の明るさを算出し、前記画面の明るさが予め決められた範囲となるよう、前記注目画素と前記注目画素の複数の周辺画素を画素加算する場合の前記係数を制御する制御処理、

前記映像信号の増幅利得を調節する利得制御処理とを含み、

前記制御処理はさらに、前記利得制御処理による感度アップが上限に達した場合に、前記加算処理を行う

輝度制御方法。

【請求項6】

映像信号中の注目画素と前記注目画素の複数の周辺画素の各画素値に係数を掛ける演算手段と、

前記演算手段で係数が掛けられた各画素値を加算する加算手段と、

前記加算手段から出力された信号より画面の明るさを算出し、前記画面の明るさが予め決められた範囲となるよう、前記注目画素と前記注目画素の複数の周辺画素を画素加算する場合の前記係数を制御する制御手段と、

前記映像信号の増幅利得を調節する利得制御手段とを備え、

前記制御手段はさらに、前記利得制御手段による感度アップが上限に達した場合に、前記加算手段の加算処理を行う

輝度制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、被写体照度に合わせて自動的に画面の明るさの調整を行う撮像装置、輝度制御方法、及び輝度制御装置に関する。

【背景技術】

【0002】

従来、低照度の撮影環境での感度を向上させるため、スローシャッターやゲインアップ（信号増幅）といった手法が使用されてきた。ところが、スローシャッターは動きの多い被写体を撮影すると撮影画像に尾引きが発生し、ゲインアップにはノイズが増加するという問題があった。このような問題点を解決した感度向上の技術として、画素加算が知られている。画素加算は、注目画素と周辺の画素の輝度（色）レベルを加算することで、加算に使用した画素数の倍率だけ感度が向上する技術である。たとえば、注目画素があるフレームの前後のフレームにおいて、注目画素の上下に位置する画素を加算することによって、感度を5倍に向上させることができる。特許文献1は、画素加算を用いて感度を向上させる技術について開示している。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2011-109576

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 4 】

ところで、撮像後の画像、もしくは映像を見やすいものにするためには、画面の明るさ（出力レベル）を、被写体照度によらず一定とすることが必要となる。このため、撮像装置にて調整を行い、最適な輝度レベルとなるように各種機能を制御するが、その際に輝度レベルの制御を細かく行う必要がある。しかし、特許文献 1 に記載の撮像装置が実施する画素加算は、周辺の画素を加算するという原理から整数倍でしか輝度レベルの調整を行うことができず、細かな照度変化に対応することができないという課題があった。

【 0 0 0 5 】

特許文献 1 に記載の撮像装置は、整数倍でしか輝度レベルの調整が出来ないという画素加算の問題点を補うため、細かな輝度レベルの制御が可能なゲインアップを画素加算と切り替えることにより、細かな輝度制御を実現していた。図 9 は、ゲインアップと画素加算を併用した輝度制御処理のイメージを示す説明図である。図 9 には、照度環境が明るい状態から暗い状態に遷移する過程において、最も明るい環境ではゲインアップのみによる輝度制御を実施するが、以降、暗い環境ではゲインアップと画素加算を切り替えて輝度制御を行うことが示されている。動作の詳細としては、画面の明るさが一定となるようにゲインアップを使用して輝度制御を実施し、ゲインアップの倍率が一定値以上になったときに、ゲインアップの倍率を $1/2$ にすると同時に、2 画素加算を行う制御を行っていた。また、その状態から続けて輝度制御を実施し、ゲインアップの倍率が一定値以上になった時に、ゲインアップの倍率を $2/3$ にすると同時に、3 画素加算を行う制御としていた。

【 0 0 0 6 】

このように画素加算とゲインアップを切り替えることで、被写体照度によらず、常に同じ画面の明るさの出力レベルを保つことができる。しかしながら、画素加算とゲインアップを併用する輝度制御方法は、一定の照度下において、ゲインアップと画素加算という異なる高感度化手法を切り替えながら使用、つまり、ゲインアップの倍率を下げると同時に画素加算の加算画素数を増やすタイミングが存在するため、切替タイミングの前後で、解像度の変化やノイズ量の変化等、画面の見え方が大きく変わり、映像に乱れが発生することがあった。

【 0 0 0 7 】

また、常に映像を出力し続ける動画撮影では、画素加算による輝度変化のタイミングと、ゲインアップによる輝度変化のタイミングを完全に一致させる必要がある。少しでもタイミングがずれてしまうと、一瞬画面が明るくなる、もしくは一瞬画面が暗くなるなど、なめらかな輝度変化を実現できなくなる。そのため、二つの制御のタイミングを合わせるために、制御や回路が複雑になるという課題があった。

【課題を解決するための手段】

【 0 0 0 8 】

本発明に係る撮像装置は、撮像手段と、撮像手段が撮像した映像信号中の注目画素と注目画素の複数の周辺画素の各画素値に係数を掛ける演算手段と、演算手段で係数が掛けられた各画素値を加算する加算手段と、加算手段から出力された信号より画面の明るさを算出し、画面の明るさが予め決められた範囲となるよう、注目画素と注目画素の複数の周辺画素を画素加算する場合の係数を制御する制御手段と、映像信号の増幅利得を調節する利得制御手段とを備え、制御手段はさらに、利得制御手段による感度アップが上限に達した場合に、加算手段の加算処理を行うことにより、輝度制御を行うものである。

【 0 0 0 9 】

本発明に係る輝度制御方法は、撮像手段が撮像した映像信号中の注目画素と注目画素の複数の周辺画素の各画素値に係数を掛ける演算処理と、演算処理により係数が掛けられた各画素値を加算する加算処理と、加算処理で加算された信号より画面の明るさを算出し、画面の明るさが予め決められた範囲となるよう、注目画素と注目画素の複数の周辺画素を画素加算する場合の係数を制御する制御処理と、映像信号の増幅利得を調節する利得制御処理とを含み、制御処理はさらに、利得制御処理による感度アップが上限に達した場合に、加算処理を行うものである。

【発明の効果】

【0010】

本発明は、撮像手段と、各画素値に係数を掛ける演算手段、この演算手段で係数が掛けられた各画素値を加算する加算手段と、この加算手段から出力された信号より画面の明るさを算出し、画面の明るさが予め決められた範囲となるように、画素加算する場合の係数を制御する制御手段と、映像信号の増幅利得を調節する利得制御手段とを設けたので、係数を制御することが可能となり、従来の制御に比べて、より細かな輝度レベルの制御を行うことが出来るという効果を奏する。また、利得制御手段による感度アップが上限に達した場合に、前記加算手段の加算処理を行うので、利得制御と加算処理の切り替えタイミングでの映像の乱れが抑制されるとの効果を奏する。

10

【0011】

本発明に係る輝度制御方法は、撮像手段から読み出された信号に基づいて、各画素値に係数を掛ける演算処理、この演算処理により係数が掛けられた各画素値を加算する加算処理と、この加算処理で加算された信号より画面の明るさを算出し、画面の明るさが予め決められた範囲となるように、画素加算する場合の係数を制御する制御処理と、映像信号の増幅利得を調節する利得制御処理とを含むので、係数を制御することが可能となり、従来の制御に比べて、より細かな輝度レベルの制御を行うことが出来るという効果を奏する。また、利得制御手段による感度アップが上限に達した場合に、前記加算手段の加算処理を行うので、利得制御と加算処理の切り替えタイミングでの映像の乱れが抑制されるとの効果を奏する。

20

【図面の簡単な説明】

【0012】

【図1】本発明に係る撮像装置の構成を示すブロック図である。

【図2】画素加算回路の詳細な構成を示すブロック図である。

【図3】画素加算回路にて加算される画素の空間的位置、時間的位置の一例を示す説明図である。

【図4】本発明に係る撮像装置が実行する輝度制御処理のイメージを示す説明図である。

【図5】本発明の実施の形態1に係る撮像装置が実行する輝度制御処理を示すフローチャートである。

【図6】本発明の実施の形態2に係る撮像装置が実行する輝度制御処理を示すフローチャートである。

30

【図7】増減量テーブルの一例を示す説明図である。

【図8】画素加算量テーブルの一例を示す説明図である。

【図9】ゲインアップと画素加算を併用した輝度制御処理のイメージを示す説明図である。

【発明を実施するための形態】

【0013】

実施の形態1.

図1は本発明の実施の形態1による撮像装置を示すブロック構成図である。図1において、レンズ群1の中にはフォーカス用レンズがあり、レンズ駆動回路11によって移動され、フォーカシングが行われることで、固体撮像素子2の撮像面上に合焦させる。固体撮像素子2は、タイミングジェネレータ12より指定されたタイミングで露光を行う。CDS (Correlated Double Sampling 相関二重サンプリング) 3は、固体撮像素子2の出力信号に相関二重サンプリングを施すことで、ノイズ等の除去を行う。アンプ4は、CDS 3の出力信号に、マイクロプロセッサ10から出力された制御信号の倍率にしたがってゲインアップ(信号増幅)を行う。A/D変換機5は、アンプ4の出力信号をデジタル信号に変換する。

40

【0014】

映像信号処理部6は、A/D変換機5の出力信号に、欠陥画素補正処理や、色補間処理、階調補正処理、ノイズ低減処理、輪郭補正処理、白バランス調整処理、信号振幅調整処

50

理、色補正処理などを加え、飛び越し走査方式の映像信号を出力する。画素加算回路 7 は映像信号処理部 6 の出力信号に画素加算を行うものであり、画素加算において、加算する周辺画素それぞれに加算前に係数を掛けることが出来る回路を備えている。輝度積分値計算部 8 は、画素加算回路 7 の出力信号の振幅より、画面内輝度積分値の計算を行う。映像信号出力部 9 は、輝度積分値計算部 8 の出力信号に最終処理を施し、撮像装置より外部へ出力を行う。

【 0 0 1 5 】

マイクロプロセッサ 1 0 は、撮像信号の大きさに基づいて、例えば輝度積分値計算部 8 から供給された画面内輝度積分値に基づいて、レンズ 1 の絞りの制御、タイミングジェネレータ 1 2 が発生する固体撮像素子 2 の光電変換素子からの電荷読出しタイミング及び電荷強制排出タイミングの制御（露光時間の制御）、アンプ 4 のゲインアップ量の制御、並びに画素加算回路 7 の画素加算処理の制御を行う。具体的には、輝度積分値計算部 8 から得られる画面内輝度積分値が一定となるように自動露光制御を行う。明るい環境での撮像で画面内輝度積分値（信号振幅）が大きい時、マイクロプロセッサ 1 0 は、レンズ 1 の開口を絞るように制御（アイリス制御）して固体撮像素子 2 への入射光量を減らす。一方、暗い環境での撮像で画面内輝度積分値（信号振幅）が小さい時、マイクロプロセッサ 1 0 は、レンズ 1 の開口を開くように制御して固体撮像素子 2 への入射光量を増加させる。

【 0 0 1 6 】

マイクロプロセッサ 1 0 は、輝度を一定に保つため、アイリス制御のほか、ゲインアップ量の制御も行う。例えば、周辺照度が徐々に暗くなる環境での撮像で、画面内輝度積分値（信号振幅）が小さくなってきた時、アンプ 4 のゲインアップ量を増やすように制御して撮像信号を増幅する。逆に、周辺照度が徐々に明るくなる環境での撮像で、画面内輝度積分値（信号振幅）が大きくなってきた時、アンプ 4 のゲインアップ量を減らすように制御する。

【 0 0 1 7 】

マイクロプロセッサ 1 0 は、周辺照度の変化によって、アイリス制御、ゲインアップ量の制御、画素加算による輝度制御方法を実行する。以下、周辺照度が増変したときの感度調整のための手順の一例を説明する。周辺照度が徐々に暗くなり、画面内輝度積分値（信号振幅）が下がってくると、レンズ 1 の絞りを開放方向に制御して、画面内輝度積分値（信号振幅）を維持する。レンズ 1 の絞りが開放（全開）になった後は、アンプ 4 のゲインアップ量を増やすように制御して、画面内輝度積分値（信号振幅）を維持する。アンプ 4 のゲインアップ量が最大になった後は、画素加算回路 7 の係数を増やすように制御して、画面内輝度積分値（信号振幅）を維持する。逆に、周辺照度が徐々に明るくなり、画面内輝度積分値（信号振幅）が上がってくると、画素加算回路 7 が係数を減らすように制御する。周辺照度がさらに明るくなると、アンプ 4 のゲインアップ量を減らすように制御して、画面内輝度積分値（信号振幅）を維持する。周辺照度がさらに明るくなると、レンズ 1 の絞りを遮光方向に制御して、画面内輝度積分値（信号振幅）を維持する。

【 0 0 1 8 】

上記のように、マイクロプロセッサ 1 0 は、レンズ 1 の絞り、固体撮像素子 2 の露光時間、アンプ 4 のゲインアップ量、画素加算回路 7 における画素加算の各々の信号振幅調整機能を制御して画面内輝度積分値（信号振幅）を維持する。

【 0 0 1 9 】

図 2 は、画素加算回路の詳細な構成を示すブロック図である。以下、図 2 を参照して、画素加算回路 7 が N T S C 方式（インターレース方式）の信号を処理する場合を例に説明する。画素加算処理は Y 信号、C 信号ともに行う必要があるが、ここでは Y 信号を代表として説明する。実際には C 信号についても同様の処理を行う必要がある。また、撮像装置によっては R、G、B 信号など、異なる信号が入力される場合もあるが、処理の方法は同様である。映像信号処理部 6 より画素加算回路に入力された信号から、フィールド遅延部 2 0 1 にて、遅延なしの信号 P 1、2 6 2 ライン（1 フィールド）遅延した信号 P 2、5 2 5 ライン（2 フィールド）遅延した信号 P 3 が生成される。フィールド遅延部 2 0 1 よ

10

20

30

40

50

り出力された信号から、ライン遅延部 202 にて、P1 から遅延なしの信号 P11、P1 から 1 ライン遅延の信号 P12、P2 から遅延なしの信号 P21、P2 から 1 ライン遅延の信号 P22、P2 から 2 ライン遅延の信号 P23、P3 から遅延なしの信号 P31、P3 から 1 ライン遅延の信号 P32、が生成される。

【0020】

ライン遅延部 202 より出力された信号から、ピクセル遅延部 203 にて、P11 から 1 ライン遅延の信号 P112、P12 から 1 ライン遅延の信号 P122、P21 から 1 ライン遅延の信号 P212、P22 から遅延なしの信号 P221、P22 から 1 ライン遅延の信号 P222、P22 から 2 ライン遅延の信号 P223、P23 から 1 ライン遅延の信号 P232、P31 から 1 ライン遅延の信号 P312、P32 から 1 ライン遅延の信号 P322、が生成される。ピクセル遅延部 203 より出力された信号は、演算部 204 にて、それぞれマイクロプロセッサより指定された係数 $K_{112} \sim K_{322}$ で乗算を行う。演算部 204 より出力された信号は、加算部 205 にて加算される。加算部 205 より出力された信号は、輝度積分値計算部 8 に入力される。なお、演算部 203 より出力された信号のうち、1 フィールド遅延、1 ライン遅延、1 ピクセル遅延を行った信号 P222 を注目画素とし、それ以外を周辺画素とする。

【0021】

図 3 は、画素加算回路にて加算される画素の空間的位置、時間的位置の一例を示す説明図である。以下、図 3 を参照して、上記遅延信号の空間的位置、時間的位置を説明する。縦に垂直軸 V、横に水平軸 H をとったインタレース方式の映像信号の画素配置図である。垂直 525 ラインのうち、1 ラインから 262 ラインの真ん中までが奇数フィールド、262 ラインの真ん中から 525 ラインまでが偶数フィールドである。P221 は注目画素 P222 と同一フィールドで、注目画素から水平に 1 画素前の位置であり、P223 は 1 画素後ろの位置である。P212 は注目画素と同一フィールドで、注目画素から 1 ライン前 (2 画素上) の位置であり、P232 は 1 ライン後 (2 画素下) の位置である。P112 は注目画素の 1 フィールド前で、注目画素の真上の位置であり、P122 は注目画素の真下の位置である。P312 は注目画素の 1 フィールド後で、注目画素の真上の位置であり、P322 は注目画素の真下の位置である。

【0022】

演算部の係数を、 $(K_{112}, K_{122}, K_{212}, K_{221}, K_{222}, K_{223}, K_{232}, K_{312}, K_{322}) = (0, 0, 0, 0, 1, 0, 0, 0, 0)$ とした場合、注目画素の 1 倍、つまり入力画像がそのまま出力されることとなり、画素加算回路がない (画素加算機能が OFF) 場合と同様となる。また、演算部の係数を $(K_{112}, K_{122}, K_{212}, K_{221}, K_{222}, K_{223}, K_{232}, K_{312}, K_{322}) = (0, 0, 0, 1, 1, 1, 0, 0, 0)$ とすることで水平 3 画素加算となり、3 倍の感度向上が実現できる。また、 $(K_{112}, K_{122}, K_{212}, K_{221}, K_{222}, K_{223}, K_{232}, K_{312}, K_{322}) = (1, 1, 0, 0, 1, 0, 0, 1, 1)$ とすることで 3 フィールドにわたる 5 画素加算となり、5 倍の感度向上が実現できる。このように係数を制御することで、画素加算の動作を制御することができる。上記説明のように、本発明に係る撮像装置は、画素加算において、加算する周辺画素それぞれに加算前に係数を掛けることが出来る回路を備えている。

【0023】

図 4 は、本発明に係る撮像装置が実行する輝度制御処理のイメージを示す説明図である。ここで、演算部 204 の係数を小数点以下の単位まで制御可能な構成とすると、整数倍単位の輝度制御だけでなく、細かい輝度制御が可能になる。例えば、演算部 204 の係数を $(K_{112}, K_{122}, K_{212}, K_{221}, K_{222}, K_{223}, K_{232}, K_{312}, K_{322}) = (0, 0, 0, 0, 1.25, 1, 0, 1.25, 0, 0, 0)$ とすることで、1.25 倍の感度向上が実現できる。このように、演算部 204 の係数を小数点以下の単位で制御することで、ゲインアップを併用することなく、図 4 に示すように細かい輝度制御を行うことができる。

【0024】

図5は、本発明の実施の形態1に係る撮像装置が実行する輝度制御処理を示すフローチャートである。以下、図5を用いて、本発明に係る撮像装置が実行する輝度制御処理について説明する。マイクロプロセッサ10は、輝度積分値計算部8の入力信号から画面内輝度積分値を算出する(ステップS1)。輝度積分値計算部8の入力信号は、全ての感度アップの処理が行われた後であるため、この時点での画面内輝度積分値は、全ての画素の輝度レベルを足し合わせたものである。また、画面の明るさの目標値は、目標輝度積分値としてあらかじめ設定しておく。ハンチングを防止するため、目標輝度積分値にはある程度の幅を持たせることとし、目標輝度積分値上限と、目標輝度積分値下限を定める。

【0025】

次に、マイクロプロセッサ10は、画面内輝度積分値と目標輝度積分値上限の比較を行う(ステップS2)。このステップS2の判定において、画面内輝度積分値が目標輝度積分値上限より大きい場合(ステップS2でYes)、マイクロプロセッサ10は演算部204の係数を減少させる(ステップS4)。一方、画面内輝度積分値が目標輝度積分値上限以下の場合(ステップS2でNo)、マイクロプロセッサ10は、画面内輝度積分値と目標輝度積分値下限を比較する(ステップS3)。このステップS3の判定において、目標輝度積分値が目標輝度積分値下限より小さい場合(ステップS3でYes)、マイクロプロセッサ10は、演算部204の係数を増加させる(ステップS5)。一方、画面内輝度積分値が目標輝度積分値下限以上の場合(ステップS3でNo)、マイクロプロセッサ10は演算部204の係数の調整は行わない。このような処理を繰り返し行うことで、画面内輝度積分値が目標輝度積分値に近づくこととなる。

【0026】

ゲインアップと画素加算を併用した輝度制御処理のイメージを示す図9は、照度環境が明るい状態から暗い状態に遷移する過程において、最も明るい環境ではゲインアップのみによる輝度制御を実施するが、以降、暗い環境ではゲインアップと画素加算を同時使用して輝度制御を行うことを示す。つまり、ゲインアップによる輝度制御量と画素加算による輝度制御量を切り替える照度領域が存在する。ゲインアップと画素加算という異なる高感度化手法を併用する場合、切り替えのタイミングで解像度の変化やノイズ量の変化等、画面の見え方が大きく変わり、映像に乱れが発生するという課題があった。一方、本発明は、画素加算において、加算する周辺画素それぞれに加算前に係数を掛けることが出来る回路を備えることにより、係数を小数点以下まで制御することが可能となり、従来の整数倍単位の制御に比べて、より細かな輝度レベルの制御を行うことが出来るようになった。図4は、本発明に係る撮像装置が実行する輝度制御処理のイメージを示す説明図である。図4と図9を比較すると、本発明の撮像装置が実行する画素加算処理は「画素加算なし」から「5画素加算」のいずれの画素加算でも細かく輝度レベルを制御できることが分かる。したがって、ゲインアップと併用しなくても、細かな輝度レベルの制御を行うことが可能となり、瞬時の照度変化に対応することが出来るという効果がある。また、図9はゲインアップと画素加算を切り替える照度領域(タイミング)が存在することを示しているが、図4によると、ゲインアップと画素加算を切り替える照度領域(タイミング)は存在しないことが分かる。

【0027】

また、常に映像を出力し続ける動画撮影では、画素加算による輝度変化のタイミングとゲインアップによる輝度変化のタイミングを完全に一致させる必要があり、少しでもタイミングがずれてしまうと、なめらかな輝度変化を実現できないという課題があった。しかし、本発明は、加算する周辺画素それぞれに加算前に係数を掛けることが出来る回路を備えることにより、係数を小数点以下まで制御することが可能となり、従来の整数倍単位の制御に比べて、より細かな輝度レベルの制御を行うことが出来るので、ある照度下で、ゲインアップと併用しなくても、細かな輝度レベルの制御を行うことが可能である。したがって、画素加算とゲインアップによる輝度変化のタイミングを合わせるための特段の対策を行う必要がない。

【 0 0 2 8 】

なお、上記説明では、画素加算によって輝度制御を行う実施例を説明したが、シャッター速度の調整のほか、照度の変化に伴いアイリス制御、ゲインアップ量の調整を行い、アイリス制御、ゲインアップ量の調整による感度アップが上限に達した時に画素加算を動作させるようにしても良い。従来のように、一定の照度下で、画素加算による制御を詳細化するためにゲインアップを同時使用する必要がないので、ゲインアップと画素加算の動作モードの切り替えタイミングでの映像に乱れは抑制される。

【 0 0 2 9 】

実施の形態 2 .

次に、本発明の実施の形態 2 について説明する。本実施の形態では、演算部 2 0 4 の係数の増減にテーブルを使用する方法について説明する。本実施の形態に係る撮像装置の構成は図 1、図 2 で説明したものと同様である。図 6 は、本発明の実施の形態 2 に係る撮像装置が実行する輝度制御処理を示すフローチャートである。図 6 において、輝度積分値計算部 8 は画面内輝度積分値の算出を行う（ステップ 1 1）。次に、マイクロプロセッサ 1 0 は、輝度積分値計算部 8 が計算した画面内輝度積分値と目標輝度積分値の割合を算出し（ステップ 1 2）、増減量テーブルから増減量を読み取る（ステップ 1 3）。

【 0 0 3 0 】

図 7 は、増減量テーブルの一例を示す説明図である。図 8 は、画素加算量テーブルの一例を示す説明図である。例えば、画面内輝度積分値と目標輝度積分値の割合が 1 . 8 のとき、図 7 に示すテーブルの「画素加算量テーブル加減算値」は + 2 を示している。この「+ 2」は、画面内輝度積分値と目標輝度積分値の割合が 1 . 8 のとき、現在使用している画素加算量テーブルのテーブル番号に + 2 のテーブル番号が付された画素加算量テーブルに変更することを示す。

【 0 0 3 1 】

マイクロプロセッサ 1 0 は、図 7 に示す増減量テーブルより読み取った増減量だけ、画素加算量テーブルのテーブル番号を増減し、係数を読み取る（ステップ 1 4）。例えば、現在の画素加算量がテーブル番号 5 であった場合に、増減量を + 2（2 増加）とすると、図 7 より画素加算量テーブルは 7 となる。図 8 を参照してテーブル番号 7 を見ると、係数 K 2 2 3 は 0 から 0 . 5 に変化させることが分かる。このように、演算部 2 0 4 の係数をテーブルで管理することによって、多数ある係数を一元管理することができ、係数を滑らかに変化させることができる。また、テーブルの増減量を輝度割合から決めることで、輝度差が大きい時ほど画素加算量も大きく変化する制御となるため、被写体照度に対する追従性が向上する。

【 0 0 3 2 】

なお、これまでに説明したテーブルや図は一例であり、さらに細かく画素加算量を制御するテーブルを使用することで、よりスムーズな輝度変化を実現することができる。また、ここまで説明した形態では、画素加算による輝度制御の方法についてのみ述べたが、ゲインアップ、アイリス制御、高速シャッター等、他の輝度制御が搭載されている撮像装置であれば、他の輝度制御による感度アップが上限に達した時に画素加算を動作させるなど、併用して使用しても良い。また、今回は 9 画素を加算する場合を例に説明したが、9 画素である必要性はなく、さらに周辺の画素を加算する構成として感度を向上させたり、加算する画素数を減らして回路を簡略化しても良い。

【 0 0 3 3 】

また、今回はテーブルを使用して加算する画素の位置を決めていたが、テーブルである必要はない。例えば、注目画素との差分の少ない画素を優先的に使用する構成とすることで、解像度の低下を抑えることができる。また、今回は画面内輝度積分値の算出に全画素を加算したが、全ての画素を用いる必要はない。例えば、一定箇所の画素のみを用いて輝度積分値を算出したり、画素をいくつかのエリアにわけてそれぞれで画面内輝度積分値を算出し、個別に輝度制御を行っても良い。また、目標輝度積分値も常に一定である必要はない。例えば、照度が暗くなる（ゲイン増幅量や画素加算量が上がる）時に目標輝度積分

10

20

30

40

50

値が低くなる設定とすることで、発生するノイズを目立たなくすることができる。

【0034】

また、今回はNTSC方式（インターレース方式）を例に挙げたが、PAL方式やプログレッシブ方式（時間軸方向の画素加算は、フィールド遅延ではなくフレーム遅延となる）の信号であっても良い。信号の種類についても、輝度信号と色差信号の組み合わせや、RGB信号や、モノクロ映像で輝度信号のみ等、種類を問わない。また、アナログ信号だけに限らず、デジタル信号でも良い。また、固体撮像素子については、CCDやCMOS等、撮像可能なイメージセンサであればどのようなものでも良い。

【0035】

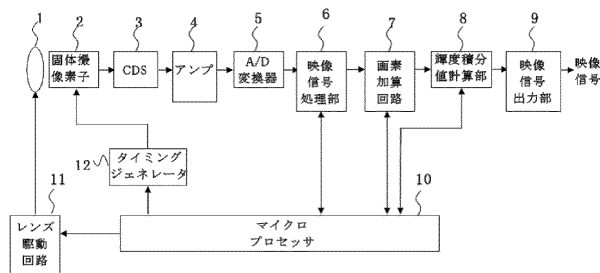
上記説明のように、演算部204の係数をテーブルで管理することによって、多数ある係数を一元管理することができ、係数を滑らかに変化させることができる。また、テーブルの増減量を輝度割合から決めることで、輝度差が大きい時ほど画素加算量も大きく変化する制御となるため、被写体照度に対する追従性が向上し、照度変化に対する映像の乱れを最小限にすることができる。

【符号の説明】

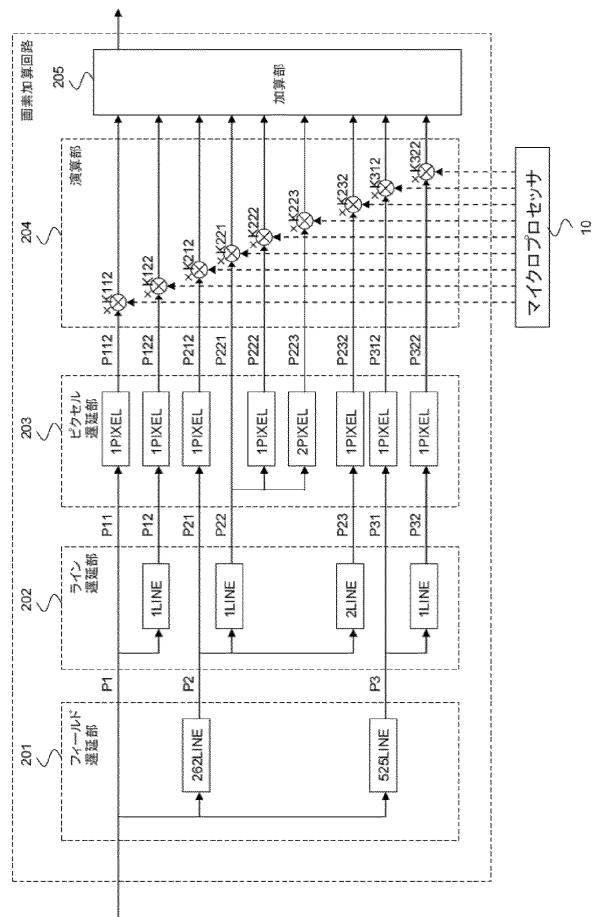
【0036】

- 1 レンズ群、2 固体撮像素子、3 CDS、4 アンプ、5 A/D変換器、
6 映像信号処理部、7 画素加算回路、8 輝度積分値計算部、9 映像信号出力部、
10 マイクロプロセッサ、11 レンズ駆動回路、12 タイミングジェネレータ、
201 フィールド遅延部、202 ライン遅延部、203 ピクセル遅延部、
204 演算部、205 加算部

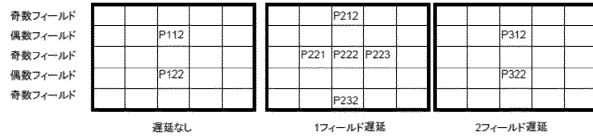
【図1】



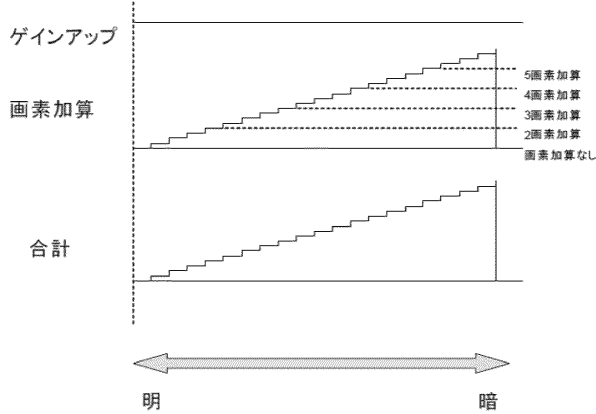
【図2】



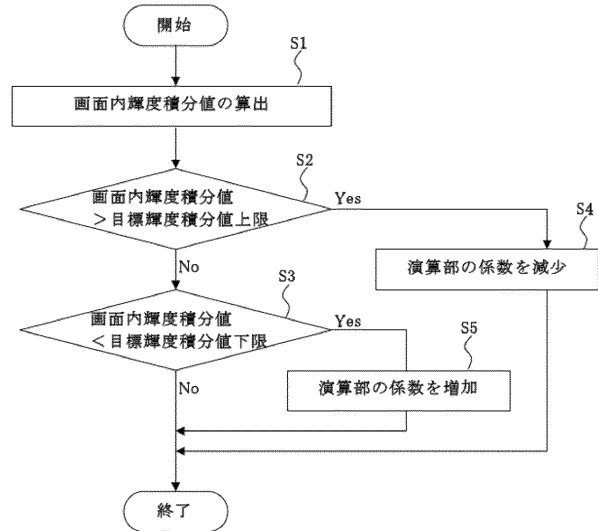
【図 3】



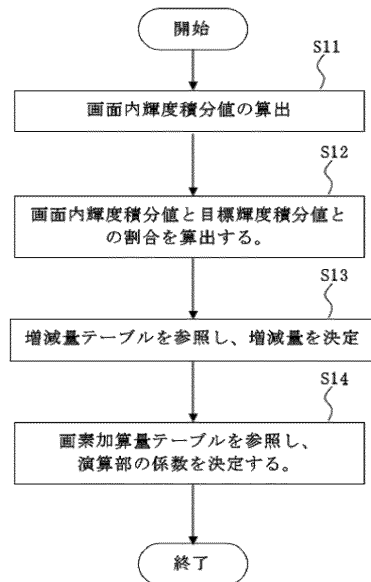
【図 4】



【図 5】



【図 6】



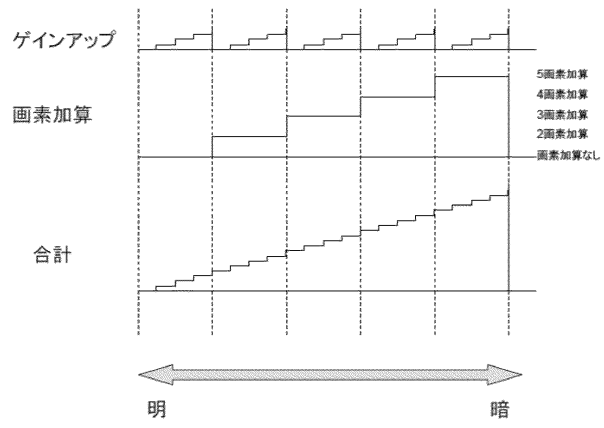
【図 7】

画面内輝度積分値 / 目標輝度積分値	画素加算量 テーブル 加減算値
3.0以上	+4
3.0未満～2.0以上	+3
2.0未満～1.5以上	+2
1.5未満～1.1以上	+1
1.1未満～0.9以上	0
0.9未満～0.6以上	-1
0.6未満～0.3以上	-2
0.3未満～0.1以上	-3
0.1未満	-4

【図 8】

テーブル 番号	演算部の係数								
	K222	K221	K223	K212	K232	K112	K122	K312	K322
1	1	0	0	0	0	0	0	0	0
2	1	0.25	0	0	0	0	0	0	0
3	1	0.5	0	0	0	0	0	0	0
4	1	0.75	0	0	0	0	0	0	0
5	1	1	0	0	0	0	0	0	0
6	1	1	0.25	0	0	0	0	0	0
7	1	1	0.5	0	0	0	0	0	0
8	1	1	0.75	0	0	0	0	0	0
9	1	1	1	0	0	0	0	0	0
10	1	1	1	0.5	0	0	0	0	0
11	1	1	1	1	0	0	0	0	0
12	1	1	1	1	0.5	0	0	0	0
13	1	1	1	1	1	0	0	0	0

【図 9】



フロントページの続き

合議体

審判長 渡邊 聡

審判官 小池 正彦

審判官 渡辺 努

- (56)参考文献 特開 2 0 0 2 - 1 4 2 1 5 1 (J P , A)
特開 2 0 1 1 - 1 0 9 5 7 6 (J P , A)
国際公開第 2 0 1 0 / 0 5 8 4 9 7 (W O , A 1)

- (58)調査した分野(Int.Cl. , D B 名)
H04N 5/222