(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 21/82

(45) 공고일자 2002년08월21일
(11) 등록번호 10-0314702
(24) 등록일자 2001년11월01일

(21) 출원번호 10-1994-0013831
(22) 출원일자 1994년06월18일

(65) 공개번호 특1995-0001991
(43) 공개일자 1995년01월04일

(30) 우선권주장 93-182061 1993년06월28일 일본(JP)

(73) 특허권자
가부시키가이샤 히타치 쪼오 엘.에스.아이.시스템즈
일본국 도오쿄오토 코다이라시 조우스이혼쪼 오 5쪼 오메 20반 1고오
가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
미즈카미마사오
일본국도오쿄오토오우메시이마이2326
사토우요우이찌
일본국도오쿄오토오우메시이마이2326
고자키다카히코
일본국도오쿄오토코가네이시마에하라죠오4-18-38
시나가와사토시
일본국도오쿄오토오우메시이마이2326

(74) 대리인
강용복
특허법인 원전 임석재

심사관 : 반성원

(54) 반도체집적회로

요약

클럭신호(CLK)에 동기동작하는 확장게이트영역(4)과 클럭신호(CLK) 보다도 주파가 높은 클럭신호(CK)에 동기동작하는 RAM 코아(7)(마크로셀)와의 사이에 속도변환회로영역(8)을 설치한다. 이것은 클럭신호(CLK)의 주파수를 체배한 클럭신호(CK)를 형성하고, 확장게이트영역에 있어서 소정단위동작의 액세스싸이클 기간에 그 복수동작싸이클분의 액세스 정보를 확장게이트영역에서 병렬적으로 수신하며, 이것을 클럭신호(CK)에 동기한 복수동작 싸이클기간에 직렬적으로 RAM 코아에 공급하고, 싱글포트의 RAM 코아를 듀얼포트 RAM으로 액세스할 수 있도록 한다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명의 일 실시예를 나타내는 반도체 집적회로의 칩 이미지(image)를 표시하는 평면도,

제 2 도는 RAM 코아와 하나의 예시 블록도,

제 3 도는 본 발명의 일실시예를 나타내는 속도변환회로영역의 블록도,

제 4 도는 본 발명의 일실시예를 나타내는 다른 속도변환회로영역의 블록도,

제 5 도는 제4도의 속도변환회로영역의 상세를 나타내는 하나의 예시논리회로도,

제 6 도는 제5도의 논리회로에 리이드와 라이트 동작이 병렬적으로 지시될 때의 하나의 예시동작 타이밍챠트.

** 도면의 주요부분에 대한 부호의 설명 **

1.....칩, 2.....본딩패드,

3.....입출력버퍼, 4.....확장게이트영역,

5.....복합마크로셀, 6.....클락펄스발생기,

7.....RAM 코아, 10.....메모리어레이,

11.....어드레스버퍼, 15.....커먼데이타선,

18.....센스암프, MC.....메모리셀,

WL.....워드선.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로에 관한 것으로, 예를 들면 ASIC(Application Specific IC) 등으로 불려지는 카스텀 혹은 세미카스텀화된 반도체 집적회로에 적용하여 그 성능향상에 유효한 기술에 관한 것이다.

특개평 4-87362호 공보에 복수개의 반도체 집적회로를 회로기판에 실장하는, 이를테면 멀티칩 시스템이 기재되어 있다. 반도체 집적회로간의 신호전송 속도는 해당 직접회로가 실장된 회로기판의 물리적조건, 예를 들면 신호배선의 배선저항 및 기생용량 등에 의해 결정되기 때문에 그다지 향상하지 않지만, 반도체 집적회로 그 자체의 동작속도는 회로 소자의 미세화 등에 의한 반도체 집적회로기술의 진보에 따라 현저하게 향상한다. 각각의 반도체 집적회로 자체에 관하여는 그와 같은 기술의 진보가 있었어도, 시스템 전체의 성능은 반도체 집적회로 간의 신호전송속도에 제한되어 충분한

향상이 가능하지 않았다.

반도체 집적회로 내부에 있어서도 장래 일어날 수 있는 회로블록간의 동작속도의 갭(gap)을 해결하기 위해 본 발명자는 다음과 같은 검토를 했다.

ASIC 등으로 불려지는 반도체 집적회로 등은 사용자가 요구하는 기능을 실현하기 위한 회로영역으로서 확장게이트(spread gate)영역을 가진다. 확장게이트영역은 예를 들면 반복적으로 다수배치된 기본회로의 접속모양에 의해 소요기능이 실현되는 영역이다. 따라서 이 영역은 트랜지스터 크기가 거의 일정하고, 소요배선영역이 미리 도처에 설치되며, 비교적 집적도가 낮아 동작속도의 고속화에도 어느정도의 한계가 있다. 한편 그와 같은 반도체회로에 있어서는 고집적화를 위해 소요 마크로셀(macro cell)을 이용할 수 있다. 마크로셀은 RAM 및 CPU 등의 일정한 기능이 미리 결정되어 회로배치 혹은 동작속도 등의 점에 있어서 최적화된 회로블록이다. 마크로셀은 RAM 등의 기능블록단위로 만들어지고, 예를 들면 주로 손으로 설계되어 확장게이트영역 등의 타회로 부분보다 고밀도로 제작된다. 회로기술과 공정기술의 진보에 의해 마크로셀 같은 부분은 게이트영역에 형성된 타 회로 부분보다도 고속동작을 할 수 있다.

상기와 같은 마크로셀과 확장게이트영역이 병존하는 반도체회로 전체의 동작성능을 최대한으로 인출하는 것에는 각각의 영역에서 가능한 고속동작시키면 좋지만, 그러기 위해서는 마크로셀의 동작속도에 상응하는 복수동작 싸이클분의 정보를 확장게이트영역의 동작 싸이클에 따라 병렬적으로 주어야 하고, 또한 그와 같이해서 병렬적으로 주어진 복수동작 싸이클분의 정보를 마크로셀의 동작에 최적타이밍으로 주는 것이 필요하다. 그것에 대체하는 것에는 확장게이트영역과 마크로셀과의 인터페이스 부분에 멀티플렉서와 디멀티플렉서를 간단히 삽입하는 것만으로는 족하지 않다.

더우기, 반도체 집적회로 내부에 있어서 회로블록간의 동작속도의 갭은 선택되는 마크로셀의 기능에 의해서도 실질적으로 흡수할 수 있다. 예를 들면 확장게이트영역에 있어서 하나의 메모리 액세스 싸이클 시간에 마크로셀로서의 RAM을 병렬적으로 리이드 및 라이트 하는 사양을 만족시키는 경우, 해당 RAM에 듀얼포트 RAM을 채용하면 그 사양을 만족시킬 수 있다. 이때 듀얼포트 RAM은 확장게이트영역과 동일속도로 동작시키면 충분하다. 그러나 상술한 것 같이 마크로셀은 고속동작이 가능하므로 그와 같은 이용형태는 해당 마크로셀의 기능을 충분히 발휘시키는 것은 아니다. 더우기 복수포트를 가지는 RAM은 그 주변회로가 싱글포트 RAM의 2배정도로 되어 칩점유면적이 크게 된다. 이와 같은 때에 고속 동작 가능한 마크로셀의 동작속도를 충분히 발휘하도록 하는 관점에서는, 확장게이트영역에서 병렬적으로 발생된 리이드 및 라이트 액세스 싸이클에 의해 싱글포트의 RAM 마크로셀이 시계열적으로 리이드 및 라이트 동작 가능하도록 하는 부가회로가 필요하게 된다.

본 발명의 목적은 서로 다른 주파수의 클럭신호에 동기동작된 복수의 회로영역 상호간에 있어서 일방의 회로영역에서의 병렬적인 액세스 지시와 이것을 받는 타방의 회로영역에 있어서 직렬적인 액세스 동작을 동기적으로 행할 수 있는 반도체 집적회로를 제공하는 것에 있다.

본 발명의 다른 목적은 동일 반도체 기판에 확장게이트영역과 함께 실장된 마크로셀의 동작성능을 충분히 인출할 수 있는 반도체 집적회로를 제공하는 것에 있다.

본 발명의 또다른 목적은 상대적으로 고속동작 가능한 RAM의 하나의 포트를 상대적으로 동작속도가 늦은 회로영역에서의 멀티포트로서 액세스 할 수 있는 반도체 집적회로를 제공하는 것에 있다.

본 발명의 상기 및 그 외의 목적과 신규한 특징은 본 명세서의 기재 및 첨부도면에서 명확하게 될 것이다. 본원에 개시된 발명 중에서 대표적인 것의 개요를 간단히 설명하면 하기와 같다.

즉, 제1클럭신호에 동기동작된 확장게이트영역과 같은 제1회로영역과, 상기 제1클럭 신호보다도 주파수가 높은 클럭신호에 동기동작 가능하게 되는 마크로셀과 같은 제2회로영역을 구비한 반도체 집적회로에 있어서, 이것과 동일 반도체기판에 상기 제1회로 영역과 제2회로영역과의 사이에 정보의 교환을 위한 속도 변환회로영역을 설치하고, 해당속도 변환회로영역을 상기 제1클럭신호에 따라 해당 제1클럭신호의 주파수에 대하여 체배된 주파수의 제2클럭 신호를 형성하여 상기 제2회로영역에 공급하는 체배클럭 발생회로와 제1회로 영역에 있어서 소정단위 동작의 싸이클 시간에 그 복수동작 싸이클분의 정보를 제1회로영역에서 병렬적으로 수신하고 이러한 병렬적인 정보를 제1클럭신호에 동기한 복수동작 싸이클시간에 직렬적으로 제2회로영역에 공급하는 병렬직접변환회로에 의한 구성된다.

제2회로영역에시 제1회로영역으로의 정보전달을 고려한 때의 상기속도 변환회로영역은 제2회로영역이 상기 제2클럭신호에 동기동작하여 그 복수동작 싸이클 기간에 의해 얻어진 정보를 제2회로에서 직렬적으로 수신하고 이러한 직렬적인 정보를 제1클럭신호로 규정된 소정단위동작의 싸이클 기간에 병렬적으로 상기 제1회로영역에 공급하는 직렬병렬 변환회로를 구비한다. 혹은 제2회로영역이 상기 제2클럭신호에 동기한 동작싸이클 주기에서 얻어진 정보를 수신하고 이러한 정보를 해당 제2클럭신호에 동기하는 동작싸이클 기간을 초과하여 상기 제1회로영역에 공급하는 확장(stretching) 회로를 구비한다.

상기 마크로셀이 메모리어레이와 메모리어레이에 대한 데이타의 리이드 및 라이트를 행하기 위한 상기 속도변환회로영역에 결합된 액세스포트를 가지는 RAM 코아일때 이 RAM 코아는 상기 속도변환회로를 통하는 것에 의해 상기 제1회로영역에서는 외관상 액세스포트수가 상기 제1클럭신호에 대한 제2클럭신호의 체배수배로 된다.

예를 들면 제1클럭신호에 동기동작된 확장게이트영역과 같은 제1회로영역과 상기 제1클럭신호 보다도 주파수가 높은 클럭신호에 동기동작 가능하게 되는 것과 함께 메모리어레이 및 해당 메모리어레이에 대한 데이타의 리이드 및 라이트를 행하기 위한 액세스포트를 가지는 RAM 코아와 같이 제2회로영역을 구비한 반도체 집적회로에 있어서, 이것과 동일 반도체기판에 상기 제1회로영역과 제2회로영역과의 사이에서 정보의 교환을 위한 속도변환회로영역을 설치하고, 해당속도 변환회로영역을 상기 제1클럭신호에 따라 해당 제1클럭신호의 주파수에 대하여 체배된 주파수의 제2클럭신호를 형성하고 상기 제2회로영역에 공급하는 체배클럭 발생회로와 제1회로영역에 있어서 메모리액세스의 단위동작 싸이클 시간에 복수동작 싸이클분의 복수메모리 액세스 정보를 제1회로영역에서 병렬적으로 수신하고 이러한 병렬적인 복수의 메모리 액세스 정보를 제1클럭신호에 동기하는 복수의 메모리동작 싸이클 기간에 직렬적으로 제2회로영역의 하나의 액세스포트에 공급하는 병렬직렬 변환회로에 의해 구성하는 것이다.

이때 상기 RAM 코아가 데이타의 리이드 및 라이트에 겸용된 액세스포트를 가지고 제1회로영역에서 RAM 코아에 대한 액세스 동작의 대부분이 데이타 리이드와 라이트를 교대로 행하는 동작일 때 그와 같은 액세스 태양의 효율을 증가시키도록 상기 속도 변환회로를 구성하는 경우, 해당속도 변환회로는 상기 제1회로영역에서 제2회로영역으로의 액세스 제어신호와 제1클럭신호를 제1회로영역에서 수신하고 상기 제1클럭신호에 따라 해당 제1클럭신호의 주파수에 대하여 체배된 주파수의 제2클럭신호와 해당 제2클럭신호에 동기하는 리이드 동작과 그것에 연속한 라이트 동작을 순차 지시하는 리이드 라이트 신호를 형성하여, 상기 제2회로영역에 공급하는 체배클럭 발생회로와, 계1회로영역에 있어서 메모리 액세스의 단위동작 싸이클 기간에 리이드 및 라이트를 위한 메모리 액세스 정보를 제1회로영역에서 병렬적으로 수신하고, 이러한 병렬적인 복수의 메모리 액세스 정보를 제2클럭신호에 동기하는 복수의 메모리동작 싸이클 기간에 직렬적으로 제2회로영역의 하나의 액세스포트에 공급하는 병렬직렬 변환회로와, 제2회로영역이 상기 제2클럭신호에 동기하는 라이트 동작 싸이클 기간에 상기 메모리어레이에서 리이드된 정보를 수신하고, 이러한 정보를 해당 제2클럭신호에 동기하는 리이드동작 기간을 초과하여 상기 제1회로영역에 공급하는 확장회로에 의해 구성한다.

상기 마크로셀 혹은 RAM 코아와 같은 제2회로영역은 속도변환회로영역과 함께 복합 마크로셀로 불려지는 영역을 구성한다. 이것은 RAM 코아와 같은 코아로 되는 마크로셀과 상기 속도변환에 필요한 회로를 탑재하는 마크로셀을 합체한 것이다. 쌍방의 마크로셀은 데이타 라이브러리와 같은 형태에서 미리 수종류의 것이 준비되어 있고, 반도체 집적회로에 실현해야 할 기능에 응해 선택되는 것으로 된다.

상술한 수단에 의하면 속도변환회로영역은 반도체 집적회로의 일부의 회로영역으로서 고속동작 가능한 마크로셀 등을 채용하는 경우에 확장게이트영역과 같은 주변논리부분이 고속으로 동작 가능하지 않아도 칩 내부에서 신호속도의 변환을 행하기 때문에 마크로셀을 한계의 고속동작으로 사용할 수 있다.

마크로셀이 RAM의 경우에는 예를 들면 확장게이트영역의 동작속도에 대하여 2배의 고속화를 할 수 있으면 원리적으로는 2배의 면적부에 비슷한 해당 RAM을 채용하여 병렬동작시키는 것과 같은 기능을 낼 수 있는 것으로 되기 때문에 칩의 고밀도화에 기여한다.

제1도에는 본 발명에 관한 반도체 집적회로의 일실시예가 칩 이미지로 표시되어 있다. 이 반도체 집적회로는 ASIC 예를 들면 게이트어레이의 수법을 부분적으로 채용하여 구성된 것이고 칩(1)의 주변부에는 다수의 본딩패드(2)와 입출력버퍼(3)가 배치되고 그 중앙부에는 확장게이트영역(4)과 복합마크로셀(5)이 배치된다.

상기 확장게이트영역(4)은 반복적으로 다수배치된 기본회로의 접속형태에 의해 소요의 기능이 실현된다. 예를 들면 게이트어레이의 상보형 MOS 기본셀이 다수배치되어 구성된다. 6은 클럭펄스 발생기(CPG)이고, 예를 들면 외부에서 공급되는 시스템클럭신호(φ)를 분주 혹은 간단히 정형하여 제1클럭신호(CLK)를 생성한다. 확장케이트영역(4)의 회로는 해당 제1클럭신호(CLK)에 동기동작된다. 본 실시예에 있어서 제1클럭신호(CLK)의 주파수는 f로 된다.

상기 복합 마크로셀(5)은 RAM 코아(7)와 속도변환회로영역(8)와 포함하고, 각각은 마크로셀로 되며, 소요의 기능을 실현하기 위해 각각 선택되어 합체된 복합적 마크로셀이다.

마크로셀은 상기 확장게이트영역(4)보다도 회로소자의 집적밀도가 높고 그 기능이 미리 결정되어 있는 기능블록이다. 또한 코아와 주변회로와 결합된 복합마크로셀의 구조에 의해 다양한 기능을 가진 복합마크로셀을 제공할 수 있고 마크로셀 기능의 충실화를 기할 수 있다.

마크로셀로서의 RAM 코아(7)는 소정의 기능이 미리 결정되고 회로배치 혹은 동작속도가 최적화되며, 예를 들면 주로 손으로한 설계에 의해 확장게이트영역 등의 다른 회로부분보다 고밀도로 만들어지고, 그 결과로서 확장게이트영역(4)에 형성된 다른 회로부분 보다도 동작을 고속화 할 수 있다. 이 RAM 코아(7)는 상기 제1클럭신호(CLK) 보다도 주파수가 높은 클럭신호에 동기동작 가능하게 된다.

상기 속도변환회로영역(8)은 RAM 코아(7)의 동기 클럭신호로서의 제2클럭신호(CK)를 제1클럭신호(CLK)에 따라 형성한다. 제2클럭신호(CK)는 제1클럭신호(CLK)의 주파수에 대하여 체배(예를 들면 n배)된 주파수로 된다. 더우기 속도변환회로영역(8)은 서로 다른 주파수의 클럭신호에 동기동작되는 확장게이트영역(4)과 RAM 코아(7) 상호간에 있어서 확장게이트영역(4)에서의 병렬적인 액세스지시와 이것을 수신하는 RAM 코아(7)에 있어서의 직렬적인 액세스 동작을 동기적으로 행하기 위해 액세스 정보의 전달속도 변환을 행한다. 속도변환회로(8)와 확장게이트영역(4)과의 회로적인 접속은 배선영역(9)을 통하여 행해진다.

상기 반도체 집적회로는 특별히 제한되지 않지만, 통신제어용의 반도체 집직회로이고, RAM 코아(7)는 통신용 시간스위치의 주요구성요소로서 이용된다.

제2도에는 상기 RAM 코아(7)의 한가지 예의 블록도가 표시된다. 메모리어레이(10)는 리이드·라이트 가능한 메모리셀(MC)이 매트릭스 배치되고, 메모리셀(MC)의 선택단자의 대응하는 행의 워드선(WL)에 결합되여, 그 데이타 입력출력단자가 대응하는 열의 데이타선(DL)에 결합된다.

메모리셀(MC)을 선택하기 위한 어드레스신호는 어드레스입력단자(ai)에서 어드레스버퍼(11)에 공급되고 이것이 디코다(12)에 의해 해독되는 것에 의해 워드선 선택신호와 데이타선 선택신호가 형성된다. 워드선 선택신호는 워드드라이바(13)에 공급되고 선택되어야 할 워드선이 그것에 의해 선택레벨에 구동된다. 데이타선 선택신호는 칼람스위치 회로(14)에 공급되고 그것에 의해 선택되어야 할 데이타선을 커먼데이타선(15)에 결합한다. 커먼데이타선(15)은 리이드·라이트 제어회로(16)에 결합된다. 리이드라이트 제어회로(16)는 상기 커먼데이타선(15)에 결합된 메모리셀(MC)에 대하여 리이드할까 혹은 라이트할까를 선택한다. 그 동작은 리이드라이트신호(r/w)에 의해 지시된다. 외부에서의 라이트데이타는 데이타입력단자(dinj)에서 데이타입력버퍼(17)에 공급되고 소정의 타이밍에 리이드라이트 제어회로(16)에 공급된다. 메모리셀(MC)에서 커먼데이타선(15)에 리이드된 데이타는 소정의 타이밍에서 리드라이트 제어회로(16)를 통하여 센스암프(18)에 공급되고 이것에 의해 증폭된 리이드데이타는 그 후단의 데이타출력버퍼(19)에서 소정의 타이밍에 데이타출력단자(doj)에 출력된다. 20은 RAM 코아(7)의 타이밍 발생회로이고, 클럭신호(CK)에 동기하여 내부의 각종 동작 타이밍신호를 발생한다. 이상에서 명확하게 된 것 같이 상기 RAM 코아(7)는 라이트 및 리이드가 가능한 싱글포트의 RAM이고, 클럭신호(CK)에 동기하여 다이나믹하게 동작한다.

제3도에는 상기 속도변환회로영역(8)의 일실시예 블록도가 표시된다. 동도에 표시된 속도변환회로영역(8)은 확장게이트영역(4)의 회로가 RAM 코아(7)를 외관상 듀얼포트 RAM으로 액세스 할 수 있도록 한 것이다. 특히, 동도에 표시된 구성은 확장게이트영역(4)의 회로가 메모리액세스의 단위동작 싸이클 기간에 병렬적인 라이트 액세스 혹은 병렬적인 리이드액세스를 RAM 코아(7)에 대하여 행할 수 있도록 한다. 이 액세스를 받는 RAM 코아(7)는 실제에 직렬적으로 동작하고 고속처리된다.

즉, 속도변환회로(8)는 확장게이트영역(4)에서 병렬적으로 공급된 2종류의 어드레스 신호(A(A)i, A(B)i)를 직렬로 변환하여 RAM 코아(7)의 어드레스입력단자(ai)에 공급하는 병렬·직렬변환회로(30)와, 확장게이트영역(4)에서 병렬적으로 공급된 2종류의 라이트데이타(Din(A)j, Din(B)j)를 직렬로 변환하여 RAM 코아(7)의 데이타입력단자(dinJ)에 공급하는 라이트데이타 병렬·직렬변환회로(31)와, RAM 코아(7)의 데이타출력단자(doj)에서 직렬적으로 출력된 리이드데이타를 병렬로 변환하여 데이타(Do(A)j, Do(B)j)를 출력하는 리이드 데이타 직렬병렬변환회로(32)와, 상기 제1클럭신호(CLK)에 따라 해당 제1클럭신호(CLK)의 주파수(f)에 대하여 체배 예를 들면 2배된 주파수(2f)의 제2클럭신호(CK)를 형성하여 RAM 코아(7)에 공급하는 체배클럭발생회로(33)를 구비한다. 상기 라이트데이타 병렬직렬변환회로(31)는 리이드라이트신호(R/W(A), R/W(B))에 의해 리이드동작이 지시될 때, 그 출력은 고임피던스 상태로 제어된다. 상기 리이드데이타 직렬병렬변환회로(32)는 리이드라이트 신호(R/W(A), R/W(B))에 의해 라이트동작이 지시될 때, 그 출력은 고임피던스 상태로 제어된다. 동도에 있어서, 34는 RAM 코아(7)의 테스트회로이고, TESTDin은 테스트데이타입력, TESTDo는 테스트데이타출력이다.

어드레스 병렬직렬변환회로(30)는 클럭신호(CLK)에 동기하여 어드레스신호(A(A)i, A(B)i)를 병렬적으로 취한다. 클럭신호(CLK)의 싸이클로 규정된 확장게이트영역측(4)의 메모리액세스 싸이클에 있어서 리이드라이트신호(R/W(A), R/W(B))로 표시된 동작모드가 라이트동작일 때 라이트데이타 병렬직렬변환회로(31)는 클럭신호(CLK)에 동기하여 라이트데이타(Din(A)j, Din(B)j)를 병렬적으로 취한다. 이와 같이하여 병렬적으로 취해진 어드레스신호 및 라이트데이타는 클럭신호(CK)에 동기하여 직렬적으로 RAM 코아(7)에 공급된다. 리이드라이트신호(R/W(A), R/W(B))에 의해 라이트동작이 지시된 RAM 코아(7)에 있어서, 클럭신호(CLK)의 1싸이클에 2싸이클 변환회로는 클럭신호(CLK)의 최초의 싸이클에는 A계의 어드레스신호(A(A)i)에 의해 선택된 메모리셀에 A계의 라이트데이타(Din(A)j)가 라이트되고, 클럭신호(CK)의 다음의 싸이클에는 B계의 어드레스신호(A(B)i)에 의해 선택된 메모리셀에 B계의 라이트데이타(Din(B)j)가 라이트된다.

한편, 클럭신호(CLK)와 싸이클로 표시된 메모리액세스 싸이클에 있어서 리이드라이트 신호(R/W(A), R/W(B))로 표시된 동작모드가 리이드동작 일때는 클럭신호(CK)의 최초의 싸이클에는 A계의 어드레스신호(A(A)i)에 의해 선택된 메모리셀에서의 리이드데이타가 RAM 코아(7)의 데이타 출력단자(doj)에서 리이드데이타 직렬병렬변환회로(32)에 공급되어 래치되고 이것에 계속한 클럭신호(CK)의 다음의 싸이클에는 B계의 어드레스신호(A(B)i)에 의해 선택된 메모리셀에서의 리이드데이타가 리이드데이타 직렬 병렬변환회로(32)에 래치되며 소정의 타이밍에서 데이타 직렬병렬변환회로(32)에서 쌍방의 리이드데이타(Do(A)j, Do(B)j)가 병렬적으로 리이드된다.

따라서 제3도에 표시된 속도변환회로(8)를 채용하는 것에 의해 확장게이트영역(4)의 회로는 싱글포트의 RAM 코아(7)를 외관상 듀얼포트 RAM으로 액세스 가능하도록 된다. 특히, 본 실시예에 있어서는 확장게이트영역(4)의 회로에 의한 병렬액세스는 리이드 혹은 라이트의 일방에 한정되어 있지만, 반도체 집적회로 전체로서의 이용형태가 그것으로 충분하면 듀얼포트를 가지는 RAM 코아를 채용하는 경우에 비하여 해당 RAM의 칩 점유면적을 현저하게 저감할 수 있고 확장게이트영역(4)에 있어서는 그것과 동양의 액세스 속도를 얻을 수 있다.

제4도에는 상기 속도변환회로영역(8)의 다른 실시예 블록도가 표시되어 있다. 동도에 표시된 속도변환회로영역(8)도 상기 실시예와 동양으로, 확장게이트영역(4)의 회로가 RAM 코아(7)를 외관상 듀얼포트로서 액세스 할 수 있도록 한 것이지만 확장게이트영역(4)에서의 병렬액세스는 리이드와 라이트 동작이 병렬된 형태로 되는 점에서 상기 실시예와 다르다. 즉, 외관상의 듀얼포트의 일방의 포트는 리이드 전용포트로 간주되고 타방의 포트는 라이트 전용포트로 간주된다.

제4도의 속도변환회로(8)는 확장게이트영역(4)에서 병렬적으로 공급된 리이드어드레스신호(A(R)i) 및 라이트어드레스신호(A(W)i)를 직렬로 변환하여 RAM 코아(7)의 어드레스 입력단자(ai)에 공급하는 어드레스 병렬직렬변환회로(40)와, 확장게이트영역(4)에서 공급된 라이트데이타(Dinj)를 소정의 타이밍에서 RAM 코아(7)의 데이타입력단자(dinj)에 공급하는 라이트공급회로(41)와, RAM 코아(7)의 데이타출력단자(doj)에서 출력된 데이타를 래치하여 리이드데이타(Doj)의 출력기간을 확장게이트영역(4)에 바람직한 기간, 확장하는 확장회로(stretching circuit)(42)와, 체배클럭발생회로(43)를 구비한다.

상기 체배클럭발생회로(43)는 상기 제1클럭신호(CLK), 라이트동작을 지시하는 라이트 이네이블신호(WE) 및 리이드동작을 지시하는 리이드이네이블신호(RE)가 공급되고, 라이트 이네이블신호(WE) 및 리이드이네이블신호(RE)에 의해 라이트 및 리이드가 병렬적으로 지시될 때 상기 제1클럭신호(CLK)에 따라 해당 제1클럭신호(CLK)의 주파수(f)에 대하여 체배(예를 들면 2배)된 주파수(2f)의 제2클럭신호(CK)를 형성하며 더우기 해당 제2클럭신호(CK)에 동기하는 리이드동작과 이것에 계속한 라이트동작을 순차지시하는 리이드라이트신호(r/w)를 형성하여 RAM 코아(7)에 공급한다. 상기 리이드라이트신호(r/w)는 RAM 코아(7)의 리이드싸이클과 라이트싸이클을 절환하는 절환펄스로서 기능을 하고 어드레스병렬직렬변환회로(40), 라이트데이타공급회로(41) 및 확장회로(42)에도 공급된다.

상기 리이드라이트신호(r/w)에서 RAM 코아(7)에 리이드싸이클이 지시되면 이것에 응하여 어드레스 병렬직렬변환회로(40)는 리이드어드레스(A(R)i)를 리이드하고 라이트싸이클이 지시되면 라이트어드레스(A(W)i)를 리이드한다. 특별히 제한되지 않지만 라이트데이타공급회로(41)는 RAM 코아(7)의 리이트싸이클의 지시에 호응하여 미리 라이트데이타(Dinj)를 데이타입력단자(dinj)에 준다. 이 사이에 RAM 코아(7)에서 데이타출력단자(doj)에 리이드된 데기타는 확장회로(42)를 통하여 다음의 라이트싸이클에서 출력이 유지된다. 이 라이트싸이클에 있어서는 미리 RAM 코아(7)에 공급되어 보지되어 있는 라이트데이타(Dinj)가 라이트어드레스(A(W)i)에 따라 메모리셀에 라이트된다.

특별히 제한되지는 않지만, 체배클럭발생회로(43)에 주어진 라이트이네이블신호(WE)와 리이드이네이블신호(RE)의 어느것이 비활성상태로 있을 때는 RAM 코아(7)에 있어서 일련의 리이드싸이클과 라이트싸이클의 일방이 무효로 된다. 바꾸어말하면 확장게이트영역(4)에서 리이드 및 라이트의 병렬액세스가 지시되지 않을 때 RAM 코아(7)는 제1클럭신호(CLK)의 싸이클동작기간에 싱글포트의 RAM으로 기능을 한다.

제5도의 체배클럭발생회로(43)에 있어서 제1클럭신호(CLK)의 입력단자는 2단의 논인버터(non-invertor)(논리반전을 수반하지 않는 확장성분 혹은 파형정형이나 증폭기능을 가진 회로요소로 고려됨)(NI1, NI2)와 인버터(IV1)의 직렬회로에 의해 확장회로가 형성된다. 일방의 입력에 클럭신호(CLK)를 수신하는 앤드게이트(AN1)는 그 확장회로에서 얻어진 확장 시간을 펄스폭으로 하는 클럭신호를 출력한다. 앤드게이트(AN1)의 출력은 앤드게이트(AN2)를 통하여 리이드클럭(rck)으로 된다. 앤드게이트(AN2)의 타방의 입력에는 상기 리이드이네이블신호(RE)가 공급되고 리이드동작을 지시할때에 "H" 레벨로 되는 해당신호(RE)가 "L" 레벨로 되면 리이드클럭(rck)은 소멸하고 리이드싸이클이 금지된다.

라이트클럭(WCK)은 앤드게이트(AN1)의 출력을 논인버터(NI3), 확장요소(DL) 및 논인버터(NI4)를 통하여 리이드클럭(rck)에서 확장시키고 엔드게이트(AN3)를 통하여 생성된다. 엔드게이트(AN3)의 타방의 입력에는 상기 라이트이네이블신호(WE)가 공급되고 라이트동작을 지시할 때에 "H" 레벨로 되는 해당신호(WE)가 "L" 레벨로 되면 라이트클럭(WCK)은 소멸하고 라이트싸이클이 금지된다.

리이드클럭(rck)과 라이트클럭(WCK)은 오아게이트(OR1))에 주여지고 이 오아게이트(OR1)에서 상기 제2클럭신호(CK)가 출력된다. 따라서 이 제2클럭신호(CK)는 리이드클럭(rck)과 라이트클럭(WCK)의 쌍방이 유효할 때 바꾸어말하면 라이트이네이블신호(WE)와 리이드이네이블신호(RE)에서 병렬적으로 리이드 및 라이트동작이 지시될때 제1클럭신호(CLK)의 주파수의 2배로 체배된 주파수를 갖는 것으로 된다. 한편 리이드 혹은 라이트의 어느 일방만이 지시될때는 제2클럭신호(CK)는 실질적으로 리이드클럭(rck) 혹은 라이트클럭(WCK)에 같은 클럭으로 되고 그 주파수는 제1클럭신호(CLK)에 같게 된다.

상기 리이드클럭(rck)과 라이트클럭(wck)은 인버터(IV2, IV3)를 통하여 난드게이트(NA1, NA2)로 구성된 스태틱래치회로에 입력되고 절환펄스가 만들어진다. 논인버터(NI5)에서 출력된 절환펄스는 RAM 코아(7)의 리이드싸이클과 라이트싸이클을 절환하기 위한 펄스이고, 리이드라이트신호(r/w)로 된다. 이 리이드라이트신호(r/w)는 "H" 레벨일때 리이드동작을 지시하고, "L" 레벨일때 라이트 동작을 지시한다.

논인버터(NI5, NI6)에서 출력된 절환펄스는 어드레스 병렬직렬변환회로(40)의 앤드게이트(AN4, AN5)에 공급된다. 앤드게이트(AN4, AN5) 각각의 타방의 입력에는 리이드어드레스(A(R)i)와 라이트어드레스(A(W)i)가 공급되고, 상보적으로 변환되는 상기 절환펄스에 의해 리이드어드레스(A(R)i)와 라이트어드레스(A(W)i)를 선택하다. 앤드게이트(AN4, AN5)의 출력은 오아게이트(OR2)에서 오아되고 다중화되며 RAM 코아(7)의 어드레스입력단자(ai)에 공급된다.

상기 라이트데이타공급회로(41)는 논인버터(NI5)에서 출력된 절환펄스를 앤드게이트(AN6)에서 수신한다. 앤드게이트(AN6)의 타방의 입력단자에는 라이트데이타(Dinj)가 공급되고, 리이드라이트신호(r/w)의 "H" 레벨에 동기하여 라이트데이타(Dinj)를 RAM 코아(7)의 데이타입력단자(dlnj)에 공급한다.

상기 데이타 확장회로(42)는 인버터(IV4, IV5)로 이루어진 스태틱래치회로를 가지고 인버터(IV5)는 인버터(IV4) 보다 작은 트랜지스터로 구성되어 있으며, 그 출력임피던스가 크기 때문에 NMOS 트랜지스터(Q1)로 구성된 트랜지스퍼게이트를 통하여 RAM 코아의 리이드데이타(doj)의 래치가 용이하게 행해진다. (Q1)의 게이트는 리이드라이트신호(r/w)로 콘트롤된다. 즉, (r/w)가 H일때 (Q1)은 온하고(r/w)가 "L" 로 되기 직전의 리이드데이타(doj)의 상태를 래치한다. 이것에 의해 RAM 코아(7)의 데이타출력단자(doj)에서 출력된 데이타가 리이드싸이클에 계속한 라이트싸이클

에서 출력기간이 확장되어 복합마크로셀의 출력신호(Doj)가 얻어진다. 제5도에 있어서, 어드레스 병렬직렬변환회로(40), 라이트데이타공급회로(41) 및 데이타확장회로(42)는 각각 1비트분의 구성이 대표적으로 표시되어 있다.

다음에 제5도에 표시된 실시예의 동작을 제6도의 타이밍챠트를 참조하면서 설명한다. 제6도에는 싱글포트의 RAM 코아(7)를 외관상 리이드전용포트와 라이트전용포트를 가지는 듀얼포트 RAM으로 동작시킬때의 동작타이밍이 표시된다.

제6도에 있어서 시각(T0 T2)까지의 기간(제1클럭신호(CLK)의 1주기)은 확장게이트영역(4)의 회로에 있어서 메모리액세스 동작으 단위 싸이클 기간으로 된다. 확장게이트 영역(4)은 제1클럭신호(CLK)에 동기하여 시각(T0 T2)의 기간에 메모리리이드 액세스싸이클과 메모리라이트액세스싸이클을 병렬적으로 기동한다. 즉, 라이트이네이블신호(WE) 및 리이드이네이블신호(RE)를 " H" 레벨로 활성화하고 동시에 리이드어드레스(A(R)i)와 라이트어드레스(A(W)i)를 출력하고 더우기 라이트데이타(Dinj)를 출력한다. 그것에 의해 체배클럭발생회로(43)는, 논인버터(NI, NI2) 및 인버터(IV1)에 의해 구성된 확장회로의 확장시간에 상당하는 기간 " H" 레벨로 되는 리이드클럭(rck)를 생성하고 더우기 논인버터(NI3), 확장요소(DL) 및 논인버터(nI4)로 구성된 확장시간만 확장되어 " H" 레벨로 되는 라이트클럭(wck)를 생성한다. 이 리이드클럭(rck)과 라이트클럭(wck)의 논리화가 제2클럭신호(ck)로서 RAM코아(7)에 공급된다. RAM코아(7)에 있어서 해당클럭신호(ck)의 1주기가 기본적인 단위동작싸이클 기간으로 되고 최초의 싸이클기간(시각 T0 T1)에는 리이드라이트신호(r/w)에서 RAM코아(7)에 리이드동작이 지시되고 다음의 싸이클기간(시각 T1 T2)에는 리이드라이트신호(r/w)에서 RAM코아(7)에 라이트동작이 지시된다.

상기 리이드싸이클에 있어서는 리이드어드레스(A(R)j)가 어드레스입력단자(ai)에 공급됨과 동시에 라이트데이타(Oinj)가 미리 데이타입력단자(dinj)에 공급된다. 그것에 의해 RAM코아(7)는 미리 라이트데이타를 데이타 입력버퍼(17)에 보지한다. 이것에 병행하여 RAM코아(7)는 리이드어드레스에 따라 메모리셀의 데이타입출력단자를 코먼 데이타선(15)에 결합하고 리이드라이트신호(r/w)로 제어되는 리이드라이트제어회로(16)를 통하여 해당리이드데이타를 센스암프(18)에 공급하며 출력단자(doj)에서 리이드 데이타를 출력한다. RAM 코아(7)에서 리이드된 데이타는 리이드라이트신호(r/w)가 " L" 레벨로 되는 라이트싸이클에서 확장회로(42)에서 확장게이트영역(4)에 공급된다. 이것에 의해 확장게이트영역(4)의 회로는 시각(T1)을 초과한 타이밍에서 리이드데이타를 취할수 있다. 바꾸어말하면 클럭신호(CLK)에 동기한 액세스싸이클기간에서 리이드데이타를 취할 수 있다.

시각(T1)에 RAM코아(7)에 라이트싸이클이 지시되면 이것에 동기하여 라이트어드레스(A(W)i)가 어드레스입력단자(ai)에 공급되고 그것에 의해 RAM코아(7)는 해당어드레스에 따라 메모리셀의 데이타 입출력단자를 커먼데이터선(15)에 결합한다. 그래서 리이드라이트신호(r/w)에 따라 라이트싸이클이 지시된 데이타입력버퍼(17)는 미리 취해진 라이트데이타를 리이드라이트제어회로(16)를 통하여 커먼데이타선(15)에 공급하는 것에 의해 상기 선택된 메모리셀이 데이타를 라이트한다.

제5도의 회로구성에 있어서 속도변환회로 영역(8)과 RAM코아(7)는 확장게이트영역(4)에 있어서 메모리액세스 동작의 단위싸이클기간에 라이드 액세스 혹은 라이트액세스만을 받을 수 있다. 즉 리이드이네이블 신호(RE)가 " H" 레벨, 라이트이네이블신호(WE)가 " L" 레벨로 되고 더우기 리이드어드레스(A(R)i)가 공급되면 제6도의 시각(T0 T2)의 단위 액세스 싸이클기간에 리이트클럭(rck)만이 생성되고 이것에 응하여 클럭신호(ck)는 1회만 클럭변화된다. 리이드라이드신호(r/w)는 그사이에 " H" 레벨에 유지되고 이것에 의해 RAM코아(7)에 대하여 리이드 액세스만이 행해진다. 리이드이네이블신호(RE)가 " L" 레벨, 라이트이네이블신호(WE)가 " H" 레벨로 되고 더우기 라이트어드레스(A(W)i)가 공급되면 리이드클럭(rck)은 변화되지 않고(바꾸어말하면 시각(T0)에 있어서 클럭신호(CK)는 변화되지 않고), 제6도의 시각(T1)의 라이트클럭(WCK)의 변화에 동기하여 클럭신호(ck)가 형성된다. 이것에 의해 시각(T1 T2)의 기간에 RAM코아(7)는 라이트 동작을 행한다. 제5도에 다르면 라이트데이타 공급회로(41)는 리이드라이트 신호(r/w)의 "

H" 레벨기간에 라이트데이타(Dinj)를 데이타 입력단자(dinj)에 공급하도록 되어 있으므로 해당 단독 라이트 동자은 단독리이드액세스의 다음에 지시되지 않으면 안된다.

제5도에 표시된 실시예에 의하면 이하의 작용효과가 있다.

(1) 확장게이트영역(4)의 회로는 속도변환회로 영역(8)을 통하는 것에 의해, 싱글포트의 RAM코아(7)를 외관상 리이드 전용포트와 라이트전용코트를 가지는 듀얼포트RAM으로 액세스할수 있다.

(2) 바꾸어말하면, 속도변환회로영역(8)은 고속동작가능한 마크로셀로서의 RAM코아(7)를 채용하는 경우에, 확장게이트영역(4)에 구성된 그 주변논리부분이 고속으로 동작하지 않아도, 반도체 집적회로내부에서 신호속도의 변환을 행하기 때문에 RAM코아(7)를 한계 가까운 고속동작으로 사용할 수 있다.

(3) 본 실시예에 있어서는 싱글포트의 RAM코아(7)를 외관상 리이드전용포트와 라이트전용포트를 가지는 듀얼포트RAM으로만 액세스할 수 있고, 리이드의 병렬화 및 라이트의 병렬화를 행할 수 없지만, 반도체 집적회로 전체로서의 이용형태가 그것으로 충분하면 완전독립한 2개의 포트를 가지는 듀얼포트의 RAM코아를 채용하는 경우에 비하여 해당 RAM의 칩점유면적을 현저히 저감할 수 있고, 확장게이트영역(4)에서는 그것과 동양의 액세스 속도를 얻을 수 있다.

(4) RAM코아(7)에 있어서 리이드와라이트의 직렬적인 액세스에 있어서 리이드 동작을 선행시키기 때문에 이점에 있어서도 전체로서의 동작의 고속화를 실현할 수 있다. 즉 데이타리이드 동작시에는 이 동작의 고속화를 기하기 위한 데이타선의 레벨은 전원전압에 대하여 충분히 스윙되는 것은 아니다. 예를들면 메모리셀이 스태틱형 메모리셀인 경우 데이타가 리이드 되야 하는 상보데이타선은 Vcc와 같은 전원전압에 따라 변화되고 그 전위치가 센스암프로 증폭되어 데이타출력버퍼에 전송된다. 이것에 대하여 라이트동작에는 상보데이타선은 Vcc와 같은 전원전압과 Vss와 같은 전원전압(접지전압)에 구동된다. 따라서, 라이트동작후에 리이드동작을행하면 라이트동작에 의해 Vss 레벨로 된 데이타선은 Vcc와 같은 전원전압으로 프리차징하는 데에 많은 시간을 필요로하는데, 즉석에서 리이드 동작을 개시할수 없기 때문이다.

이상에서 본 발명자에 의한 발명을 실시예에 기초하여 구체적으로 설명했지만 본 발명은 그것에 한정되는 것은 아니고 그요지를 이탈하지 않는 범위에 있어서 여러가지로 변경가능하다. 예를들면 제2회로영역으로의 마크로셀은 RAM코아에 한정되지 않고 레지스타와 같은 기억수단을 입출력포트로서 가지는 회로와 그 외의 회로로 변경 할수 있다. 또한 제1회로영역은 게이트어레이의 기본셀을 적용한 확장게이트영역에 한정되지 않고 제2회로영역에 비하여 동작이 늦은 회로영역에 있으면 괜찮다.

이상의 발 명은 주로 본 발명자에 의한 발명을 그 배경으로 되는 이용분야인 통신용 시간 스위치로서 이용된 RAM을 마크로셀로 하는 반도체 집적회로에 적용할 경우에 대하여 설명했지만 본 발명은 그것에 한정되는 것은 아니고 그외의 통신제어용 반도체 집적회로와 싱글칩 마이크로 컴퓨터 등에도 적용할 수 있다.

본원에 있어서 개시된 발명중에서 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 하기와 같다.

(1) 즉, 프로세스의 진보와 회로기술의 진보에 의해 제2회로영역으로의 마크로셀의 동작속도는 금후 더욱 향상가능하고, ASIC에 있어서 확장게이트영역과 같은 제1회로영역의 동작속도를 충분히 상회한다. 이때문에 반도체 집적회로 내부에 있어서 제1회로영역의 동작클럭신호에 대하여 체배주파수의 클럭신호를 발생시키고, 속도변환회로영역을 통하여 제2회로영역으로의 마크로셀과 제1회로영역에 형성된 회로와의 사이에 정보의 교환을 행하도록 하는 것에 의해 마크로셀과 같은 제2회로 영역을 한계 가까운 고속동작으로 사용할 수 있다.

(2) 예를들면 제2회로영역의 마크로셀이 RAM코아 일때 확장게이트 영역회로는 속도변환회로 영역을 통하는 것에 의해 외관상 멀티포트 RAM으로 액세스 할수 있다.

(3) 상기에 의해, 멀티포트를 가지는 듀얼포트의 RAM코아를 채용하는 경우에 비하여 해당 RAM의 칩점유면적을 현저히 저감할수 있고, 확장게이트영역에서 그것과 동양의 액세스 속도를 얻을 수 있다.

(4) RAM코아에 있어서 리이드와 라이트의 직렬적인 액세스에 있어서 리이드 동작을 선행시키는 것에 의해 직렬적인 리이드 및 라이트 동작의 전체적인 동작속도의 고속화를 실현할 수 있다.

(57) 청구의 범위

청구항 1.

제1 클럭신호에 동기동작되는 제1 회로영역과,

상기 제1 클럭신호보다도 주파수가 높은 제2 클럭신호에 동기동작 가능하게 되는 제 2 회로영역과,

제1 회로영역과 제2 회로영역의 사이에서 정보의 교환을 행하기 위한 속도변환회로 영역을 구비하고,

상기 속도변환회로영역은, 상기 제1 클럭신호에 기초하여 당해 제1 클럭신호의 주파수에 대하여 체배된 주파수의 제2 클럭신호를 형성하여 상기 제2 회로영역에 공급하는 체배클럭 발생회로(multiplied clock generator circuit)와, 제1 회로영역에서의 소정단위 동작의 사이클기간에 그 복수동작 사이클분의 정보를 제1 회로영역에서 병렬적으로 수신하여, 이러한 병렬적인 정보를 제2 클럭신호에 동기하는 복수동작 사이클기간에 직렬적으로 제2 회로영역에 공급하는 병렬·직렬변환회로를 구비하는 것을 특징으로 하는 반도체 집적회로.

청구항 2.

제 1 항에 있어서,

상기 속도변환회로영역은, 제2 회로영역이 상기 제2 클럭신호에 동기동작하여 그 복수동작 사이클기간에 의해 얻어지는 정보를 제2 회로영역에서 직렬적으로 수신하고, 이러한 직렬적인 정보를 제1 클럭신호로 규정되는 소정단위동작의 사이클기간에 병렬적으로 상기 제1 회로영역에 공급하는 직렬·병렬변환회로를 더 구비하여 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 3.

제 1 항에 있어서,

상기 속도변환회로영역은, 제2 회로영역이 상기 제2 클럭신호에 동기하는 동작사이클기간에 얻은 정보를 수신하고, 이러한 정보를 당해 제2 클럭신호에 동기하는 동작사이클기간을 초과하여 상기 제1 회로영역에 공급하는 지연회로를 더 구비하여 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 4.

제 2 항에 있어서,

상기 제1 회로영역은 반복적으로 다수 배치된 기본회로의 접속태양에 의해 소요되는 기능이 실현된 확장게이트영역이고,

상기 제2 회로영역은 상기 확장게이트영역보다도 회로소자의 집적밀도가 높게 되어 소요되는 기능이 실현된 매크로셀인 것을 특징으로 하는 반도체 집적회로.

청구항 5.

제 4 항에 있어서,

상기 매크로셀은 메모리어레이와, 메모리어레이에 대한 데이터의 기록 및 판독을 행하기 위해 상기 속도변환회로영역에 결합된 액세스포트를 가지는 RAM 코아(core)이고, 이 RAM 코아는 상기 속도변환회로를 통함으로써 상기 제1 회로영역으로부터는 외관상 액세스 포트의 수가 상기 제1 클럭신호에 대한 제2 클럭신호의 체배(遞倍)로 된 것을 특징으로 하는 반도체 집적회로.

청구항 6.

제1 클럭신호에 동기동작되는 제1 회로영역과,

상기 제1 클럭신호보다도 주파수가 높은 클럭신호에 동기동작 가능하게 됨과 동시에, 메모리어레이 및 당해 메모리어레이에 대한 데이터의 기록 및 판독을 행하기 위한 액세스포트를 가지는 제2 회로영역과,

제1 회로영역으로부터 제2 회로영역을 액세스 가능하게 하기 위한 속도변환회로영역을 구비하고,

상기 속도변환회로영역은, 상기 제1 클럭신호에 기초하여 당해 제1 클럭신호의 주파수에 대하여 체배된 주파수의 제2 클럭신호를 형성하여 상기 제2 회로영역에 공급하는 체배클럭 발생회로와, 제1 회로영역에서의 메모리액세스의 단위동작 사이클기간에 복수동작 사이클분의 복수의 메모리액세스정보를 제1 회로영역에서 병렬적으호 수신하고, 이러한 병렬적인 복수의 메모리액세스정보를 제2 클럭신호에 동기하는 복수의 메모리동작 사이클 기간에 직렬적으로 제2 회로영역의 하나의 액세스포트에 공급하는 병렬·직렬변환회로를 구비하여 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 7.

제 6 항에 있어서,

상기 속도변환회로영역은 제2 회로영역이 상기 제2 클럭신호에 동기하는 메모리동작 사이클기간에 상기 메모리어레이에서 판독한 정보를 수신하고, 이러한 정보를 당해 제2 클럭신호에 동기하는 메모리동작사이클기간을 초과하여 상기 제1 회로영역에 공급하는 지연회로를 더 구비하여 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 8.

하나의 반도체 기판에, 제1 클럭신호에 동기동작되는 제1 회로영역과,

상기 제1 클럭신호보다도 주파수가 높은 클럭신호에 동기동작가능하게 됨과 동시에, 메모리어레이 및 당해 메모리어레이에 대한 데이터의 기록 및 판독에 겸용되는 액세스포트를 가지는 제2 회로영역과,

제1 회로영역으로부터 제2 회로영역을 엑세스 가능하게 하기 위한 속도변환회로영역을 구비하고,

상기 제1 회로영역은 반복적으로 다수 배치된 기본회로의 접속태양에 의해 소요되는 기능이 실현된 확장게이트영역이고,

상기 제2 회로영역은 상기 확장게이트영역보다도 회로소자의 집적밀도가 높게 되어 소요되는 기능이 실현된 매크로셀이며,

상기 속도변환회로영역은 상기 제1 회로영역으로부터 제2 회로영역으로의 액세스제어신호와 제1 클럭신호를 제1 회로영역으로부터 수신하고, 상기 액세스 제어신호에 의해 판독 및 기록이 병렬적으로 지시된 때, 상기 제1 클럭신호에 기초하여 당해 제1 클럭신호의 주파수에 대하여 체배된 주파수의 제2 클럭신호와, 당해 제2 클럭신호에 동기하는 판독동작과 이것에 연속하는 기록동작을 순차 지시하는 판독/기록신호를 형성하여, 상기 제 2 회로영역에 공급하는 체배클럭발생회로와,

제1 회로영역에서의 메모리액세스의 단위동작사이클기간에 기록 및 판독을 위한 메모리액세스정보를 제1 회로영역에서 병렬적으로 수신하고 이러한 병렬적인 복수의 메모리액세스정보를 제2 클럭신호에 동기하는 복수의 메모리동작 사이클기간에 직렬적으로 제 2 회로영역의 하나의 액세스포트에 공급하는 병렬·직렬변환회로와,

제2 회로영역이 상기 제2 클럭신호에 동기하는 판독동작사이클기간에 상기 메모리어레이에서 판독한 정보를 수신하고, 이러한 정보를 당해 제2 클럭신호에 동기하는 판독동작사이클기간을 초과하여 상기 제1 회로영역에 공급하는 지연회로를 구비하여 이루어지는 것을 특징으로 하는 반도체 집적회로.

청구항 9.

제1 클럭신호에 동기하여 동작하는 제1 회로와,

상기 제1 클럭신호보다도 주파수가 높은 제2 클럭신호에 동기하여 액세스되는 메모리어레이를 가지는 제2 회로와,

상기 제1 회로와 제2 회로와의 사이에서 정보의 교환을 행하는 변환회로를 구비하며,

상기 변환회로는 복수의 정보를 상기 제1 클럭신호에 따라 상기 제1 회로로부터 병렬적으로 수신하고, 상기 복수의 정보를 상기 제2 클럭신호에 따라 상기 제2 회로에 직렬적으로 공급하는 병렬·직렬변환회로를 가지는 것을 특징으로 하는 반도체 집적회로.

청구항 10.

제 9항에 있어서,

상기 복수의 정보는 복수의 어드레스정보이며,

상기 복수의 어드레스정보에 기초하여 상기 메모리어레이에의 액세스가 직렬적으로 실행되는 것을 특징으로 하는 반도체 집적회로.

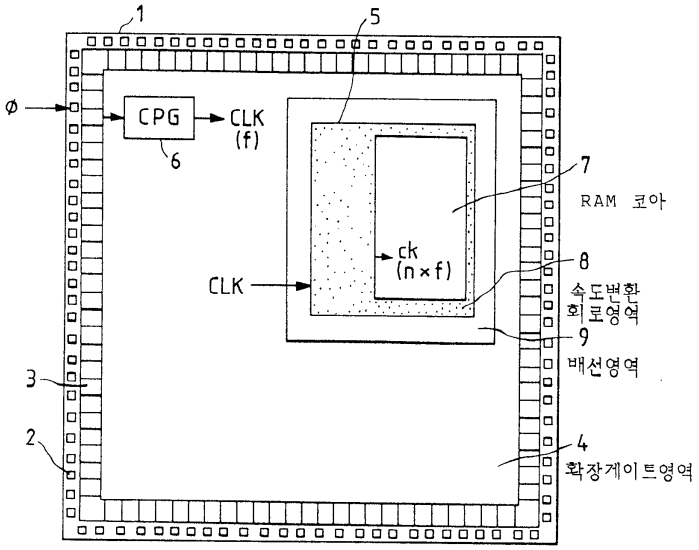
청구항 11.

제 9항에 있어서,

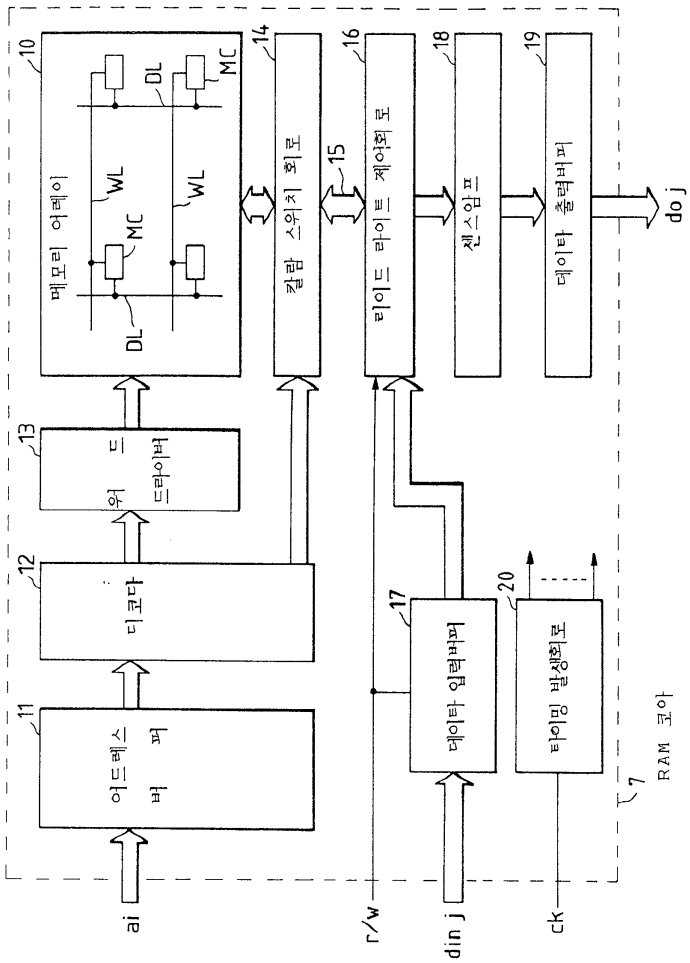
상기 변환회로는 상기 메모리어레이로부터의 판독데이터를 상기 제2 클럭신호에 따라 직렬적으로 수신하고, 상기 판독데이터를 상기 제1 클럭신호에 따라 병렬적으로 출력하는 직렬·병렬변환회로를 더 가지는 것을 특징으로 하는 반도체 집적회로.

도면

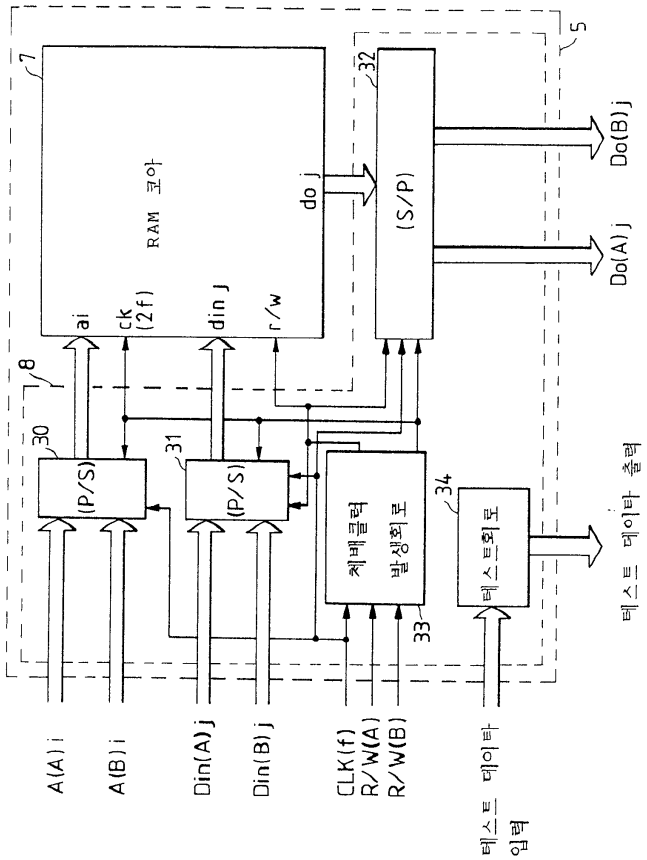
도면 1



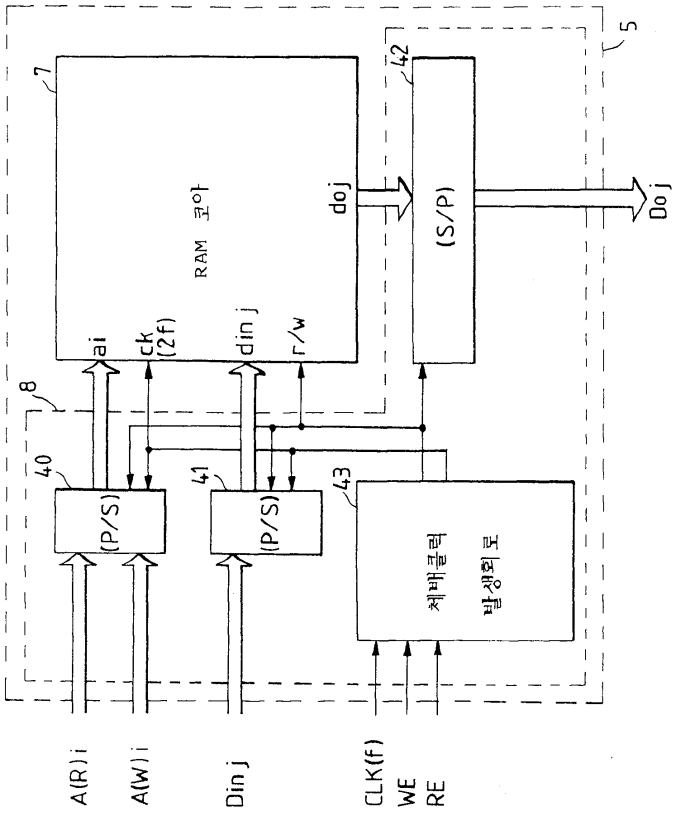
도면 2


10
메모리 어레이
WL
MC
DL
14
칼럼 스위치 회로
15
16
라이드 라이트 제어회로
18
센스앰프
19
데이터 출력버퍼
do j
13
워드 드라이버
12
디코다
11
어드레스 버퍼
17
데이타 입력버퍼
20
타이밍 발생회로
RAM 코아
7
ai
r/w
din j
ck

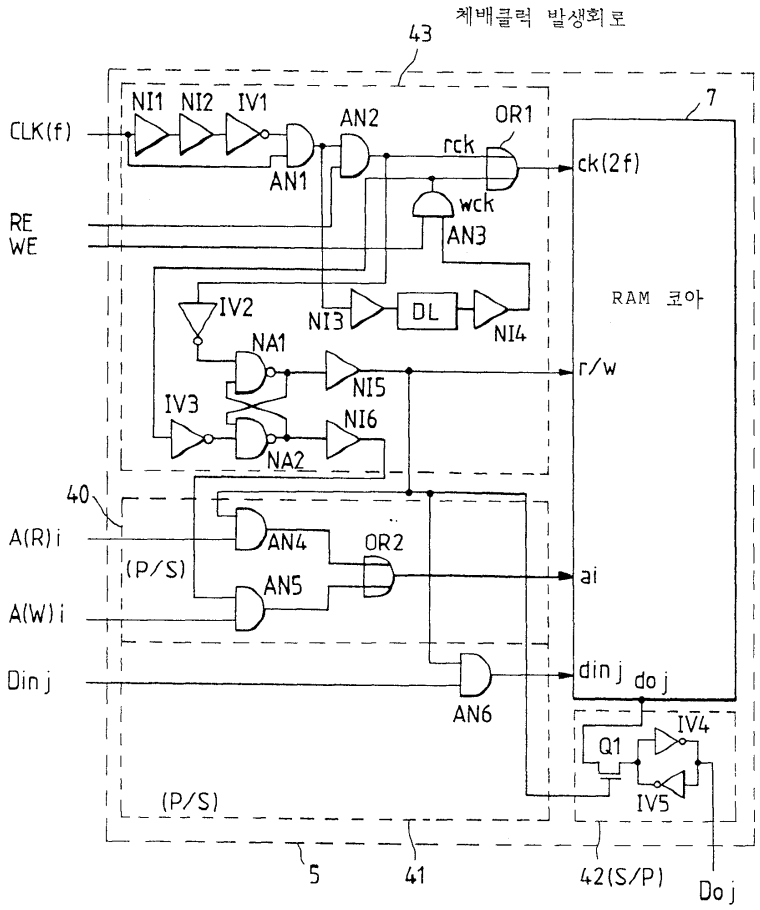
도면 3


5
7
RAM 코아
ai
clk (2f)
din j
r/w
do j
8
30
(P/S)
31
(P/S)
32
(S/P)
Do(B) j
Do(A) j
체배클럭 발생회로
33
34
테스트회로
테스트 데이타 출력
A(A) i
A(B) i
Din(A) j
Din(B) j
CLK(f)
R/W(A)
R/W(B)
테스트 데이타 입력

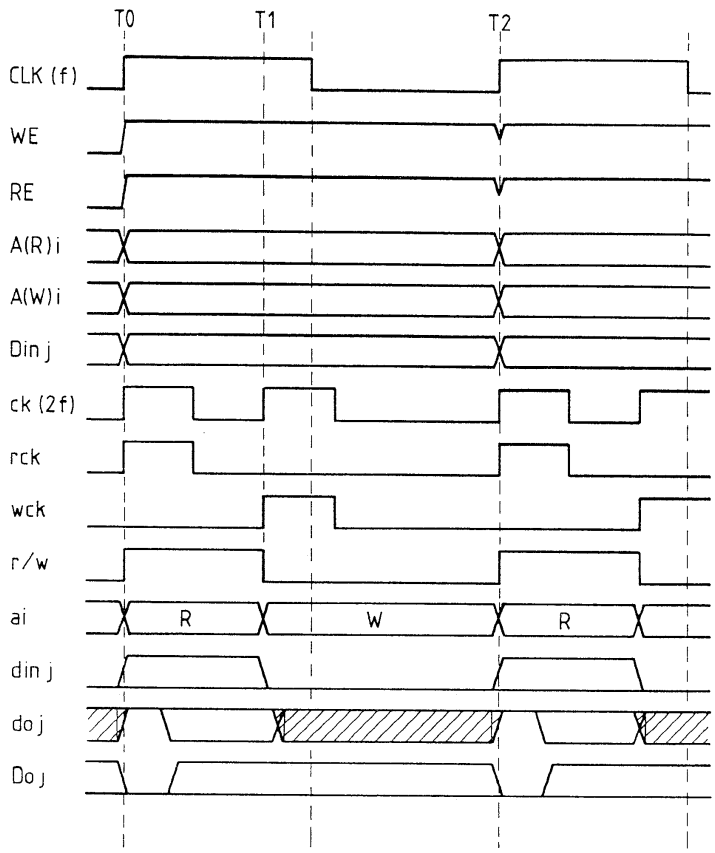
도면 4


5
7
RAM 코아
doj
42
(S/P)
Doj
ai
ck
(2f)
din j
r/w
8
40
41
43
(P/S)
(P/S)
체배클럭
발생회로
A(R)i
A(W)i
Din j
CLK(f)
WE
RE

도면 5


체배클럭 발생회로
43
NI1
NI2
IV1
AN2
OR1
CLK(f)
rck
ck(2f)
AN1
wck
RE
WE
AN3
7
RAM 코아
IV2
NI3
DL
NI4
NA1
r/w
NI5
IV3
NI6
NA2
40
A(R)i
AN4
OR2
(P/S)
ai
AN5
A(W)i
din j
do j
Din j
AN6
IV4
Q1
IV5
(P/S)
5
41
42(S/P)
Do j

도면 6


T0
T1
T2
CLK (f)
WE
RE
A(R)i
A(W)i
Din j
ck (2f)
rck
wck
r/w
ai
R
W
R
din j
do j
Do j