



(21)申請案號：113105900 (22)申請日：中華民國 113 (2024) 年 02 月 20 日  
 (51)Int. Cl. : H01L21/02 (2006.01) H01L21/762 (2006.01)  
 (30)優先權：2023/02/20 法國 2301532  
 (71)申請人：法商梭意泰科公司(法國) SOITEC (FR)  
 法國  
 (72)發明人：梵媿蘇 克莉絲朵 VEYTIZOU, CHRISTELLE (FR)；努里 拉米亞 NOURI, LAMIA (FR)；奧讓德 伊曼紐爾 AUGENDRE, EMMANUEL (FR)；勞蘭特 克莉絲汀 LAURANT, CHRISTINE (FR)  
 (74)代理人：陳長文；朱淑尹；李允中  
 申請實體審查：無 申請專利範圍項數：15 項 圖式數：3 共 22 頁

## (54)名稱

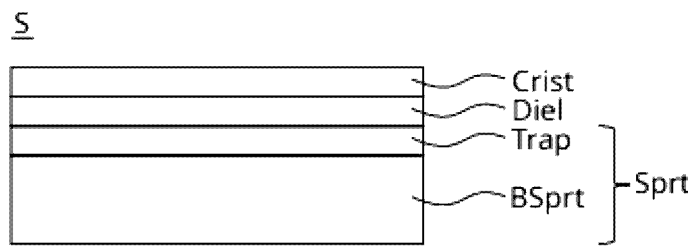
包含電荷捕捉層之載體、包含該載體之相關複合基板及相關製造方法

## (57)摘要

本發明提供一種複合基板之載體(Sprt)，該載體(Sprt)包含與基底基板(BSprrt)接觸之電荷捕捉層(Trap)，該捕捉層包含由具有低於二氧化矽之相對介電係數之材料製成的低介電係數層。

Carrier (Sprt) for a composite substrate, the carrier (Sprt) comprising a charge-trapping layer (Trap) in contact with a base substrate (BSprrt), the trapping layer comprising a low-permittivity layer made of a material having a relative permittivity lower than silicon dioxide.

指定代表圖：



【圖1】

符號簡單說明：

BSprrt:基底基板

Crist:結晶表面層

Diel:介電層

S:複合基板

Sprt:載體

Trap:電荷捕捉層

## 【發明摘要】

### 【中文發明名稱】

包含電荷捕捉層之載體、包含該載體之相關複合基板及相關製造方法

### 【英文發明名稱】

CARRIER COMPRISING A CHARGE-TRAPPING LAYER, ASSOCIATED COMPOSITE SUBSTRATE COMPRISING SUCH A CARRIER AND ASSOCIATED MANUFACTURING PROCESS

### 【中文】

本發明提供一種複合基板之載體(Sprt)，該載體(Sprt)包含與基底基板(BSprt)接觸之電荷捕捉層(Trap)，該捕捉層包含由具有低於二氧化矽之相對介電係數之材料製成的低介電係數層。

### 【英文】

Carrier (Sprt) for a composite substrate, the carrier (Sprt) comprising a charge-trapping layer (Trap) in contact with a base substrate (BSprt), the trapping layer comprising a low-permittivity layer made of a material having a relative permittivity lower than silicon dioxide.

### 【指定代表圖】

圖1

### 【代表圖之符號簡單說明】

BSprt: 基底基板

Crist: 結晶表面層

Diel: 介電層

S: 複合基板

Sprt: 載體

Trap: 電荷捕捉層

## 【發明說明書】

### 【中文發明名稱】

包含電荷捕捉層之載體、包含該載體之相關複合基板及相關製造方法

### 【英文發明名稱】

CARRIER COMPRISING A CHARGE-TRAPPING LAYER,  
ASSOCIATED COMPOSITE SUBSTRATE COMPRISING SUCH A  
CARRIER AND ASSOCIATED MANUFACTURING PROCESS

### 【技術領域】

【0001】 本發明係關於一種包含電荷捕捉層之載體，該載體意欲經由膜轉移技術接納薄結晶層以便形成複合基板。該複合基板可適用於積體電子組件領域，且尤其可適用於處理信號之射頻(RF)組件領域，該等信號之頻率通常可包含於20 kHz與300 GHz之間，或更大。複合基板之薄層可由半導體(諸如矽)或絕緣體(諸如具有壓電及/或鐵電屬性之材料)製成。除了載體本身以外，本發明亦關於複合基板，該複合基板包含此載體且薄層已轉移至其上。本發明亦關於用於製造載體的方法且關於用於製造併有該載體之複合基板的方法。

### 【先前技術】

【0002】 本領域中存在充足的先前技術。

【0003】 因此，且作為第一方案之實例，文件US7585748及US9293473提出由置放於矽基底基板上之多晶矽層形成電荷捕捉層(在本說明書之其餘部分中更簡明地稱為「捕捉層」)。

【0004】 構成多晶層之矽晶粒之邊界形成針對任何能夠流動之電荷

的陷阱。此等陷阱可由不完整或懸空化學鍵在此等邊界處形成。因此，阻止捕捉層中的電傳導，該捕捉層因此具有高電阻率，通常高於1000 ohms.cm。

**【0005】** 除了多晶矽以外，捕捉層可更一般而言由含有結構缺陷之非單晶層形成，該等結構缺陷為諸如位錯、晶界、非晶區、間隙、夾雜物、孔隙等，此等結構缺陷能夠捕捉電荷。

**【0006】** 因此，可藉由在基底基板之表面厚度中植入相對重之物質(諸如氫)來形成捕捉層，以便在其中產生形成電陷阱的結構缺陷。作為此方案之實例，文件US10224233提出一種由配置於基底基板之表面區中之奈米腔形成且藉由植入氦及氮獲得的捕捉層。

**【0007】** 此層亦可藉由基底基板之表面厚度之多孔化(porosification)來形成。因此，文件US10290533提出一種由形成於基底基板之表面上之孔隙組成、經氧化且填充有半傳導性、多晶或非晶形材料的捕捉層。

**【0008】** 然而，為實施之簡單起見，捕捉層通常藉由在基底基板上沉積多晶矽層來形成。在文件US8765571及US9129800中提出，為了在載體可經受之熱處理期間保持此層之多晶品質，可有利地在沉積捕捉層之前在基底基板上形成例如由二氧化矽製成的非晶形層。

**【0009】** 文件US2015115480就其本身而言提出以捕捉層的方式形成經鈍化之基本非晶形或多晶層之堆疊。此等基本層可尤其由矽、鍺或矽鍺構成。經由此堆疊，試圖使捕捉層對於載體將經受之熱處理更加堅固，尤其在採用該載體之複合基板的製造步驟期間。

**【0010】** 文件US11251265提出，在某些實施模式中，由多晶主層

及插入此層中之由矽及碳之合金形成的間層形成捕捉層。

**【0011】** 在文件WO2021110513中，在將多晶捕捉層置放於基底基板上之前，碳化矽之多晶層直接形成於基底基板上。

**【0012】** 在文件EP3195352中，捕捉層係選自由以下組成的群組：氮化碳、氮化碳矽及此等材料之組合。

**【0013】** 在文件EP3195353中，非晶形或結晶捕捉層由具有寬能隙之材料形成，且尤其由選自由以下組成的群組之材料形成：氮化鋁、氮化硼、氮化銮、氮化鎵、氮化鋁鎵、氮化鋁鎵銮及氮化鋁鎵銮硼。

**【0014】** 在文件EP3189544中，捕捉層為摻碳矽之非晶形層。此層形成於具有氧化矽表面層之矽基底基板上。

**【0015】** 在文件EP3266038中，在沉積多晶矽捕捉層之前形成由氧化矽、氮化矽或氮氧化矽製成之成核層。對此成核層進行熱處理以在其中形成孔。

**【0016】** 文件US10468295規定在多晶矽捕捉層與氧化矽介電層之間形成氮化矽或氮氧化矽層。此層可藉由沉積或藉由捕捉層之氮化/氮氧化來獲得，且旨在保持捕捉層之電阻率且避免其再結晶。

**【0017】** 一般而言，此先前技術揭露需要提供一種包含具有高電阻率之捕捉層的複合基板之載體。此捕捉層之目的為藉由降低形成於基板之表面上且包括薄結晶層的主動層與載體之間的耦合來確保經由此主動層傳播的電信號之線性度。該線性度必須足以滿足廣泛多種應用之需求，尤其係射頻應用之需求。

**【0018】** 文件US 2021/0111019 A1提出一種解決方案，該解決方案旨在限制RF信號之吸收，且係基於整合至SOI結構(SOI表示絕緣體上矽)

中之多孔半導體層(尤其多孔矽層)之使用，該SOI結構包括電荷捕捉層及在該多孔半導體層上磊晶生長之結晶層。然而，已知還沒有關於將多孔矽層之形成整合至用於在SOI基板上製造半導體組件(諸如RF電路)的工業方法中的令人滿意的技術解決方案。另外，多孔矽具有某些侷限性，諸如因其孔隙率導致之高機械脆性(其難以充分降低)、多孔化的矽之初始導電率對射頻效能的影響或無法直接在高電阻率之基板上形成多孔矽。

#### 【發明內容】

【0019】 本發明之目的為提供迄今設想之解決方案的替代方案。更特定而言，習知解決方案傾向於聚焦於在電荷捕捉層與載體之間的界面處捕捉電荷，而排除其他方案。然而，本申請人已考慮一種解決方案，該解決方案不僅解決在外部界面處捕捉電荷之態樣，而且亦解決電荷捕捉層之電極化之態樣，以及潛在地在捕捉層自身內捕捉電荷之可能性。

【0020】 為了達成此目的，本發明之第一態樣為一種複合基板之載體，該載體包含與基底基板接觸之電荷捕捉層，該捕捉層包含由具有低於二氧化矽之相對介電係數之材料製成的低介電係數層。

【0021】 根據本發明之載體之第一優點為其包含電荷捕捉層，該電荷捕捉層憑藉其無序結構有效地固定電荷，該無序結構包含能夠捕捉電荷之許多位點。

【0022】 根據本發明之載體之第二優點為其減少主動層與基板之間的電容耦合。經由所謂的「低k」材料(亦即具有低介電係數之材料)之使用來獲得此效果。

【0023】 第三優點為減少電荷在電荷捕捉層之界面處之累積，該累積易於吸引參與基底基板之導電率之自由電荷，且因此降低其有效電阻

率，尤其係在捕捉層與基底基板之間的界面附近。

【0024】 根據本發明之載體之第四優點為使用較少數目個層達成前述優點，從而有助於載體之製造且降低相關生產成本。

【0025】 根據本發明之第一態樣之額外非限制性特徵，單獨考慮或以任何技術上可行的組合考慮：

- 低介電係數層可為多孔的；
- 低介電係數層可具有包含於0%與50%之間、較佳地5%與50%之間且更佳地14%與50%之間的孔隙率；
- 該層可具有低介電係數且與基底基板直接接觸；
- 間層可插入於低介電係數層與基底基板之間，該間層由SiC或由稱為DLK材料之物製成，DLK表示緻密低k；
- 基底基板可具有均勻組成；
- 具有低於二氧化矽之相對介電係數之材料可為SiOC；
- 具有低於二氧化矽之相對介電係數之材料可為SiOCH；且
- 具有低於二氧化矽之相對介電係數之材料可含有氮，其濃度包含於 $10^{16}$  at/cm<sup>3</sup>與 $10^{21}$  at/cm<sup>3</sup>之間。

【0026】 應尤其注意關於捕捉層之孔隙率之態樣，此態樣之優點在於，捕捉層自然地在層自身內包含其孔隙周圍的自由表面及懸空鍵，從而形成用於捕捉電荷之相等數目個位點。

【0027】 另外，使用SiOCH或SiOC來形成電荷捕捉層使得可設想具有大厚度之捕捉層，其足以有效地將載體與形成於電荷捕捉層上且意欲在射頻域中操作之任何元件隔離。

【0028】 本發明之第二態樣係關於一種複合基板，其包含置放於根

據本發明之第一態樣之載體上的結晶表面層。

**【0029】** 根據本發明之第二態樣之額外非限制性特徵，單獨考慮或以任何技術上可行的組合考慮：

- 表面層可由矽製成；
- 薄層可由鐵電材料製成；
- 介電層可插入於結晶層與捕捉層之間。

**【0030】** 本發明之第三態樣係關於一種用於製造複合基板之載體的方法，其包含以下步驟：提供基底基板；及在基底基板上形成電荷捕捉層，該電荷捕捉層包含由具有低於二氧化矽之相對介電係數之材料製成的低介電係數層。

**【0031】** 在本發明之第三態樣之方法中，低介電係數層可具有包含於0%與50%之間、較佳地5%與50%之間且更佳地14%與50%之間的孔隙率。

**【0032】** 本發明之第四態樣係關於一種用於製造複合基板之方法，其包含以下步驟：提供基底基板；在基底基板上形成電荷捕捉層，該電荷捕捉層包含由具有低於二氧化矽之相對介電係數之材料製成的低介電係數層；在電荷捕捉層上形成介電層；及將表面層附著至介電層。

**【0033】** 在本發明之第四態樣之方法中，表面層可為結晶層或單晶層。

#### **【圖式簡單說明】**

**【0034】** 本發明之其他特徵及優點將自本發明之以下詳細描述變得顯而易見，本說明書係參考隨附圖式給出，在該等圖式中：

[圖1]圖1展示形成本說明書之一個主體之複合基板；

[圖2]圖2繪示圖1之層Trap之特定情況；

[圖3]圖3示意性地展示用於製造圖1之複合基板之方法。

### 【實施方式】

【0035】 圖1展示複合基板S，其包含：載體Sprt，其併有基底基板BSprt及在基底基板BSprt上之電荷捕捉層Trap；表面層Crist，其置放於載體Sprt上；及介電層Diel，其插入於表面層Crist與載體Sprt之間，且較佳地與表面層Crist及以下稱為捕捉層Trap之電荷捕捉層Trap直接接觸。

【0036】 表面層Crist為使得向複合基板S上或複合基板S中產生之裝置提供功能(例如，半導體功能或鐵電功能)成為可能之層。其通常為結晶結構及視情況單晶結構之層的問題。

【0037】 習知地，複合基板S可呈圓形晶圓之形式，該圓形晶圓之直徑可為100 mm、200 mm、300 mm或甚至450 mm或具有某一其他大小。

【0038】 在前序中論述之形成先前技術之文件中所描述，可以多種方式產生複合基板S。極其一般地，可使用製造方法產生複合基板S，該製造方法包含：接合載體Sprt與供體基板；將介電層Diel插入於此兩個元件之間；隨後步驟為移除供體基板的部分以形成表面層Crist。可藉由化學機械薄化此基板來進行移除供體基板之部分之步驟。然而，較佳地經由應用Smart Cut™技術來製造複合基板S，在該技術中，意欲形成表面層Crist之層藉助於弱化平面來界定，該弱化平面藉由將諸如氫之輕物質植入供體基板中而形成。接著，藉由在弱化平面中分裂，將此層與經由介電層Diel結合至載體之供體基板分離，表面層Crist保持附著至裝配有捕捉層Trap之載體Sprt，且介電層Diel插入其間。層Diel之功能本質上為改良表

面層Crist對載體Sprt之黏著性。

【0039】載體Sprt通常具有數百微米之厚度。較佳地，載體Sprt具有大於1000歐姆.公分(ohm.centimetres)且甚至更佳地大於2000歐姆.公分之高電阻率。以此方式，能夠移動通過載體之電荷載流子(電洞或電子)之密度受到限制。然而，本發明不限於具有該電阻率之載體Sprt，且當基板具有約幾百歐姆.公分之較低電阻率(例如，低於1000 ohm.cm或低於500 ohm.cm或甚至低於10 ohm.cm之電阻率)時，本發明在RF效能方面亦具有優勢。

【0040】出於可用性及成本之原因，包括於載體Sprt中之基底基板BSprt較佳地由單晶矽製成。舉例而言，其可為具有6 ppm與10 ppm之間的低間隙氧含量之CZ矽基板，或顯著具有天然極低間隙氧含量之FZ矽基板。其亦可為具有大於26 ppm之大量間隙氧(由表述「高Oi」表示)之CZ矽基板。替代地，基底基板BSprt可由另一材料製成：其可例如為藍寶石、玻璃、石英、碳化矽等之問題。在某些環境中，且特定言之，在捕捉層具有足夠的厚度，例如大於30微米的厚度時，基底基板BSprt可具有低於1 kohm.cm之標準電阻率。

【0041】在形成先前技術之文件中所報導，捕捉層Trap可具有極其不同的性質。一般而言，其為具有諸如位錯、晶界、非晶區、間隙、夾雜物、孔隙等結構缺陷之非結晶層。此等結構缺陷例如在不完整或懸空化學鍵之位點處形成用於易於流經材料之電荷之陷阱。因此，阻止捕捉層中的導電，捕捉層因此具有高電阻率。

【0042】較佳地，捕捉層Trap以與基底基板BSprt直接接觸之方式整合。因此，此載體可具有被視為均勻之組成且與捕捉層Trap直接接觸，

但此等特徵不排除在基底基板之表面上及在其與捕捉層Trap之界面處存在原生氧化物。其可為具有約10 nm或更小之厚度的氧化物層之問題，該氧化物層藉由簡單地將基底基板BSprt暴露於環境大氣而產生。

【0043】 在本文件之上下文中，電荷捕捉層Trap包含低介電係數材料(亦即，相對介電係數低於二氧化矽之相對介電係數的材料)之層。在低相對介電係數之材料當中，可提及多孔矽土(porous silica)、氟矽酸鹽玻璃(FSG)、有機矽化合物或矽基介電聚合物。在本文件中，特別考慮SiOC及SiOCH，且更特別地考慮多孔SiOCH。因此，考慮相對介電係數包含於2.25與3.1之間的材料。

【0044】 圖2在(a)中繪示複合電荷捕捉層Trap，其由低介電係數材料層Lk及插入於層Lk與基底基板之間の間層Inter形成。此間層可由碳化矽SiC層形成，其厚度較佳為10 nm至100 nm，或實際上由第二低介電係數材料層形成，該第二低介電係數材料層具有高於層Lk之材料之介電係數的介電係數(諸如，稱為DLK材料之物的層，DLK表示緻密低k，或諸如為無孔的或比層Lk孔隙更少的SiOCH的層)且其厚度較佳為10 nm至500 nm。此間層在其內部創建額外電陷阱，且因此增加層Trap之捕捉能力。藉助於間層增加層Trap之厚度亦具有降低其電容效果，且因此具有改良經由形成於載體Sprt之表面上之主動層傳播的電信號之線性度之優點。另外，SiC層加強層Lk之機械強度及其對基底基板BSprt之黏著性。部分歸因於SiC層之高拉伸強度，SiC層具有額外優點：藉由碳原子在層Lk中之擴散及藉由其鬆弛而在層Lk中產生額外陷阱，且在與基底基板之界面處產生薄壓縮層，此降低電荷載流子遷移率，且因此有利地增加電阻率。

【0045】 替代地，在圖2之(b)中繪示，捕捉層Trap可僅由低介電係

數材料層Lk組成，該低介電係數材料為諸如SiOC、SiOCH或多孔SiOCH。SiOC及SiOCH可為無孔的或孔隙極少(孔隙率低於5%)。

【0046】介電層Die1可由氧化矽製成，且較佳地含有氮，此有利於形成障壁層，從而防止物質之擴散，尤其在適當時防止氫、硼及鋰之擴散。

【0047】表面層Crist可屬於適用於所討論之實踐應用之任何種類。其極佳地由單晶材料形成。當載體Sp<sub>rt</sub>意欲接納積體半導體組件時，表面層Crist可因此由單晶矽或任何其他半導體構成。當載體Sp<sub>rt</sub>意欲接納表面聲波濾波器時，表面層Crist可由鐵電材料構成，諸如LiTaO<sub>3</sub>、LiNbO<sub>3</sub>、LiAlO<sub>3</sub>、BaTiO<sub>3</sub>、PbZrTiO<sub>3</sub>、KNbO<sub>3</sub>、BaZrO<sub>3</sub>、CaTiO<sub>3</sub>、PbTiO<sub>3</sub>或KTaO<sub>3</sub>。此層可採用標準化大小之圓形晶圓之形式，例如直徑為150 mm或200 mm。然而，本發明絕不受限於此等大小或此形狀。該層可自鐵電材料之錠上切割，此切割以預定晶體定向之方式進行。取決於預期應用而選擇該定向。因此，在希望利用薄層之屬性以形成SAW濾波器之情況下，通常選擇42°RY之定向。然而，本發明絕不受限於一個特定晶體定向。表面層Crist亦可包含成品或半成品積體組件，其在製造複合基板S之步驟期間形成於供體基板上且轉移至載體Sp<sub>rt</sub>。一般而言，表面層可具有包含於10 nm與10 μm之間的厚度。

【0048】現將參考圖3描述用於製造諸如圖1中所展示之複合基板S之方法，且僅藉助於說明，表面層Crist由鐵電材料製成。

【0049】在此方法中，在矽基載體BS<sub>prt</sub>上，由多孔SiOCH製成之捕捉層Trap係藉由以下來形成：使用習知PECVD製程(PECVD表示電漿增強型化學氣相沉積)進行沉積，隨後進行UV退火，例如根據V

Jousseaume等人之文章「SiOCH thin films deposited by chemical vapor deposition: From low- $\kappa$  to chemical and biochemical sensors」(Microelectronic Engineering 167 (2017) 69-79)中描述的製程中之一者。SiOCH層緊接地在其形成之後可具有包含於5%與50%之間或更大的孔隙率。因此，可形成厚度包含於80 nm與4  $\mu\text{m}$ 之間且較佳地200 nm與1  $\mu\text{m}$ 之間的捕捉層Trap以達成捕捉及隔離功效(其需要厚沉積物)與製造限制(其需要小厚度以限制所採用機器之利用率)之間的折衷。應注意，沉積之後，可觀測到所形成層之收縮，此收縮與UV退火期間致孔劑之釋出相關，該等層之厚度可能損失高達約40%。所指示厚度對應於收縮之後的厚度。亦可調變所獲得層之孔隙率，使得在收縮之後，該孔隙率介於5%與50%之間，或14%與50%之間。

【0050】 SiOCH (或在適當時，SiOC)層亦可經由添加氮而氮化，此使其具有對某些化學物質(諸如氫、硼及鋰)不滲透之屬性，該等化學物質可例如存在於隨後形成的鐵電層中，或更一般而言，由於製造期間設備中之表面層的污染而存在，若此等物質自由遷移且佔據電荷捕捉位點，則此等物質易於降低捕捉層之電荷捕捉能力。因此，可選擇對置放於層Trap上之氧化物Diel進行氮化，對層Trap進行氮化允許保留對氫、硼及鋰擴散之不滲透性的益處：接著可保持純的(實質上非氮化) SiO<sub>2</sub>層Diel與表面層Crist接觸，且保持層Crist與層Diel之間的良好品質的內埋式界面，尤其係在層Crist由矽製成時。因此，製成層Trap之材料可含有氮，其濃度包含於 $10^{16}$  at/cm<sup>3</sup>與 $10^{21}$  at/cm<sup>3</sup>之間。添加氮之另一優點在於其增加層之機械強度，此在其上製造裝置期間可能極為有利。

【0051】 接著，在化學機械拋光(CMP)之步驟中，視情況拋光捕捉

層。

【0052】 視情況含有氮且厚度為100 nm至1500 nm且較佳地150 nm至500 nm之氧化矽層例如使用採用包含於300°C與500°C之間的溫度之PECVD技術沉積於捕捉層Trap上，以形成複合基板S之介電層Diel。接著，在化學機械拋光(CMP)之步驟中，視情況拋光該層。

【0053】 介電層Diel可以氮濃度與氫濃度的比率有利於阻止氫擴散之方式沉積，亦即以相對於氫之量存在過量氮之方式沉積，亦即以氮與氫濃度之間的比率嚴格地大於1、較佳地大於1.5且甚至更佳地大於3之方式沉積，其中使用SIMS方法(SIMS表示次級離子質譜分析)來量測濃度。因此，介電層中之氫濃度較佳地低於約 $10^{22}$  at/cm<sup>3</sup>。

【0054】 由此實施例所繪示，通常較佳地(經由捕捉層Trap)將介電層Diel置放於基底基板BSprt上而非供體基板上。特定而言，通常可在相對較高溫度下對此基底基板BSprt進行熱處理，此對於某些應用而言可為所希望的，但對於供體基板而言未必總是此情況。舉例而言，此供體基板可含有弱化平面，或由具有相對較低之居里溫度(Curie temperature)之鐵電材料構成，或包含組件，在此等情況中之各者中，此在相對較短時間(低於1小時)內將適用於其之熱預算限制至幾百度。然而，在某些有利情況下，本發明不排除介電層Diel至少部分形成於供體基板200上之可能性。

【0055】 圖3之(a)中繪示在此階段獲得的結構。

【0056】 與載體Sprt之製備同時，氫離子經由鐵電鋁酸鋰供體基板200之第一側210植入於其中，以便形成內埋式弱化平面220。以此方式界定以下項：此弱化平面220與供體基板之第一側210之間的表面層Crist；

及包含供體基板之其餘部分的互補層22。

【0057】 圖3之(b)中繪示在此階段獲得的供體基板。

【0058】 在圖3之(c)中繪示，供體基板200接合至置放於載體Sprt上的介電層Diel，且接著藉助於約400°C之適中熱處理使供體基板200在弱化平面220中分裂。將互補層22自供體基板釋放以暴露此層之自由側230，接著可對其進行製備以便改良其晶體品質及表面光度。此製備包含藉由化學機械拋光薄化第一層之步驟及在500°C下在中性氛圍中持續1小時之熱處理步驟。圖3之(d)中所展示之所獲得結構為圖1之結構。

【0059】 上文描述之方法應用於表面層Crist為鐵電鉬酸鋰層之情況，但可採用諸如鈮酸鋰之其他類型的鐵電材料。另外，作為鐵電表面層之替代，可採用諸如矽層或含有矽之層(諸如單晶矽)的半導體表面層。亦可轉移承載成品或半成品組件之層，該轉移旨在將此等組件置放於載體Sprt上以便利用其在射頻域中之屬性。

【0060】

測試結果

組件之射頻(RF)效能可經由複合基板(且更特定言之此複合基板之載體)之RF特性來估測，該組件意欲形成於該複合基板上或該複合基板中。由SOITEC於2015年1月出版之出版物「White paper - RF SOI Characterization」中所記錄，基板之RF效能可由二階諧波失真(HD2)之量測來表徵。

【0061】 因此，通常試圖形成包含捕捉層之載體，該捕捉層使得可以形成具有隨溫度保持穩定之高RF效能之載體，此效能經由HD2量測來表徵。

【0062】 本申請人已在裝配有氧化矽介電層Diel且由用單晶矽製成之基底基板BSprt形成的載體Sprt上進行針對各種幾何形狀及製程之RF效能測試，該載體Sprt包含層Trap，該層Trap藉由低相對介電係數材料包括多孔SiOCH層。

### 【0063】

#### 情況1

在此第一情況中，SiOCH層與載體BSprt直接接觸且在其形成之後並不進行熱處理。HD2量測之平均值指示HD2二階諧波失真為-60 dBm且有效電阻率為1641 ohm.cm，其對於將載體Sprt應用於射頻域而言為令人滿意之值。

### 【0064】

#### 情況2

此第二情況等同於情況1，不同之處在於SiOCH層藉由在氮氣氛圍下在1000°C下使用燈加熱30 s來進行快速熱退火(RTA)。HD2量測之平均值指示HD2二階諧波失真為至-78 dBm且有效電阻率為2950 ohm.cm。RTA處理呈現對HD2二階諧波失真及有效電阻率兩者具有正面效果。

### 【0065】

#### 情況3

此第三情況等同於情況1及情況2，不同之處在於SiOCH層在氮氣氛圍下在1100°C下於鍋爐中進行2小時之熱處理，隨後在氮氣氛圍下在1000°C下進行30 s快速熱退火(RTA)。HD2量測之平均值指示HD2二階諧波失真為-73 dBm且有效電阻率為1500 ohm.cm，此指示RF效能低於僅應用RTA處理時的情況2。

【0066】 本申請人將此三種情況之量測結果解釋為指示RTA處理使多孔SiOCH層穩定，限制大氣中存在之氣體(諸如水蒸氣)在其表面上及在其孔隙中之吸附，從而改良RF效能。

【0067】

情況4

情況4與情況1至情況3之不同之處在於捕捉層Trap為複合層，根據圖2中所繪示之幾何形狀，其在多孔SiOCH層與基底基板BSprt之間包含藉由PECVD沉積之100 nm SiC組成的間層Inter。HD2量測之平均值指示HD2二階諧波失真為至-80 dBm且有效電阻率為2895 ohm.cm。藉由HD2二階諧波失真及有效電阻率之兩個態樣所量測，此情況表現出極佳效能，接近情況2之效能。

【0068】 當然，本發明不限於所描述之實施例，且可在不脫離由申請專利範圍定義之本發明之範疇的情況下應用實施例之變化形式。

【符號說明】

【0069】

22: 互補層

200: 供體基板

210: 供體基板200之第一側

220: 內埋式弱化平面

230: 自由側

BSprt: 基底基板

Crist: 結晶表面層

Diel: 介電層

Inter: 間層

Lk: 低介電係數層

S: 複合基板

Sprt: 載體

Trap: 電荷捕捉層

## 【發明申請專利範圍】

### 【請求項1】

一種複合基板之載體(Sprt)，該載體(Sprt)包含與基底基板(BSprt)接觸之電荷捕捉層(Trap)，該捕捉層(Trap)包含由具有低於二氧化矽之相對介電係數之材料製成的低介電係數層(Lk)，具有低於二氧化矽之相對介電係數之該材料為SiOC或SiOCH。

### 【請求項2】

如請求項1之載體(Sprt)，該低介電係數層(Lk)為多孔的。

### 【請求項3】

如請求項2之載體(Sprt)，該低介電係數層具有包含於0%與50%之間、較佳地5%與50%之間且更佳地14%與50%之間的孔隙率。

### 【請求項4】

如請求項1至3中任一項之載體(Sprt)，該低介電係數層(Lk)與該基底基板(BSprt)直接接觸。

### 【請求項5】

如請求項1至3中任一項之載體(Sprt)，於該低介電係數層(Lk)與該基底基板(BSprt)之間插入間層(Inter)，該間層由SiC或由稱為DLK材料之物製成，DLK表示緻密低k。

### 【請求項6】

如請求項1至5中任一項之載體(Sprt)，該基底基板(BSprt)具有均勻組成。

### 【請求項7】

如請求項1至6中任一項之載體(Sprt)，具有低於二氧化矽之相對介電

係數之該材料含有氮，其濃度包含於 $10^{16}$  at/cm<sup>3</sup>與 $10^{21}$  at/cm<sup>3</sup>之間。

**【請求項8】**

一種複合基板(S)，其包含置放於如請求項1至7中任一項之載體(Sprt)上之結晶表面層(Crist)。

**【請求項9】**

如請求項8之複合基板(S)，該表面層(Crist)由矽製成。

**【請求項10】**

如請求項8之複合基板(S)，該薄層係由鐵電材料製成。

**【請求項11】**

如請求項8至10中任一項之複合基板(S)，於該結晶層(Crist)與該捕捉層(Trap)之間插入介電層(Diel)。

**【請求項12】**

一種用於製造複合基板之載體(Sprt)的方法，其包含以下步驟：  
提供基底基板(BSprt)；

在該基底基板(BSprt)上形成電荷捕捉層(Trap)，該電荷捕捉層(Trap)包含由具有低於二氧化矽之相對介電係數之材料製成的低介電係數層(Lk)，具有低於二氧化矽之相對介電係數之該材料為SiOC或SiOCH。

**【請求項13】**

如請求項12之製造方法，其中該低介電係數層(Lk)具有包含於0%與50%之間、較佳地5%與50%之間且更佳地14%與50%之間的孔隙率。

**【請求項14】**

一種用於製造複合基板(S)之方法，其包含如請求項12或13之用於製造複合基板之載體(Sprt)的方法，且進一步包含以下步驟：

在該電荷捕捉層(Trap)上形成介電層(Diel)；及  
將表面層(Crist)附著至該介電層(Diel)。

**【請求項15】**

如請求項14之用於製造複合基板(S)之方法，該表面層(Crist)為結晶層或單晶層。

(發明圖式)

