

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5751213号
(P5751213)

(45) 発行日 平成27年7月22日 (2015. 7. 22)

(24) 登録日 平成27年5月29日 (2015. 5. 29)

(51) Int. Cl.	F I				
HO 1 L 21/336 (2006. 01)	HO 1 L	29/78	6 5 8 G		
HO 1 L 29/78 (2006. 01)	HO 1 L	29/78	6 5 2 T		
HO 1 L 29/12 (2006. 01)	HO 1 L	29/78	6 5 3 A		
HO 1 L 29/06 (2006. 01)	HO 1 L	29/78	6 5 8 E		
	HO 1 L	29/78	6 5 2 J		
請求項の数 13 (全 17 頁) 最終頁に続く					

(21) 出願番号	特願2012-134917 (P2012-134917)	(73) 特許権者	000004260
(22) 出願日	平成24年6月14日 (2012. 6. 14)		株式会社デンソー
(65) 公開番号	特開2013-258369 (P2013-258369A)		愛知県刈谷市昭和町 1 丁目 1 番地
(43) 公開日	平成25年12月26日 (2013. 12. 26)	(73) 特許権者	000003207
審査請求日	平成26年8月1日 (2014. 8. 1)		トヨタ自動車株式会社
			愛知県豊田市トヨタ町 1 番地
		(74) 代理人	110001128
			特許業務法人ゆうあい特許事務所
		(72) 発明者	竹内 有一
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会
			社デンソー内
		(72) 発明者	千田 和身
			愛知県豊田市トヨタ町 1 番地 トヨタ自動
			車株式会社内
最終頁に続く			

(54) 【発明の名称】 炭化珪素半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 または第 2 導電型の炭化珪素基板 (1) の主表面上に形成された炭化珪素からなる第 1 導電型のドリフト層 (2) 上に、炭化珪素からなる第 2 導電型のベース領域 (3) が形成されていると共に、前記ベース領域の上に炭化珪素からなる第 1 導電型のソース領域 (4) が形成された半導体基板が用いられており、前記ベース領域よりも深いトレンチ (6) 内にゲート絶縁膜 (8) が形成されていると共に該ゲート絶縁膜上にゲート電極 (9) が形成されることでトレンチゲート構造が構成され、前記ソース領域および前記ベース領域に対して電氣的に接続されたソース電極 (1 1) および前記炭化珪素基板の裏面に電氣的に接続されたドレイン電極 (1 2) を有する半導体スイッチング素子を備えた炭化珪素半導体装置の製造方法であって、

エッチングにより、前記ソース領域および前記ベース領域を貫通して前記ドリフト層に達し、かつ、一方向を長手方向とするライン状に前記トレンチを形成するトレンチエッチング工程と、

エピタキシャル成長により、前記トレンチ内に第 2 導電型の炭化珪素層 (3 1) を形成したのち、水素エッチングを行うことにより、前記トレンチの底部および該トレンチの長手方向の先端部にのみ残すことで、前記トレンチの底部に位置するラウンド形状底部層 (7 a) と該トレンチの先端部に位置するラウンド形状先端層 (7 b) とを有する第 2 導電型層 (7) を形成する工程と、を含んでいることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 2】

前記第 2 導電型層を形成する工程では、前記炭化珪素層を形成する際に用いるエピタキシャル成長装置内において、降温することなく連続的に前記水素エッチングを行うことで、前記第 2 導電型層を形成することを特徴とする請求項 1 に記載の炭化珪素半導体装置の製造方法。

【請求項 3】

前記トレンチエッチング工程の前に、前記トレンチよりも深い第 2 導電型のディープ層 (5) を形成する工程を有し、

前記ディープ層を形成する工程および前記トレンチエッチング工程では、前記ディープ層を前記トレンチから離間して配置し、前記トレンチの側面もしくは先端から前記ディープ層までの距離 (a) が、前記半導体スイッチング素子のオフ時にビルトインポテンシャルに基づいて前記底部層から前記ドリフト層側に延びる空乏層幅の 3 倍以下となるように前記トレンチおよび前記ディープ層をレイアウトすることを特徴とする請求項 1 または 2 に記載の炭化珪素半導体装置の製造方法。

10

【請求項 4】

前記ディープ層を形成する工程および前記トレンチエッチング工程では、前記距離が、前記空乏層幅の 2 倍以上となるように前記トレンチおよび前記ディープ層をレイアウトすることを特徴とする請求項 3 に記載の炭化珪素半導体装置の製造方法。

【請求項 5】

前記トレンチエッチング工程では、前記トレンチを複数本並列に配置し、

前記ディープ層を形成する工程では、複数本の前記トレンチのうちの複数が前記ディープ層によって囲まれる平面レイアウトにすることを特徴とする請求項 3 または 4 に記載の炭化珪素半導体装置の製造方法。

20

【請求項 6】

前記トレンチエッチング工程の前に、前記トレンチよりも深い第 2 導電型のディープ層 (5) を形成する工程を有し、

前記トレンチエッチング工程では、前記トレンチを前記長手方向において複数に分割したレイアウトとし、

前記ディープ層を形成する工程では、分割された各トレンチの先端部に重なるように前記第 2 導電型層を配置することを特徴とする請求項 1 に記載の炭化珪素半導体装置の製造方法。

30

【請求項 7】

前記第 1 または第 2 導電型の炭化珪素基板 (1) の主表面が (0001) Si 面であり、

前記第 2 導電型層を形成する工程の後、前記トレンチ内に前記ゲート絶縁膜を形成する工程を有し、該ゲート絶縁膜を形成する工程では、前記ゲート絶縁膜を前記トレンチの底部において該トレンチの側面よりも厚く形成し、前記半導体スイッチング素子のオフ時に前記ラウンド形状先端層 (7b) が完全空乏化することによって前記ドリフト層が上下に分断されるようにすることを特徴とする請求項 1 ないし 6 のいずれか 1 つに記載の炭化珪素半導体装置の製造方法。

【請求項 8】

炭化珪素からなる第 1 または第 2 導電型の基板 (1) と、

前記基板の上に形成され、前記基板よりも低不純物濃度とされた第 1 導電型の炭化珪素からなるドリフト層 (2) と、

前記ドリフト層の上に形成された第 2 導電型の炭化珪素からなるベース領域 (3) と、

前記ベース領域の上層部に形成され、前記ドリフト層よりも高不純物濃度とされた第 1 導電型の炭化珪素からなるソース領域 (4) と、

前記ソース領域の表面から前記ベース領域よりも深くまで形成され、一方向を長手方向として先端部を有する形状のトレンチ (6) と、

エピタキシャル成長により前記トレンチの底部および該トレンチの長手方向の先端部のみ形成され、前記トレンチの底部に形成されたラウンド形状底部層 (7a) と前記トレ

40

50

ンチの先端部に形成されたラウンド形状先端層（7b）とによって構成された第2導電型の炭化珪素からなる第2導電型層（7）と、

前記第2導電型層上において前記トレンチの内壁面に形成されたゲート絶縁膜（8）と

、前記トレンチ内において、前記ゲート絶縁膜の上に形成されたゲート電極（9）と、

前記ソース領域および前記ベース領域に電氣的に接続されたソース電極（11）と、

前記基板の裏面側に形成されたドレイン電極（12）とを備え、

前記ゲート電極への印加電圧を制御することで前記トレンチの側面に位置する前記ベース領域の表面部に反転型のチャネル領域を形成し、前記ソース領域および前記ドリフト層を介して、前記ソース電極および前記ドレイン電極の間に電流を流す反転型のトレンチゲート構造の半導体スイッチング素子を有してなることを特徴とする炭化珪素半導体装置。 10

【請求項9】

前記トレンチから離間して配置され、該トレンチよりも深く、かつ、前記ソース電極に電氣的に接続された第2導電型のディープ層（5）を有し、

前記トレンチの側面もしくは先端から前記ディープ層までの距離（a）が、前記半導体スイッチング素子のオフ時にビルトインポテンシャルに基づいて前記底部層から前記ドリフト層側に延びる空乏層幅の3倍以下とされていることを特徴とする請求項8に記載の炭化珪素半導体装置。

【請求項10】

前記距離が、前記空乏層幅の2倍以上とされていることを特徴とする請求項9に記載の炭化珪素半導体装置。 20

【請求項11】

前記トレンチは複数本並列に配置され、複数本の前記トレンチのうちの複数が前記ディープ層によって囲まれた平面レイアウトとされていることを特徴とする請求項9または10に記載の炭化珪素半導体装置。

【請求項12】

前記トレンチは、前記長手方向において複数に分割されていると共に、分割された各トレンチの先端部に重なるように前記第2導電型層が配置されていることを特徴とする請求項8に記載の炭化珪素半導体装置。

【請求項13】 30

前記第1または第2導電型の炭化珪素基板（1）の主表面が（0001）Si面であり、

前記ゲート絶縁膜は、前記トレンチの底部において該トレンチの側面よりも厚く形成されており、

前記半導体スイッチング素子のオフ時に前記ラウンド形状先端層（7b）が完全空乏化することによって前記ドリフト層が上下に分断されることを特徴とする請求項8ないし12のいずれか1つに記載の炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】 40

本発明は、トレンチゲート構造の半導体スイッチング素子を有する炭化珪素（以下、SiCという）半導体装置およびその製造方法に関する。

【背景技術】

【0002】

半導体スイッチング素子を有する半導体装置において、より大電流を流すには、チャネル密度を高くすることが有効である。シリコントランジスタでは、チャネル密度を高くするために、トレンチゲート構造のMOSFETが採用され、実用化されている。このトレンチゲート構造はSiC半導体装置にも適用できる構造であるが、SiCに应用する場合、大きな問題がある。すなわち、SiCは破壊電界強度がシリコンの10倍あるため、SiC半導体装置にはシリコンデバイスの10倍近い電圧をかけた状態で使用される。その 50

ため、トレンチ内に形成されたゲート絶縁膜にもシリコンデバイスの10倍の強度の電界がかかり、トレンチのコーナー部においてゲート絶縁膜が容易に破壊されてしまうという問題がある。

【0003】

このような問題を解決するものとして、特許文献1において、トレンチゲート構造を構成するトレンチの底部(底面)より下方にp型不純物をイオン注入することでp型層を形成した構造が提案されている。このようなp型層を形成することにより、トレンチの底部での電界集中を緩和でき、ゲート絶縁膜の破壊を防止することが可能となる。

【0004】

しかしながら、特許文献1に記載の構造の場合、トレンチの底部全域という広い範囲にp型層が形成されており、かつ、p型層がフローティング状態になることから、スイッチング特性が劣化するという問題がある。

10

【0005】

このため、特許文献2において、トレンチ底部にp型層を形成すると共に、トレンチを深くしつつトレンチ底部においてゲート絶縁膜を厚くした構造において、トレンチの長手方向の両端部にも低濃度p型層が形成されるようにした構造が提案されている。具体的には、トレンチの長手方向の両端部に斜めイオン注入を行うことで低濃度p型層を形成している。これにより、p型ベース領域とトレンチの底部のp型層とがトレンチの両端部の低濃度p型層によって連結され、p型層がフローティング状態にならないようにできることから、ターンオン時のスイッチング特性の劣化を抑制することが可能となる。また、オフ時には、トレンチ両端部の低濃度p型層が完全空乏化し、トレンチ底部のp型層はフローティング状態となるため、n⁻型ドリフト層を上下に分割できる。これにより、p型ベース領域とn⁻型ドリフト層のうちp型層周囲の空乏層の上下に分かれた部分とその空乏層とによって、擬似的にPNPN構造が構成され、高耐圧化が図れる。このようにして、高耐圧、低オン抵抗、高スイッチングスピードの両立が図れるようにしている。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平10-98188号公報

【特許文献2】特開2007-242852号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献2に記載の構造の場合、トレンチの長手方向の両端部に斜めイオン注入を行うことで低濃度p型層を形成している。このため、p型ベース領域とトレンチの底部のp型層とが連結され、p型層がフローティング状態にならないようにできるが、斜めイオン注入が別途必要になるため、イオン注入装置に移動させるなど製造工程が煩雑になり、製造コストが高くなる。また、イオン注入による欠陥ダメージに起因したドレインリークが発生するという問題が生じる。また、イオン注入の場合、トレンチの側面が垂直でないと、トレンチ側面の表面全域においてn⁻型ドリフト層がp型化し、FET動作しなくなってしまうが、トレンチの側面を垂直に加工するのが難しい。

40

【0008】

本発明は上記点に鑑みて、イオン注入によらず、高耐圧と高スイッチングスピードの両立を図ることができるSiC半導体装置を製造できるようにすることを第1の目的とする。また、よりの確に高耐圧と高スイッチングスピードの両立を図ることができるSiC半導体装置を提供することを第2の目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、請求項1に記載の発明は、半導体スイッチング素子を備えたSiC半導体装置の製造方法であって、エッチングにより、ソース領域(4)およびペー

50

ス領域(3)を貫通してドリフト層(2)に達し、かつ、一方向を長手方向とするライン状にトレンチ(6)を形成するトレンチエッチング工程と、エピタキシャル成長により、トレンチ内に第2導電型の炭化珪素層(31)を形成したのち、水素エッチングを行うことにより、トレンチの底部およびトレンチの長手方向の先端部にのみ残すことで、トレンチの底部に位置するラウンド形状底部層(7a)と該トレンチの先端部に位置するラウンド形状先端層(7b)とを有する第2導電型層(7)を形成する工程と、を含んでいることを特徴としている。

【0010】

このように、トレンチ内に炭化珪素層をエピタキシャル成長によって形成したのち、水素エッチングによって炭化珪素層をトレンチの底部およびトレンチの長手方向の先端部にのみ残すことで第2導電型層を形成している。つまり、炭化珪素層のうちトレンチの側面に形成された部分を取り除くようにしている。このようにエピタキシャル成長によってラウンド形状底部層およびラウンド形状先端層を含む第2導電型層を形成でき、斜めイオン注入によらずに第2導電型層を形成できる。このため、斜めイオン注入が別途必要にならないため、イオン注入装置に移動させるなど製造工程が煩雑になることを抑制でき、製造コストを抑えられる。また、イオン注入による欠陥ダメージも無いため、ドレインリークを抑制できるし、確実にトレンチの側面に第2導電型層が残らないようにすることが可能となる。よって、イオン注入によらず、高耐圧と高スイッチングスピードの両立を図ることができるSiC半導体装置を製造できるようにすることが可能となる。

【0011】

請求項2に記載の発明は、第2導電型層を形成する工程では、炭化珪素層を形成する際に用いるエピタキシャル成長装置内において、降温することなく連続的に水素エッチングを行うことで、第2導電型層を形成することを特徴としている。このように同一のエピタキシャル成長装置内において水素エッチングも行うようにすることで、製造工程の簡略化を図ることが可能となる。

【0012】

請求項8に記載の発明では、ゲート電極への印加電圧を制御することでトレンチの側面に位置するベース領域の表面部に反転型のチャネル領域を形成し、ソース領域およびドリフト層を介して、ソース電極およびドレイン電極の間に電流を流す反転型のトレンチゲート構造の半導体スイッチング素子を有してなるSiC半導体装置において、ソース領域の表面からベース領域よりも深くまで形成され、一方向を長手方向として先端部を有する形状のトレンチ(6)と、トレンチの底部およびトレンチの長手方向の先端部にのみエピタキシャル成長させることで形成され、トレンチの底部に形成されたラウンド形状底部層(7a)とトレンチの先端部に形成されたラウンド形状先端層(7b)とによって構成された第2導電型の炭化珪素からなる第2導電型層(7)とを有してなることを特徴としている。

【0013】

このように、トレンチの底部に位置する底部層とトレンチの両先端部に形成した先端層とによって第2導電型層を構成し、先端層を介して底部層がベース領域(3)と連結される構造にしている。このような構造のSiC半導体装置では、半導体スイッチング素子のオフ時には、ビルトインポテンシャルに基づいて底部層からドリフト層に延びる空乏層により、電界が入り込み難くなるようにできる。したがって、高耐圧を得ることが可能となる。一方、半導体スイッチング素子をオフからオンにスイッチングする際には、先端層を介して底部層がベース領域と連結されていてフローティング状態になっていないため、先端層を通じて底部層に即座にホールが供給される。このため、低オン抵抗を実現でき、高スイッチングスピードを得ることが可能となる。

【0014】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係の一例を示すものである。

【図面の簡単な説明】

10

20

30

40

50

【0015】

【図1】本発明の第1実施形態にかかる反転型のトレンチゲート構造のMOSFETが備えられたSiC半導体装置の上面レイアウト図である。

【図2】図1のII-II線上でのSiC半導体装置の断面図である。

【図3】図1の領域R1に相当するトレンチゲート構造の先端部の拡大図である。

【図4】図1に示すSiC半導体装置の製造工程を示した断面図である。

【図5】図4に続くSiC半導体装置の製造工程を示した断面図である。

【図6】図4(d)および図5(a)、(b)の各工程の様子を示した図であって、(a)はトレンチ6の斜視断面のイメージ図であり、(b)は各工程における(a)中のXY平面、YZ平面、ZX平面での断面を示した図である。

10

【図7】本発明の第2実施形態にかかる反転型のトレンチゲート構造のMOSFETが備えられたSiC半導体装置の上面レイアウト図である。

【図8】図7の領域R2に相当するトレンチゲート構造の先端部の拡大図である。

【図9】図1のIX-IX線上でのSiC半導体装置の断面図である。

【図10】図1のX-X線上でのSiC半導体装置の断面図である。

【図11】本発明の第2実施形態にかかる反転型のトレンチゲート構造のMOSFETが備えられたSiC半導体装置の上面レイアウト図である。

【図12】図11のXII-XII線上でのSiC半導体装置の断面図である。

【発明を実施するための形態】

【0016】

20

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

【0017】

(第1実施形態)

本発明の第1実施形態について説明する。ここではトレンチゲート構造の半導体スイッチング素子としてnチャンネルタイプの反転型のMOSFETが形成されたSiC半導体装置を例に挙げて説明する。

【0018】

図1に示すSiC半導体装置は、半導体素子が形成されるセル領域とこのセル領域を囲む外周耐圧構造が備えられた外周領域(終端構造領域)とを有した構成とされている。本実施形態では、半導体素子として、反転型のトレンチゲート構造のMOSFETが備えられている。

30

【0019】

図2に示すように、SiC半導体装置は、SiCからなるn⁺型基板1の主表面上にSiCからなるn⁻型ドリフト層2とp型ベース領域3、および、n⁺型ソース領域4が順にエピタキシャル成長させられたものを半導体基板として用いて形成されている。

【0020】

n⁺型基板1は、窒素等のn型不純物濃度が例えば $1.0 \times 10^{19} / \text{cm}^3$ とされ、厚さが300 μm 程度とされている。n⁻型ドリフト層2は、窒素等のn型不純物濃度が例えば $3.0 \sim 7.0 \times 10^{15} / \text{cm}^3$ で厚さ10 \sim 15 μm 程度とされている。n⁻型ドリフト層2の不純物濃度は深さ方向において一定であっても良いが、濃度分布に傾斜を付け、n⁻型ドリフト層2のうちn⁺型基板1側の方がn⁺型基板1から離れる側よりも高濃度となるようにすることもできる。このようにすると、n⁻型ドリフト層2の内部抵抗を低減できるため、オン抵抗を低減することが可能となる。

40

【0021】

また、p型ベース領域3は、ボロンもしくはアルミニウム等のp型不純物濃度が例えば $5.0 \times 10^{16} \sim 2.0 \times 10^{19} / \text{cm}^3$ 、厚さ2.0 μm 程度で構成されている。n⁺型ソース領域4は、表層部におけるリン等のn型不純物濃度(表面濃度)が例えば $1.0 \times 10^{21} / \text{cm}^3$ 、厚さ0.5 μm 程度で構成されている。

【0022】

50

セル領域では、p型ベース領域3内におけるp型ベース領域3の表面にn⁺型ソース領域4が残されており、このn⁺型ソース領域4およびp型ベース領域3を貫通してn⁻型ドリフト層2に達するようにp⁺型ディープ層5が形成されている。p⁺型ディープ層5は、例えば表層部におけるボロンもしくはアルミニウム等のp型不純物濃度（表面濃度）が例えば $1.0 \times 10^{19} / \text{cm}^3$ 、幅 $0.5 \mu\text{m}$ 、深さ $2.7 \mu\text{m}$ 程度で構成されている。このp⁺型ディープ層5は、後述するトレンチゲート構造を構成するためのトレンチ6やその底部に形成されるp型層7よりも深い位置まで形成されており、p⁺型ディープ層5の底部において優先的にボディブレイクが生じる構造とされている。本実施形態の場合、p⁺型ディープ層5は、セル領域内においてセル領域を複数に区画するように格子状にレイアウトされていると共に、セル領域の外縁を囲むように角部が丸められた四角形状にレイアウトされている。

10

【0023】

また、p型ベース領域3およびn⁺型ソース領域4を貫通してn⁻型ドリフト層2に達するように、例えば幅が $0.5 \sim 2.0 \mu\text{m}$ 、深さが $2.0 \mu\text{m}$ 以上（例えば $2.4 \mu\text{m}$ ）のトレンチ6が形成されている。このトレンチ6の側面と接するように上述したp型ベース領域3およびn⁺型ソース領域4が配置されている。トレンチ6は、図1の紙面左右方向を幅方向、紙面垂直方向を長手方向、紙面上下方向を深さ方向とするライン状のレイアウトで形成されている。図2および図3では、トレンチ6の底部および両先端部のコーナー部が角張った形状となっているが、丸まっても構わない。

【0024】

20

また、トレンチ6は、複数本が並べられることで各トレンチ6が平行に配列されたストライプ状とされている。各トレンチ6は複数本ずつ、p⁺型ディープ層5によって区画された各領域に配置されており、その内部において各トレンチ6が等間隔に配置されている。各トレンチ6の間隔は、例えば $1 \sim 2 \mu\text{m}$ とされ、オフ時にトレンチ6の間に電界が入り込まない程度の長さ設定されている。また、トレンチ6のうち最もp⁺型ディープ層5寄りのものからp⁺型ディープ層5まで距離や、トレンチ6の両先端からp⁺型ディープ層5までの距離は、共に距離a以下に設定されている。距離aは、MOSFETのオフ時にビルトインポテンシャルに基づいて後述するp型SiC層7からn⁻型ドリフト層2側に延びる空乏層幅に基づいて設定されており、この空乏層幅の2倍以上かつ3倍以下とされている。

30

【0025】

さらに、図2および図3に示すように、トレンチ6内にはp型SiC層7が形成されている。このp型SiC層7は、p型不純物濃度が例えば $3 \times 10^{17} \sim 3 \times 10^{18} / \text{cm}^3$ という比較的高濃度で形成されており、厚みは $0.2 \mu\text{m}$ 程度とされている。具体的には、p型SiC層7は、トレンチ6の底部および長手方向における両先端部にも形成されている。以下、p型SiC層7のうちトレンチ6の底部に形成されている表面がラウンド形状となっている部分を底部p型層7aといい、トレンチ6の両先端部に形成されている表面がラウンド形状となっている部分を先端p型層7bという。

【0026】

底部p型層7aは、トレンチ6の底面上にエピタキシャル成長によって形成されたものである。底部p型層7aの最も浅い位置はp型ベース領域3の底部よりも深くされ、最も深い位置はp⁺型ディープ層5の底部よりも浅くされている。このため、p型ベース領域3と底部p型層7aの間にn⁻型ドリフト層2が残るようにしてチャンネル形成が行えるようにしつつ、p⁺型ディープ層5の底部で優先的にボディブレイクが生じるようにできる。また、底部p型層7aのうちの上表面は丸みを帯びた曲面となっており、トレンチ6の両側面に対して段差が無い滑らかな状態で接合されている。

40

【0027】

先端p型層7bも、トレンチ6の両先端面上にエピタキシャル成長によって形成されたものである。先端p型層7bのうちトレンチ6の内側の表面も丸みを帯びた曲面となっており、トレンチ6の両側面に対してほぼ段差が無い状態で接合されている。

50

【0028】

これら底部 p 型層 7 a および先端 p 型層 7 b によって p 型 SiC 層 7 が構成されている。このため、p 型 SiC 層 7 は、底部 p 型層 7 a については p 型ベース領域 3 から離間して配置されているが、先端 p 型層 7 b については p 型ベース領域 3 に接続されている。したがって、p 型 SiC 層 7 は、p 型ベース領域 3 と同電位に固定され、フローティング状態にはならない構造となっている。なお、p 型 SiC 層 7 は、トレンチ 6 の両側面には p 型 SiC 層 7 が形成されていない。このため、トレンチ 6 の両側面においては、n⁻型ドリフト層 2 や p 型ベース領域 3 および n⁺型ソース領域 4 が露出した状態になっている。

【0029】

さらに、トレンチ 6 の内壁面はゲート絶縁膜 8 にて覆われており、ゲート絶縁膜 8 の表面に形成されたドーフト Poly-Si にて構成されたゲート電極 9 により、トレンチ 6 内が埋め尽くされている。ゲート絶縁膜 8 は、例えばトレンチ 6 の内壁面を熱酸化した熱酸化膜などによって構成されており、ゲート絶縁膜 8 の厚みはトレンチ 6 の側面側と底部側共に 100 nm 程度となっている。そして、上記したように、p 型 SiC 層 7 を構成する底部 p 型層 7 a の上面や先端 p 型層 7 b におけるトレンチ 6 の内側の表面が丸みを帯びた曲面となっていることから、ゲート絶縁膜 8 の底面も丸みを帯びた形状となっている。このため、ゲート絶縁膜 8 は、全体的に均一な膜厚で構成され、トレンチ 6 のコーナー部で薄くなった部分などが無い状態となっている。このようにして、トレンチゲート構造が構成されている。

【0030】

また、n⁺型ソース領域 4 および p⁺型ディープ層 5 の表面やゲート電極 9 の表面には、層間絶縁膜 10 を介してソース電極 11 やゲート配線（図示せず）が形成されている。ソース電極 11 およびゲート配線は、複数の金属（例えば Ni / Al 等）にて構成されており、少なくとも n 型 SiC（具体的には n⁺型ソース領域 4）と接触する部分は n 型 SiC とオーミック接触可能な金属で構成され、少なくとも p 型 SiC（具体的には p⁺型ディープ層 5）と接触する部分は p 型 SiC とオーミック接触可能な金属で構成されている。なお、これらソース電極 11 およびゲート配線は、層間絶縁膜 10 上に形成されることで電氣的に絶縁されており、層間絶縁膜 10 に形成されたコンタクトホール 13 を通じてソース電極 11 は n⁺型ソース領域 4 および p⁺型ディープ層 5 を介して p 型ベース領域 3 と電氣的に接触させられ、ゲート配線はゲート電極 9 と電氣的に接触させられている。

【0031】

そして、n⁺型基板 1 の裏面側には n⁺型基板 1 と電氣的に接続されたドレイン電極 12 が形成されている。このような構造により、n チャネルタイプの反転型のトレンチゲート構造の MOSFET が構成されている。そして、このような MOSFET が p⁺型ディープ層 5 によって区画された各領域に分割されて配置されることでセル領域が構成されている。

【0032】

一方、外周領域では、セル領域と同様に、n⁻型ドリフト層 2 の上部に p 型ベース領域 3 が形成されているが、p 型ベース領域 3 を貫通して n⁻型ドリフト層 2 に達するように凹部 20 が形成されることでメサ構造とされている。このため、セル領域から離れた位置では n⁺型ソース領域 4 および p 型ベース領域 3 が除去され、n⁻型ドリフト層 2 が露出させられている。

【0033】

また、凹部 20 の下方に位置する n⁻型ドリフト層 2 の表層部には、セル領域を囲むように、複数本（図 1 中では 3 本記載してある）の p⁺型ガードリング層 21 が備えられている。p⁺型ガードリング層 21 は、ガードリングとして機能できる濃度および深さで構成されていけば良いが、本実施形態では、例えばボロンもしくはアルミニウム等の p 型不純物濃度および底部の位置が p⁺型ディープ層 5 と同じになっている。そして、図示していないが、必要に応じて p⁺型ガードリング層 21 よりも外周に EQR 構造が備えられる

10

20

30

40

50

ことにより、セル領域を囲む外周耐圧構造が備えられた外周領域が構成されている。

【0034】

以上のような構造により、本実施形態にかかるSiC半導体装置が構成されている。続いて、本実施形態に係るSiC半導体装置の製造方法について図4～図6を参照して説明する。

【0035】

〔図4(a)に示す工程〕

まず、半導体基板として、SiCからなるn⁺型基板1の主表面上にSiCからなるn⁻型ドリフト層2とp型ベース領域3、および、n⁺型ソース領域4が順にエピタキシャル成長させられたトリプルエピ基板を用意する。

10

【0036】

〔図4(b)に示す工程〕

n⁺型ソース領域4の表面にマスク材(図示せず)を配置したのち、フォトリソグラフィによってマスク材のうちのp⁺型ディープ層5およびp⁺型ガードリング層21の形成予定位置を開口させる。そして、マスク材を配置した状態でRIE(Reactive Ion Etching)などの異方性エッチングを行うことで、p⁺型ディープ層5およびp⁺型ガードリング層21の形成予定位置にトレンチ30を形成する。その後、マスク材を除去する。

【0037】

〔図4(c)に示す工程〕

トレンチ30内を含めてn⁺型ソース領域4の表面全面にp⁺型層をエピタキシャル成長させる。具体的には、p⁺型層によってトレンチ30内が埋め込まれるようにする。そして、研削やCMP(Chemical Mechanical Polishing)などによる平坦化によって、n⁺型ソース領域4の表面を露出させる。これにより、p⁺型層はトレンチに30内のみ残り、p⁺型層によってp⁺型ディープ層5およびp⁺型ガードリング層21が構成される。

20

【0038】

〔図4(d)に示す工程〕

n⁺型ソース領域4やp⁺型ディープ層5およびp⁺型ガードリング層21の表面にマスク材(図示せず)を配置したのち、フォトリソグラフィによってマスク材のうちのトレンチ6および凹部20の形成予定位置を開口させる。そして、マスク材を配置した状態でRIEなどの異方性エッチングを行うことで、セル領域においてトレンチ6を形成すると共に外周領域において凹部20を形成する。その後、マスク材を除去する。

30

【0039】

なお、この図4(d)から図5(a)、(b)の各工程の様子については図6中に示してあり、図6(a)がトレンチ6の斜視断面のイメージ図であり、図6(b)が各工程における図6(a)中のXY平面、YZ平面、ZX平面での断面を示してある。したがって、本工程を実施したときの状態では、図6(b)に示すように、トレンチ6の底部および両先端部のコーナー部が角張った状態になっている。

【0040】

〔図5(a)に示す工程〕

エピタキシャル成長装置を用いて、トレンチ6内を含めてp型層(SiC層)31をエピタキシャル成長させる。例えば、p型層31をp型不純物濃度が例えば $3 \times 10^{17} \sim 3 \times 10^{18} / \text{cm}^3$ という比較的高濃度で形成する。このとき、図6(b)に示すように、トレンチ6の底部および両先端部の表面において、トレンチ6の両側面やn⁺型ソース領域4などの表面よりもp型層31が厚く形成される。

40

【0041】

〔図5(b)に示す工程〕

p型層31の形成に用いたエピタキシャル成長装置内において、降温することなく連続的に水素エッチングを行うことで、p型層31を等方的にエッチングすると共にトレンチエッチングのダメージ除去を行う。このように同一のエピタキシャル成長装置内において

50

連続的に水素エッチングも行うようにすることで、製造工程の簡略化を図ることが可能となる。例えば、1600度以上の減圧下における水素雰囲気、例えば1625、 2.7×10^4 Pa (200 Torr) の高温水素雰囲気での水素エッチングを実施する。これにより、トレンチエッチングのダメージが除去されると共に、p型層31のうちのトレンチ6の両側面やn⁺型ソース領域4などの表面に形成された部分は完全に除去されて下地が露出し、トレンチ6の底部および両先端部の表面に形成された部分が残った状態になる。このようにして、図6(b)に示すように、p型層31のうちトレンチ6の底部の表面に形成された部分によって底部p型層7aが構成され、トレンチ6の両先端部の表面に形成された部分によって先端p型層7bが構成されて、p型SiC層7が形成される。

【0042】

〔図5(c)に示す工程〕

ウェット雰囲気による熱酸化によってゲート絶縁膜8を形成したのち、ゲート絶縁膜8の表面にドーパドPoly-Si層を成膜し、このドーパドPoly-Si層をパターニングすることでトレンチ6内に残し、ゲート電極9を形成する。この後の工程については、従来と同様であり、層間絶縁膜10の形成工程、フォト・エッチングによるコンタクトホール形成工程、電極材料をデポジションしたのちパターニングすることでソース電極11やゲート配線層を形成する工程、n⁺型基板1の裏面にドレイン電極12を形成する工程等を行うことで、図2に示すトレンチゲート構造のMOSFETがセル領域に備えられ、セル領域を囲むp⁺型ディープ層5およびp⁺型ガードリング層21が外周領域に備えられたSiC半導体装置が完成する。

【0043】

以上説明したように、本実施形態では、トレンチ6の底部に位置する底部p型層7aとトレンチ6の両先端部に形成した先端p型層7bとによってp型SiC層7を構成し、先端p型層7bを介して底部p型層7aがp型ベース領域3と連結される構造にしている。

【0044】

このような構造のSiC半導体装置では、MOSFETのオフ時には、ビルトインポテンシャルに基づいて底部p型層7aからn⁻型ドリフト層2に延びる空乏層により、電界が入り込み難くなるようにできる。したがって、高耐圧を得ることが可能となる。

【0045】

一方、MOSFETをオフからオンにスイッチングする際には、先端p型層7bを介して底部p型層7aがp型ベース領域3と連結されていてフローティング状態になっていないため、先端p型層7bを通じて底部p型層7aに即座にホールが供給される。このため、高スイッチングスピードを得ることが可能となる。

【0046】

また、トレンチ6のうち最もp⁺型ディープ層5寄りのものからp⁺型ディープ層5まで距離や、トレンチ6の両先端からp⁺型ディープ層5までの距離を距離a以下に設定している。そして、距離aをオフ時にp型SiC層7からn⁻型ドリフト層2側に延びる空乏層幅の2倍以上かつ3倍以下としている。このように、距離aを空乏層幅の2倍以上としているため、オン時の電流経路が狭くなり過ぎてオン抵抗が増大することを抑制できる。また、距離aを空乏層幅の3倍以下としているため、各トレンチゲート構造とp⁺型ディープ層5との間においてもオフ時の電界が入り込むことが防止でき、よりゲート絶縁膜8が破壊されることを防止できる。

【0047】

さらに、このようにトレンチ6の底面にp型SiC層7を備えていて電界が入り込まないようにできるため、p⁺型ディープ層5を各トレンチ6の間すべてに配置しなくても済む。このため、セル領域内におけるトレンチゲート構造の占める割合、つまりセル有効面積を大きくすることが可能となり、よりオン抵抗を低減することが可能となる。さらに、p⁺型ディープ層5をトレンチ6から離しているため、ポディープブレーク時のブレークダウン電流がゲート絶縁膜8の近傍に流れないようにできる。このため、ゲート絶縁膜8の信頼性も確保される。

10

20

30

40

50

【0048】

そして、このような構造のSiC半導体装置において、トレンチ6内にp型層31をエピタキシャル成長によって形成したのち、水素エッチングによってp型層31をトレンチ6の底部および両先端部にのみ残すことでp型SiC層7を形成している。つまり、p型層31のうちトレンチ6の側面に形成された部分を取り除くようにしている。このようにエピタキシャル成長によって底部p型層7aおよび先端p型層7bを含むp型SiC層7を形成でき、斜めイオン注入によらずにp型SiC層7を形成でき、加えて水素エッチングの効果としてトレンチ形成時に生じたダメージが除去され、トレンチ表面の凹凸も低減されるため、チャネル移動度向上、ゲート絶縁膜寿命も向上する。しかも、斜めイオン注入が別途必要にならないため、イオン注入装置に移動させるなど製造工程が煩雑になることを抑制でき、製造コストを抑えられる。また、イオン注入による欠陥ダメージも無いため、ドレインリークを抑制できるし、トレンチ6の側面にp型SiC層7が残ることを確実に防止することが可能となる。

10

【0049】

なお、本実施形態では、p⁺型ディープ層5やp⁺型ガードリング層21をトレンチ30内にエピタキシャル成長によって埋め込むことで形成した埋込エピ型のものとしたが、イオン注入によって形成しても良い。

【0050】

(第2実施形態)

本発明の第2実施形態について説明する。本実施形態は、第1実施形態に対してp⁺型ディープ層5の構成を変更したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

20

【0051】

図7に示すSiC半導体装置も、半導体素子が形成されるセル領域と外周領域とを有した構成とされているが、セル領域中に形成されたp⁺型ディープ層5のレイアウトが第1実施形態に対して変更されている。具体的には、図8の拡大図に示したように、トレンチゲート構造を長手方向において複数に分割し、その分割した各トレンチゲート構造の先端部に重なるようにp⁺型ディープ層5が配置されるようにしている。そして、p⁺型ディープ層5は、並列に並べられた複数のトレンチゲート構造と連続的に交差するようにライン状に構成され、図9に示すように各トレンチ6の下方まで入り込むように配置されている。

30

【0052】

また、各トレンチのゲート電極9を接続するトレンチ外ゲート電極については、図8において破線で示したように分割された各トレンチゲート構造の中央において交差するように配置されている。そして、図10に示すように、第1実施形態と同様、n⁺型ソース領域4とソース電極11との電氣的接続については各トレンチゲート構造の間において層間絶縁膜10に形成されたコンタクトホール13を通じて行っている。このコンタクトホール13が、図8に示すようにトレンチゲート構造と対向する位置だけでなく、トレンチゲート構造が分割されている位置においても延設され、この部分を通じてp⁺型ディープ層5とソース電極11との電氣的接続も行っている。

40

【0053】

このように、p⁺型ディープ層5をトレンチゲートの端部にのみ備えた構造とすることもできる。このような構成とすれば、p⁺型ディープ層5の面積を限定することができ、セル領域内におけるトレンチゲート構造の占める割合、つまりセル有効面積を大きくすることが可能となり、よりオン抵抗を低減することが可能となる。さらに、p⁺型ディープ層5をトレンチゲート構造のうちのチャネル形成領域から離せるため、ボディブレイク時のブレイクダウン電流がゲート絶縁膜8のうちチャネル形成領域に接する部分の近傍に流れないようにできる。このため、ホットキャリアによるゲート絶縁膜8の劣化を防止でき、ゲート絶縁膜8の信頼性向上を図ることが可能となる。

【0054】

50

このような構造のSiC半導体装置についても、上面レイアウトが異なるが、第1実施形態のSiC半導体装置と同じ製造方法によって製造することができ、p型SiC層7についてはエピタキシャル成長および水素エッチングによって形成することが可能となる。したがって、p型SiC層7を斜めイオン注入によって形成しなくて済むため、第1実施形態と同様の効果を得ることができる。

【0055】

(第3実施形態)

本発明の第3実施形態について説明する。本実施形態は、第1実施形態に対してp⁺型ディープ層5を無くしてトレンチゲート構造の構成を変更したものであり、その他に関しては第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

10

【0056】

図11に示すSiC半導体装置も、半導体素子が形成されるセル領域と外周領域とを有した構成とされているが、セル領域中にp⁺型ディープ層5を形成していない構造とされている。また、図12に示したように、本実施形態のトレンチゲート構造は、トレンチ6を深くしつつ、トレンチ6の底部および両先端部においてp型SiC層7(底部p型層7aおよび先端p型層7b)を形成すると共にゲート絶縁膜8を厚くした構造としている。なお、図12の領域R3は、図3と同様の上面レイアウトとなっている。

【0057】

このようなSiC半導体装置でも、先端p型層7bを介してp型ベース領域3と底部p型層7aとが連結され、p型SiC層7がフローティング状態にならないようにできることから、スイッチング特性の劣化を抑制することが可能となる。この場合、特許文献2と同様、p型層7bの濃度をp型層7aに比較して低くする必要があり、主表面が(0001)Si面を用いることで容易に実現される。これは、(0001)Si面に比較して、それに垂直な(1-100)m面、(11-20)a面でのp型不純物の取り込み効率が低いためである。これにより、p型ベース領域とn⁻型ドリフト層2のうち底部p型層7aの周囲の空乏層の上下に分かれた部分とその空乏層とによって、擬似的にPNPN構造が構成され、高耐圧化が図れる。このようにして、高耐圧、低オン抵抗、高スイッチングスピードの両立が図れるようにできる。

20

【0058】

このような構造のSiC半導体装置の製造方法は、p⁺型ガードリング層21の形成時にp⁺型ディープ層5を形成しないこと、ゲート絶縁膜8の形成工程を変更すること以外は、基本的には第1実施形態と同様である。ゲート絶縁膜8の形成工程としては、例えばトレンチ6の底部および両先端部にエピタキシャル成長および水素エッチングによってp型SiC層7を形成してからCVD法によって絶縁膜を堆積し、これをエッチバックしてトレンチ6の底部に残してからさらに熱酸化を行うという工程を適用できる。このように、本実施形態のSiC半導体装置についても、p型SiC層7を斜めイオン注入によって形成しなくて済むため、第1実施形態と同様の効果を得ることができる。

30

【0059】

(他の実施形態)

上記各実施形態では、本発明を適用した場合の一例について説明したが、適宜設計変更などを行うことができる。例えば、上記各実施形態では、ゲート絶縁膜8の例として熱酸化による酸化膜を挙げたが熱酸化によらない酸化膜もしくは窒化膜などを含むものであっても構わない。また、ドレイン電極12の形成工程に関しても、ソース電極11の形成前などとしても構わない。

40

【0060】

また、半導体基板としてトリプルエピ基板を用いなくても良い。例えば、n⁺型基板1上にエピタキシャル成長させたn⁻型ドリフト層2の表層部にp型不純物をイオン注入することでp型ベース領域3を形成し、p型ベース領域3の表層部にn型不純物をイオン注入することでn⁺型ソース領域4を形成したものを半導体基板として用いても良い。

【0061】

50

また、上記各実施形態では、第1導電型をn型、第2導電型をp型としたnチャネルタイプのMOSFETを例に挙げて説明したが、各構成要素の導電型を反転させたpチャネルタイプのMOSFETに対しても本発明を適用することができる。また、上記説明では、トレンチゲート構造のMOSFETを例に挙げて説明したが、同様のトレンチゲート構造のIGBTに対しても本発明を適用することができる。IGBTは、上記各実施形態に対して基板1の導電型をn型からp型に変更するだけであり、その他の構造や製造方法に関しては上記各実施形態と同様である。

【0062】

なお、上記各実施形態では、トレンチ6の長手方向における両先端部にラウンド形状となっている先端p型層7bが形成されるようにしているが、少なくとも一方の先端部に形成されていれば、その端部ではゲート絶縁膜8が均一な膜厚で形成される。これにより、上記した効果を得ることができる。

10

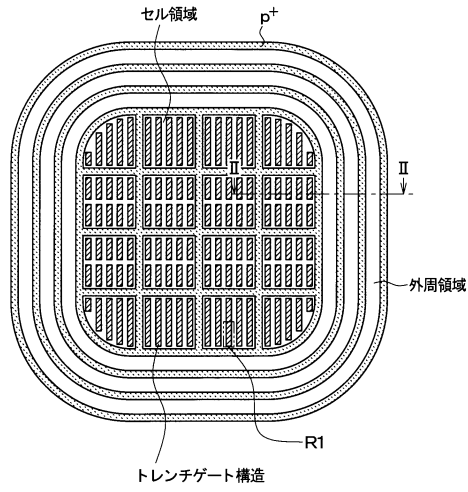
【符号の説明】

【0063】

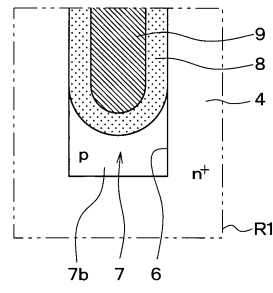
- 1 n⁺型基板
- 2 n⁻型ドリフト層
- 3 p型ベース領域
- 4 n⁺型ソース領域
- 5 p⁺型ディープ層
- 6 トレンチ
- 7 p型のSiC層
- 7a 底部p型層(ラウンド形状底部層に相当)
- 7b 先端p型層(ラウンド形状先端層に相当)
- 8 ゲート絶縁膜
- 9 ゲート電極
- 11 ソース電極
- 12 ドレイン電極

20

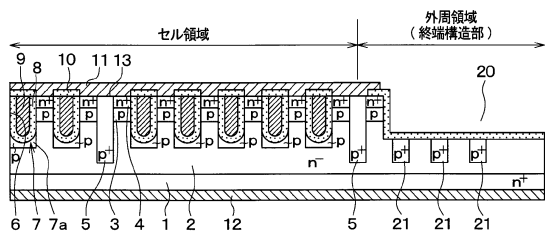
【図1】



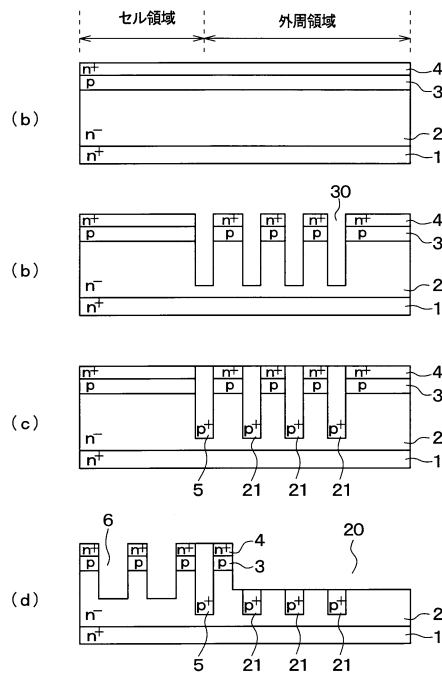
【図3】



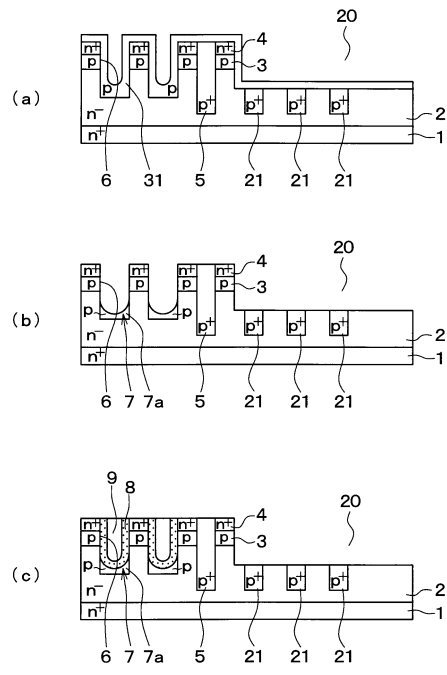
【図2】



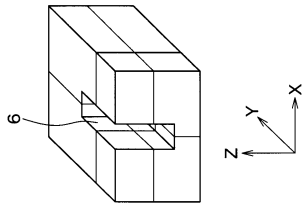
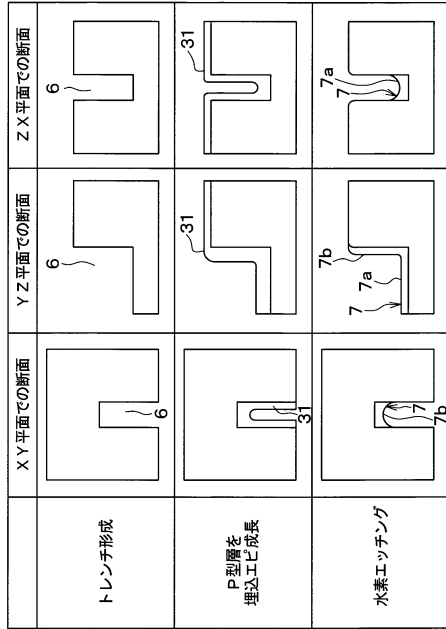
【図4】



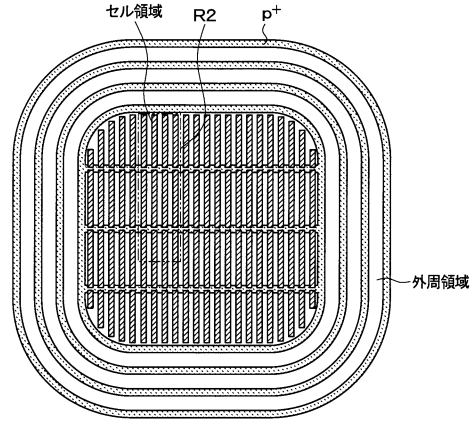
【図5】



【図6】

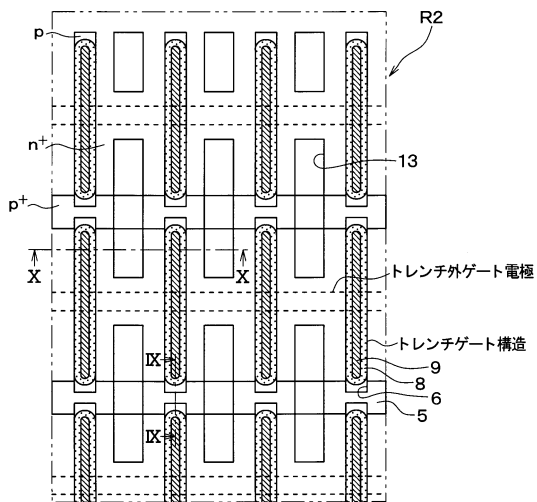


【図7】

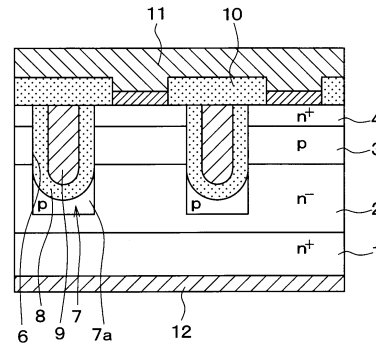


(b)

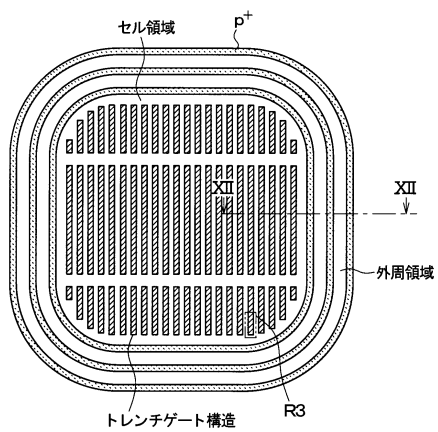
【図8】



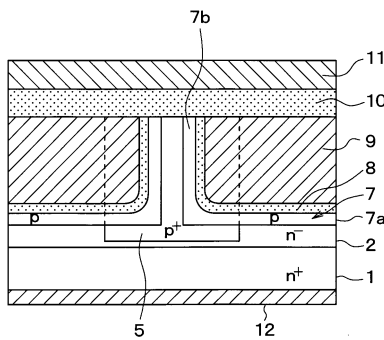
【図10】



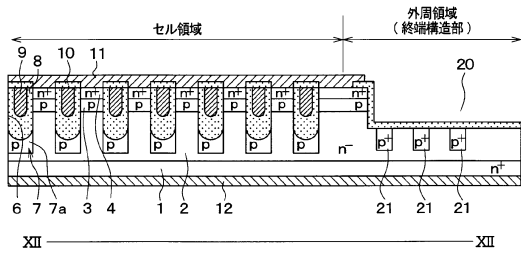
【図11】



【図9】



【図 12】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	29/78	6 5 2 H
H 0 1 L	29/78	6 5 2 D
H 0 1 L	29/78	6 5 2 P
H 0 1 L	29/78	6 5 2 F
H 0 1 L	29/06	3 0 1 G
H 0 1 L	29/06	3 0 1 V
H 0 1 L	29/06	3 0 1 D

(72)発明者 副島 成雅

愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内

(72)発明者 渡辺 行彦

愛知県愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内

審査官 棚田 一也

(56)参考文献 特開2007-242852(JP,A)

特開2010-239160(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 0 6

H 0 1 L 2 9 / 1 2

H 0 1 L 2 9 / 7 8