(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G11C 7/00

(45) 공고일자 2002년11월22일
(11) 등록번호 10-0341944
(24) 등록일자 2002년06월12일

(21) 출원번호 10-1995-0004342
(22) 출원일자 1995년02월28일

(65) 공개번호 특1995-0034253
(43) 공개일자 1995년12월26일

(30) 우선권주장 207513 1994년03월08일 미국(US)

(73) 특허권자 모토로라 인코포레이티드
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303

(72) 발명자 스티븐티.플래내건
미국,텍사스78755,오스틴,피.오.박스27217
켄니쓰더블유.죤즈
미국,텍사스78749,오스틴,죤취섬레인6308
로저아이.컹
미국,텍사스78750,오스틴,펜스우드드라이브11402
레이챵
미국,텍사스78741,오스틴,헌트윅드라이브2504

(74) 대리인 이병호

심사관 : 최정윤

(54) 병렬출력데이터경로를가진동기메모리

요약

동기식 메모리(20)는 병렬 데이터 출력 레지스터(34)와 더미(dummy) 경로(46)를 가진다. 메모리 어레이(22)로부터 출력 데이터가 상기 병렬 출력 레지스터(34)에 제공된다. 상기 출력 레지스터(34)는 두개의 병렬, 인터리브형, 출력 데이터 경로를 제공한다. 각 경로에서의 데이터는 클럭 신호의 매 다른 사이클 마다 변화한다. 더미 경로(46)는 판독 사이클동안 메모리(20)의 데이터 경로를 위한 전파 지연을 모델링하는 지연 소자를 포함한다. 병렬 데이터 출력 레지스터(94)를 사용함으로써 판독 사이클동안 데이터가 유효해지는 시간을 증가시키게 된다. 상기 더미 경로(46)는, 정확한 데이터가 판독 사이클동안 확실히 얻어지도록 프로세스, 전원, 및 온도 변화의 견지에서 출력 데이터 신호를 추적한다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명에 따른 메모리를 블록도 형태로 도시한 도면.

제 2 도는 제 1 도 메모리의 일부분을 부분 블록도 및 부분 논리도 형태로 도시한 도면.

제 3 도는 제 1 도의 판독 제어 지연 고정 루프를 블록도 형태로 도시한 도면.

제 4 도는 제 1 의 더미 경로를 블록도 형태로 도시한 도면.

제 5 도는 제 2 도의 출력 경로 레지스터를 배선도 형태로 도시한 도면.

제 6 도는 제 2 도의 출력 이네이블 레지스터를 배선도 형태로 도시한 도면.

제 7 도는 제 2 도의 최종 증폭기를 배선도 형태로 도시한 도면.

제 8 도는 제 3 도의 중재 회로를 부분 논리도 및 부분 블록도 형태로 도시한 도면.

제 9 도는 제 3 도의 전압 제어 지연 회로를 배선도 형태로 도시한 도면.

제 10 도는 제 3 도의 VCD 제어 회로를 배선도 형태로 도시한 도면.

제 11 도는 제 3 도의 붕괴 검출 회로를 부분 논리도 및 부분 배선도 형태로 도시한 도면.

제 12 도는 제 1 도의 기록 제어 지연 고정 루프를 블록도 형태로 도시한 도면.

제 13 도는 제 12 도의 전압 제어 지연 회로를 부분 배선도 및 부분 논리도 형태로 도시한 도면.

제 14 도는 제 12 도의 중재 회로를 부분 배선도 및 부분 논리도 형태로 도시한 도면.

제 15 도는 제 12 도의 VCD 제어 회로를 부분 배선도 및 부분 논리도 형태로 도시한 도면.

제 16 도는 제 12 도의 붕괴 검출 회로를 부분 배선도 및 부분 논리도 형태로 도시한 도면.

제 17 도는 제 1 도의 비트 라인 부하 회로를 부분 배선도 및 부분 논리도 형태로 도시한 도면.

제 18 도는 3 스테이지 파이프라인 모드에서 제 1 도 메모리의 여러 신호의 타이밍도를 도시한 도면.

제 19 도는 2 스테이지 파이프라인 모드에서 제 1 도 메모리의 여러 신호의 타이밍도를 도시한 도면.

제 20 도는 판독 및 기록 사이클동안 비동기적 모드에서 제 1 도 메모리의 여러 신호의 타이밍도를 도시한 도면.

* 도면의 주요부분에 대한 부호의 설명 *

380 : 비트 라인 부하

389 및 403 : 바이폴라 풀 업 트랜지스터

390 : P-채널 부하 트랜지스터

395 : NAND 논리 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 메모리에 관한 것으로, 특히 병렬 출력 데이터 경로를 가진 동기식 메모리에 관한 것이다.

동기식 정적 랜덤 액세스 메모리(SRAM)는 단일 모노리식 집적 회로(monolithic integrated circuit)상에 모든 입력 및 출력에 대한 래치, 양호한 구동 설비, 및 자체 시간 측정된(self-timed) 기록 사이클을 가진 형태의 메모리이다. 동기식 SRAM은 통상 데이터 처리 시스템에서 고속 캐시(cache)로써 사용된다. 캐시로서 사용될 때, 동기식 SRAM은 단일 시스템 클럭의 제어하에 있다. 상기 동기식 SRAM은 비동기식 SRAM 보다 여러 이점을 갖고 있다. 첫째, 상기 동기식 SRAM은 일반적으로 비교적 적은 수의 논리 칩을 요구한다. 둘째, 상기 동기식 SRAM은 유사한 비동기식 메모리 보다 더 높은 시스템 속도로 동작할 수 있다. 그러나, 상기 동기식 SRAM이 더 높은 시스템 클럭 주파수에서 동작하도록 요구됨에 따라, 타이밍 명세는 점점 더 만족하기 어렵게 된다. 예컨대, 상기 동기식 메모리의 판독 사이클동안 적절한 데이터 유효 시간을 제공하기가 보다 어려워진다.

종래 기술의 메모리 시스템에서, 외부 클럭은 종종 선택된 메모리 셀로부터 데이터 신호를 얻고 이 데이터 신호를 출력 패드에 제공하는데 사용된다. 이는 상기 선택된 메모리 셀로부터의 데이터에 상응하는 데이터를 수신하는 입력 단자, 및 외부 클럭 신호에 직접 참조되는 클럭 신호를 수신하는 제어 단자를 가진 2 위상 레지스터를 사용하는 것을 수반한다. 데이터 유효 시간 또는 윈도우가 클럭 사이클 시간에 일치할 수도 있다. 이 방법의 한가지 문제점은, 상기 외부 클럭이 데이터를 획득하는 시간이 내부 SRAM 지연과 반드시 상관되지 않는다는 것이다. 그러므로, 유효 데이터 윈도우가 프로세스, 전원, 또는 온도 변화로 인해 시프트함에 따라, 외부 클럭은 이 시프트를 추적하지 않을 것이며, 따라서 데이터가 더 이상 데이터 유효 윈도우 안에서 발생하지 않게 될 것이다. 이것은, 클럭 속도가 증가함에 따라, 데이터 유효 시간이 비례적으로 감소되기 때문에 심각한 문제가 된다.

또한, 동기식 메모리의 출력에서 적절한 데이터 유효 시간을 제공하는 것의 문제점은, 이 동기식 메모리가 상이한 데이터 처리 시스템과 사용될 때 시스템 클럭 주파수의 한 범위에 걸쳐 동작하도록 요구되는 경우 더 어려워진다. 클럭의 주파수가 변화될 때, 내부 SRAM 지연은 동일하게 유지될 것인데, 이는 출력 클럭이 데이터 유효 윈도우 안에서 더 이상 발생하지 않게 한다.

따라서, 복수의 메모리 셀, 및 적어도 두 개의 병렬 출력 데이터 레지스터를 가진 동기식 집적회로 메모리가 한 형태로 제공된다. 상기 복수의 메모리 셀의 각 메모리 셀은 비트 라인 및 워드 라인에 연결된다. 병렬 출력 데이터 레지스터가 복수의 메모리셀에 연결된다. 상기 병렬 출력 데이터 레지스터는 적어도 두 개의 병렬 데이터 경로들을 제공하기 위한 것으로, 상기 병렬 데이터 경로들은 클럭 신호에 응답하여 교대로 도전된다. 상기 병렬 데이터 레지스터는, 메모리의 판독 사이클동안, 데이터 신호가 유효한 시간을 증가시킨다. 이들 및 다른 특징 및 이점들은 첨부된 도면과 관련한 다음 설명을 통해 보다 명료하게 이해될 것이다.

일반적으로, 본 발명은 병렬 데이터 출력 경로를 가진 동기식 메모리를 제공한다. 상기 병렬 데이터 출력 경로는 출력 데이터가 유효한 시간을 증가시키며, 이는 보다 빠른 클럭 속도에서 메모리의 보다 신뢰할만한 동작을 허용한다. 이는 메모리 어레이로부터의 출력 데이터를, 메모리의 판독 사이클동안, 병렬의 교호 레지스터 경로(alternating registration path)들에 제공함으로써 이루어진다. 상기 레지스터 경로들 중 한 경로 안의 데이터는 매 2 클럭 사이클마다 한번 변화된다. 그러므로, 한 출력 레지스터 내에 데이터가 저장되는 시간 주기는 매 클럭 사이클마다 한번씩 변하는 출력 레지스터를 가진 SRAM 으로부터의 출력 데이터에 비해 실질적으로 길어진다. 상기 병렬 데이터 출력 경로는 데이터가 유효한 시간을 증가 시키며, 정확한 데이터가 출력 패드에 제공되는 것을 보장한다.

본 발명은 제 1 도 내지 제 20 도를 참조하여 보다 상세하게 기술된다. 제 1 도는 본 발명에 따른 메모리(20)를 블록도 형태로 도시한 도면이다. 메모리(20)는 메모리 어레이(22), 비트 라인 부하/기록 구동기(30), 어드레스 레지스터(26), 행 디코더(28), 열 디코딩/감지 증폭기(32), 출력 레지스터(34), 출력 버퍼(36), 클럭 버퍼(38), 레벨 변환기(40), 2-제산(divide-by-two) 회로(42), 판독 제어 지연 고정 루프 회로(44), 더미 경로(dummy path)(46), 출력 이네이블 레지스터(output enable register)(48), 기록 제어 지연 고정 루프 회로(52), 및 기록 제어 논리 (54)를 포함한다.

메모리 어레이(22)는 복수의 정적 랜덤 액세스 메모리 셀을 포함한다. 각각의 메모리 셀은 한 워드 라인 및 한 비트 라인 쌍에 연결된다. 각각의 비트 라인 쌍은 메모리(20)의 기록 사이클동안 상기 메모리 셀에 대한 입력 역할을, 판독 사이클동안 출력 역할을 한다. 대표적인 메모리 셀(24)이 " WL" 로 표시된 한 워드라인 및 " BL" 과 " BL*" 로 표시된 한 쌍의 비트 라인에 연결되게 도시된다. 신호이름 뒤의 아스테리스트 " *" 는, 당해 신호가 아스테리스크 " *" 가 없는 동일 명칭의 신호의 논리적 상보형임을 표시한다는 것을 주목하라. 한 신호의 논리적 참 상태가 디지털 논리 레벨 1일 경우, 그 논리적 상보 상태는 디지털 논리 레벨 0이 된다. 그리고, 한 신호의 논리적 참 상태가 디지털 논리 레벨 0일 경우, 그 논리적 상보 상태는 디지털 논리 레벨 1이 된다. 제 1 도 및 제 2 도에 도시된 신호는, 단지 논리적 참 신호 명칭이 어느 신호가 논리적으로 참인 신호인지를 나타내는데 사용되는 차동 신호임을 주목하라.

어드레스 레지스터(26)는 " ADDRESS" 로 표시된 ECL 레벨 어드레스 신호를 수신하며, " ROW ADDRESS" 로 표시된 행 어드레스 신호를 행 디코더(28)에 제공하고, " COLUMN ADDRESS" 로 표시된 열 어드레스 신호를 열 디코딩/감지 증폭기 (32)에 제공한다. 특정 어드레스 신호들은 어떤 특별한 의미도 갖지 않으며, 이는 다른 실시예에서 달라질 수도 있다는 것을 주목하라. 또한, 행 및 열 디코더에 의해 실행된 디코딩 량은 다른 실시예에서 달라질 수도 있다.

데이터 입력 버퍼(도시 안됨)는 " DATA" 로 표시된 입력 데이터 신호를 비트라인 부하/기록 구동기(30)에 제공한다. 비트 라인 부하/기록 구동기(30)는 입력 데이터 신호(DATA), " WCQ" 로 표시된 기록 제어 신호, 및 " GEQ" 로 표시된 전역 등화 신호를 수신하며, 메모리 어레이(22)의 각 비트 라인 쌍에 연결된다.

클럭 버퍼(38)는 " CLK" 로 표시된 외부 ECL 클럭 신호를 수신하며, " K_{ECL} " 로 표시된 버퍼링된(buffered) 클럭 신호를 제공한다. 2-제산 회로(42)는 버피링된 클럭 신호(K_{ECL})를 수신하며, 클럭 신호(K_{ECL})의 1/2 주파수로 " CL2" 로 표시된 클럭 신호를 제공한다. 레벨 변환기 회로(40)는 또한 클럭 신호(K_{ECL})를 수신하며, " K_{CMOS} " 로 표시된 CMOS(Complementary Metal-Oxide Semiconductor) 레벨 클럭 신호를 제공한다. 클럭 신호(K_{CMOS})는 기록 제어 지연 고정 루프(52), 더미 경로(46), 및 어드레스 레지스터(26)에 제공된다. 판독 제어 지연 고정 루프 회로(44)는 클럭 신호(CL2), 클럭 신호(K_{ECL}), 및 " ASYNC*" 로 표시된 모드 제어 신호를 수신하며, 응답으로 " KU" 로 표시된 클럭 신호를 제공한다. 판독 제어 지연 고정 루프 회로(44)는 제 3 도에서 보다 상세히 도시된다. 더미 경로(46)는 클럭 신호(CL2)를 수신하며, 응답으로 " MD9O" 로 표시된 클럭 신호를 제공한다. 더미 경로(46)는 제 4 도에서 보다 상세히 도시된다. 출력 이네이블 레지스터(48)는 클럭 신호(K_{ECL}), " CS*" 로 표시된 칩 선택 신호, " W*" 로 표시된 기록 이네이블 신호, 모드 제어 신호(ASYNC*), " PIPE2*" 로 표시된 파이프라이닝 제어 신호를 수신하며, 응답으로 " 0E2" 로 표시된 출력 이네이블 신호를 제공한다. 출력 이네이블 레지스터(48)는 제 2 도에서 보다 상세히 도시된다. 출력 레지스터(34)는 데이터 신호(MUX), 출력 이네이블 신호(OE2), 클럭 신호(KU 및 MD9O), 모드 제어 신호(ASYNC*), 및 파이프 라이닝 제어 신호(PIPE2*)를 수신하며, 응답으로 데이터 신호(Q)를 제공한다. 출력 레지스터(34)는 제 2 도에서 보다 상세히 도시된다. 모드 제어 회로(50)는 " MODE" 로 표시된 외부 모드 제어 신호를 수신하며, 응답으로 모드 제어 신호(ASYNC*) 및 파이프라인 제어 신호(PIPE2*)를 제공한다. 기록 제어 지연 고정 루프 회로(52)는 클럭 신호(K_{CMOS}), 모드 제어 신호(ASYNC*)를 수신하며, 응답으로 " KSD" 로 표시된 클럭 신호를 제공한다.

메모리(20)의 판독 사이클동안, 한 열을 선택하도록 열 어드레스 신호(COLUMN ADDRESS)가 열 디코딩/감지 증폭기(32)에 제공된다. 한 워드 라인을 선택하도록 행 어드레스 신호(ROW ADDRESS)가 행 디코더(28)에 제공된다. 이네이블된 워드 라인상의 메모리 셀은 자신의 각 비트 라인 쌍에 데이터를 제공한다. 한 비트 라인 쌍에 의해 제공된 데이터에 대응하는 " MUX" 로 표시된 데이터 신호가 열디코더/감지 증폭기(32)에 의해 제공된다. 상기 감지 증폭기는 선택된 비트 라인쌍으로부터 수신된 비교적 작은 신호를 감지 및 증폭하며, " MUX" 로 표시된 데이터 신호를 출력 레지스터(34)에 제공한다. 그후, 출력 레지스터(34)는 " Q" 로 표시된 데이터 신호를 출력 버퍼(36)에 제공한다. 출력 버퍼(36)는 그후 " Q_{PAD} " 로 표시된 출력 데이터 신호를 출력 패드(도시 안됨)에 제공한다. 도시를 목적으로, 한 데이터 신호에 대해 단지 한 출력 데이터 경로만이 제 1 도 실시예에 도시됨을 주목하라. 기타 다른 실시예에서, 추가적인 데이터 경로가 사용될 수도 있다. 메모리 (20)에 제공되거나, 또는 그로부터 수신된 데이터 신호 및 어드레스 신호의 수는 어떠한 특별 의미도 갖지 않으며, 다른 실시예에서 달라질 수도 있음을 주목하라.

기록 사이클동안, 데이터의 흐름은 본질적으로 거꾸로 된다. 데이터를 메모리(20)에 기록하기 위해, 행 디코더(28)는 한 워드 라인을 선택하도록 행 어드레스신호(ROW ADDRESS)를 수신한다. 열 어드레스 신호(COLUMN ADDRESS)는 열 디코딩/감지 증폭기(32)에 제공된다. 열 디코딩/감지 증폭기(32)는 각각의 비트 라인 쌍에 연결된다. 선택된 워드 라인에 연결된 메모리 어레이(22)의 각 메모리 셀은 대응하는 비트 라인 쌍 위에서 차동 전압을 수신한다. 판독 사이클에서와 같이, 이네이블된 워드 라인 쌍에 위치한 메모리 셀은 비트 라인 쌍에 데이터를 제공한다. 한편, 비트 라인 부하/기록 구동기(30)에 의해 비트 라인 쌍 위로 구동된 차동 전압은 메모리 셀의 구동 전압보다 크며, 상기 메모리 셀에 저장된 비트를 겹쳐 쓴다(overwrite). 기록 사이클의 끝에서, 상기 비트 라인 쌍 위의 차동 전압은 충분히 작은 레벨로 감소함으로써, 그 다음 판독 사이클동안, 메모리 셀에 데이터가 잘못 기록되지 않도록 한다. 상기 비트 라인 쌍의 등화는 비트 라인 부하/기록 구동기(30)에 의해 이루어진다. 상기 비트 라인 부하는 제 17 도에 보다 상세히 도시되며, 메모리(20)의 기록 사이클에 이어 상기 비트 라인 쌍 위의 차동 전압을 감소 또는 등화시키는데 사용된다. 기록 사이클에 이은 비트 라인 쌍의 등화(equalization)는 보통 " 기록 복구(write recovery)" 로 공지되어 있다.

제 2 도는 출력 레지스터(34) 및 출력 이네이블 레지스터(48)를 부분 블록도 및 부분 논리도 형태로 도시한 도면이다. 출력 레지스터(34)는 레지스터(56, 57, 60 및 61), 스위치(58, 59 및 64), 및 인버터(55, 65 및 66)를 포함한다. 인버터(55)는 클럭 신호(MD90)를 수신하는 입력 단자, 및 출력 단자를 가진다. 레지스터(56)는 데이터 신호(MUX)를 수신하는 입력 단자, 클럭 신호(MD9O)를 수신하는 제 1 제어 단자, 모드 제어 신호(ASYNC*)를 수신하는 제 2 제어 단자, 및 " MUX1" 로 표시된 데이터 신호를 제공하는 출력 단자를 가진다. 레지스터(57)는 데이터 신호(MUX)를 수신하는 입력 단자, 인버터(55)의 출력 단자에 접속된 제 1 제어 단자, 모드 제어 신호(ASYNC*)를 수신하는 제 2 제어

단자, 및 " MUX2" 로 표시된 데이터 신호를 제공하는 출력 단자를 가진다. 스위치(58)는 데이터 신호(MUXI)를 수신하기 위해 레지스터(56)의 출력 단자에 접속된 제 1 입력 단자, '0' 으로 표시된 리셋 논리 값을 수신하는 제 2 입력 단자, 출력 이네이블 신호(0E2)를 수신하는 제어단자, 및 " PT1" 으로 표시된 데이터 신호를 제공하는 출력 단자를 가진다. 스위치(59)는 데이터 신호(MUX2)를 수신하기 위해 레지스터(57)의 출력 단자에 접속된 제 1 입력 단자, 리셋 논리 값 '0' 을 수신하는 제 2 입력 단자, 및 " PT2' 로 표시된 데이터 신호를 제공하는 출력 단자를 가진다. 레지스터(60)는 데이터 신호(PT1)를 수신하기 위해 스위치(58)의 출력 단자에 접속된 입력 단자, 제 1 제어 단자, 모드 제어 신호(ASYNC*)를 수신하는 제 2 제어 단자, 및 " QT1" 으로 표시된 데이터 신호를 제공하는 출력 단자를 가진다. 레지스터(61)는 데이터 신호(PT2)를 수신하기 위해 스위치(59)의 출력 단자에 접속된 입력 단자, 제 1 제어 단자, 모드 제어 신호(ASYNC*)를 수신하는 제 2 제어 단자, 및 " QT2" 로 표시된 데이터 신호를 제공하는 출력 단자를 가진다. 최종 증폭기(62)는 데이터 신호(QT1)를 수신하기 위해 레지스터(60)의 출력 단자에 접속된 제 1 입력 단자, 데이터 신호(QT2)를 수신하기 위해 레지스터(61)의 출력 단자에 접속된 제 2 입력 단자, 제 1 제어 단자, 모드제어 신호(ASYNC*) 를 수신하는 제 2 제어 단자, 및 데이터 신호(Q)를 제공하는 출력 단자를 가진다. 인버터(65)는 지연 클럭 신호(KU)를 수신하는 입력 단자, 및 출력 단자를 가진다. 스위치(64)는 지연 클럭 신호(KU)를 수신하는 제 1 입력 단자, 인버터(65)의 출력 단자에 접속된 제 2 입력 단자, 파이프라인 제어 신호(PIPE2*)를 수신하는 제어 단자, 및 레지스터(61)와 최종 증폭기(62)의 제 1 제어단자들에 접속된 출력 단자를 가진다. 인버터(66)는 스위치(64)의 출력 단자에 접속된 입력 단자, 및 레지스터(60)의 제 1 제어 단자에 접속된 출력 단자를 가진다.

출력 이네이블 레지스터(48)는 인버터(70, 72, 79 및 81), NAND 논리 게이트(71), 및 레지스터(73 내지 78)를 포함한다. 인버터(70)는 칩 선택 신호(CS*)를 수신하는 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(71)는 인버터(70)의 출력 단자에 접속된 제 1 입력 단자, 기록 이네이블 신호(W*)를 수신하는 제 2 입력 단자, 및 출력 단자를 가진다. 인버터(72)는 NAND 게이트(71)의 출력 단자에 접속된 입력 단자, 및 " CSW*" 로 표시된 제어 신호를 제공하는 출력 단자를 가진다. 인버터(79)는 클럭 신호(K_{ECL})를 수신하는 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(80)는 파이프라인 제어 신호(PIPE2*)를 수신하는 제 1 입력 단자, 모드 제어 신호(ASYNC*)를 수신하는 제 2 입력 단자, 및 출력 단자를 가진다. 인버터(81)는 NAND 논리 게이트(80)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. 레지스터(73)는 인버터(72)의 출력 단자에 접속된 입력 단자, 인버터(79)의 출력 단자에 접속된 제어 단자, 및 " NS" 로 표시된 신호를 제공하는 출력단자를 가진다. 레지스터(74)는 레지스터(73)의 출력 단자에 접속된 입력 단자, 클럭 신호(K_{CMOS})를 수신하는 제어 단자, 및 출력 단자를 가진다. 레지스터(75)는 레지스터(74)의 출력 단자에 접속된 입력 단자, 인버터(79)의 출력 단자에 접속된 제 1 제어 단자, 인버터(81)의 출력 단자에 접속된 제 2 제어 단자, 및 " OEO" 로 표시된 신호를 제공하는 출력 단자를 가진다. 레지스터(76)는 레지스터(75)의 출력 단자에 접속된 입력 단자, 클럭 신호(K_{CMOS})를 수신하는 제 1 제어 단자, 인버터(81)의 출력 단자에 접속된 제 2 제어 단자, 및 " OE1" 으로 표시된 신호를 제공하는 출력 단자를 가진다. 레지스터(77)는 레지스터(76)의 출력 단자에 접속된 입력단자, 인버터(79)의 출력 단자에 접속된 제 1 제어 단자, 모드 제어 신호(ASYNC*)를 수신하는 제 2 제어 단자, 및 출력 단자를 가진다. 레지스터(78)는 레지스터(77)의 출력 단자에 접속된 입력 단자, 클럭 신호(K_{CMOS})를 수신하는 제 1 제어 단자, 모드 제어 신호(ASYNC*)를 수신하는 제 2 제어 단자, 및 출력 이네이블 신호(OE2)를 제공하는 출력 단자를 가진다.

출력 레지스터(34)는 두 개의 병렬 인터리브형(interleaved), 출력 데이터 경로를 가진다. 한 출력 데이터 경로는 레지스터(56), 스위치(58), 및 레지스터(60)를 통해 최종 증폭기(62)까지이다. 다른 출력 데이터 경로는 레지스터(57), 스위치(59), 몇 레지스터(61)를 통해 최종 증폭기(62)까지이다. 상기 병렬 데이터경로는 클럭 신호(MD90), 및 지연 클럭 신호(KU)에 의해 제어된다. 출력 이네이블 레지스터(48)는 메모리(20)의 기록 사이클동안 스위치(58 및 59)에 출력 이네이블 신호를 제공한다. 클럭 신호(MD90)가 논리 하이(high)일 때, 데이터 신호(MUX)는 데이터 신호(MUX1)로서 레지스터(56)를 통해 전송되는 반면, 다른 출력 데이터 경로의 데이터는 레지스터(57)에 의해 래치(latch)된다. 클럭 신호(MD90)가 로우(low)일 때, 선행 클럭 사이클 동안 레지스터(57)안에 포착된 데이터 신호(MUX)는 대응하는 데이터 신호(MUX2)로서 레지스터(57)를 통해 전송되는 반면, 다음 데이터신호(MUX)는 레지스터(56)에서 래치된다.

클럭 신호(MD90)는 클럭 신호(CLK)의 하강 에지(falling edge)으로부터 발생되는 반면, 데이터 신호(MUX)는 (CLK)의 상승 에지(rising edge)으로부터 발생된다(제 18 도 및 제 19 도 참조). 판독 또는 기록 사이클 동안 메모리를 액세스하는 것과 관련된 고유 전파 지연이 존재한다. 메모리(20)에서, 어드레스 레지스터(26)에 어드레스가 제공되는 시간으로부터 출력 레지스터(34)에 데이터 신호(MUX)가 도달하는 시간까지 측정된 지연은 판독 사이클 동안 더미 경로(46)에 의해 복제된다. 다시 말해, 더미 경로(46)는 메모리(20)의 전파 지연을 추적하여, 메모리(20)의 전파 지연에 일치하는 지연 후 클럭 신호(MD9O)를 제공하는 여러 소자들을 가진다. 클럭 신호(MD90)가 메모리(20)의 전파 지연을 추적하기 때문에, (MD90)는 데이터 신호(MUX)의 데이터 유효 윈도우의 중간에서 전환한다(제 18 도 및 제 19 도 참조).

병렬 데이터 출력 경로를 사용함으로써, 데이터 신호(MUX1 및 MUX2)의 유효주기는 데이터 신호(MUX)의 유효 주기보다 크다. 판독 사이클 동안, 출력 이네이블 신호(OE2)는 논리 하이(high)가 되며, 그 결과 데이터 신호들(MUX1 및 MUX2)은 각각 레지스터(60 및 61)에 제공될 것이다. 데이터 신호(MUX1 및 MUX2)는 데이터 신호(MUX)의 단지 1/2 의 빈도로 변화한다. 클럭 신호(MD9O)가 더미 경로(46)에 의해 메모리(20)의 전파 지연에 상관되기 때문에, 클럭 신호(MD9O)는 프로세스, 전원, 또는 온도 변화의 관점에서 데이터 신호(MUX)를 추적한다. 한 더미 경로에 의해 제어된 병렬 데이터 경로를 사용하는 다른 이점은, 클럭 신호(CLK)의 주파수가 감소할 경우, 클럭 신호(MD90)가 메모리(20)의 전파 지연과 계속 정합함으로써, 데이터 유효 윈도우 내에 머무르게 된다는 것이다.

지연 클럭 신호(KU)는 레지스터(60 및 61)의 동작을 제어한다. 파이프라이닝 제어 신호(PIPE2*)가 논리 하이(high)일 때, 클럭 신호(KUOR)가 지연 클럭 신호(KU)와 동일한 논리 상태가 된다. 클럭 신호(KUOR)가 논리 로우(low)일 때, 데이터 신호(PT1)가 데이터 신호(QT1)에 대응하게 되도록 레지스터(60)를 통해 전송되는 반면, 데이터 신호(QT2)는 레지스터(61)에 의해 래치된다. 또한, 클력 신호(KU0R)가 논리 로우인 동안, 데이터 신호(QT2)가 최종 증폭기(62)에 의해 출력 데이터 신호(Q)로서 제공된다. 클럭 신호(KUOR)가 논리 하이인 동안, 데이터 신호(PT2)는 데이터 신호(QT2)에 대응하게 되도록 레지스터(61)를 통해 전송되는 반면, 데이터 신호(QT1)는 레지스터(60)에 의해 래치된다. 또한, 데이터 신호(QT1)가 최종 증폭기(62)를 통해 출력 데이터 신호(Q)로서 제공된다(제 18 도 및 제 19 도 참조).

지연 클럭 신호(KU)가 클럭 신호(CLK)의 상승 에지 조금 전에 발생함으로써, 출력 데이터 신호(Q)는 클럭 신호(CLK)의 상승 에지와 동시에 변화할 것이다. 지연 클럭 신호(KU)는 판독 제어 지연 고정 루프(44)에 의해 제공되는데, 이에 대해서는 후술된다.

메모리(20)는 3-단 파이프라인을 가진다. 즉, 출력 데이터 신호(Q)는 이 출력 데이터 신호(Q)를 수신하기 3 클럭 사이클 전에 액세스된 어드레스에 위치된 데이터에 상응한다. 제 18 도를 참조하여, 지연 클럭 신호(KU)의 상승 에지가 어드레스(AO)에 대응하는 데이터를 획득함을 주목하라. 지연 클럭 신호(KU)의 하강 에지에서, 어드레스(A1)에 대응하는 데이터가 획득된다. 병렬 데이터 레지스터를 사용하는 것은 데이터 유효 윈도우를 확장함으로써 고속 동작동안 오류 데이터(wrong data)가 획득될 가능성을 감소시킨다.

정상보다 느린 클럭 주파수에서 메모리(20)를 동작시키기 위해, 메모리(20)는 3-단 파이프라인 동작 모드로부터 2-단 파이프라인 동작 모드로 변화될 수 있다. 이는, 클럭 신호(KUOR)의 극성을 거꾸로 함으로써 출력 레지스터에서 달성된다. 파이프라이닝 제어 신호(PIPE2*)가 논리 로우일 때, 지연 클럭 신호(KU)는 출력 레지스터(34)에 제공되기 전에 반전된다. 따라서, 클럭 신호(KUOR)는 지연 클럭 신호(KU)의 논리적 보수이다. 2-단 파이프라인 동작 모드의 타이밍도가 제 19 도에 도시된다. 3-단계 파이프라인 모드에서의 경우와 같이, 지연 클럭 신호(KU)의 상승 에지 대신, 지연 클럭 신호(KU)의 하강 에지가 어드레스(AO)에 대응하는 데이터를 획득함을 주목하라. 2-단 파이프라인 모드에

서, 출력 데이터는, 한 어드레스가 어드레스 레지스터(26)에 제공된 후 2 클럭 사이클 후에 최종 증폭기(62)에 의해 수신된다. 데이터가 지연 클럭 신호(KU)의 선행 에지에 의해 얻어지기 때문에, 상기 클럭 사이클 시간은 3-단 파이프라인 모드에서 보다 느려질 수 있다.

출력 이네이블 신호(0E2)가 논리 로우일 경우, 논리 로우 데이터 신호(PT1 및 PT2)가 최종 증폭기(62)의 출력 단자에 제공된다. 3-단 파이프라인 모드에서, 기록 이네이블 신호(W*)가 논리 로우일 경우, 또는 칩 선택 신호(CS*)가 논리 하이일 경우, 최종 증폭기(62)의 출력 단자는, 출력 이네이블 신호(OE2)가 논리 로우가 된 후 3 사이클 후에 논리 로우가 된다. 2-단 파이프라인 모드에서, 최종 증폭기(62)의 출력 단자는 2 사이클 뒤에 논리 로우가 된다.

출력 이네이블 신호(0E2)는 출력 이네이블 레지스터(48)에 의해 생성된다. 레지스터(73 및 74)는 제어 신호(CSW*)의 논리 상태를 획득 및 래치하는 2 위상 클럭 레지스터이다. 레지스터(73)는 제 6 도에서 보다 상세히 도시된다. 레지스터(75 및 76)는 1 클럭 사이클 동안 제어 신호(CSW*)를 기억하며, 레지스터(77 및 78)는 다른 1 클럭 사이클 동안 제어 신호(CSW*)를 기억한다. 3-단 파이프라인 모드에서, 출력 이네이블 신호(OE2)는, 2 클럭 사이클 동안 기억된 후 출력 레지스터(34)에 제공되는, 제어 신호(CSW*)와 동일한 논리 상태를 가진다. 2-단 파이프라인 모드에서, 출력 이네이블 신호(OE2)의 논리 상태는, 단지 1 사이클 동안 기억된 제어 신호(CSW*)의 논리 상태에 일치한다. 2-단 파이프라인 모드에서의 동작을 위해, 레지스터(75 및 76)는 플로우 스루 모드(flow through mode)에 위치하게 된다. 레지스터(75 및 76)는 제 5 도에 도시된 출력 레지스터(56)와 비슷하다.

비동기 모드에서, 출력 데이터는 클럭 신호(CLK)로부터 직접 생성된다. 클럭 신호(MD90 및 KU)는 무시된다. 상기 비동기 모드는 플로우 스루 모드(flow through mode)를 출력 레지스터(34)에 부가함으로써 이루어진다. 레지스터(56, 57, 60 및 61) 및 최종 증폭기(62)는 상기 플로우 스루 모드를 제공하기 위해 모드제어 신호(ASYNC*)를 수신한다. 모드 제어 신호(ASYNC*)가 논리 로우일 때, 데이터는, 클럭 신호의 상태와 무관하게 출력 레지스터(34)를 통과한다. 또한, 모드제어 신호(ASYNC*)는 출력 이네이블 레지스터(48)에 플로우 스루 모드를 제공하는데 사용된다. 모드 제어 신호(ASYNC*)가 논리 로우일 때, 레지스터(75, 76, 77 및 78)는 플로우 스루 모드에 있게 된다. 이 모드 제어 방법의 이점은, 금속층을 변화시키거나, 또는 다른 어떤 제조상의 변경을 하는 대신에, 외부 입력 신호의 논리상태를 변화시킴으로써 어떤 모드에서도 메모리(20)가 동작 가능하게 하면서 전기적으로 성취된다는 점이다.

도시된 실시예에서, 출력 레지스터(34)가 두 개의 병렬 데이터 경로를 가진다는 것을 주목하라. 한편, 다른 실시예에서, 더 많은 출력 데이터 경로가 사용될 수도 있다. 더 많은 병렬 경로를 사용하는 것의 이점은, 내부 병렬 기억 경로가 훨씬 덜 빈번하게 변화할 것인 동시에, 최대 클럭 사이클에 도달하기 전에 훨씬 느린 클럭 사이클을 허용하며, 훨씬 넓은 데이터 유효 윈도우를 제공한다는 것이다. 병렬 출력 데이터 레지스터는 SRAM 또는 DRAM(dynamic random access memory)와 같은 임의 형태의 동기식 메모리와 함께 사용될 수 있다.

제 3 도는 판독 제어 지연 고정 루프(44)를 블록도 형태로 도시한 도면이다. 판독 제어 지연 고정 루프(44)는 전압 제어 지연(VCD)(85), 중재 회로(86), VCD 제어 회로(87), 붕괴 검출기(88), 더미 레지스터(89), 더미 출력 버퍼(90), 부하(91), 및 ECL 버퍼 회로(92)를 포함한다. 전압 제어 지연(85)은 클럭 신호(CL2) 및 " PCON" 로 표시된 제어 전압을 수신하며, 응답으로 출력 단자에서 클럭 신호(KU)를 제공한다. 중재 회로(86)는 클럭 신호(K_{ECL} 및 CL2), " QDUMAR" 로 표시된 더미 출력 신호를 수신하며, 응답으로 출력 단자에서 지연 신호 " RETR" 를 제공한다. VCD 제어 회로(87)는 중재 회로(80)의 출력 단자에 접속된 입력 단자, 입력 단자 및 제어 전압(PCON)을 제공하는 출력 단자를 가진다. 붕괴 검출기(88)는 전압 제어 지연(85)의 출력 단자에 접속된 입력 단자, 모드 제어 신호(ASYNC*)를 수신하는 제어 단자, 및 " FIBR" 로 표시된 붕괴 검출기 출력 신호를 제공하는 출력 단자를 가진다. 더미 레지스터(89)는 전압 제어 지연(85)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. 더미 출력 버퍼(90)는 더미 레지스터(89)의 출력 단자에 접속된 입력 단자, 및 " QDUM" 로 표시된 더미 출력 신호를 제공하는 출력 단자를 가진다. 부하(91)는 더미 출력 버퍼(90)의 출력 단자에 접속된다. ECL 버퍼회로(92)는 더미 출력 버퍼(90)의 출력 단자에 접속된 입력 단자, 및 중재 회로(86)의 제 2 입력 단자에 접속된 출력 단자를 가진다.

지연 고정 루프(44)에서의 신호는 " 소-신호" 또는 ECL(emitter-coupled logic) 레벨 신호이며, 클럭 신호(CL2), 클럭 신호(K_{ECL}), 더미 출력 신호(QDUMAR), 및 지연 클럭 신호(KU)는 모두 상보적 신호임을 주목하라.

동작에 있어서, 중재 회로(86)는 두 신호, 즉 클럭 신호(K_{ECL}) 또는 더미 출력 신호(QDUMAR)중 어느 것이 논리 상태를 변화시키는데 우선인지를 결정한다. 중재 회로(86)는 클럭 신호(CL2)에 의해 제어된다. 클럭 신호(CL2)의 주파수는 클럭신호(CLK) 주파수의 1/2 에 일치한다. 클럭 신호(CLK)는, 클럭 신호(CL2)가 논리로우일 때 중재 회로(86)를 이네이블시키거나 " 마스크 해제(unmask)" 시키는데 사용된다. 클럭 신호(CL2)가 논리 하이일 때, 중재 회로(86)는 디스에이블(disable)되거나 " 마스크(masked)" 되며, 양 입력 신호(K_{ECL} 및 QDUMAR) 모두를 무시한다. 클럭 신호(CL2)로 중재 회로(86)를 제어하는 것은 지연 고정 루프(44)로 하여금 서로 다른 주파수를 가진 두 신호를 위상-동기(phase-lock)시키게 해준다. 이는, 종래의 지연 고정 루프가 단지 동일한 주파수를 가진 두 신호를 위상-동기시킬 수 있는 종래 기술에 비해 유리하다.

중재 회로(86)에 대해 상기 기술된 바에서, 더미 출력 신호(QDUMAR)는 클럭신호(K_{ECL}) 주파수의 1/2 이다. 클럭 신호(CL2)의 첫 번째 1/2 사이클동안 중재 회로(86)를 이네이블 또는 마스크 해제하고, 나머지 1/2 사이클에서 상기 중재 회로 86)를 디스에이블시킴으로써, 중재 회로(86)는, 고주파를 가진 신호가 더 낮은 주파수를 가진 신호를 오버런(over run)하는 경우, 잘못된 신호 에지 상에 잘못 고정되지 않게 된다. 중재 회로(86)가 어느 신호가 빨리 전환하는지를 결정했을 때, 그것은 VCD 제어 회로(87)에 지연 신호(RETR)를 제공한다. 예컨대, 더미 출력 신호(QDUMAR)(이 더미 출력 신호(QDUMAR)는 상보적 신호임을 기억하라)의 교차점이 클럭 신호(K_{ECL})의 교차점 전에 발생할 경우, 지연 신호(RETR)는 논리 하이로서 제공되지만, 더미 출력 신호(QDUMAR)의 교차점이 클럭 신호(K_{ECL})의 교차점 후에 발생할 경우, 지연 신호(RETL)는 논리 로우로서 제공된다. VCD 제어 회로(87)는 그 후 제어 전압(PCON)을 증가 또는 감소시키는데 이 정보를 사용한다. 지연 신호(RETR)가 논리 하이일 경우, 이는 더미 출력 신호(QDUMAR)가 클럭 신호(K_{ECL})에 비해 너무 빠르다는 것을 의미하는 것으로, 그때 VCD 제어 회로(87)는 Vss 를 향해 비교적 소량으로 제어 전압(PCON)을 감소시킬 것이다. 이것은 차례로 VCD 회로(85)에 의한 지연 클럭 신호(KU)의 전파 지연을 증가시킬 것이다. 지연 신호(RETR)가 논리 로우일 경우, 이는 클럭 신호(K_{ECL}) 에 비교했을 때 더미 출력 신호(QDUMAR)가 너무 느리다는 것을 의미하는 것으로, 그때 VCD 제어 회로(87)는 V_{DD} 를 향해 소량으로 제어 전압(PCON)을 증가시킬 것이다. 이것은 차례로 VCD 회로(85)에 의해 제공된 전파지연을 감소시킬 것이다.

더미 레지스터(89) 및 더미 출력 버퍼(90)는 지연 클럭 신호(KU)의 상승 에지 또는 하강 에지으로부터 출력 신호(Q_{PAD})의 한 에지(edge)까지의 지연을 추적하는데 사용된다. 이 지연은 앞서 지연 클럭 신호(KU)가 클럭 신호(CLK)에 대해 얼마나 빨리 생성되어야 하는 지를 나타낸다.

붕괴 검출기(88)는 VCD 회로(85)가 " 붕괴" 하는지 여부를 검출한다. VCD 회로(85)는, 이 VCD 회로(85)에 의해 제공된 전파 지연이 너무 길 때 " 붕괴" 한다. VCD 회로(85)는 클럭 신호(K_{ECL} 및 CL2)가 토글링(toggling)할 때 " 붕괴" 할 수 있지만, 상기 지연 클럭 신호(KU)는 응답시 그의 논리 상태를 변화시킬 시간이 없다. 이는 VCD 회로(85)의 내부 노드에 너무 큰 용량성 부하를 가짐으로써 초래될 수도 있다. 결국, 중재 회로(86)는 더미 출력 신호(QDUMAR)가 너무 빠르다고 부정확하게 판단할 것이며, 그 결과, VCD 제어 회로(87)는 제어 전압(PCON)을 더 낮춤으로써 더미 출력 신호(QDUMAR)를 느리게 하고자 할 것이다. 그러나, 실제로, 더미출력 신호(QDUMAR)는 너무 느리며, 제어 전압(PCON)은 V_{DD} 를 향해 높아져야 한다. 이 상태는 메모리(20)의 파워-업 동안 발생할 수도 있다. 파워-업 동안, 내부 회로 노드는 미지의 상태로 될 수 있으며, 제어 전압(PCON)의 초기 값이 V_{SS} 와 같으면, VCD 회로(85)는 붕괴할 수 있다.

제 4 도는 제 1 도의 더미 경로(46)를 블록도 형태로 도시한 도면이다. 더미 경로(46)는 직렬 접속된 지연 소자를 포함하며, 각 지연 소자는 메모리(20)를 액세스하는데 필요한 기능을 수행하는데 요구되는 메모리(20)의 지연을 모델링한다. 더미 경로(46)는 더미 어드레스 버퍼(95), 더미 행 프리디코더/래치 (96), DRP 부하(97), 더미 행 선택(98), DRS 부하(99), 더미 워드 라인 구동기(100), DWL 부하(101), 더미 셀(102), 더미 데이터 라인 디코더(103), DDIF 부하(104), 더미 제 1 단 증폭기(105), DGDL 부하(106), 및 DGDL 멀티플렉서(107)를 포함한다. 더미 어드레스 버퍼(95)는 클럭 신호(CL2)를 수신하는 입력 단자, 및 " ADUM" 로 표시된 더미 어드레스 신호를 제공하는 출력 단자를 가진다. 더미 행 프리디코더/래치(96)는 더미 어드레스 버퍼(95)의 출력 단자에 접속된 입력 단자, 클럭 신호(K_{CMOS})를 수신하는 제어 단자, 및 " DRP" 로 표시된 더미 행 프리디코더 신호를 제공하는 출력 단자를 가진다. DRP 부하(97)는 더미 행 프리디코더/레치(96)의 출력 단자에 접속된 입력 단자를 가진다. 더미 행 선택(98)은 더미 행 프리디코더/래치(96)의 출력 단자에 접속된 입력 단자, 및 " DRS" 로 표시된 더미 행 선택 신호를 제공하는 출력 단자를 가진다. DRS 부하(99)는 더미 행 선택(98)의 출력 단자에 접속된 입력 단자를 가진다. 더미 워드 라인 구동기(100)는 더미 행 선택(98)의 출력 단자에 접속된 입력 단자, 및 " DWL" 로 표시된 더미 워드 라인 신호를 제공하는 출력단자를 가진다. DWL 부하(101)는 더미 워드 라인 구동기(100)의 출력 단자에 접속된 입력 단자를 가진다. 더미 셀(102)은 더미 워드 라인 구동기(100)의 출력 단자에 접속된 입력 단자, 및 " DDL" 로 표시된 더미 데이터 라인 신호를 제공하는 출력단자를 가진다. 더미 데이터 라인 디코더(103)는 더미 셀(102)의 출력 단자에 접속된 입력 단자, 및 " DDIF" 로 표시된 데이터 라인 디코더 신호를 제공하는 출력단자를 가진다. DDIF 부하(104)는 더미 데이터 라인 디코더(103)의 출력 단자에 접속된 입력 단자를 가진다. 더미 제 1 단 증폭기(105)는 더미 데이터 라인 디코더(103)의 출력 단자에 접속된 입력 단자, 및 " DGDL" 로 표시된 더미 제 1 단 증폭기 신호를 제공하는 출력 단자를 가진다. DGDL 부하(106)는 더미 제 1 단 증폭기(105)의 출력 단자에 접속된 입력 단자를 가진다. DGDL 멀티플렉서(107)는 더미 제 1 단 증폭기(105)의 출력 단자에 접속된 입력 단자, 및 클럭 신호(MD9O)를 제공하는 출력 단자를 가진다.

더미 경로(46)는 메모리(20)에서 발생하는 지연 경로의 규모 축소(scaled down) 버전 또는 모델을 포함한다. 규모 축소된 버전을 사용함으로써, 구동 회로 자체의 크기가 감소되는 만큼, 금속 부하 및 회로 부하가 감소된다. 규모 축소된 버전을 사용하는 것은 또한 메모리(20)의 전력 소모 및 표면적을 감소시킨다. 더미 경로(46)를 통한 실제 지연은 SRAM 을 통했을 때와 동일해야 한다. 메모리(20)에 사용된 실제 회로와 비슷한 회로를 사용함으로써, 클럭 신호(MD9O)는 프로세스, 전원, 및 온도 변화의 관점에서 보다 정확하게 출력 데이터 신호(MUX)를 추적할 것이다.

제 5 도는 제 2 도 출력 레지스터(34)들 중 출력 레지스터(56)를 배선도 형태로 도시한 도면이다. 출력 레지스터(56)는 차동 증폭기(110), 차동 쌍(115 및 118), N-채널 트랜지스터(121, 122, 125 내지 129), 및 이미터-팔로워 트랜지스터(emitter-follower transistor)(123 및 124)를 포함한다. 차동 증폭기(110)는 저항기(111 및 112), 및 NPN 트랜지스터(113 및 114)를 포함한다. 차동 쌍(115)은 NPN 트랜지스터(116 및 117)를 포함한다. 차동 쌍(118)은 NPN 트랜지스터(119 및 120)를 포함한다.

저항기(111)는 " V_{DD} " 로 표시된 전원 전압 단자에 접속된 제 1 단자, 및 제 2 단자를 가진다. 저항기(112)는 전원 전압 단자(V_{DD})에 접속된 제 1 단자, 및 제 2 단자를 가진다. NPN 트랜지스터(113)는 저항기(111)의 상기 제 2 단자에 접속된 콜렉터, 데이터(MUX)를 수신하는 베이스, 및 이미터를 가진다. NPN 트랜지스터(114)는 저항기(112)의 상기 제 2 단자에 접속된 콜렉터, 데이터 신호(MUX*)를 수신하는 베이스, 및 NPN 트랜지스터(113)의 이미터에 접속된 이미터를 가진다. NPN 트랜지스터(116)는 NPN 트랜지스터(113)의 콜렉터에 접속된 콜렉터, 베이스, 및 이미터를 가진다. NPN 트랜지스터(117)는 NPN 트랜지스터(114)의 콜렉터에 접속된 콜렉터, 베이스, 및 NPN 트랜지스터(116)의 이미터에 접속된 이미터를 가진다. NPN 트랜지스터(119)는 NPN 트랜지스터(113 및 114)의 이미터에 접속된 콜렉터, 클럭 신호(MD9O)를 수신하는 베이스, 및 이미터를 가진다. NPN 트랜지스터(120)는 NPN 트랜지스터(116 및 117)의 이미터에 접속된 콜렉터, 클럭 신호(MD90*)를 수신하는 베이스, 및 NPN 트렌지스터(119)의 이미터에 접속된 이미터를 가진다. N-채널 트랜지스터(121)는 NPN 트랜지스터(113 및 114)의 이미터에 접속된 드레인, 모드 제어 신호(ASYNC)를 수신하는 게이트, 및 소스를 가진다. N-채널 트랜지스터(122)는 NPN 트랜지스터(119 및 120)의 이미터에 접속된 드레인, 모드 제어 신호(ASYNC*)를 수신하는 게이트, 및 N-채널 트랜지스터(121)의 소스에 접속된 소스를 가진다. 이미터-팔로워 트랜지스터(123)는 V_{DD} 에 접속된 콜렉터, NPN 트랜지스터(113)의 콜렉터에 접속된 베이스, 및 데이터 신호(MUX1*)를 제공하도록 NPN 트랜지스터(117)의 베이스에 접속된 이미터를 가진다. 이미터-팔로워 트랜지스터(124)는 V_{DD} 에 접속된 콜렉터, NPN 트랜지스터(114)의 콜렉터에 접속된 베이스, 및 데이터 신호(MUX1)를 제공하도록 NPN 트랜지스터(116)의 베이스에 접속된 이미터를 가진다. N-채널 트랜지스터(125)는 이미터-팔로워 트랜지스터(123)의 이미터에 접속된 드레인, " N_{BIAS} " 로 표시된 바이어스 전압을 수신하는 게이트, 및 " V_{SS} " 로 표시된 전원 전압 단자에 접속된 소스를 가진다. N-채널 트랜지스터(126)는 NPN 트랜지스터(116 및 117)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(127)는 NPN 트랜지스터(113 및 114)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(128)는 N-채널 트랜지스터(121 및 122)의 소스에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(129)는 이미터-팔로워 트랜지스터(124)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다.

출력 레지스터(56)에서, 두 차동 쌍들 중 어느 하나, 즉 차동 증폭기(110) 또는 차동 쌍(115)이 선택된다. 차동 클럭 신호(MD90/MD90*)는 어느 차동쌍이 선택되는지를 결정한다. 클럭 신호(MD90)가 논리 하이(high)이고 클럭 신호(MD90*)가 논리 로우(low)일 경우, 차동 데이터 신호(MUX/MUX*)의 논리 상태는 저항기(111 및 112)에서 전류를 제어할 것이다. 클럭 신호(MD9*)가 클럭 신호(MD90) 보다 높을 경우, 차동 데이터 신호(MUX1/MUX1*)의 논리 상태는 저항기(111 및 112)에서의 전류를 제어할 것이다. 전류는 더 높은 전압의 제어 입력 신호를 갖는 트랜지스터를 통해 조정된다. 차동 모드 제어 신호(ASYNC/ASYNC*)는 출력 레지스터(56)의 동작을 결정한다.

출력 레지스터(56)는, 차동 모드 제어 신호(ASYNC)가 논리 로우이고 차동 모드 제어 신호(ASYNC*)가 논리 하이일 때 레지스터로서 기능하다. ASYNC 가 논리 로우일 때, N-채널 트랜지스터(121)는 사실상 비도전(non-conductive) 상태가 된다. 그때에, 클럭 신호(MD90)는 NPN 트랜지스터(113 및 114)의 도전율을 제어할 수 있으며, 클럭 신호(MD90*)는 차동 쌍(115)의 도전율(conductivity)을 제어할 수 있다. 출력 레지스터(56)가 하나의 레지스터로서 기능하고 있는 경우, 클럭 신호(MD9O)는 논리 하이이고 클럭 신호(MD90*)는 논리 로우이며, 차동 데이터 신호(MUX/MUX*)는 차동 증폭기(110)에 제공되고, 전류는 차동 데이터 신호(MUX/MUX*)의 논리 상태에 따라 저항기(111 및 112)를 통해 조정된다. 차동 출력 신호(MUX1/MUX1*)는 차동 데이터 신호(MUX/MUX*)의 논리 상태에 대응하여 이미터-팔로워 트랜지스터(124 및 123)의 이미터에서 각각 제공된다. 클럭 신호(MD90)가 논리로우로 변이할 때, 클럭 신호(MD90*)는 논리 하이가 된다. MUX1/MUX1* 의 논리 상태는, 클럭 신호(MD90/MD90*)가 논리 상태를 다시 변화시킬 때까지 차동 쌍(115)에 의해 유지된다.

N-채널 트랜지스터(125 내지 129)는 전류원으로서 사용된다. N-채널 트랜지스터(125 및 129)는 각각 이미터-팔로워 트랜지스터(123 및 124)에 전류를 제공하며, N-채널 트랜지스터(128)는 클럭 신호(MD90/MD90*)에 의해 조

정되는 전류를 공급한다. N-채널 트랜지스터(126 및 127)는, NPN 트랜지스터(119 및 120)의 베이스들이 클럭 신호(MD90/MD90*)를 수신하지 않고 있는 경우, 차동 증폭기(110) 및 차동 쌍(115)의 공통 이미터 전압이 변하는 것을 방지하는 저전류, 전압 레벨 " 키퍼(keeper)" 이다.

제 6 도는 제 2 도의 출력 이네이블 레지스터(48)의 출력 이네이블 레지스터(73)를 배선도 형태로 도시한 도면이다. 출력 이네이블 레지스터(73)는 차동 증폭기(135), 차동 쌍(140 및 143), 이미터-팔로워 트랜지스터(145 및 147), N-채널 트랜지스터 (148 내지 152)를 포함한다. 차동 증폭기(135)는 저항기(136 및 137), 및 NPN 트랜지스터(138 및 139)를 포함한다. 차동 쌍(140)은 NPN 트랜지스터(141 및 142)를 포함한다. 차동 쌍(143)은 NPN 트랜지스터(144 및 145)를 포함한다. 출력 이네이블 레지스터(73)는 차동 제어 신호(CSW/CSW*) 및 차동 클럭 신호(K_{ECL}/K_{ECL})를 수신하며, 응답으로 제어 신호(NS/NS*)를 제공한다. 출력 이네이블 레지스터(73)는, 이 출력 이네이블 레지스터(73)가 차동 모드 제어 신호(ASYNC/ASYNC*)를 수신하지 않는다는 점을 제외하면, 출력 레지스터(56)와 본질적으로 동일한 방식으로 접속된다. 출력 이네이블 레지스터(73)는, 이 출력 이네이블 레지스터(73)가 모드 제어 신호(ASYNC/ASYNC*)를 수신하기 위한 출력 레지스터(56)에 대해 도시된 바와 같이 연결된 N-채널 트랜지스터를 갖지 않는다는 점을 제외하면, 출력 레지스터(56)(제 5 도)와 본질적으로 동일하게 동작한다.

제 7 도는 제 2 도 출력 레지스터(34)의 최종 증폭기(62)를 배선도 형태로 도시한 도면이다. 최종 증폭기(62)는 차동 증폭기(140), 차동 쌍(145), 차동 쌍(148), 이미터-팔로워 트랜지스터(153 및 154), 및 N-채널 트랜지스터(151, 152, 155 내지 159)를 포함한다. 최종 증폭기(62)는, 이미터-팔로워 트랜지스터(153 및 154)의 이미터가 NPN 트랜지스터(146 및 147)의 베이스에 접속되지 않는다는 점을 제외하면, 출력 레지스터(56)와 본질적으로 동일한 방식으로 접속된다.

최종 증폭기(62)에서, 두 쌍의 차동 데이터 신호 중 한 쌍, 즉 차동 데이터 신호(QT1/QT1*) 또는 차동 데이터 신호(QT2/QT2*)가 선택된다. 차동 클럭 신호(KUOR/KUOR*)는 어느 차동 신호 쌍이 선택되는지를 결정한다. 클럭 신호(KUOR)가 논리 하이(high)이고 클럭 신호(KUOR*)가 논리 로우일 경우, 차동 입력 신호(QT2/QT2*)의 논리 상태는 저항기(141 및 142) 내의 전류를 제어할 것이다. 클럭신호(KUOR*)가 클럭 신호(KUOR) 보다 클 경우, 차동 입력 신호(QT1/QT1*)의 논리상태는 저항기(141 및 142) 내의 전류를 제어할 것이다. 전류는 보다 높은 전압의 제어 입력 신호를 갖는 트랜지스터를 통해 조정된다. 예컨대, 클럭 신호(KUOR)가 논리 하이일 경우, 데이터 신호(QT2/QT2*)는 출력 신호(OUT/OUT*)의 논리 상태를 제어한다. 그러므로, 입력 신호(QT2*)가 논리 하이이고, 입력 신호(QT2)가 논리 로우일 경우, 출력 신호(OUT)를 논리 로우(low)로 하고 출력 신호(OUT*)를 논리 하이(high)로 되게 하면서, 전류는 저항기(142)를 통해 조정된다. 클럭 신호(KUOR*)가 논리 하이일 경우, 데이터 신호(QT1/QT1*)는 출력 신호(OUT/OUT*)의 논리 상태를 제어한다. 그러므로, 데이터 신호(QT1*)가 논리 하이이고, 데이터 신호(QT1)가 논리 로우일 경우, 출력 신호(OUT)를 논리 로우로 하고 출력 신호(OUT*)를 논리 하이로 되게 하면서, 전류는 저항기(142)를 통해 조정된다. 한편, 클럭 신호(K_{ECL}*)가 논리 하이일 때, 데이터 신호(QT1)가 논리 로우이고, 데이터 신호(QT1*)가 논리 하이이면, 전류는 저항기(141)를 통해 조정되며, 출력 신호(QUT*)는 논리 로우가 될 것이고, 출력 신호(OUT)는 논리 하이가 될 것이다.

주지한 바와 같이, N-채널 트랜지스터(155 내지 159)는 전류원으로서 사용된다. N-채널 트랜지스터(155 및 159)는 각각 이미터-팔로워 트랜지스터(153 및 154)에 전류를 제공하고, N-채널 트랜지스터(156)는 데이터 신호(QT2/QT2*)에 의해 조절되는 전류를 저항기(141 및 142)에 공급한다. N-채널 트랜지스터(157 및 158)는, NPN 트랜지스터(149 및 150)의 베이스가 클럭 신호(KUOR/KUOR*)를 수신하지 않고 있는 경우, 차동 증폭기(140) 및 차동 쌍(145)의 공통 이미터 전압이 변하는 것을 방지하는 저전류 전압 레벨 " 키퍼" 이다.

제 8 도는 제 3 도 판독 제어 지연 고정 루프(44)의 중재 회로(86)를 부분 논리도 및 부분 블록도 형태로 도시한 도면이다. 중재 회로(86)는 인버터(160 및 161), NAND 논리 게이트(162, 163, 164 및 165), 레지스터(166, 167 및 168), 및 레벨 변환기(169)를 포함한다. 인버터(160)는 클럭 신호(CL2)를 수신하는 입력 단자, 및 출력 단자를 가진다. 인버터(161)는 인버터(160)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(162)는 클럭 신호(K_{ECL})를 수신하는 제 1 입력 단자, 인버터(160)의 출력 단자에 접속된 제 2 입력 단자, 및 출력단자를 가진다. NAND 논리 게이트(163)는 더미 출력 신호(QDUMAR)를 수신하는 제1 입력 단자, 인버터(160)의 출력 단자에 접속된 제 2 입력 단자, 몇 출력 단자를 가진다. NAND 논리 게이트(164)는 NAND 논리 게이트 (162)의 출력 단자에 접속된 제 1 입력 단자, 제 2 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(165)는 NAND 논리 게이트(163)의 출력 단자에 접속된 제 1 입력 단자, NAND 논리 게이트(164)의 출력 단자에 접속된 제 2 입력 단자 및 NAND 논리 게이트(164)의 제 2 입력 단자에 접속된 출력 단자를 가진다. 레지스터(166)는 NAND 논리 게이트(164)의 출력 단자에 접속된 입력 단자, 인버터(160)의 출력 단자에 접속된 제어 단자, 및 출력 단자를 가진다. 레지스터(167)는 NAND 논리 게이트(165)의 출력 단자에 접속된 입력 단자, 인버터(160)의 출력 단자에 접속된 제어 단자를 가진다. 레지스터(168)는 레지스터(166)의 출력 단자에 접속된 입력 단자, 인버터(161)의 출력단자에 접속된 제어 단자, 및 출력 단자를 가진다. 레벨 변환기(169)는 레지스터(168)의 출력 단자에 접속된 입력 단자, 및 CMOS 레벨 지연 신호(RETR)를 제공하는 출력 단자를 가진다.

NAND 논리 게이트(164 및 165)는 교차-연결되며(cross-coupling), 래칭 플립플롭(latching flip-flop)으로서 기능한다. 상기 래칭 플립-플롭은 NAND 논리 게이트(164 및 165)의 양 입력 단자 모두가 논리 로우일 때 논리 하이를 제공하도록 리셋된다. 상기 플립-플롭이 리셋될 때, 입력 신호들 중 하나가 논리 하이가 되자마자, NAND 논리 게이트의 출력은 논리 로우가 되며, 이는 차례로 다른 NAND 논리게이트를 디스에이블시키고 다른 NAND 논리 게이트의 출력을 논리 하이로 되게 한다.

클럭 신호(CL2)는 이네이블 신호로서 기능한다. 클럭 신호(CL2)가 논리 하이일 때, NAND 논리 게이트(162 및 163)는 디스에이블된다. 클럭 신호(CL2)가 논리 로우일 때, 이는 중재 회로(86)를 마스크 해제(unmask) 또는 이네이블시키는 것으로서, NAND 논리 게이트(162 및 63)는 클럭 신호(K_{ECL}) 및 더미 출력 신호(QDUMAR)의 상태가 전파되게 하면서 이네이블된다. 이 주기동안, 클럭 신호(K_{ECL}) 및 더미출력 신호(QDUMAR)는 모두 일시적으로 논리 하이에 있게 될 것이며, 이는 상기 플립-플롭을 리셋시킨다. 클럭 신호(CL2)가 논리 하이가 되고 중재 회로(86)를 완전히 마스크하기 직전에, 상기 입력 중 하나는 로우(low)로 하강할 것이고 상기 래칭 플립-플롭은 그의 적절한 상태로 세트될 것이다. 예컨대, 클럭 신호(K_{ECL})가 더미 출력 신호(QDUMAR)이 하강하기 전에 하강할 경우, NAND 논리 게이트(164)의 출력단자는 논리 로우가 되며 NAND 논리 게이트(165)의 출력 단자는 논리 하이가 될 것이다. 더미 출력 신호(QDUMAR)가, 클럭 신호(K_{ECL})가 하강하기 전에 하강할 경우, NAND 논리 게이트(164)의 출력 단자는 논리 하이가 되며, NAND 논리 게이트(165)의 출력 단자는 논리 로우가 된다. 일단 클럭 신호(CL2)가 논리 하이로 상승하면, 레지스터(166)는 NAND 논리 게이트(164)의 출력 단자의 현재 논리 상태를 래치할 것이고, 이 논리 상태는 레지스터(168)에 제공된다. 클럭 신호(CL2)가 다시 하강할때, 레지스터(168)는 이 정보를 래치하며, 이 정보는 레벨 변환기(169)를 통해 비교적 작은 신호로부터 CMOS 레벨 지연 신호(RETR)로 변환된다.

레지스터(167)는 NAND 논리 게이트(164 및 165)를 포함하는 플립-플롭에 대한 부하를 등화시키는데 사용되며, 그 결과 클럭 신호(K_{ECL}) 및 더미 출력 신호(QDUMAR)의 상승 또는 하강 에지가 서로 매우 가까운 시간 내에 발생할 경우, 비정합된(unmatched) 부하로 인해 상기 플립-플롭은 다른 신호에 비해 한 신호를 선호하지 않을 것이다. NAND 논리 게이트(162 내지 165)가 ECL 게이트로서 구현됨을 주목하라.

제 9 도는 제 3 도 판독 제어 지연 고정 루프의 전압 제어 지연(VCD) 회로(85)를 배선도 형태로 도시한 도면이다. VCD 회로(85)는 차동 증폭기(173 및 190), 다이오드(176 내지 179), P-채널 트랜지스터(186, 187 및 188), N-채널 트랜지스터 (182, 183, 200, 201 및 202), 및 NPN 트랜지스터(196, 197, 198 및 199)를 포함한다. 차동 증폭기(173)는 저항기(174 및 175), 및 NPN 트랜지스터(188 및 181)를 포함한다. 차동 증폭기(190)는 저항기(192 및 193), 및 NPN 트랜지스터(194 및 195)를 포함한다.

저항기(174)는 V_{DD} 에 접속된 제 1 단자, 및 제 2 단자를 가진다. 저항기(175)는 V_{DD} 에 접속된 제 1 단자, 및 제 2 단자를 가진다. NPN 트랜지스터(180)는 저항기(174)의 제 2 단자에 접속된 콜렉터, 클럭 신호(CL2)를 수신하는 베이스, 및 이미터를 가진다. NPN 트랜지스터(181)는 저항기(175)의 제 2 단자에 접속된 콜렉터, 클럭 신호(CL2*)를 수신하는 베이스, 및 NPN 트랜지스터(180)의 이미터에 접속된 이미터를 가진다. 다이오드(176)는 V_{DD} 에 접속된 제 1 단자, 및 제 2 단자를 가진다. 다이오드(177)는 다이오드(176)의 제 2 단자에 접속된 제 1 단자, 및 NPN 트랜지스터(180)의 콜렉터에 접속된 제 2 단자를 가진다. 다이오드(178)는 V_{DD} 에 접속된 제 1 단자, 및 제 2 단자를 가진다. 다이오드(179)는 다이모드(178)의 제2 단자에 접속된 제 1 단자, 및 NPN 트랜지스터(181)의 콜렉터에 접속된 제 2 단자를 가진다. P-채널 트랜지스터(188)는 V_{DD} 에 접속된 소스, 제어 전압(PCON)을 수신하는 게이트, 및 드레인을 가진다. N-채널 트랜지스터(189)는 P-채널 트랜지스터(188)의 드레인에 접속된 드레인과 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(182)는 NPN 트랜지스터(180 및 181)의 이미터에 접속된 드레인, P-채널 트랜지스터(188)의 드레인에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(183)는 NPN 트랜지스터(180 및 181)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 캐패시터(184)는 V_{DD} 에 접속된 제 1 플레이트 전극, 및 제 2 플레이트 전극을 가진다. 캐패시터(185)는 V_{DD} 에 접속된 제 1 플레이트 전극, 및 제 2 플레이트 전극을 가진다. P- 채널 트랜지스터(186)는 캐패시터(184)의 제 2 플레이트 전극에 접속된 소스, 제어 전압(PCON)을 수신하기 위해 P-채널 트랜지스터(188)의 게이트에 접속된 게이트, 및 NPN 트랜지스터(180)의 콜렉터에 접속된 드레인을 가진다. P-채널 트랜지스터(187)는 캐패시터(185)의 제 2 플레이트 전극에 접속된 소스, 제어 전압(PCON)을 수신하기 위해 P-채널 트랜지스터(188)의 게이트에 접속된 게이트 및 NPN 트랜지스터(181)의 콜렉터에 접속된 드레인을 가진다.

저항기(192)는 V_{DD} 에 접속된 제 1 단자, 몇 제 2 단자를 가진다. 저항기(193)는 V_{DD} 에 접속된 제 1 단자, 및 제 2 단자를 가진다. NPN 트랜지스터(194)는 클럭 신호(KU)를 제공하기 위해 저항기(192)의 제 2 단자에 접속된 콜렉터, 베이스 및 이미터를 가진다. NPN 트랜지스터(195)는 클럭 신호(KU*)를 제공하기 위해 저항기(193)의 제 2 단자에 접속된 콜렉터, 베이스, 및 NPN 트랜지스터(194)의 이미터에 접속된 이미터를 가진다. NPN 트랜지스터(196)는 V_{DD} 에 접속된 콜렉터, NPN 트랜지스터(195)의 콜렉터에 접속된 베이스, 및 NPN 트랜지스터(194)의 베이스에 접속된 이미터를 가진다. NPN 트랜지스터(197)는 V_{DD} 에 접속된 콜렉터, NPN 트랜지스터(194)의 콜렉터에 접속된 베이스, 및 NPN 트랜지스터(195)의 베이스에 접속된 이미터를 가진다. NPN 트랜지스터(198)는 V_{DD} 에 접속된 콜렉터, P-채널 트랜지스터(186)의 드레인에 접속된 베이스, 및 NPN 트랜지스터(194)의 베이스에 접속된 이미터를 가진다. NPN 트랜지스터(199)는 V_{DD} 에 접속된 콜렉터, P-채널 트랜지스터(187)의 드레인에 접속된 베이스, 및 NPN 트랜지스터(195)의 베이스에 접속된 이미터를 가진다. N-채널 트랜지스터(200)는 NPN 트랜지스터(196 및 198)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(201)는 NPN 트랜지스터(194 및 195)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(202)는 NPN 트랜지스터(197 및 199)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다.

VCD 회로(85)에서, NPN 트랜지스터(180 및 181)의 콜렉터에서의 출력 폭주 (excursion) 및 출력 슬루레이트(slew rate)는 VCD 회로(85)의 전파 지연을 변화시키는 데 사용되는 두 개의 변수이다. 상보적 클럭 신호(CL2/CL2*)가 차동 증폭기(173)에 제공된다. 차동 증폭기(173)는 2개의 전류원, 즉 N-채널 트랜지스터(182 및 183)를 가진다. N-채널 트랜지스터(183)는 비교적 정전류원를 제공한다. N-채널 트랜지스터(182)는 가변 전류원으로서 기능한다. N-채널 트랜지스터(183)에 의해 제공되는 전류량은 제어 전압(PCON)의 전압 레벨에 의존한다. 제어 전압(PCON)의 전압이 감소할 경우, N-채널 트랜지스터(182)에 의해 제공된 전류량은 증가한다. N-채널 트랜지스터(182)가 사실상 비도전 상태가 되면, 즉 제어 전압(PCON)이 거의 V_{DD} 와 일치하면, N-채널 트랜지스터(183)는 차동 증폭기(173)가 계속해서 기능하는데 충분한 만큼만 전류를 제공한다.

저항기(174 및 175)는 값이 고정되며, 그들 양단의 전압은 N-채널 트랜지스터(182)에 의해 제공된 전류에 의존한다. 다이오드(176, 177, 178 및 179)는 저항기(174 및 175) 양단의 전압을 약 2 베이스-이미터 다이오드 전압 강하(V_{BE})로부터 약 2½ V_{BE} 로 클램프시키는데 사용된다. 이는, VCD 회로(85)가 비교적 높은 전원전압을 수신할 때, NPN 트랜지스터(180 및 181)가 포화 상태에서 동작하는 것으로부터 보호하기 위해 이루어진다.

제어 전압(PCON)이 약 V_{DD} 와 일치하는 전압에 있을 때, P-채널 트랜지스터(186 및 187)는 사실상 비도전 상태가 되며, NPN 트랜지스터(180 및 181)의 콜렉터는 캐패시터(184 및 185)로부터 전기적으로 분리된다. 단지 N-채널 트랜지스터(183)가 도전 상태가 되기 때문에, 저항기(174 및 175) 양단의 폭주 전압(excursion voltage)은 작아진다. 즉, 이는 양호한 실시예에서 약 200mV 보다 작아진다. 그러나, 제어 전압(PCON)이 V_{DD} 에서 P-채널 문턱 전압을 뺀 전압 보다 낮은 전압에 있을 때, 저항기(174 및 175) 양단의 전압 스윙폭(voltage swing)은 보다 커질 것이고, NPN 트랜지스터(180 및 181)의 콜렉터에서의 상승 시간은 캐패시터(184 및 185)에 의해 제공된 추가적인 용량성 부하로 인해 보다 느려질 것이다.

NPN 트랜지스터(180 및 181)의 콜렉터에서의 전압은 NPN 트랜지스터(198 및 199)를 통해 차동 증폭기(190)에 제공된다. 이 단계에서, NPN 트랜지스터(180 및 181)의 콜렉터에서의 전압은 NPN 트랜지스터(194 및 195)의 콜렉터에서의 전압과 비교된다. NPN 트랜지스터(180 및 181)의 콜렉터에서의 전압이 NPN 트랜지스터(194 및 195)의 콜렉터에서의 전압보다 클 경우, NPN 트랜지스터(194 및 195)의 콜렉터에서의 전압은 무시되며, 차동 클럭 신호(KU 및 KU*)는, NPN 트랜지스터(180 및 181)의 콜렉터에서의 전압이 변화할 때 논리 상태를 변화시킨다. NPN 트랜지스터(180 및 181)의 콜렉터들 중 어느 한 콜렉터에서의 전압이 NPN 트랜지스터(194 및 195)의 콜렉터에서의 전압들 중 더 높은 쪽의 전압보다 낮을 경우, 클럭 신호 (KU 및 KU*)는, NPN 트랜지스터(180 및 181)의 콜렉터로부터의 더 낮은 쪽의 전압이 NPN 트랜지스터(194 및 195)의 전압 중 더 높은 쪽의 전압을 통과할 때 단지 상태를 변화시킨다. 저항기(174 및 175) 양단에서의 증가된 폭주 전압, 및 NPN 트랜지스터(180 및 181)의 콜렉터에서의 전압의 비교적 느린 상승 시간은 상기 VCD 회로(85)의 전파 지연을 증가시킨다.

VCD 회로(85)의 한 특징은, 제어 전압(PCON)이 낮을 때, 전파 지연이 클럭회로(CL2)의 1/2 주기보다 길어지며, VCD 회로(85)가 붕괴한다는 점이다. 앞서 논의된 바와 같이, 이는 클럭 신호(CL2/CL2*)가 토글링할 때 발생하지만, 지연 클럭신호(KU)는 결과적으로 상태를 변화시키지 않는다. 이는 너무 큰 용량성 부하가 P-채널 트랜지스터(186 및 187)를 통해 각각 NPN 트랜지스터(180 및 181)의 콜렉터에 연결되어 있음으로 인해 초래된다. 이 특징으로 인해, 지연 클럭 신호(KU)는 양호한 실시예에서 클럭 신호(CL2)와 위상적으로 180° 를 넘게 벗어나지 않는다. 그러므로, 지연 고정 루프(44)는 아주 오랫동안 지연 클럭 신호(KU)를 지연시키지 않게 보호된다. 지연 클럭 신호(KU)가 너무 오랫동안 지연되면, 지연 고정 루프(44)는 차후 사이클, 예를 들면 위상적으로 360° 보다 늦게 발생하는 사이클에서 부정확하게 고정될 수도 있다.

VCD 회로(85)에서, 소-신호 레벨 또는 ECL 레벨 신호가 사용되며, 이는 ECL 레벨 신호를 CMOS 논리 레벨로 레벨 변환시킬 필요성을 없애준다. 게다가, VCD 회로(85)는 종래의 병렬-캐패시터(shunt-capacitor) VCD 에 비해 비교적 높은 최대지연 대 최소지연율(maximum delay to minimum delay ratio)을 가지며, 종래의 스타브형-인버터(starved-inverter) VCD 에 비해 노이즈에 덜 민감하다.

제 10 도는 제 3 도의 판독 제어 지연 고정 루프(44)의 VCD 제어 회로(87)를 배선도 형태로 도시한 도면이다. VCD 제어 회로(87)는 지연 신호 RETR 를 수신하며, 응답으로 전압 제어 지연 회로(85)를 위한 제어 전압 PCON 을 생성한다. VCD 제어 회로(87)는 P-채널 트랜지스터(205, 206, 209 및 210), N-채널 트랜지스터 (207 및 208), 인버터(211), 및 캐패시터(212)를 포함한다.

P-채널 트랜지스터(205)는 V_{DD} 에 접속된 소스, 바이어스 전압(P_{BIAS})을 수신하는 게이트, 및 드레인을 가진다. P-채널 트랜지스터(206)는 P-채널 트랜지스터(205)의 드레인에 접속된 소스, 지연 신호(RETR)를 수신하는 게이트, 및 제어 전압(PCON)을 제공하는 소스를 가진다. N-채널 트랜지스터(207)는 P-채널 트랜지스터(206)의 드레인에 접속된 드레인, P-채널 트랜지스터(206)의 게이트에 접속된 게이트, 및 소스를 가진다. N-채널 트랜지스터(208)는 N-채널 트랜지스터(207)의 소스에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터(209)는 V_{DD} 에 접속된 소스, P-채널 트랜지스터(205)의 게이트에 접속되어 바이어스 전압(P_{BIAS})을 수신하는 게이트, 및 드레인을 가진다. P-채널 트랜지스터(210)는 P-채널 트랜지스터(209)의 드레인에 접속된 소스, 게이트, 및 P-채널 트랜지스터(206)의 드레인에 접속된 드레인을 가진다. 캐패시터(212)는 V_{DD} 에 접속된 제 1 플레이트 전극, 및 P-채널 트랜지스터(206)의 드레인에 접속된 제 2 플레이트 전극을 가진다. 인버터(211)는 붕괴 검출기 출력 신호(FIBR)를 수신하는 입력 단자, 및 P-채널 트랜지스터(210)의 게이트에 접속된 출력 단자를 가진다.

VCD 제어 회로(87)의 목적은 아날로그 제어 전압(PCON)을 생성하는 것이다. 제어 전압(PCON)은 VCD 회로(85)에 의해 제공된 전파 지연을 제어하는데 사용된다. 지연 신호(RETR)가 논리 하이(high)일 때, 소량의 전하가 캐패시터(212)로부터 V_{SS} 로 누설되게 하면서, N-채널 트랜지스터(207)는 도전 상태가 되고, P-채널 트랜지스터(206)는 사실상 비도전 상태가 되며, 이는 차례로 제어 전압(PCON)을 V_{SS} 를 향해 비교적 소량 감소시킨다. N-채널 트랜지스터(208)의 상대적 크기, 바이어스 전압(N_{BIAS} 및 P_{BIAS})의 전압 레벨, 캐패시터(212)의 상대적 크기, 몇 지연 신호(RETR)가 논리 하이인 시간은, 얼마나 빨리 제어 전압(PCON)이 변화하는 지를 결정하며, 요구되는 성능을 부여하도록 조절된다. 마찬가지로, 지연 신호(RETR)가 낮은 전압일 때, N-채널 트랜지스터(207)는 오프(OFF)되며 P-채널 트랜지스터(206)는 온(ON)되고, 소량의 전류가 채널 트랜지스터(205 및 206)를 통해 흐르며, 이는 캐패시터(212)를 충전시키고 제어 전압(PCON)의 전압을 V_{DD} 을 향해 비교적 소량 증가시킨다.

정상 동작 동안, 지연 클럭 신호(KU)는 항상 토글링하며, 붕괴 검출기 신호 FIBR 는 논리 로우(low)이다. 그러나, VCD 회로(85)가 붕괴하면(앞서 논의된 바와 같이), 붕괴 검출기 신호(FIBR)는 논리 하이가 되고, 그 결과 P-채널 트랜지스터(210)가 도전 상태가 된다. P-채널 트랜지스터(209)는 P-채널 트랜지스터(205)보다 크며, 그에 따라, 보다 많은 전류가 캐패시터(212)로 흐르게 되며, 이것은 또한 제어 전압(PCON)이 보다 빨리 증가하게 해준다. 붕괴 검출기 신호(FIBR)는, 지연 클럭 신호(KU)가 다시 논리 상태를 규칙적으로 변화시킬 때까지 논리 하이 상태 유지한다.

제 11 도는 제 3 도 지연 고정 루프 회로(44)의 붕괴 검출기 회로(88)를 부분 논리도 및 부분 배선도 형태로 도시한 도면이다. 붕괴 검출기 회로(88)는 레벨변환기 제 1 단(215), 레벨 변환기 제 2 단(230), 및 붕괴 검출기(235)를 포함한다. 레벨 변환기 제 1 단(215)은 차동 증폭기(216), 이미터-팔로워 트랜지스터(221, 222, 223, 224), 및 N-채널 트랜지스터(225 내지 229)를 포함한다. 차동 증폭기(216)는 저항기(217 및 218), 및 NPN 트랜지스터(219 및 220)를 포함한다. 레벨 변환기 제 2 단은 P-채널 트랜지스터(231 및 232), 및 N-채널 트랜지스터(233 및 234)를 포함한다. 붕괴 검출기(235)는 P-채널 트랜지스터(236, 237, 241, 242 및 249), N-채널 트랜지스터(240, 243 및 248), 인버터(238, 239, 244, 245, 250, 252, 253, 254 및 256), 캐패시터(246 및 247), 및 NAND 논리 게이트(251 및 255)를 포함한다.

저항기(217)는 VDD 에 접속된 제 1 단자, 및 제 2 단자를 가진다. 저항기(218)는 VDD 에 접속된 제 1 단자, 및 제 2 단자를 가진다. NPN 트랜지스터(219)는 저항기(217)의 제 2 단자에 접속된 콜렉터, 베이스 및 이미터를 가진다. NPN 트랜지스터(220)는 저항기(218)의 제 2 단자에 접속된 콜렉터, 베이스 및 NPN 트랜지스터(219)의 이미터에 접속된 이미터를 가진다. 이미터-팔로워 트랜지스터(221)는 VDD 에 접속된 콜렉터, 저항기(217)의 제 2 단자에 접속된 베이스, 및 이미터를 가진다. 이미터-팔로워 트랜지스터(222)는 VDD 에 접속된 콜렉터, 저항기(218)의 제 2 단자에 접속된 베이스, 및 이미터를 가진다. 이미터-팔로워 트랜지스터(223)는 VDD 에 접속된 콜렉터, 클럭 신호(KU)를 수신하는 베이스, 및 NPN 트랜지스터(219)의 베이스에 접속된 이미터를 가진다. 이미터-팔로워 트랜지스터(224)는 VDD에 접속된 콜렉터, 클럭 신호(KU*)를 수신하는 베이스, 및 NPN 트랜지스터(220)의 베이스에 접속된 이미터를 가진다. N-채널 트랜지스터(225)는 이미터-팔로워 트랜지스터(223)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 VSS 에 접속된 소스를 가진다. N-채널 트랜지스터(226)는 이미터-팔로워 트랜지스터(221)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 VSS 에 접속된 소스를 가진다. N-채널 트랜지스터(227)는 NPN 트랜지스터(219 및 220)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 VSS 에 접속된 소스를 가진다. N-채널 트랜지스터(228)는 이미터-팔로워 트랜지스터(222)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 VSS 에 접속된 소스를 가진다. N-채널 트랜지스터(229)는 이미터-팔로워 트랜지스터(224)의 이미터에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 VSS에 접속한 소스를 가진다.

P-채널 트랜지스터(231)는 V_{DD} 에 접속된 소스, 이미터- 팔로워 트랜지스터(221)의 이미터에 접속된 게이트, 및 드레인을 가진다. N-채널 트랜지스터(233)는 P-채널 트랜지스터(231)의 드레인에 접속된 드레인, 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터(232)는 V_{DD} 에 접속된 소스, 이미터-팔로워 트랜지스터(222)의 이미터에 접속된 게이트, 및 드레인을 가진다. N-채널 트랜지스터(234)는 P-채널 트랜지스터(232)의 드레인에 접속된 드레인과 게이트 및 V_{SS} 에 접속된 소스를 가진다.

P-채널 트랜지스터(236)는 V_{DD} 에 접속된 소스, 바이어스 전압(P_{BIAS})을 수신하는 게이트, 및 드레인을 가진다. P-채널 트랜지스터(237)는 P-채널 트랜지스터(236)의 드레인에 접속된 드레인, 게이트, 및 드레인을 가진다. N-채널 트랜지스터(240)는 P-채널 트랜지스터(237)의 드레인에 접속된 드레인, 채널 트랜지스터(237)의 게이트에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 인버터(238)는 P-채널 트랜지스터 (231)의 드레인에 접속된 입력 단자, 및 출력 단자를 가진다. 인버터(239)는 인버터(238)의 출력 단자에 접속된 입력 단자, 및 P-채널 트랜지스터(237)의 게이트에 접속된 출력 단자를 가진다. P-채널 트렌지스터(241)는 V_{DD} 에 접속된 소스, 게이트, 및 드레인을 가진다. N-채널 트랜지스터(242)는 P-채널 트랜지스터(241)의 드레인에 접속된 드레인, P-채널 트랜지스터 (241)의 게이트에 접속된 게이트, 및 소스를 가진다. N-채널 트랜지스터(243)는 N-채널 트랜지스터(242)의 소스에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 인버터(244)는 P-채널 트랜지스터(231)의 드레인에 접속된 입력 단자, 및 출력 단자를 가진다. 인버터(245)는 인버터(244)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. 캐패시터(246)는 P-채널 트랜지스터(237)의 드레인에 접속된 제 1 플레이트 전극, 및 V_{SS} 에 접속된 제 2 플레이트 전극을 가진다. 캐패시터(247)는 V_{DD} 에 접속된 제 1 플레이트 전극, 및 P-채널 트랜지스터(241)의 드레인에 접속된 제 2 플레이트 전극을 가진다. N-채널 트랜지스터(248)는 P-채널 트랜지스터(237)의 드레인에 접속된 드레인, 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터(249)는 V_{DD} 에 접속된 소스, 모드 제어신호(ASYNC*)를 수신하는 게이트, 및 P-채널 트랜지스터(241)의 드레인에 접속된 드레인을 가진다. 인버터(250)는 P-채널 트랜지스터(237)의 드레인에 접속된 입력단자, 및 출력 단자를 가진다. 인버터(253)는 P-채널 트랜지스터 (241)의 드레인에 접속된 입력 단자, 및 출력 단자를 가진다. 인버터(254)는 인버터(253)의 출력단자에 접속된 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(251)는 인버터(250)의 출력 단자에 접속된 제 1 입력 단자, 인버터(254)의 출력 단자에 접속된 제 2 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(255)는 NAND 논리 게이트(251)의 출력 단자에 접속된 제 1 입력 단자, 모드 제어 신호(ASYNC*)를 수신하는 제 2 입력 단자, 및 출력 단자를 가진다. 인버터(252)는 NAND 논리 게이트(255)의 제 2 입력 단자에 접속되어 모드 제어 신호(ASYNC*)를 수신하는 입력 단자, 및 채널 트랜지스터(248)의 게이트에 접속된 출력 단자를 가진다. 인버터(256)는 NAND 논리 게이트(255)의 출력 단자에 접속된 입력 단자, 및 붕괴 검출기 출력 신호(FIBR)를 제공하는 출력 단자를 가진다.

앞서 주지된 바와 같이, 붕괴 검출기 회로(88)의 기능은 VCD 회로(85)가 " 붕괴하는지" 여부를 검출하는 것이다. 제어 전압(PCON)의 전압이 잘못된 값을 가질때, VCD 회로(85)는 붕괴하여, VCD 회로가 너무 큰 전파 지연을 갖게 함으로써, 그결과, 지연 클럭 신호(KU)가 논리 상태를 변화시키기 전에 클럭 신호(CL2)가 반대의 논리 상태로 전환한다. VCD 회로(85)는 파워 업 동안 붕괴할 수도 있는데, 이때 내부 회로 노드는 미지의 상태이다. VCD 회로(85)가 붕괴하고, 더미 출력 신호(QDUMAR)가 논리 로우 상태일 경우, 중재 회로(86)는 더미 출력 신호(QDUMAR)가 클럭 신호(K_{ECL}) 보다 빠르다고 판단할 수도 있다. 왜냐하면, 더미 출력 신호(QDUMAR)는 NAND 논리 게이트(164 및 168)(제 8 도)를 포함하는 플립-플롭을 리셋하기 위해 논리 하이 전압으로 전이하지 않기 때문이다. 결과적으로, 중재 회로(86)는 실속된(stalled) 지연 클럭 신호(KU)의 전파 지연을 증가시키기 위해 VCD 제어 회로(87)에 지연 신호(RETR)를 부정확하게 제공한다. 그 결과, VCD 회로(85)는 붕괴상태를 유지한다.

VCD 회로(85)가 붕괴하는 것을 막기 위해, 붕괴 검출기 회로(88)는 차동 지연 클럭 신호(KU/KU*)를 모니터한다. 지연 클럭 신호(KU/KU*)는 레벨 변환기 제 1단(215) 및 레벨 변환기 제 2 단(230)에 의해 ECL 레벨 신호로부터 CMOS 레벨 신호로 변환된다. 지연 클럭 신호(KU/KU*)에 대응하는 CMOS 레벨 신호가 붕괴 검출기(235)의 인버터(238 및 244)에 제공된다. 지연 클럭 신호(KU/KU*)가 토글링할 때, N-채널 트랜지스터(240)의 드레인은 약 V_{DD} 에 일치하는 전압을 가지며, P-채널 트랜지스터(241)의 드레인은 약 V_{DD} 에 일치하는 전압을 가진다. N-채널 트랜지스터(240) 및 P-채널 트랜지스터(241)의 크기는 P-채널 트랜지스터(237 및 236) 및 N-채널 트랜지스터(242 및 243)의 크기보다 크며, 그 결과, P-채널 트랜지스터(237 및 236) 및 N-채널 트랜지스터(242 및 243)는, N-채널 트랜지스터(240) 및 P-채널 트랜지스터(241)가 사실상 비도전 상태가 될 때, N-채널 트랜지스터(240) 및 P-채널 트랜지스터(241)의 드레인 상의 전압에 거의 영향을 미치지 않을 것이다. 그러나, 클럭 신호(KU 및 KU*)가 토글링하지 않을 때, P-채널 트랜지스터(237) 또는 N-채널 트랜지스터(242) 중 단지 한 트랜지스터만이 도전 상태가 될 것이고, 다른 나머지 한 트랜지스터는 사실상 비도전 상태가 될 것이다. 클럭 신호(KU 및 KU*)가 비교적 긴 시간 주기(양호한 실시예에서 약 200ns 보다 큼)동안 논리 상태를 변화시키지 않는다면, N-채널 트랜지스터(240)의 드레인은, P-채널 트랜지스터(237)가 도전될 경우, 약 V_{DD} 에 일치하는 전압까지 충전할 것이고, 또는 N-채널 트랜지스터(242)가 도전될 경우에는 P-채널 트랜지스터(241)의 드레인은 약 V_{SS} 로 누설할 것이다. 캐패시터(246 및 247)의 용량은, VCD 회로(85)의 붕괴를 신호로 알리기 전에 붕괴 검출기(235)가 대기하는 시간 량을 결정한다. 양호한 실시예에 있어서, 클럭 신호(KU)가 약 200ns 에서 논리 상태를 변화시키지 않을 경우, 붕괴가 발생한다. 일단 붕괴가 발생하면, 붕괴 검출기 신호(FIBR)는 논리 하이로서 나타나게 된다. 그러나, 비동기 동작 모드동안, 클럭 신호(CLK)의 주기는 200ns 보다 길어질 수도 있다. 그러므로, 비동기 동작 모드에서 제어 신호(ASYNC*)는 붕괴 검출기(235)를 디스에이블시키도록 논리 로우로서 나타나게 된다.

제 12 도는 제 1 도의 메모리(20)의 기록 제어 지연 고정 루프(52)를 블록도 형태로 도시한 도면이다. 기록 제어 지연 고정 루프(52)는 VCD 회로(260), 2-제산회로(263), 중재 회로(264), VCD 제어 회로(265), 및 붕괴 검출기(266)를 포함한다. VCD 회로(260)는 제 1 VCD(261) 및 제 2 VCD(262)를 포함한다.

제 1 VCD 회로(261)는 클럭 신호(K_{CMOS})를 수신하는 입력 단자, " VCON" 으로 표시된 제어 전압을 수신하는 제어 단자, 및 클럭 신호(KSD)를 제공하는 출력 단자를 가진다. 제 2 VCD 회로(262)는 클럭 신호(KSD)를 수신하는 입력 단자, 제어 전압(VCON)을 수신하는 제어 단자, 및 " KSD2*" 로 표시된 클럭 신호를 제공하는 출력단자를 가진다. 2-제산 회로(263)는 클럭 신호(K_{COMS})를 수신하는 입력 단자, 및 " KX" 로 표시된 클럭 신호를 제공하는 출력 단자를 가진다. 중재 회로(264)는 클럭 신호(K_{CMOS})를 수신하는 제 1 입력 단자, 제 2 VCD 회로(262)의 출력 단자에 접속되어 클럭 신호(KSD2*)를 수신하는 제 2 입력 단자, 2-제산 회로(263)의 출력 단자에 접속되어 클럭 신호(KX)를 수신하는 제어 단자, 및 " RETW" 로 표시된 기록 지연신호를 제공하는 출력 단자를 가진다. VCD 제어 회로(265)는 중재 회로(264)의 출력 단자에 접속되어 기록 지연 신호(RETW)를 수신하는 입력 단자, " FIBW" 로 표시된 붕괴 검출기 신호를 수신하는 제 2 입력 단자, 및 제어 전압(VCON)을 제공하는 출력 단자를 가진다. 붕괴 검출기(266)는 제 1 VCD 회로(261)의 출력 단자에 접속되어 클럭 신호(KSD)를 수신하는 제 1 입력 단자, 제 2 VCD(262)의 출력 단자에 연결되어 클럭 신호(KSD2*)를 수신하는 제 2 입력 단자, 및 VCD 제어 회로(265)의 제2 입력 단자에 접속되어 붕괴 검출기 출력 신호(FIBW)를 제공하는 출력 단자를 가진다.

제 12 도는 메모리(20)의 기록 사이클을 제어하는데 사용되는 지연 고정 루프 회로를 도시한다. 제 1 VCD(261)는 CMOS 레벨 클럭 신호(K_{CMOS})를 수신하고 이 신호를 90도 지연시켜 CMOS 레벨 지연 클럭 신호(KSD)를 생성한다. VCD 회로(260)에 의해 제공된 지연은 제어 전압(VCON)의 값에 의해 제어된다. 제어 전압(VCON)이 높을 때, VCD 회로(260)의 지연은 비교적 크며, 제어 전압(VCON)이 낮을 때, VCD 회로(260)의 지연은 비교적 작다. 제 2 VCD(262)는 CMOS 신호(KSD)를 수신하여 이 신호를 90도 지연시켜 클럭 신호(L_{CMOS})로부터 180° 지연된 지연 클럭 신호(KSD2*)를 생성한다. 2-제산 회로(263)는 클럭 신호(K_{CMOS})를 수신하고 K_{CMOS} 의 1/2 주파수인 클럭 신호(KX)를 생성한다. 중재 회로(264)는 클럭 신호(K_{CMOS}, KSD2*, 및 KX)를 수신하며, 클럭 신호(KX)가 논리 하이일 때 클럭 신호(K_{CMOS})의 타이밍을 클럭신호(KSD2*)와 비교한다. 클럭 신호(KSD2*)가 클럭 신호(K_{COMS}) 전에 상승할 경우, 클럭 신호(KSD2*)는 너무 이르고 지연 신호(RETW)는 해당 사이클동안 논리 하이로서 제공된다. 클럭 신호(KSD2*)가 클럭 신호(K_{CMOS}) 후 상승할 경우, 클럭 신호(KSD2*)는 너무 느리고 지연 신호(RETW)는 해당 사이클동안 논리 로우로서 제공된다.

VCD 제어 회로(265)는 지연 신호(RETW) 및 붕괴 검출기 신호(FIBW)를 수신하며, 지연 신호(RETW)가 논리 하이일 경우에는 제어 전압(VCON)의 전압을 증가시키고, 지연 신호(RETW)가 논리 로우일 경우에는 제어 전압(VCON)의 값을 감소시킨다.

붕괴 검출기(266)는 지연 클럭 신호(KSD)및 클럭 신호(K_{CMOS})을 수신하며, 클럭 신호(KSD2*)에 부과된 지연이 중재 회로(264)의 동작 범위보다 큰지 여부를 검출한다. 클럭 신호(KSD2*)에 부과된 지연이 중재 회로의 동작 범위보다 클 경우, 붕괴 검출기 신호(FIBW)는 논리 하이로 구동되는데, 이는 VCD 제어 회로(265)로 하여금 제어 전압(VCON)을 보다 낮은 값으로 구동시키게 한다. 제어 전압(VCON)이 감소될 때, VCD 제어 회로(260)에 의해 제공되는 전파 지연은 감소되며, 이는 지연 클럭 신호(KSD)가 보다 빨리 발생하게 한다.

기록 제어 논리(54)는 디코딩된 기록 제어 신호(WCQ)를 제공한다. 기록 제어 신호(WCQ)는 논리 하이로서 활성인 펄스이다. 상기 펄스의 폭은 지연 클럭 신호(KSD)의 논리 하이 펄스폭에 일치한다. 기록 제어 신호(WCQ)가 논리 하이일 때, 비트 라인 부하/기록 구동기(30)는 데이터를 메모리 어레이(22)에 기록한다. 기록제어 신호(WCQ)가 논리 로우로 복귀할 때, 기록 사이클이 종료되며 기록 복구가 발생한다. 상기 기록 동작은 메모리 어레이 디코딩과 동시에 발생하며, 상기 디코딩 동작은, 클럭 신호(K_{CMOS})가 논리 하이가 될 때 초기화된다.

클럭 신호(K_{CMOS})에 대해 제 1 VCD(261)에 의해 생성된 90° 지연으로 인해, 클럭 신호(K_{CMOS})의 사이클 시간이 증가할 경우, 기록 사이클의 사이클 시간은 클럭신호(K_{CMOS})가 증가한 량의 25% 만큼 증가한다. 상기 기록 사이클의 지속시간(duration)은 클럭 신호(K_{CMOS})가 논리 하이인 시간과 동일한 량만큼 증가되며, 이는 상기 사이클 시간의 약 50% 이다. 한 기록 사이클의 끝에서 그 다음 판독 사이클까지의 시간(기록 복구 시간)은 클럭 신호(K_{CMOS})의 사이클 시간에서의 증가의 25% 만큼 증가한다.

기록 사이클의 타이밍을 변화시킴으로써, 기록 타이밍 마진(margin)이 사이클 시간에서의 증가에 비례하여 증가될 수 있다. 따라서, 메모리(20)의 제조 공정에서의 편차는 메모리(20)의 기록 사이클 시간을 조절함으로써 보상될 수 있다. 이것은, 판독 및 기록 사이클 파라미터에 대해 더 결합이 있는 사양으로 테스트될 수 있는 열악한 성능을 가진 부품이 있는 비동기식 SRAM 에 대해 서로 다른 속도 빈(speed bins)을 갖는 것과 유사하다.

지연 클럭 신호(KSD)가 고정 지연에 의해 발생될 경우, 기록 사이클의 시작은, 클럭 사이클 시간이 변화될 때 변화하지 않을 것이다. 또한, 메모리(20)의 온도, 전원 전압, 및 공정 편차들은, 기록 사이클이 너무 빨리 발생할 수 있고, 앞서 디코딩된 메모리 어레이 위치가 부주의하게 기록될 수 있는 레이스 상태(race condition)를 초래할 수도 있다. 기록 제어 지연 고정 루프(52)를 사용하는 것은 메모리(20)의 기록 사이클 시간을 조절함으로써 상기 레이스 상태를 피할 수 있으며, 그 결과 기록 사이클 타이밍의 한 부분이 증가될 경우, 모든 기록 타이밍 마진이 증가된다. 테스트하는 동안 메모리(20)의 기록 사이클 시간을 조절함으로써, 공정 파라미터 및 동작 상태에서의 편차가 보상될 수 있으며, 따라서 메모리(20)의 제조동안 양품률(yield)을 증가시키게 된다.

제 13 도는 제 12 도 기록 제어 지연 고정 루프(52)의 VCD 회로(260)를 부분 배선도 및 부분 논리도 형태로 도시한 도면이다. VCD 회로(260)는 제 1 VCD(261) 및 제 2 VCD(262)를 포함한다. 제 1 VCD(261)는 인버터(270, 271, 286 및 287), 차동 증폭기(272 및 279), N-채널 트랜지스터(277 및 284), 및 캐패시터(278 및 285)를 포함한다. 차동 증폭기(272)는 P-채널 트랜지스터(273 및 274), 및 N-채널 트랜지스터(275 및 276)를 포함한다. 차동 증폭기(279)는 P-채널 트랜지스터(280 및 281), 및 N-채널 트랜지스터(282 및 283)를 포함한다. 제 2 VCD 회로(262)는 인버터(288, 289, 304 및 305), 차동 증폭기(290 및 297), N-채널 트랜지스터(295 및 302), 및 캐패시터(296 및 303)를 포함한다. 차동 증폭기(290)는 P-채널 트랜지스터(291 및 292), 및 N-채널 트랜지스터(293 및 294)를 포함한다. 차동 증폭기(297)는 P-채널 트랜지스터(298 및 299), 및 N-채널 트랜지스터(300 및 301)를 포함한다.

P-채널 트랜지스터(273)는 V_{DD} 에 접속된 소스, 게이트, 및 드레인을 포함한다. N-채널 트랜지스터(275)는 P-채널 트랜지스터(273)의 드레인에 접속된 드레인, 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터(274)는 V_{DD} 에 접속된 소소, P-채널 트랜지스터(273)의 게이트에 접속된 게이트, 및 드레인을 가진다. N-채널 트랜지스터(276)는 P-채널 트랜지스터(274)의 드레인에 접속된 드레인, 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 인버터(270)는 클럭 신호(K_{CMOS})를 수신하는 입력 단자, 및 N-채널 트랜지스터(275)의 게이트에 접속된 출력 단자를 가진다. N-채널 트랜지스터(277)는 인버터(270)의 출력 단자에 접속된 드레인, 제어 전압(VCON)을 수신하는 게이트, 및 소스를 가진다. 캐패시터(278)는 N-채널 트랜지스터(278)의 소스에 집속된 제 1 플레이트 전극, 및 V_{SS} 에 접속된 제 2 플레이트 전극을 가진다. 인버터(271)는 클럭 신호(K_{CMOS})를 수신하는 입력 단자, 및 N-채널 트랜지스터(276)의 게이트에 접속된 출력 단자를 가진다. N-채널 트랜지스터(284)는 인버터(271)의 출력 단자에 접속된 드레인, 제어 전압(VCON)을 수신하는 게이트, 및 소스를 가진다. 캐패시터(285)는 N-채널 트랜지스터(284)의 소스에 접속된 제 1 플레이트 전극, 및 V_{SS} 에 접속된 제 2 플레이트 전극을 가진다. P-채널 트랜지스터(280)는 V_{DD} 에 접속된 소스, 게이트, 드레인을 가진다. N-채널 트랜지스터(282)는 P-채널 트랜지스터(280)의 드레인 및 게이트 모두에 접속된 드레인, 인버터(271)의 출력 단자에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터(281)는 V_{DD} 에 접속된 소스, P-채널 트랜지스터(280)의 게이트에 접속된 게이트, 및 드레인을 가진다. N-채널 트랜지스터(283)는 P-채널 트랜지스터(281)의 드레인에 접속된 드레인, 인버터(270)의 출력 단자에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 인버터(287)는 P-채널 트랜지스터의 드레인에 접속된 입력 단자, 및 클럭 신호(KSD*)를 제공하는 출력 단자를 가진다.

인버터(288)는 인버터(286)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. N-채널 트랜지스터(295)는 인버터(288)의 출력 단자에 접속된 드레인, 제어 전압(VCON)을 수신하는 게이트, 및 소스를 가진다. 캐패시터(296)는 N-채널 트랜지스터(295)의 소스에 접속된 제 1 플레이트 전극, 및 V_{SS} 에 접속된 제 2 플레이트 전극을 가진다. P-채널 트랜지스터(291)는 V_{DD} 에 접속된 소스, 게이트, 및 드레인을 가진다. P-채널 트랜지스터(292)는 V_{DD} 에 접속된 소스, P-채널 트랜지스터(291)의 게이트 및 드레인 모두에 접속된 게이트, 및 드레인을 가진다. N-채널 트랜지스터(294)는 P-채널 트랜지스터(292)의 드레인에 접속된 드레인, 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 인버터(304)는 P-채널 트랜지스터(292)의 드레인에 접속된 입력 단자, 및 클럭 신호(KSD2)를 제공하는 출력 단자를 가진다. 인버터(289)는 인버터(287)의 출력 단자에 접속된 입력 단자, 및 N-채널 트랜지스터(294)의 게이트에 접속된 출력 단자를 가진다. N-채널 트랜지스터(302)를 인버터(289)의 출력 단자에 접속된 드레인, 제어 전압 VCON 을 수신하는 게이트, 및 소스를 가진다. 캐패시터(303)는 N-채널 트랜지스터(302)의 소스에 접속된 제 1 플레이트 전극, 및 V_{SS} 에 접속된 제 2 플레이트 전극을 가진다. P-채널 트랜지스터(298)는 V_{DD} 에 접속된 소스, 게이트, 및 드레인을 가진다. N-채널 트랜지스터(300)는 P-채널 트랜지스터(298)의 드레인에 접속된 드레인, 인버터(289)의 출력단자에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터(299)는 V_{DD} 에 접속된 소스, P-채널 트랜지스터(298)의 게이트 및 드레인 모두에 접속된 게이트, 및 드레인을 가진다. N-채널 트랜지스터(301)는 P-채널 트랜지스터(299)의 드레인에 접속된 드레인, N-채널 트랜지스터(293)의 게이트에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 인버터(305)는 P-채널 트랜지스터(299)의 드레인에 접속된 입력 단자, 및 클럭 신호(KSD2*)를 제공하는 출력 단자를 가진다.

VCD 제어 회로(265)에 의해 발생된 클럭 전압 VCON 은, 얼마나 많은 용량성부하가 인버터(270, 271, 288 및 289)의 출력 단자에 부가되는지를 결정한다. 부가된 지연량은 제 1 VCD(261) 및 제 2 VCD(262) 모두에 동일하다. 양호한 실시예에서, 지연 클럭 신호 KSD 는 클럭 신호(K_{CMOS}) 보다 1/4 사이클 후에 발생된다. VCD 회로(260)는, 차동 증폭기(272, 279, 290 및 297)가 각각 구동기 단의 인버터(270, 271, 188, 및 189) 다음에 부가된다는 점에서 종래 기술의 병렬-캐패시터 VCD(shunt-capacitor VCD)와 상이하다. 차동 증폭기(272, 279, 290 및 297)의 목적은 지연 클럭 신호(KSD 및 KSD2*)를 재규격화(re-normalize) 하거나 버퍼링하는 것이다. 예컨대, 제어 전압 VCON 이 비교적 높은 레벨(V_{DD} 근방)에 존재할 경우, VCD 회로(260)에 의해 제공된 전파 지연은 최대값에 존재한다. 상기 전파 지연이 최대값에 있을 때, 차동 증폭기(272, 279, 290 및 297)는 지연 클럭 신호(KSD 및 KSD2*)가 왜곡되는 것과 느린 램프율(ramp rate)을 갖는 것을 막아준다. 상기 차동 증폭기는 지연 클럭 신호(KSD 및 KSD2*)의 왜곡된 파형을 보정하며, 상기 램프율을 개선하기 위해 이들 신호를 재규격화 한다.

N 채널 트랜지스터(276 및 283)의 게이트, 및 채널 트랜지스터(294 및 301)의 게이트는 교차 연결된다. 이는, 상기 지연 클럭 신호(KSD 및 KSD2*)가 50%의 듀티-사이클(duty-cycle)을 갖는 것을 보장한다. 인버터(286 및 287)는 제 2 VCD(262)에 대해 신호를 버퍼링하는데 사용된다. 상기 인버터(270, 271, 288, 및 289)에 대한 부하가 사실상 동일하므로, 클럭 신호(K_{CMOS})로부터 지연 차동 클럭 신호(KSD/KSD* 및 KSD2/KSD2*)로의 전파 지연은 거의 일치하며, 상기 지연은 동일한양만큼 변화할 것이다. 이것은 또한 기록 마진을 동일한 양만큼 변화시키는 것을 허용한다. 양호한 실시예에서, 기록 설정 마진은 기록 사이클 시간의 약 1/4 사이클이며, 실제 기록은 기록 사이클 시간의 약 1/2 사이클이 소요된다. 상기 기록복구는 그 나머지 1/4 사이클을 사용한다. 기록 사이클 시간에 의존하는 기록 마진을 가짐으로써, 설계자로 하여금, 메모리가 더 빠른 클럭 사이클에서 실패할 경우, 더 느린 클럭 사이클에서 메모리(20)를 여전히 디버깅하게 해준다.

제 14 도는 제 12 도 기록 제어 지연 고정 루프(52)의 중재 회로(264)를 부분 배선도 및 부분 논리도 형태로 도시한 도면이다. 중재 회로(264)는 NAND 논리게이트(310, 311, 312, 및 313), 전송 게이트(314, 317, 318, 319, 322, 및 323), 인버터(324, 325, 326 및 327), 채널 트랜지스터(328), 및 N-채널 트랜지스터(329)를 포함한다. 각각의 전송 게이트는 채널 트랜지스터 및 N-채널 트랜지스터를 포함한다. 실례로서, 전송 게이트(314)는 N-채널 트랜지스터(314)와 병렬로 접속된 P-채널 트랜지스터(315)를 포함한다. NAND 논리 게이트(310)는 클럭 신호(K_{CMOS})를 수신하는 제 1 입력 단자, 클럭 신호(KX)를 수신하는 제 2 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(311)는 클럭 신호(KSD2*)를 수신하는 제 1 입력 단자, 클럭 신호(KX)를 수신하는 제 2 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(312)는 제 1 입력 단자, NAND 논리 게이트(310)의 출력 단자에 접속된 제 2 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(313)는 NAND 논리 게이트(312)의 출력 단자에 접속된 제 1 입력 단자, NAND 논리 게이트(311)의 출력 단자에 접속된 제 2 입력 단자, 및 NAND 논리 게이트(312)의 제 1 입력 단자에 접속된 출력 단자를 가진다. 전송 게이트(314)는 NAND 논리 게이트(312)의 출력 단자에 접속된 입력 단자, 클럭 신호(KX)를 수신하는 제 1 제어 단자, 클럭 신호(KX*)를 수신하는 제 2 제어 단자, 및 출력 단자를 가진다. 전송 게이트(317)는 NAND 논리 게이트(313)의 출력 단자에 접속된 입력 단자, 클럭 신호(KX)를 수신하는 제 1 제어 단자, 클럭 신호(KX*)를 수신하는 제 2 제어 단자 및 출력 단자를 가진다. 인버터(320)는 전송 게이트(314)의 출력 단자에 접속된 입력 단자, 및 출력단자를 가진다. 인버터(321)는 전송 게이트(317)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. 전송 게이트(318)는 인버터(321)의 출력 단자에 접속된 입력 단자, 클럭 신호(KX*)를 수신하는 제 1 제어 단자, 클럭 신호(KX)를 수신하는 제 2 제어 단자, 및 인버터(320)의 입력 단자에 접속된 출력 단자를 가진다. 전송 게이트(319)는 인버터(320)의 출력 단자에 접속된 입력 단자, 클럭 신호(KX*)를 수신하는 제 1 제어 단자, 클럭 신호(KX)를 수신하는 제 2 제어 단자, 및 인버터(321)의 입력 단자에 접속된 출력 단자를 가진다. 전송 게이트(322)는 인버터(320)의 출력 단자에 접속된 입력 단자, 클럭 신호(KX*)를 수신하는 제 1 제어 단자, 클럭 신호(KX)를 수신하는 제 2 제어 단자, 및 출력 단자를 가진다. 인버터(324)는 전송 게이트 (322)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. 인버터(325)는 인버터(324)의 출력 단자에 접속된 입력 단자 및 출력 단자를 가진다. 전송 게이트(323)는 인버터(325)의 출력 단자에 접속된 입력 단자, 클럭신호(KX)를 수신하는 제 1 제어 단자, 클럭 신호(KX*)를 수신하는 제 2 제어 단자, 및 인버터 (324)의 입력 단자에 접속된 출력 단자를 가진다. 인버터 (326)는 인버터(324)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. 인버터(327)는 인버터(326)의 출력 단자에 접속된 입력 단자, 및 지연 신호(RETW)를 제공하는 출력 단자를 가진다. P-채널 트랜지스터(328)는 V_{DD} 에 접속된 소스 및 드레인과, 클럭 신호(KX*)를 수신하는 게이트를 가진다. N-채널 트랜지스터(329)는 V_{SS} 에 접속된 드레인 및 소스, 및 클럭 신호(KX*)를 수신하는 게이트를 가진다.

중재 회로(264)는, 중재 회로 (86)가 ECL 을 사용하여 구현되는 반면, 상기 중재 회로(264)는 CMOS 형인 것을 제외하면, 제 8 도의 중재 회로(86)와 비슷한 방식으로 동작한다. 클럭 신호(KX)는 클럭 신호(K_{CMOS}) 주파수의 1/2에 일치하는 주파수를 가진다. 클럭 신호(KX)가 논리 하이일 때 중재 회로(264)는 이네이블되고, 논리 로우일 때는 중재 회로(264)는 디스에이블 된다. P-채널 트랜지스터(328) 및 N-채널 트랜지스터(392)는 차동 클럭 신호(KX 및 KX*)에 대한 부하를 등화시키는데 사용된다.

제 15 도는 제 12 도의 기록 제어 지연 고정 루프(52)의 VCD 제어 회로(265)를 부분 배선도 및 부분 논리도 형태로 도시한 도면이다. VCD 제어 회로(265)는 P-채널 트랜지스터(335 및 337), N-채널 트랜지스터(338, 339 및 340), 인버터 (336), 및 캐패시터(341)를 포함한다. P-채널 트랜지스터(335)는 V_{DD} 에 접속된 소스, 바이어스 전압(P_{BIAS})을 수신하는 게이트, 및 드레인을 가진다. P-채널 트랜지스터(337)는 P-채널 트랜지스터 (355)의 드레인에 접속된 소스, 게이트, 및 제어전압(VCON)을 제공하는 드레인을 가진다. 인버터(336)는 지연 신호(RETW)를 수신하는 입력 단자, 및 P-채널 트랜지스터(337)의 게이트에 접속된 출력 단자를 가진다. N-채널 트랜지스터(338)는 P-채널 트랜지스터(337)의 드레인에 접속된 드레인, 채널 트랜지스터 (337)의 게이트에 접속된 게이트, 및 소스를 가진다. N-채널 트랜지스터(339)는 N-채널 트랜지스터(338)의 소스에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(340)는 P-채널 트랜지스터(337)의 드레인에 접속된 드레인, 붕괴 검출기 출력 신호(FIBW)를 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 캐패시터(341)는 P-채널 트랜지스터(337)의 드레인에 접속된 제 1 플레이트 전극, 및 V_{SS} 에 접속된 제 2 플레이트 전극을 가진다.

VCD 제어 회로(265)는 제 10 도의 VCD 제어 회로(87)와 비슷한 방식으로 동작한다. 지연 신호(RETW)가 논리 하이일 때, 제어 전압(VCON)은 비교적 작은 량만큼 증가되며, 지연 신호(RETW)가 논리 로우일 때, VCON 은 비교적 소량 감소된다. 제 12 도의 지연 클럭 신호(KSD/KSD*)가 토글링하지 않을 때, 붕괴 검출기 출력 신호(FIBW)는 논리 하이이다. 붕괴 검출기 출력 신호(FIBW)가 논리 하이일 때, 제어전압(VCON)은, 차동 지연 클럭 신호(KSD/KSD*)가 다시 토글링하기 시작할 때까지, V_{SS} 를 향해 비교적 빠른 속도로 감소된다.

제 16 도는 제 12 도 기록 제어 지연 고정 루프(52)의 붕괴 검출기 회로(266)를 부분 배선도 및 부분 논리도 형태로 도시한 도면이다. 붕괴 검출기 회로(266)는 소정 시간보다 큰 클럭 신호(KSD)에서의 지연을 검출하여, 클럭 신호(KSD)가 클럭 신호(K_{CMOS})와 180° 위상차 보다 큰지 여부를 검출한다. 붕괴 검출기 회로(266)는 붕괴 검출기부(345) 및 180° 위상 시프트 검출기부(365)를 포함한다.

P-채널 트랜지스터(346)는 V_{DD} 에 접속된 소스, 바이어스 전압(P_{BIAS})을 수신하는 게이트, 및 드레인을 가진다. P-채널 트랜지스터(347)는 P-채널 트랜지스터(346)의 드레인에 접속된 소스, 게이트, 및 드레인을 가진다. N-채널 트랜지스터(348)는 P-채널 트랜지스터(347)의 드레인에 접속된 드레인, P-채널 트랜지스터(347)의 게이트에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 인버터(349)는 클럭 신호(KSD2)를 수신하는 입력 단자, 및 출력 단자를 가진다. 인버터(350)는 인버터(349)의 출력 단자에 접속된 입력 단자, 및 P-채널 트랜지스터(347) 및 N-채널 트랜지스터(348) 모두의 게이트에 접속된 출력 단자를 가진다. 인버터(351)는 클럭 신호(KSD2)를 수신하는 입력 단자, 및 출력 단자를 가진다. 인버터(352)는 인버터(351)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. P-채널 트랜지스터(353)는 V_{DD} 에 접속된 소스, 인버터(352)의 출력 단자에 접속된 게이트, 및 드레인을 가진다. N-채널 트랜지스터(354)는 P-채널 트랜지스터(353)의 드레인에 접속된 드레인, P-채널 트랜지스터(353)의 게이트에 접속된 게이트, 및 소스를 가진다. N-채널 트랜지스터(355)는 N- -채널 트랜지스터(354)의 소스에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. 캐패시터(356)는 P-채널 트랜지스터(347)의 드레인에 접속된 제 1 플레이트 전극, 및 V_{SS} 에 접속된 제 2 플레이트 전극을 가진다. 캐패시터(357)는 V_{DD} 에 접속된 제 1 플레이트 전극, 및 P-채널 트랜지스터(353)의 드레인에 접속된 제 2 플레이트 전극을 가진다. 인버터(358)는 P-채널 트랜지스터(347)의 드레인에 접속된 입력 단자, 및 출력 단자를 가진다. 인버터 (359)는 P-채널 트랜지스터(353)의 드레인에 접속된 입력 단자, 및 출력 단자를 가진다. 인버터(360)는 인버터(359)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(361)는 인버터(358)의 출력 단자에 접속된 제 1 입력 단자, 인버터(360)의 출력 단자에 접속된 제 2 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(362)는 모드 제어 신호(ASYNC*)를 수신하는 제 1 입력 단자, NAND 논리 게이트(361)의 출력 단자에 접속된 제 2 입력 단자, 및 출력 단자를 가진다. NAND 논리 게이트(374)는 NAND 논리 게이트(362)의 출력 단자에 접속된 제 1 입력 단자, 제 2 입력 단자, 및 출력 단자를 가진다. 인버터(375)는 NAND 논리 게이트(374)의 출력 단자에 접속된 입력 단자, 및 출력 단자를 가진다. 인버터(376)는 인버터(375)의 출력단자에 접속된 입력 단자, 및 붕괴 검출기 출력 신호(FIBW)를 제공하는 출력 단자를 가진다.

전송 게이트(366)는 클럭 신호(KSD)를 수신하는 입력 단자, 클럭 신호(K_{CMOS} *)를 수신하는 제 1 제어 단자, 클럭 신호(K_{CMOS})를 수신하는 제 2 제어 단자, 및 출력 단자를 가진다. 전송 게이트(367)는 클럭 신호(KSD*)를 수신하는 입력 단자, 클럭 신호(K_{CMOS} *)를 수신하는 제 1 제어 단자, 클럭 신호(K_{CMOS})를 수신하는 제2 제어 단자, 및 출력 단자를 가진다. 전송 게이트(368)는 입력 단자, 클럭 신호(K_{CMOS})를 수신하는 제 1 제어 단자, 클럭 신호(K_{CMOS} *)를 수신하는 제 2 제어 단자, 및 전송 게이트(366)의 출력 단자에 접속된 출력 단자를 가진다. 전송 게이트(369)는 입력 단자, 클럭 신호(K_{CMOS})를 수신하는 제 1 제어 단자, 클럭 신호(K_{CMOS} *)를 수신하는 제 2 제어 단자, 및 전송 게이트(367)의 출력 단자에 접속된 출력 단자를 가진다. 인버터(370)는 전송 게이트(366)의 출력 단자에 접속된 입력 단자, 및 전송 게이트(369)의 입력 단자에 접속된 출력 단자를 가진다. 인버터(371)는 전송 게이트(367)의 출력 단자에 접속된 입력 단자, 및 전송 게이트(368)의 입력단자에 접속된 출력 단자를 가진다. 전송 게이트(372)는 인버터(370)의 출력 단자에 접속된 입력 단자, 클럭 신호(K_{CMOS})를 수신하는 제 1 제어 단자, 클럭 신호(K_{CMOS} *)를 수신하는 제 2 제어 단자, 및 출력 단자를 가진다. 인버터(373)는 전송게이트(372)의 출력 단자에 접속된 입력 단자, 및 NAND 논리 게이트(374)의 제 2 입력 단자에 접속된 출력 단자를 가진다.

붕괴 검출기 회로(266)는, 당해 붕괴 검출기 회로(266)가 180° 위상 시프트 검출기부(365)를 포함하는 것을 제외하면, 제 11 도의 붕괴 검출기 회로(88)와 비슷한 방식으로 동작한다. 붕괴 검출기 회로(266)가 CMOS 레벨 신호를 수신하기 때문에, 붕괴 검출기 회로(88)와 함께 요구되는 레벨 변환기는 필요하지 않다. 지연클럭 신호(KSD)가 제 12 도에 도시된 바와 같이 클럭 신호(K_{CMOS})로부터 발생됨을 주목하라.

180° 위상 시프트 검출기부(365)는 지연 클럭 신호 KSD 가 클럭 신호(K_{CMOS})와 180° 이상 위상차가 있는지 여부를 검출하는 기능을 한다. 클럭 신호(K_{CMOS} *)가 논리 로우이고 클럭 신호(K_{CMOS})가 논리 하이일 때, 전송 게이트(366 및 367)는 도전상태가 되고, 이는 지연 클럭 신호(KSD 및 KSD*)의 상태가 전파하게 해준다. 클럭신호(K_{CMOS} *)가 상승하고 클럭 신호(K_{CMOS})가 하강할 때, 전송 게이트(366 및 367)는 사실상 비도전 상태가 되고, 지연 클럭 신호(KSD 및 KSD*)의 상태는 전송 게이트(368 및 369) 및 인버터(370 및 371)에 의해 래치된다. 지연 클럭 신호(KSD/KSD*)의 래치된 논리 상태는 그후 전송 게이트(372)를 통해 NAND 논리 게이트(374)에 제공된다. 따라서, 지연 클럭 신호 KSD 가 를럭 신호(K_{CMOS}) 와 180° 이상 위상차가 나면, 클럭 신호(K_{CMOS})가 하강할 때, 지연 클럭 신호 KSD 의 논리 상태는 논리 로우가 된다. 클럭 신호(KSD)가 클럭 신호(K_{CMOS})와 위상차가 0 도와 180° 사이에 위치할 경우, 클럭 신호(KSD)의 논리 상태는 논리 하이가 된다. 양호한 실시예에서, 지연 클럭 신호(KSD)는 항상 0° 보다 크게 되는데, 왜냐하면 클럭 신호(K_{CMOS})로부터 지연 클럭 신호(KSD)까지 최소의 지연이 존재하기 때문이다. 일단 지연 클럭 신호(KSD)의 논리 상태가 래치되면, 180° 위상 시프트 검출기부(365)는 지연 클럭 신호(KSD)가 클럭 신호(K_{CMOS})와 180° 이상 위상차가 있는지 여부를 결정할 수 있다. 지연 클럭 신호(KSD)가 클럭 신호(K_{CMOS})와 180° 이상 위상차가 있을 경우, 붕괴 검출기 신호(FIBW)는, 지연 클럭 신호(KSD)의 전파 지연을 감소시키도록 논리 하이로서 나타난다. 이는 지연 고정 루프(52)가 잘못된 클럭 사이클상에서 고정되어, 메모리 어레이(22)의 잘못된 메모리 셀에 데이터가 기록되게 하는 것을 막아준다. 지연 클럭 신호(KSD)가 클럭 신호(K_{CMOS})와 180° 이내에 있고, 지연 신호(FIBW)가 논리 로우일 경우, N-채널 트랜지스터(340)(제 15 도)는 비도전 상태가 되어 제어전압(VCON)의 값에 영향을 미치지 않는다.

모드 제어 신호(ASYNC*)는 그것이 논리 로우일 때 붕괴 검출기 회로(266)를 디스에이블시키며, 이는 메모리(20)가 비동기 모드로 동작하고 있음을 나타낸다.

제 17 도는 제 1 도 비트 라인 부하/기록 구동기(30)의 일부분인 비트 라인 부하(380)를 부분 배선도 및 부분 논리도 형태로 도시한 도면이다. 비트 라인 부하(380)는 P-채널 트랜지스터(381, 384, 387, 388, 390, 391, 393, 394, 396, 399, 402, 및 404), N-채널 트랜지스터(382, 383, 385, 386, 392, 397, 398, 400 및 401), NPN 트랜지스터(389 및 403) 및 NAND 논리 게이트(395)를 포함한다.

P-채널 트랜지스터(381)는 기록 제어 신호(WCQ)를 수신하는 제 1 드레인/소스 단자, 데이터 신호(DATA)를 수신하는 게이트, 및 제 2 드레인/소스 단자를 가진다. N-채널 트랜지스터(382)는 P-채널 트랜지스터(381)의 제 2 드레인/소스 단자에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 Vss 에 접속된 소스를 가진다. N-채널 트랜지스터 (383)는 P-채널 트랜지스터(381)의 제 2 드레인/소스 단자에 접속된 드레인, 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터(384)는 V_{DD} 에 접속된 소스, N-채널 트랜지스터(383)의 드레인에 접속된 게이트, 및 드레인을 가진다. N-채널 트랜지스터(385)는 P-채널 트랜지스터(384)의 드레인에 접속된 드레인, N-채널 트랜지스터(383)의 드레인에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(386)는 비트 라인(BL)에 접속된 드레인, N-채널 트랜지스터(385)의 게이트에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터(387)는 N-채널 트랜지스터(385)의 드레인에 접속된 제 1 드레인/소스 단자, 기록 제어 신호(WCQ)를 수신하는 게이트, 및 제 2 드레인/ 소스 단자를 가진다. P-채널 트랜지스터(388)는 N-채널 트랜지스터(385)의 드레인에 접속된 제 1 드레인/소스 단자, V_{SS} 에 접속된 게이트, 및 비트 라인(BL)에 접속된 제 2 드레인/ 소스 단자를 가진다. NPN 트랜지스터(389)는 V_{DD} 에 접속된 콜렉터, N-채널 트랜지스터(385)의 드레인에 접속된 베이스, 및 비트 라인(BL)에 접속된 이미터를 가진다. P-채널 트랜지스터 (390)는 V_{DD} 에 접속된 소스, 기록 제어 신호(WCQ)를 수신하는 게이트, 및 비트 라인(BL)에 접속된 드레인을 가진다. P-채널 트랜지스터(391)는 V_{DD} 에 접속된 소스, 게이트, 및 드레인을 가진다. N-채널 트랜지스터(392)는 P-채널 트랜지스터(391)의 드레인에 접속된 드레인, P-채널 트랜지스터(391)의 게이트에 접속된 게이트, 및 기록 제어 신호(WCQ)를 수신하는 소스를 가진다. P-채널 트랜지스터(393)는 비트 라인(BL)에 접속된 제 1 드레인/소스 단자, P-채널 트랜지스터(391)의 드레인에 접속된 게이트, 및 비트 라인(BL*)에 접속된 제 2 드레인/소스 단자를 가진다. P-채널 트랜지스터(394)는 비트 라인(BL)에 접속된 제 1 드레인/소스 단자, " GEQ*" 로 표시된 전역 등화 신호를 수신하는 게이트, 및 비트 라인(BL*)에 접속된 제 2 드레인/소스 단자를 가진다. NAND 논리 게이트(395)는 비트 라인(BL)에 접속된 제 1 입력 단자, 및 비트 라인(BL*)에 접속된 제 2 입력 단자를 가지며, N-채널 트랜지스터(383)의 게이트와 P-채널 트랜지스터(391) 및 N-채널 트랜지스터(392)의 게이트 모두에 접속된 출력 단자를 가진다. P-채널 트랜지스터(391)는 기록 제어 신호(WCQ)를 수신하는 제 1 드레인/소스단자, 데이터 신호(DATA*)를 수신하는 게이트, 및 제 2 드레인/소스 단자를 가진다. N-채널 트랜지스터(397)는 P-채널 트랜지스터(396)의 제 2 드레인/소스 단자에 접속된 드레인, 바이어스 전압(N_{BIAS})을 수신하는 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(398)는 N-채널 트랜지스터(397)의 드레인에 접속된 드레인, NAND 논리 게이트(395)의 출력 단자에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터(399)는 V_{DD} 에 접속된 소스, N-채널 트랜지스터(397)의 드레인에 접속된 게이트, 및 P-채널 트랜지스터(387)의 제 2 드레인/소스 단자에 접속된 소스를 가진다. N-채널 트랜지스터(400)는 P-채널 트랜지스터(399)의 드레인에 접속된 드레인, P-채널 트랜지스터(399)의 게이트에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. N-채널 트랜지스터(401)는 비트 라인(BL*)에 접속된 드레인, P-채널 트랜지스터(399)의 게이트에 접속된 게이트, 및 V_{SS} 에 접속된 소스를 가진다. P-채널 트랜지스터 (402)는 P-채널 트랜지스터(399)의 드레인에 접속된 제 1 드레인/소스 단자, V_{SS} 에 접속된 게이트, 및 비트 라인(BL*)에 접속된 제 2 드레인/소스 단자를 가진다. NPN 트랜지스터 (403)는 V_{DD} 에 접속된 콜렉터, N-채널 트랜지스터(400)의 드레인에 접속된 베이스, 및 비트 라인(BL*)에 접속된 이미터를 가진다. P-채널 트랜지스터(404)는 V_{DD} 에 접속된 소스, 기록 제어신호(WCQ)를 수신하는 게이트, 및 비트 라인(BL*)에 접속된 소스를 가진다.

메모리(20)의 판독 사이클동안, 기록 제어 신호(WCQ)는 논리 로우가 되며, 이는 P-채널 부하 트랜지스터(390 및 404)를 도전 상태가 되게 한다. P-채널 부하 트랜지스터(390 및 404)는 비트 라인(BL 및 BL*)을 V_{DD} 로 끌어올리며, 메모리 어레이(22)의 메모리 셀에 대한 부하 소자로서 작용한다. 전역 등화 신호(GEQ*)가 논리 하이일 때, 이는 P-채널 트랜지스터(394)를 사실상 비도전 상태가 되게 한다. 기록 동작이 실행될 때, 차동 데이터 신호(DATA 및 DATA*)는 선택된 메모리 셀 내에 기록될 데이터에 대응하는 논리 상태로 먼저 설정되며, 그후 기록 제어 신호(WCQ)는 논리 하이가 되어, 데이터 신호(DATA/DATA*)가 P-채널 트랜지스터(384 및 399)의 게이트로 제공되게 한다. 논리 하이 신호는 데이터 신호(DATA 또는 DATA*)중 어느 것이 논리 로우가 되는지에 따라 P-채널 트랜지스터(381 또는 396)중 하나를 통해 전달된다. 상기 논리 하이 신호는 P-채널 트랜지스터(384)를 오프(OFF)시키거나 N-채널 트랜지스터(386)를 온(ON)시키도록(이는 비트 라인(BL)을 낮게 할 것이다) 진행하거나, 또는 P-채널 트랜지스터(399)를 오프시키고 N-채널 트랜지스터(401)를 온시키도록(이 경우, 비트 라인(BL*)을 낮게 한다) 진행한다. 이 낮은 값은 메모리 어레이(22)의 선택된 메모리 셀로 전달된다. 비트 라인(BL 또는 BL*)중 어느 하나가 낮아질 때, NAND 논리 게이트(395)의 출력 단자는 논리 하이로서 제공되어, N-채널 트랜지스터(383 및 398)를 온시킨다.

기록 제어 신호(WCQ)가 기록 사이클의 끝을 신호로 알리면서 논리 로우 상태가 될 때, N-채널 트랜지스터(383 또는 398)중 기록 사이클동안 논리 하이였던 한 트랜지스터의 드레인이 P-채널 트랜지스터(384 또는 399)중 한 트랜지스터와 NPN 트랜지스터(389 또는 403)중 한 트랜지스터를 각각 온(ON)시키면서 방전된다. 이는 낮은 비트 라인을 논리 하이로 돌려준다. 또한, P-채널 트랜지스터(387)는 비트 라인(BL 및 BL*)상에서 보다 양호한 등화를 이루기 위해 바이폴라 트랜지스터(403 및 389)의 베이스를 단락(short)시키도록 온(ON) 된다. 게다가, 논리 로우 기록 제어 신호(WCQ)는 P-채널 트랜지스터(390 및 404)를 온시키는데, 이는 비트 라인(BL 및 BL*)을 논리 하이 상태로 프리차지(precharge)시키는 것을 돕는다. BL 또는 BL* 중 어느 하나가 논리 로우가 될 때 초래되는 NAND 논리 게이트(395)의 논리 하이 출력 단자는 P-채널 트랜지스터(393)의 게이트를 낮게 하도록 N-채널 트랜지스터(392)를 온시키며, 동시에 P-채널 트랜지스터(393)를 도전 상태가 되게 한다. P-채널 트랜지스터(393)는 비트 라인(BL 및 BL*)상의 차동 전압을 등화시킨다. NAND 논리 게이트(395)의 출력 단자는, 비트 라인(BL 및 BL*) 상의 차동 전압이 등화될 때 논리 로우 상태로 돌아간다. 비트 라인 쌍의 상태를 감지하고, 앞서 기록되거나 판독된 비트 라인 쌍의 프리차지 및 등화를 시작함으로써, 상기 비트 라인 쌍이 다음 판독 사이클을 위해 재빨리 준비될 수 있다.

전역 등화 신호(GEQ*)는 기록되고 있었던 메모리 어레이(22)의 블록 내 모든 열을 등화시키도록 기록 사이클의 끝에서 발생된다. 이 신호는 인접한 비트 라인쌍으로의 기록으로부터 발생된 잡음에 의해 초래된 상기 비트 라인 쌍 위의 차동전압을 등화시킨다.

V_{SS} 에 직접 접속된 N-채널 트랜지스터(383 및 398)의 소스를 풀다운(pull down)시킴으로써, 비트 라인 부하 회로(380)는 떼모리(20)의 기록 사이클이 빨리 발생하도록 한다. 또한, 상기 비트 라인 쌍은, 일반적으로 큰 구동력을 가지 않은 MOS 트랜지스터를 사용하기보다는 NPN 트랜지스터(389 및 403)를 사용하여 프리차지될 수 있다. 게다가, 판독 사이클 후 비트 라인 쌍을 자동으로 등화시키기 위해 비트 라인(BL 및 BL*)의 상테를 감지함으로써, 기록 복구가 최소의 지연으로 발생한다.

제 18 도는 3-단 파이프라인 모드 동안의 제 1 도 메모리(20)의 여러 신호의 타이밍도를 도시한다. 제 18 도의 타이밍도는 실척대로 그려져 있지 않음을 주목하라. 클럭 신호(CLK)의 상승 에지는 데이터 신호(MUX)를 생성한다. 클럭 신호(CLK)의 하강 에지는 클럭 신호(MD9O)를 생성한다. 내부 메모리 전파 지연 후, 데이터 신호(MUX)가 상태를 변화시키며, 더미 경로(46)(제 4 도)를 통한 지연 후, 클럭 신호(MD90)가 상태를 변화시킨다. 클럭 신호(MD90)는 데이터 신호(MUX)의 데이터 유효 시간의 중간점(midpoint)에서 상태를 변화시킨다. 데이터 신호(MUX)는, 클럭 신호(MD90)가 논리 하이가 될 때 데이터 신호(MUX1)가 된다. 데이터 신호(MUX2)는, 클럭 신호(MD90)가 논리 로우가 될 때 제공된다. 클럭 신호(KU)는 그후 데이터 신호(MUX1 및 MUX2)를 획득하며 이들 신호들을 데이터 신호(QPAD)로서 출력에 제공한다. 데이터 신호(MUX1 및 MUX2)가 데이터 신호(MUX)의 약 1/2 주파수에서 변하고 있으므로, 지연 클럭 신호(KU)는 데이터 신호(MUX1 및 MUX2)를 얻기 위한 더 넓은 유효 윈도우를 가진다. 3-단 파이프라인 모드에서, 사이클 " 0" 에서 어드레스(AO)에 해당하는 데이터는 사이클 " 3" 에서 유효 출력 데이터이며, 따라서 3-단 파이프라인을 제공한다. 더미 출력 신호(QDUM)가 지연 클럭 신호(KU)로부터 생성되며 지연 클럭 신호(KU)의 지연을 제어하도록 지연 클럭 신호(KU)의 지연을 추적한다. 데이터 신호(QPAD)와는 달리, 더미 출력 신호(QDUM)는 지연 클럭 신호(KU)의 각 사이클동안 상태를 변화시킨다. 데이터 신호(QPAD)는, 모든 클럭 사이클에서 변화할 필요가 없기 때문에 중재 회로(86)에 의해 사용되지 않는다.

제 19 도는 2-단 파이프라인 모드에서 제 1 도 메모리(20)의 여러 신호의 타이밍도를 도시한다. 제 19 도의 타이밍도는 실척대로 그려지지 않았음을 주목하라. 2-단 파이프라인 모드에서, 어드레스(AO)에 해당하는 데이터는 사이클 " 0" 에서 얻어지며, 사이클 " 2" 에서 유효 출력 데이터로서 제공됨으로써, 2-단 파이프라인을 제공한다. 제 2 도와 관련하여 앞서 언급된 바와 같이, 이는 지연 클럭 신호(KU)의 내부 상태를 반전시킴으로써, 데이터 신호(MUX1 및 MUX2)가 KU 의 반대쪽 에지(edge)에서 얻어져서, 2 사이클 후에 상기 데이터 신호를 메모리(20)의 출력에 제공함으로써 이루어진다. 제 19 도로부터 알 수 있는 바와 같이, 이는, 클럭 신호(KU)가 오류 데이터를 얻기 전에, 클럭 신호(CLK)의 주파수를 3-단 파이프라인 모드에 비해 더 낮게 하고, 따라서 클럭 사이클 시간상의 최대 제한을 증가시킨다.

제 20 도는 판독 및 기록 사이클동안 비동기 모드에서 제 1 도 메모리(20)의 여러 신호의 타이밍도이다. 제 20 도의 타이밍도는 실척대로 그려지지 않았음을 주목하라. 비동기 모드에서, 데이터 신호(QPAD)는 클럭 신호(CLK)의 상승에지 후에 가능한 빨리 유효 상태가 된다. 이는 출력 레지스터(34)가 플로우 스루 모드(flow through mode)에 있기 때문이다. 기록 사이클동안, 출력 이네이블 레지스터(40) 또한 플로우 스루 모드에 있게 되며, 그 결과 기록 이네이블 신호(W*)가 논리로우로서 제공된 후, 메모리(20)의 출력은 비교적 빨리 논리 로우가 된다. 또한, 기록 사이클동안, 지연 클럭 신호(KSD)는 최대 전파 지연 후에 제공되며, 이는 결국 기록 어드레스 설정 시간, 기록 펄스폭 시간, 및 기록 어드레스 유지 시간에 비교적 큰 마진을 제공한다. 기록 제어 신호(Q)의 폭이 클럭 신호(CLK)의 사이클의 약 1/2 에 일치함을 주목하라.

병렬 데이터 경로의 사용은 메모리(20)의 데이터 출력에서 데이터 유효 시간을 증가시킨다. 제 18 도는 데이터 신호(MUX1 및 MUX2)의 데이터 유효 시간이 데이터 신호(MUX)의 데이터 유효 시간보다 큼을 도시하며, 이는 데이터 신호(MUX1 및 MUX2)가 데이터 신호(MUX)의 빈도의 단지 1/2로 변화하기 때문이다. 또한, 클럭 신호(MD90)는 더미 경로(46)에 의해 내부 메모리 지연에 상관되며, 프로세스, 전원, 및 온도 변화의 견지에서 데이터 신호(MUX)를 추적한다. 게다가, 클럭 신호(CLK)의 주파수가 감소할 경우, 클럭 신호(MD90)는 데이터 유효 시간의 중간에서 유지되며, 데이터 유도 윈도우가 증가한다. 그러므로, 지연 클럭 신호(KU)가 출력 데이터를 얻어, 상기 출력 데이터를 원하는 시간에 출력 데이터 패드(도시 안됨)에 제공하는 것이 훨씬 용이해진다.

본 발명은 양호한 실시예와 관련하여 기술된 반면, 본 발명이 여러 방식으로 변경될 수 있고 위에서 제시 및 언급된 것과 다른 많은 실시예를 취할 수 있다는 것이 본 기술에 관련된 사람들에 명백해질 것이다. 예컨대, 클럭 신호(MD9O)를 발생시키는 다른 방법이 사용될 수도 있고, 두 개 이상의 병렬 데이터 경로가 사용될 수 있으며, 데이터가 클럭 신호(CLK)와 상이한 방식으로 출력에 제공될 수 있고, 상이한 파이프라이닝의 깊이가 실현될 수도 있으며, 파이프라이닝의 모드를 변화시키기 위한 전기적 또는 금속 옵션이 사용될 수도 있고, CMOS 회로가 ECL 로 실현되거나 ECL 회로가 CMOS 로 실현될 수도 있다. 따라서, 첨부된 특허청구 범위는 본 발명의 진정한 정신 및 범주에 해당하는 모든 변경안을 커버해야 한다.

(57) 청구의 범위

청구항 1.

각 메모리 셀이 하나의 비트 라인 및 하나의 워드 라인에 연결된 복수의 메모리 셀들(22); 및 상기 비트 라인들에 연결되어, 매모리(20)의 판독 사이클 동안, 선택된 메모리 셀 내에 저장된 데이터에 대응하는 데이터 신호를 제공하는 열 디코딩 회로(32)를 포함하는 동기 메모리(20)에 있어서,

상기 동기 메모리는:

상기 열 디코딩 회로(32)에 연결되고, 적어도 두 개의 병렬 데이터 경로들을 제공하며, 클럭 신호(MD9O)에 응답하여 교대로 도전 상태가 되는, 적어도 두 개의 병렬 출력 데이터 레지스터 경로들(parallel output data registration paths)(56,57); 및

상기 병렬 출력 데이터 레지스터 경로들(56,57)에 연결되며, 파이프라인 제어 신호(PIPE2*) 및 모드 제어 신호(ASYNC)를 수신하여, 상기 동기 메모리(20)가 파이프라인 동작 모드 또는 비동기 모드에서 동작되는 것을 가능하게 하는 출력 이네이블 레지스터 회로(48);

를 특징으로 하며,

상기 병렬 출력 데이터 레지스터 경로들은, 단지 하나의 출력 데이터 레지스터 경로를 가지는 메모리에 비해, 메모리(20)의 판독 사이클 동안 데이터 신호가 유효인 증가된 시간을 제공하는 것을 특징으로 하는, 동기 메모리(20).

청구항 2.

제 1 항에 있어서,

상기 적어도 두 개의 병렬 출력 데이터 레지스터 경로들(56,57) 중 제 1 출력 데이터 레지스터 경로(56)는 열 디코딩 회로(32)에 연결된 입력 단자, 및 출력 단자를 가지는 제 1 레지스터(56)를 포함하며, 클럭 신호(MD90)에 응답하여 상기 열 디코딩 회로(32)로부터 데이터 신호를 수신하는 상기 제 1 레지스터(56)는 제 1 논리 상태에 있는, 동기 메모리(20).

청구항 3.

제 2 항에 있어서,

상기 적어도 두 개의 병렬 출력 데이터 레지스터 경로들(56,57) 중 제 2 출력 데이터 레지스터 경로(57)는 열 디코딩 회로(32)에 연결된 입력 단자, 및 출력단자를 가지는 제 2 레지스터(57)를 포함하며, 클럭 신호(MD90)에 응답하여 상기 열 디코딩 회로(32)로부터 데이터 신호를 수신하는 상기 제 2 레지스터(57)는 제 2 논리 상태에 있는, 동기 메모리(20).

청구항 4.

제 3 항에 있어서,

상기 제 1 레지스터(56)의 출력 단자에 연결된 제 1 입력 단자, 상기 제 2 레지스터(57)의 출력 단자에 연결된 제 2 입력 단자, 제 2 클럭 신호(KUOR)를 수선하는 제어 단자, 및 출력 단자를 가지는 증폭기 회로(62)를 더 포함하며, 상기 증폭기(62)는 상기 제 2 클럭 신호(KUOR)에 응답하여 제 1 및 제 2 레지스터(56,57)들로부터 데이터 신호들을 교대로 수신하는, 동기 메모리(20).

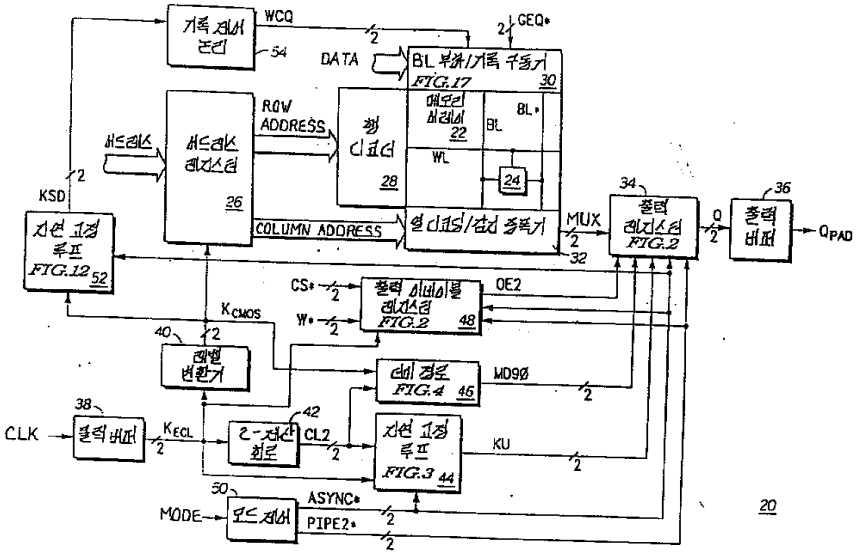
청구항 5.

제 4 항에 있어서,

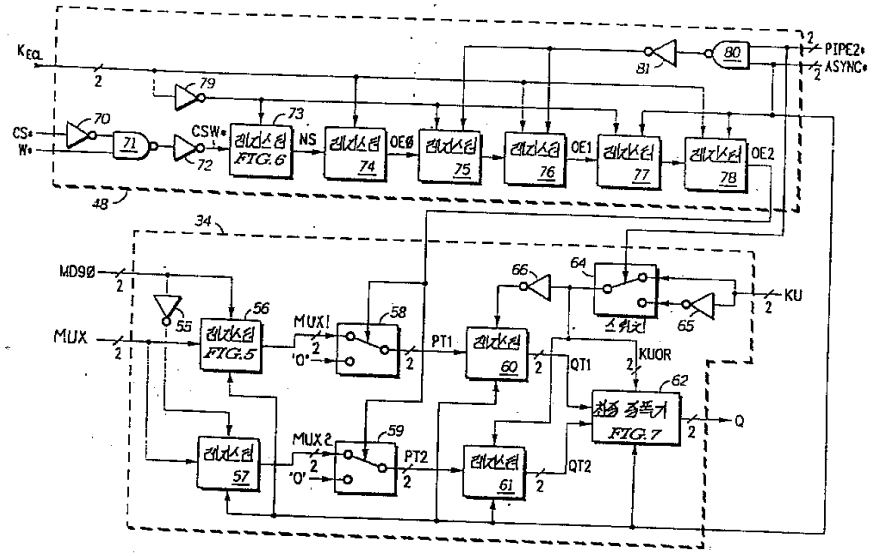
상기 클럭 신호(MD90)는 더미 경로(dummy path) 회로(46)에 의해 제공되며, 상기 더미 경로 회로(46)는 직렬로 연결된 복수의 지연 소자들(95,96,98,100,102,103,105,107)을 포함하고, 상기 각 지연 소자는 메모리(20)를 액세스하는데 필요한 기능을 수행하기 위해 요구되는 메모리(20)의 지연을 모델링하는, 동기 메모리(20).

도면

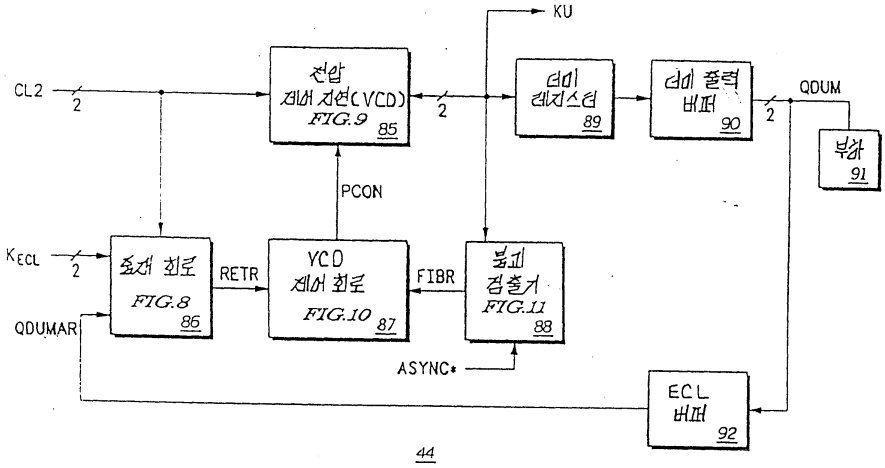
도면 1


기록 제어 논리
WCQ
54
DATA
GEQ*
BL 부하/기록 구동기
FIG.17
30
메모리 셀레이
22
BL
BL*
WL
24
ROW ADDRESS
행 디코더
28
어드레스
어드레스 레지스터
26
COLUMN ADDRESS
열 디코더/감지 증폭기
32
MUX
출력 레지스터
FIG.2
34
Q
출력 버퍼
36
QPAD
KSD
지연 고정 루프
FIG.12
52
CS*
W*
출력 인에이블 레지스터
FIG.2
48
OE2
KCMOS
40
레벨 변환기
데이 경로
FIG.4
46
WD9Ø
38
CLK
클럭 버퍼
KECL
2-지연 회로
42
CL2
지연 고정 루프
FIG.3
44
KU
30
MODE
모드 제어
ASYNC*
PIPE2*
20

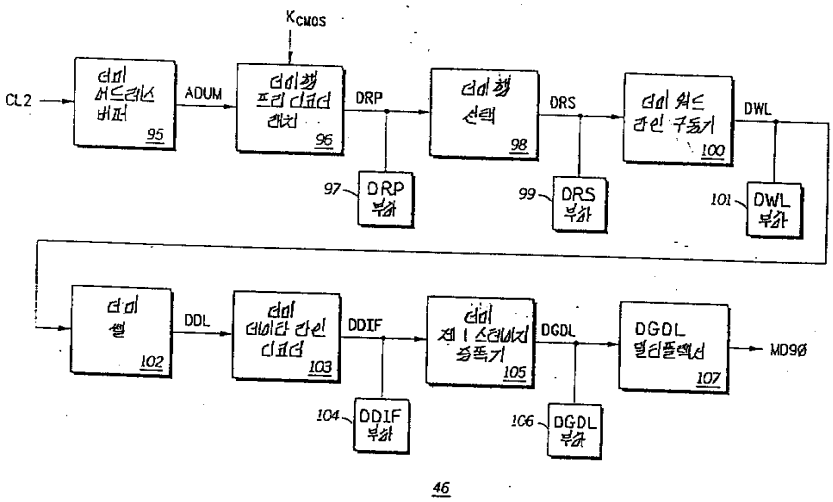
도면 2


KECL
79
70
71
CS*
W*
CSW*
72
73
레지스터
FIG.6
NS
74
OE0
75
76
OE1
77
78
OE2
48
80
81
PIPE2*
ASYNC*
34
WD9Ø
55
MUX
56
레지스터
FIG.5
MUX1
'0'
58
PT1
60
QT1
KUOR
62
최종 증폭기
FIG.7
Q
MUX2
59
PT2
57
61
QT2
66
64
스위치
65
KU

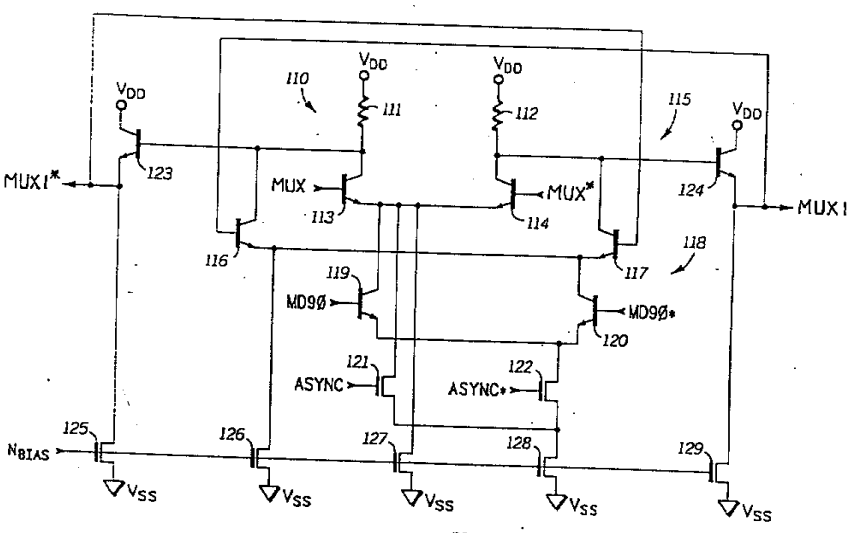
도면 3


KU
CL2
2
전압 제어 지연(VCD) FIG.9 85
2
더미 레지스터 89
더미 출력 버퍼 90
2
QDUM
부하 91
PCON
KECL
2
쇼저 회로 FIG.8 86
RETR
VCO 제어 회로 FIG.10 87
FIBR
불고 검출기 FIG.11 88
QDUMAR
ASYNC*
ECL 버퍼 92
44

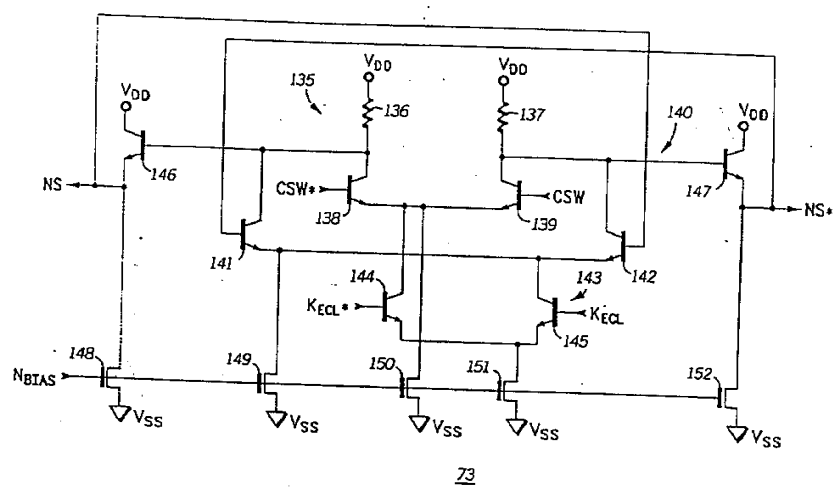
도면 4


KCMOS
CL2
더미 서드레스 버퍼 95
ADUM
더미행 프리 디코더 레치 96
DRP
더미행 선택 98
DRS
더미 워드 라인 구동기 100
DWL
97
DRP 부하
99
DRS 부하
101
DWL 부하
더미 셀 102
DDL
더미 데이타 라인 디코더 103
DDIF
더미 센스앰프 증폭기 105
DGDL
DGDL 멀티플렉서 107
MD90
104
DDIF 부하
106
DGDL 부하
46

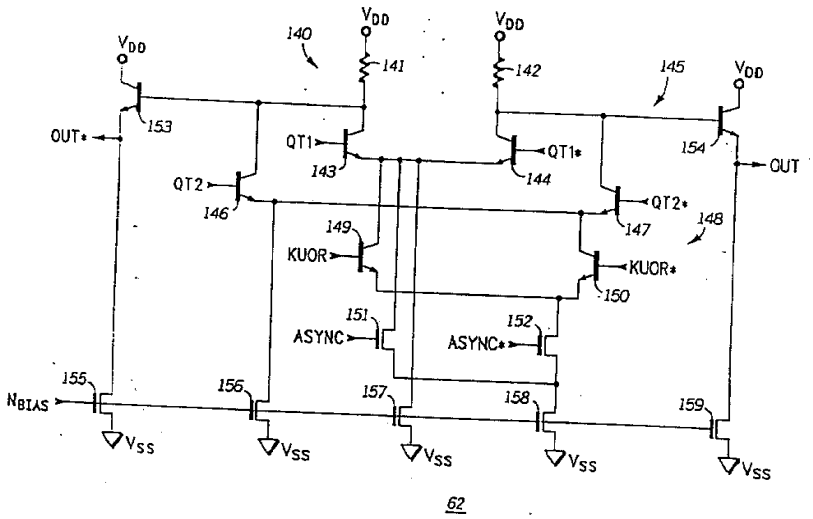
도면 5


VDD
110
111
112
115
123
MUX1*
MUX
MUX*
113
114
124
MUX1
116
117
118
119
MD9Ø
MD9Ø*
120
121
122
ASYNC
ASYNC*
125
126
127
128
129
NBIAS
VSS
56

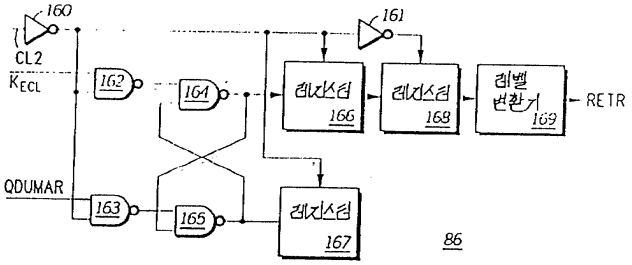
도면 6


VDD
135
136
137
140
146
NS
CSW*
CSW
138
139
147
NS*
141
142
144
143
KECL*
KECL
145
148
149
150
151
152
NBIAS
VSS
73

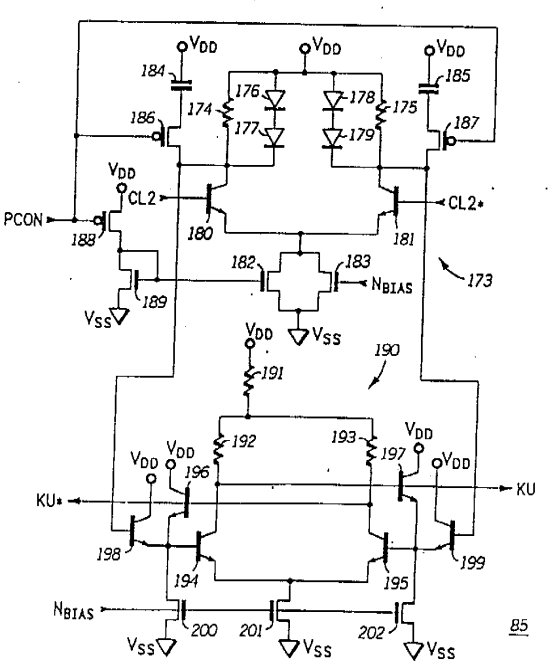
도면 7


VDD
140
141
142
145
153
154
OUT*
OUT
QT1
QT1*
143
144
QT2
QT2*
146
147
148
149
KUOR
KUOR*
150
151
152
ASYNC
ASYNC*
155
156
157
158
159
NBIAS
VSS
62

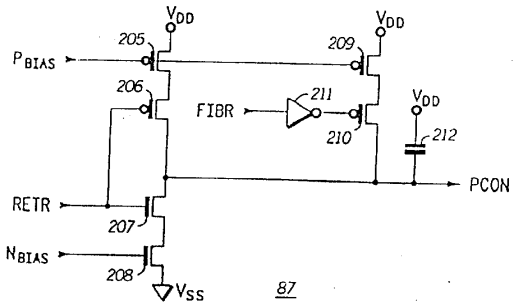
도면 8


160
161
CL2
KECL
162
164
레지스터
166
레지스터
168
레벨
변환기
169
RETR
QDUMAR
163
165
레지스터
167
86

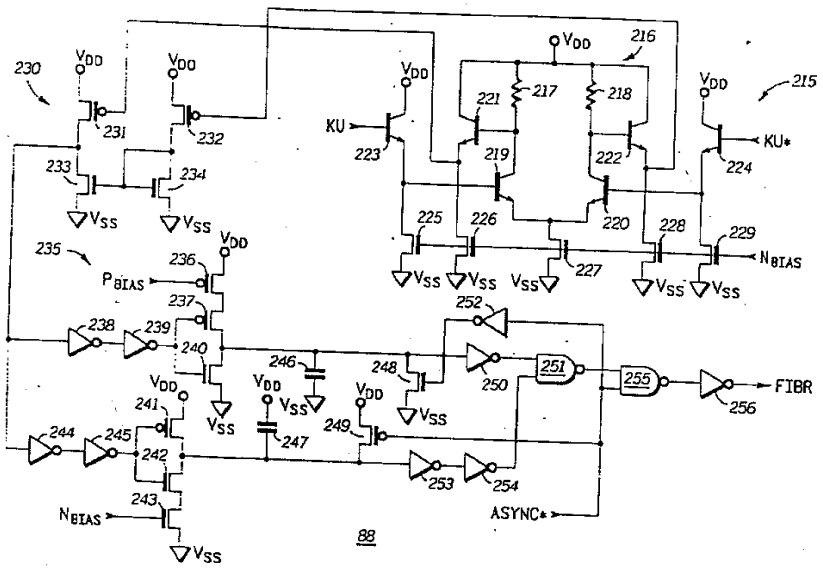
도면 9


VDD
184
185
174
176
177
178
179
175
186
187
CL2
CL2*
PCON
188
180
181
182
183
NBIAS
173
189
VSS
190
191
192
193
197
196
KU
KU*
198
194
195
199
200
201
202
85

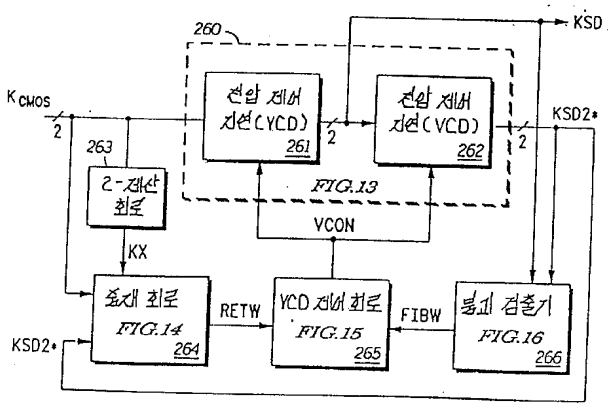
도면 10


VDD
205
209
PBIAS
206
FIBR
211
210
212
PCON
RETR
207
NBIAS
208
VSS
87

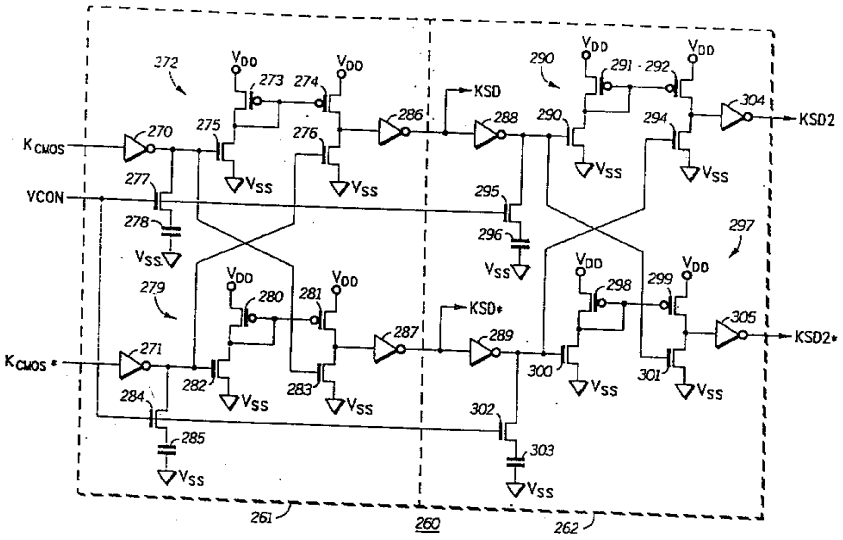
도면 11


230
VDD
231
232
233
234
VSS
235
PBIAS
236
237
238
239
240
241
242
243
NBIAS
244
245
246
247
248
249
250
251
252
253
254
255
256
FIBR
ASYNC*
KU
KU*
NBIAS
215
216
217
218
219
220
221
222
223
224
225
226
227
228
229
88

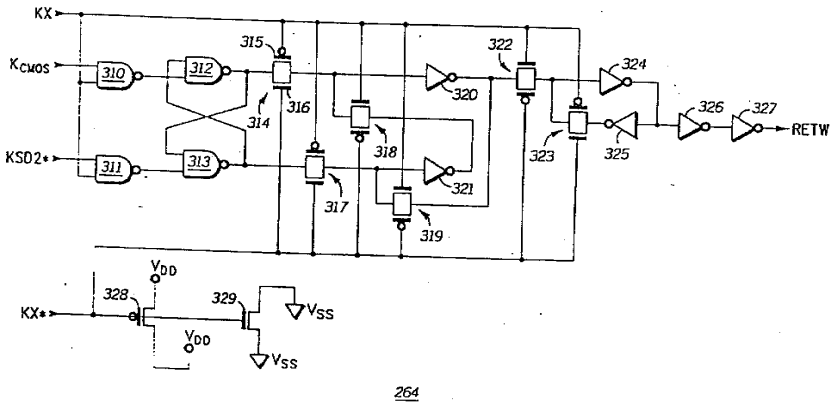
도면 12


260
KSD
KCMOS
2
263
2-제산 회로
전압 제어 지연(VCD)
261
전압 제어 지연(VCD)
262
KSD2*
FIG.13
VCON
KX
초기 회로
FIG.14
264
RETW
VCO 제어 회로
FIG.15
265
FIBW
불교 검출기
FIG.16
266
52

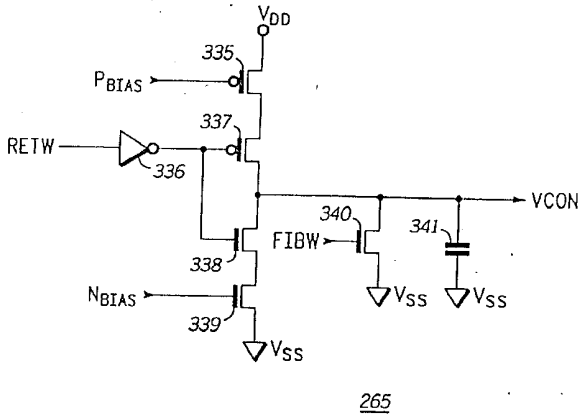
도면 13


KCMOS
VCON
KCMOS*
KSD
KSD*
KSD2
KSD2*
VDD
VSS
260
261
262

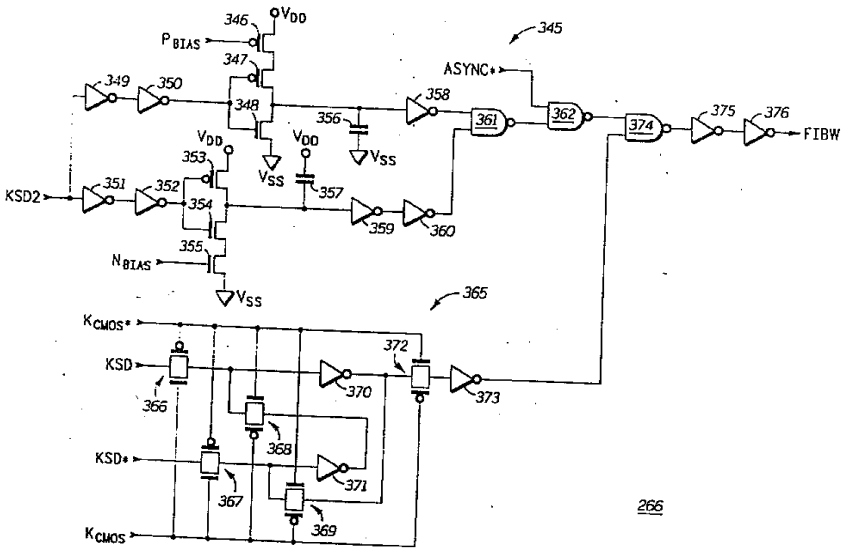
도면 14


KX
KCMOS
KSD2*
KX*
RETW
VDD
VSS
264

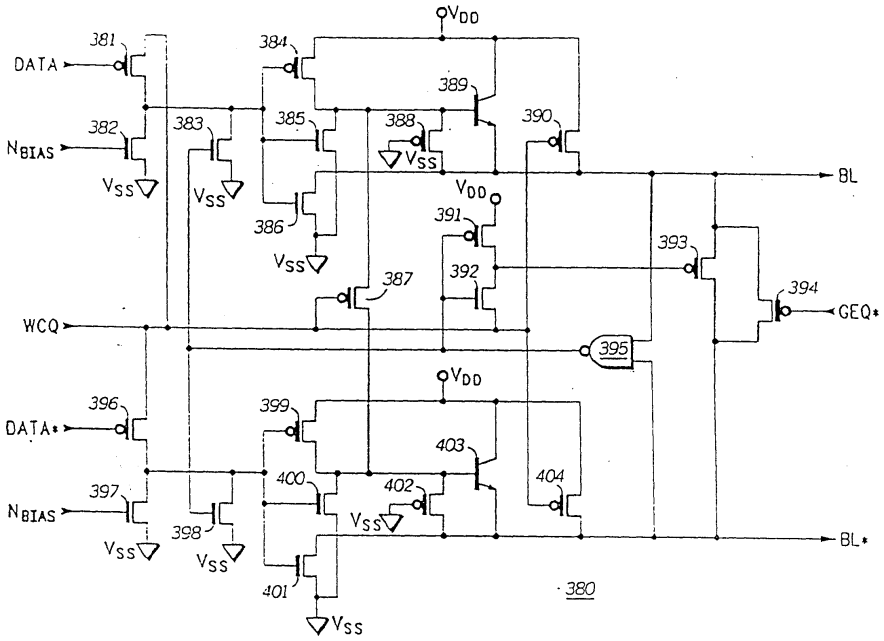
도면 15


VDD
335
PBIAS
337
RETW
336
VCON
340
FIBW
341
338
NBIAS
339
VSS
VSS
VSS
265

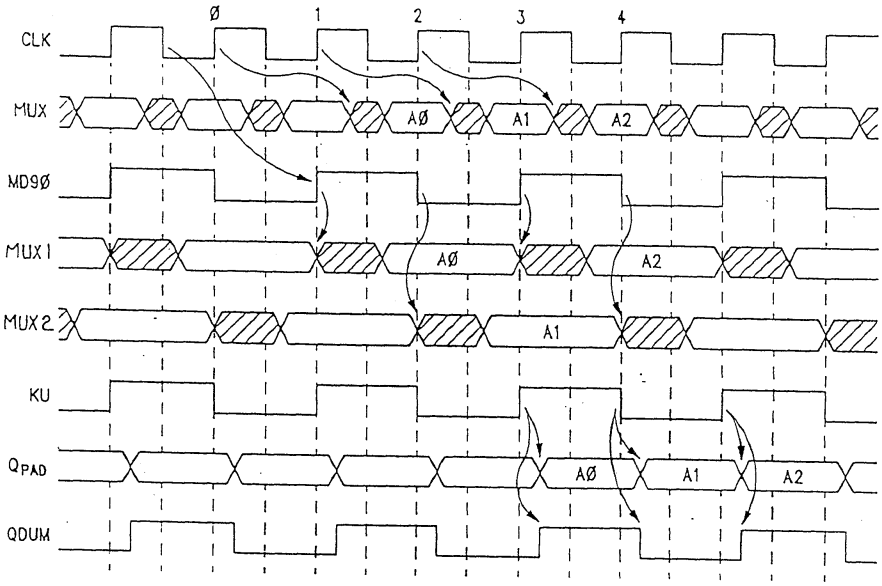
도면 16


346
VDD
PBIAS
347
345
ASYNC
349
350
348
358
356
361
362
374
375
376
FIBW
VDD
VDD
353
VSS
VSS
357
KSD2
351
352
354
359
360
355
NBIAS
VSS
365
KCMOS
372
KSD
366
370
373
368
KSD
371
367
369
KCMOS
266

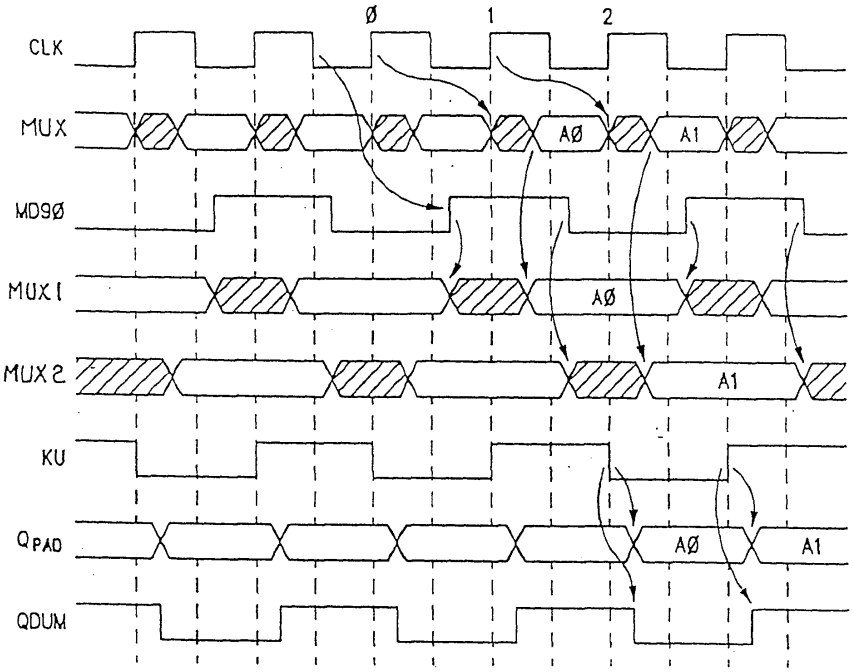
도면 17


VDD
DATA
381
384
389
NBIAS
382
383
385
388
390
VSS
BL
386
391
393
387
392
394
GEQ*
WCQ
395
DATA*
396
399
403
NBIAS
397
400
402
404
398
401
BL*
380

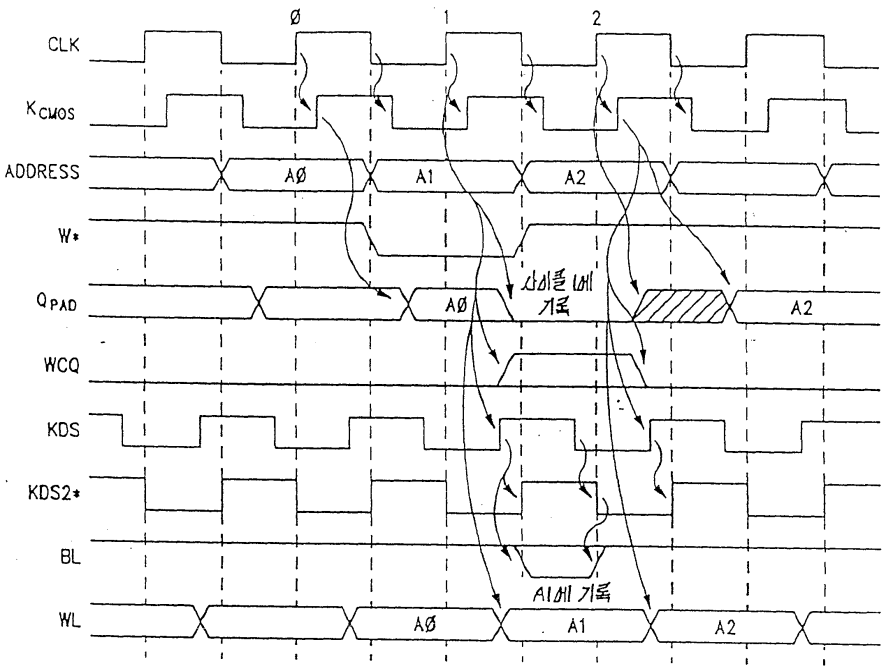
도면 18


Ø
1
2
3
4
CLK
MUX
AØ
A1
A2
MD9Ø
MUX1
MUX2
KU
QPAD
QDUM

도면 19


Ø
1
2
CLK
MUX
MD9Ø
MUX1
MUX2
KU
QPAD
QDUM
AØ
A1

도면 20


Ø
1
2
CLK
KCMOS
ADDRESS
W*
QPAD
WCQ
KDS
KDS2*
BL
WL
AØ
A1
A2
A1에 기록