

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7598268号
(P7598268)

(45)発行日 令和6年12月11日(2024.12.11)

(24)登録日 令和6年12月3日(2024.12.3)

| | | | | |
|--------------------------|---------|-------|---------|--|
| (51)国際特許分類 | F I | | | |
| H 0 1 L 29/872 (2006.01) | H 0 1 L | 29/86 | 3 0 1 M | |
| H 0 1 L 29/47 (2006.01) | H 0 1 L | 29/86 | 3 0 1 D | |
| H 0 1 L 29/861 (2006.01) | H 0 1 L | 29/48 | M | |
| H 0 1 L 29/868 (2006.01) | H 0 1 L | 29/48 | E | |
| H 0 1 L 29/78 (2006.01) | H 0 1 L | 29/48 | D | |
| 請求項の数 12 (全12頁) 最終頁に続く | | | | |

| | | | |
|----------|----------------------------------|----------|---|
| (21)出願番号 | 特願2021-41019(P2021-41019) | (73)特許権者 | 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 |
| (22)出願日 | 令和3年3月15日(2021.3.15) | (73)特許権者 | 317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号 |
| (65)公開番号 | 特開2022-140933(P2022-140933 A) | (74)代理人 | 110004026 弁理士法人 i X |
| (43)公開日 | 令和4年9月29日(2022.9.29) | (72)発明者 | 平田 直文 東京都港区芝浦一丁目1番1号 東芝デ バイス&ストレージ株式会社内 |
| 審査請求日 | 令和5年2月2日(2023.2.2) | (72)発明者 | 蔵口 友美 東京都港区芝浦一丁目1番1号 東芝デ バイス&ストレージ株式会社内 |
| | | (72)発明者 | 植木 伸一 最終頁に続く |

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1導電形の第1半導体層を含む半導体部と、
前記半導体部の裏面上に設けられる第1電極と、
前記半導体部の表面上に設けられる第2電極であって、前記第1半導体層に接し、バナジウムを主成分とする障壁層と、前記障壁層上に設けられる金属層と、を含む第2電極と、
を備え、
前記第1半導体層は、炭化シリコンもしくは窒化ガリウムであり、
前記第2電極の前記障壁層は、バナジウムとシリコンとの合金、バナジウムとアルミニウムとの合金、および、炭化バナジウムの少なくともいずれか1つを含む半導体装置。

10

【請求項2】

前記第2電極の前記障壁層は、金属バナジウムまたは窒化バナジウムを含む請求項1記載の半導体装置。

【請求項3】

第1導電形の第1半導体層を含む半導体部と、
前記半導体部の裏面上に設けられる第1電極と、
前記半導体部の表面上に設けられる第2電極であって、前記第1半導体層に接し、バナジウムを主成分とする障壁層と、前記障壁層上に設けられる金属層と、を含む第2電極と、
を備え、
前記第1半導体層は、炭化シリコンもしくは窒化ガリウムであり、

20

前記第 2 電極の前記障壁層は、バナジウムとシリコンとの合金、バナジウムとアルミニウムとの合金、および、炭化バナジウムの少なくともいずれか 1 つを含み、

前記障壁層は、窒化バナジウムを含む第 1 層と、前記第 1 層上に設けられ金属バナジウムを含む第 2 層と、を有する半導体装置。

【請求項 4】

第 1 導電形の第 1 半導体層を含む半導体部と、

前記半導体部の裏面上に設けられる第 1 電極と、

前記半導体部の表面上に設けられる第 2 電極であって、前記第 1 半導体層に接し、バナジウムを主成分とする障壁層と、前記障壁層上に設けられる金属層と、を含む第 2 電極と、を備え、

前記第 1 半導体層は、炭化シリコンもしくは窒化ガリウムであり、

前記第 2 電極の前記障壁層は、バナジウムとシリコンとの合金、バナジウムとアルミニウムとの合金、および、炭化バナジウムの少なくともいずれか 1 つを含み、

前記障壁層は、シリコンバナジウムおよび炭化バナジウムの少なくともいずれかを含む第 1 層と、前記第 1 層上に設けられ金属バナジウムを含む第 2 層と、を有する半導体装置。

【請求項 5】

第 1 導電形の第 1 半導体層を含む半導体部と、

前記半導体部の裏面上に設けられる第 1 電極と、

前記半導体部の表面上に設けられる第 2 電極であって、前記第 1 半導体層に接し、バナジウムを主成分とする障壁層と、前記障壁層上に設けられる金属層と、を含む第 2 電極と、を備え、

前記第 1 半導体層は、炭化シリコンもしくは窒化ガリウムであり、

前記第 2 電極の前記障壁層は、バナジウムとシリコンとの合金、バナジウムとアルミニウムとの合金、および、炭化バナジウムの少なくともいずれか 1 つを含み、

前記障壁層は、シリコンバナジウムおよび炭化バナジウムの少なくともいずれかを含む第 1 層と、前記第 1 層上に設けられ窒化バナジウムを含む第 2 層と、を有する半導体装置。

【請求項 6】

前記半導体部は、前記第 1 半導体層と前記第 2 電極との間に設けられた第 2 導電形の第 2 半導体層をさらに含み、

前記第 1 半導体層は、延在部を有し、前記延在部は前記第 2 半導体層中に延在し、前記第 2 電極の前記障壁層に接する請求項 3 ~ 5 のいずれか 1 つに記載の半導体装置。

【請求項 7】

第 1 導電形の第 1 半導体層を含む半導体部と、

前記半導体部の裏面上に設けられる第 1 電極と、

前記半導体部の表面上に設けられる第 2 電極であって、前記第 1 半導体層に接し、バナジウムを主成分とする障壁層と、前記障壁層上に設けられる金属層と、を含む第 2 電極と、を備え、

前記第 1 半導体層は、炭化シリコンもしくは窒化ガリウムであり、

前記第 2 電極の前記障壁層は、バナジウムとシリコンとの合金、バナジウムとアルミニウムとの合金、および、炭化バナジウムの少なくともいずれか 1 つを含み、

前記半導体部は、前記第 1 半導体層と前記第 2 電極との間に設けられた第 2 導電形の第 2 半導体層をさらに含み、

前記第 1 半導体層は、延在部を有し、前記延在部は前記第 2 半導体層中に延在し、前記第 2 電極の前記障壁層に接する、半導体装置。

【請求項 8】

前記第 2 電極の前記障壁層は、金属バナジウムまたは窒化バナジウムを含む、請求項 7 記載の半導体装置。

【請求項 9】

前記第 2 電極は、前記第 2 半導体層と前記障壁層との間に設けられ、前記第 2 半導体層

10

20

30

40

50

に電氣的に接続されたコンタクト層をさらに含む、
請求項 6 ~ 8 のいずれか 1 つに記載の半導体装置。

【請求項 10】

前記半導体部は、前記第 2 導電形の第 3 半導体層と、前記第 2 導電形の第 4 半導体層と、
をさらに含む、

前記第 3 半導体層は、前記第 2 半導体層と前記第 2 電極の前記コンタクト層との間に設けられ、

前記第 4 半導体層は、前記半導体部の前記表面に沿って、前記第 2 半導体層を囲み、

前記第 3 半導体層および前記第 4 半導体層は、前記第 2 半導体層の第 2 導電形不純物濃度よりも高濃度の第 2 導電形不純物をそれぞれ含み、

前記第 2 電極の前記コンタクト層は、前記第 3 半導体層を介して、前記第 2 半導体層に電氣的に接続される、

請求項 9 記載の半導体装置。

【請求項 11】

前記半導体部の前記表面側において、前記第 2 電極の前記障壁層から離間して設けられ、
前記半導体部から第 1 絶縁膜により電氣的に絶縁され、前記第 1 絶縁膜を介して前記第 1 半導体層の一部に向き合う制御電極をさらに備え、

前記半導体部は、前記第 1 半導体層と前記第 2 電極との間に設けられ、前記第 1 絶縁膜を介して前記制御電極に向き合う部分を含む第 2 導電形の第 2 半導体層と、前記第 2 半導体層と前記第 2 電極との間に設けられ、前記第 1 絶縁膜に接し、前記第 2 電極の前記金属層に電氣的に接続された前記第 1 導電形の第 5 半導体層と、をさらに含む請求項 6 ~ 8 のいずれか 1 つに記載の半導体装置。

【請求項 12】

前記半導体部は、前記第 2 半導体層と前記第 2 電極との間に設けられ、前記第 2 電極の前記金属層に電氣的に接続され、前記第 2 半導体層の第 2 導電形不純物の濃度よりも高濃度の第 2 導電形不純物を含む前記第 2 導電形の第 3 半導体層をさらに含む、請求項 11 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体装置に関する。

【背景技術】

【0002】

半導体装置には電氣的特性の向上が求められる。例えば、ショットキーバリアダイオードは、低い順方向電圧および低い逆方向電流を有することが望ましい。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2017 - 55001 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

実施形態は、電流・電圧特性を向上させることが可能な半導体装置を提供する。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、第 1 導電形の第 1 半導体層を含む半導体部と、前記半導体部の裏面上に設けられる第 1 電極と、前記半導体部の表面上に設けられる第 2 電極と、を備える。前記第 2 電極は、前記第 1 半導体層に接し、バナジウムを主成分とする障壁層と、前記障壁層上に設けられる金属層と、を含む。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 0 6 】

【 図 1 】 第 1 実施形態に係る半導体装置を示す模式断面図である。

【 図 2 】 第 1 実施形態に係る半導体装置の特性を示すグラフである。

【 図 3 】 第 1 実施形態の変形例に係る半導体装置の電極構造を示す模式断面図である。

【 図 4 】 第 1 実施形態の変形例に係る半導体装置を示す模式断面図である。

【 図 5 】 第 2 実施形態に係る半導体装置を示す模式断面図である。

【 発明を実施するための形態 】

【 0 0 0 7 】

以下、実施の形態について図面を参照しながら説明する。図面中の同一部分には、同一番号を付してその詳しい説明は適宜省略し、異なる部分について説明する。なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

10

【 0 0 0 8 】

(第 1 実施形態)

図 1 は、第 1 実施形態に係る半導体装置 1 を示す模式断面図である。半導体装置 1 は、例えば、ショットキーバリアダイオードである。

【 0 0 0 9 】

図 1 に示すように、半導体装置 1 は、半導体部 1 0 と、第 1 電極 2 0 と、第 2 電極 3 0 と、絶縁膜 4 0 と、を備える。

20

【 0 0 1 0 】

半導体部 1 0 は、例えば、第 1 導電形の半導体基板 1 1 と、第 1 導電形の第 1 半導体層 1 3 と、を含む。半導体基板 1 1 は、例えば、n 形炭化シリコン (S i C) 基板である。第 1 半導体層 1 3 は、例えば、n 形 S i C 層もしくは n 形窒化ガリウム (G a N) 層である。第 1 半導体層 1 3 は、半導体基板 1 1 の上にエピタキシャル成長される。以下、第 1 導電形を n 形、第 2 導電形を p 形として説明する。

【 0 0 1 1 】

半導体部 1 0 は、表面およびその反対側の裏面を有する。第 1 電極 2 0 は、半導体部 1 0 の裏面上に設けられる。第 2 電極 3 0 は、半導体部 1 0 の表面上に設けられる。半導体基板 1 1 は、第 1 半導体層 1 3 と第 1 電極 2 0 との間に位置する。第 1 半導体層 1 3 は、半導体基板 1 1 と第 2 電極 3 0 との間に位置する。第 1 電極 2 0 は、例えば、金 (A u) もしくはアルミニウム (A l) を含む金属層である。

30

【 0 0 1 2 】

第 2 電極 3 0 は、例えば、障壁層 3 1 と、金属層 3 3 と、を含む。障壁層 3 1 は、第 1 半導体層 1 3 に接し、例えば、バナジウム (V) を主成分として含む。金属層 3 3 は、障壁層 3 1 上に設けられ、例えば、モリブデン (M o) もしくはアルミニウム (A l) を含む。

【 0 0 1 3 】

障壁層 3 1 は、第 1 半導体層 1 3 に対してショットキー接続される。障壁層 3 1 は、例えば、金属バナジウム (V) 、窒化バナジウム (V N) 、シリコンバナジウム (S i V) 、アルミニウムバナジウム (A l V) 、炭化バナジウム (V C) により構成される群の少なくとも 1 つを含む。障壁層 3 1 は、例えば、スパッタ法を用いて形成される。ここで、シリコンバナジウム (S i V) は、珪化バナジウムもしくはシリコンとバナジウムの合金である。また、アルミニウムバナジウムは、アルミニウムとバナジウムの合金である。

40

【 0 0 1 4 】

金属バナジウムは、例えば、純度 9 9 . 9 重量 % 以上のバナジウムを含むターゲットを用いたスパッタ法により形成される。金属バナジウムは、例えば、鉄、クロム、ニッケルなどを 0 . 1 重量 % 以下の不純物として含む。

【 0 0 1 5 】

窒化バナジウムは、例えば、純度 9 9 . 9 重量 % 以上のバナジウムを含むターゲットを

50

用いた反応性スパッタ法を用いて形成される。窒化バナジウムは、例えば、鉄、クロム、ニッケル等もしくはそれらの窒化物を不純物として含む。

【0016】

シリコンバナジウム (SiV) は、例えば、純度99.9重量%以上の珪化バナジウムを含むターゲットを用いたスパッタ法を用いて形成される。また、炭化バナジウム (VC) は、例えば、純度99重量%以上の炭化バナジウムを含むターゲットを用いたスパッタ法を用いて形成される。

【0017】

障壁層31は、上記の例に限定されず、例えば、金属バナジウムと第1半導体層13との合金層を含んでも良い。

【0018】

絶縁膜40は、半導体部10の表面上に設けられる。絶縁膜40は、例えば、シリコン酸化膜であり、CVD (Chemical Vapor Deposition) 用いて形成される。第2電極30は、絶縁膜40に設けられたコンタクトホールを介して、第1半導体層13に接続される。障壁層31は、コンタクトホールの底面に露出された第1半導体層13に接する。

【0019】

図2は、第1実施形態に係る半導体装置1の特性を示すグラフである。図2(a)は、半導体装置1の順方向特性を示すグラフである。図2(b)は、順方向電圧VFと逆方向電流IRとの関係を示すグラフである。

【0020】

図2(a)および(b)には、半導体装置1の特性EBおよび比較例に係る半導体装置の特性CEを示す。半導体装置1の障壁層31は、金属バナジウムを含む。比較例に係る半導体装置の障壁層は、チタニウム (Ti) を含む。

【0021】

図2(a)の横軸は、順方向電圧VFであり、縦軸は、順方向電流IFである。

図2(a)に示すように、半導体装置1の順方向電圧VFは、比較例に係る半導体装置の順方向電圧VFよりも低い。

【0022】

図2(b)の横軸は、順方向電圧VFであり、縦軸は、逆方向電流IRである。

図2(a)および(b)に示すように、半導体装置1では、金属バナジウムを含む障壁層31を用いることにより、比較例に係る半導体装置に比べて、順方向電圧VFを低減することができる。

【0023】

しかしながら、半導体装置1では、逆方向電流IRが増加することが分かる。半導体装置1の電流・電圧特性をさらに向上させるためには、逆方向電流IRを低減することが望ましい。

【0024】

図3(a)~(c)は、第1実施形態の変形例に係る半導体装置1の電極構造を示す模式断面図である。図3(a)~(c)に示すように、障壁層31は、少なくとも2つの層を含む積層構造を有しても良い。

【0025】

図3(a)に示すように、障壁層31は、第1層31aと第2層31bとを含む。第1層31aは、第1半導体層13に接するように設けられる。第2層31bは、第1層31aと金属層33との間に設けられる。第1層31aは、例えば、窒化バナジウム (VN) を含む。第2層31bは、例えば、金属バナジウム (V) を含む。

【0026】

図3(b)に示すように、障壁層31は、第1層31cと第2層31bとを含む。第1層31cは、第1半導体層13に接するように設けられる。第2層31bは、第1層31cと金属層33との間に設けられる。第1層31cは、例えば、シリコンバナジウム (SiV) および炭化バナジウム (VC) の少なくともいずれか1つを含む。第2層31bは

10

20

30

40

50

、例えば、金属バナジウム（V）を含む。

【0027】

図3(c)に示すように、障壁層31は、第1層31cと第2層31aとを含む。第1層31cは、第1半導体層13に接するように設けられる。第2層31aは、第1層31cと金属層33との間に設けられる。第1層31cは、例えば、シリコンバナジウム（SiV）および炭化バナジウム（VC）の少なくともいずれか1つを含む。第2層31aは、例えば、窒化バナジウム（VN）を含む。

【0028】

半導体装置1では、例えば、単層構造の障壁層31もしくは上記の積層構造のうちの1つを用いることにより、電流・電圧特性を向上させることが可能である。

10

【0029】

図4は、第1実施形態の変形例に係る半導体装置2を示す模式断面図である。

半導体装置2は、半導体部100を含む。第1電極20は、半導体部100の裏面上に設けられる。第2電極30は、半導体部100の表面上に設けられる。

【0030】

半導体部100は、第1導電形の半導体基板11と、第1導電形の第1半導体層13と、第2導電形の第2半導体層15と、第2導電形の第3半導体層17と、第2導電形の第4半導体層19と、を含む。

【0031】

第2電極30は、障壁層31と、金属層33と、コンタクト層35と、を含む。第2電極30は、絶縁膜40に設けられたコンタクトホールを介して、半導体部100に接するように設けられる。障壁層31は、半導体部100と金属層33との間に設けられる。コンタクト層35は、半導体部100と障壁層31との間に設けられる。

20

【0032】

半導体基板11は、第1電極20と第1半導体層13との間に位置し、第1電極20に電氣的に接続される。第1半導体層13は、半導体基板11と第2電極30との間に位置する。

【0033】

第2半導体層15は、第1半導体層13と第2電極20との間に設けられる。第2半導体層15は、第1半導体層13と同じ材料を含む。また、第2半導体層15は、第2導電形の不純物をさらに含む。

30

【0034】

第3半導体層17は、第2半導体層15と第2電極30との間に設けられる。第3半導体層17は、第1半導体層13と同じ材料を含む。第3半導体層17は、第2半導体層15の第2導電形不純物の濃度よりも高濃度の第2導電形不純物を含む。

【0035】

第2電極30のコンタクト層35は、第3半導体層17と障壁層31との間に設けられる。コンタクト層35は、第3半導体層17および障壁層31に接し、例えば、オーミック接続される材料を含む。コンタクト層35は、例えば、ニッケル（Ni）を含む。

【0036】

第2電極30は、コンタクト層35を介して、第3半導体層17に電氣的に接続される。さらに、第2電極30は、第3半導体層17を介して、第2半導体層15に電氣的に接続される。

40

【0037】

第2半導体層15は、第1半導体層13と第3半導体層17との間に設けられる部分と、第2電極30の障壁層31に接する部分と、を含む。また、第1半導体層13は、第2半導体層15中に延在し、第2電極30の障壁層31に接する延在部13cを含む。

【0038】

第1半導体層13は、例えば、複数の延在部13cを含む。第1半導体層13の延在部13cは、例えば、第2電極30の障壁層31にショットキー接続される。第2半導体層

50

15は、半導体部100の表面に沿った方向において隣り合う延在部13cの間に位置し、第2電極30の障壁層31に接する部分を含む。

【0039】

第4半導体層19は、第1半導体層13と絶縁膜40との間に設けられる。第4半導体層19は、第1半導体層13と同じ材料を含む。第4半導体層19は、第2半導体層15を囲むように設けられる。また、第4半導体層19は、第2半導体層15につながるように設けられ、第2半導体層15の第2導電形不純物の濃度よりも高濃度の第2導電形不純物を含む。

【0040】

第4半導体層19は、第2半導体層15の外周における電界集中を緩和し、半導体装置2の逆方向耐圧を向上させる。第4半導体層19は、所謂RESURF (Reduced Surface Field) 構造を構成する。

10

【0041】

半導体装置2では、半導体部100と第2電極30との間に、例えば、ショットキー接合とpn接合とを設けることにより、順方向電圧VFを低減し、且つ、逆方向電流IRを低減することができる。すなわち、順方向電圧VFは、pn接合のビルトイン電圧よりも低い値となる。一方、第1電極20と第2電極30との間に逆方向電圧が印加された場合には、pn接合の動作が支配的となり、逆方向電流を低減することができる。

【0042】

さらに、バナジウム(V)を主成分として含む材料を第2電極30の障壁層31に用いることにより、順方向電圧VFを低減することができる。また、第1電極20と第2電極30との間に逆方向電圧が印加された場合、第1半導体層13の延在部13cは低バイアス時にpn接合から広がる空乏層により空乏化される。このため、pn接合の電界がショットキー接合の電界よりも高くなる。これにより、ショットキー接合の逆方向電流IRに起因した、半導体装置2の逆方向電流の増加を抑制することができる。

20

【0043】

また、半導体装置2では、第2電極30の障壁層31に金属バナジウムを用いた場合の逆方向電流IRの増加(図2(b)参照)を防ぐことができる。これにより、半導体装置2の電流・電圧特性を向上させることができる。

【0044】

(第2実施形態)

図5は、第2実施形態に係る半導体装置3を示す模式断面図である。図5は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) とショットキーバリアダイオードとを集積化した構造を有する。

30

【0045】

半導体装置3は、半導体部200を含む。第1電極20は、半導体部200の裏面上に設けられる。第2電極30は、半導体部200の表面上に設けられる。第1電極20は、例えば、ドレイン電極とカソード電極を兼る。第2電極30は、例えば、ソース電極とアノード電極とを兼る。

【0046】

半導体装置3は、制御電極50をさらに含む。制御電極50は、例えば、ゲート絶縁膜51を介して、半導体部200の表面上に設けられる。また、制御電極50は、第2電極30と半導体部200との間に設けられる。制御電極50は、例えば、層間絶縁膜53により、第2電極30から電氣的に絶縁される。

40

【0047】

半導体部200は、第1導電形の半導体基板11と、第1導電形の第1半導体層13と、第2導電形の第2半導体層15と、第2導電形の第3半導体層17と、第1導電形の第5半導体層21と、第1導電形の第6半導体層23と、を含む。

【0048】

半導体基板11は、第1電極20と第1半導体層13との間に位置し、第1電極20に

50

電氣的に接続される。第1半導体層13は、半導体基板11と第2電極30との間に位置する。半導体基板11は、第1半導体層13の第1導電形不純物の濃度よりも高濃度の第1導電形不純物を含む。第1半導体層13は、例えば、n形ドリフト層である。

【0049】

第2半導体層15は、第1半導体層13と第2電極20との間に設けられる。第2半導体層15は、第1半導体層13と同じ材料を含む。また、第2半導体層15は、第2導電形の不純物をさらに含む。第2半導体層15は、例えば、p形拡散層である。

【0050】

第3半導体層17は、第2半導体層15と第2電極30との間に設けられる。第3半導体層17は、第1半導体層13と同じ材料を含む。第3半導体層17は、第2半導体層15の第2導電形不純物の濃度よりも高濃度の第2導電形不純物を含む。

10

【0051】

第3半導体層17は、例えば、p形コンタクト層である。第3半導体層17は、第2電極30に電氣的に接続される。第2半導体層15は、第3半導体層17を介して、第2電極30に電氣的に接続される。

【0052】

第5半導体層21は、第2半導体層15と第2電極30との間に設けられる。第5半導体層21は、第1半導体層13と同じ材料を含む。

【0053】

第6半導体層23は、第2半導体層15と第2電極30との間に設けられる。第6半導体層23は、第1半導体層13と同じ材料を含む。

20

【0054】

第3半導体層17、第5半導体層21および第6半導体層23は、第2半導体層15と第2電極30との間において、例えば、半導体部200の表面に沿って並ぶ。第3半導体層17は、第5半導体層21と第6半導体層23との間に設けられる。また、第5半導体層21は、第2電極30に電氣的に接続される。

【0055】

図5に示すように、半導体部200の表面に沿って、複数の第2半導体層15が設けられる。複数の第2半導体層15は、相互に離間して設けられる。第1半導体層13は、隣り合う2つの第2半導体層15の間に延在する第1部分13aと、隣り合う別の2つの第2半導体層15の間に延在する第2部分13bを有する。また、第2半導体層15は、チャンネル部15cを含み、第1半導体層13の第1部分13aと第2半導体層15のチャンネル部15cは、半導体部200の表面に沿って並ぶ。

30

【0056】

制御電極50は、ゲート絶縁膜51を介して、第1半導体層13の第1部分13aおよび第2半導体層15のチャンネル部15cに向き合うように設けられる。また、第5半導体層21は、第1半導体層13の第1部分13aと、第2半導体層15のチャンネル部15cを介して向き合うように設けられる。すなわち、第1半導体層13の第1部分13a、第2半導体層15のチャンネル部15cおよび第5半導体層21は、半導体部200の表面に沿って並ぶ。このように、MOSゲート構造は、第1半導体層13の第1部分13a、第2半導体層15のチャンネル部15c、第5半導体層21、制御電極50およびゲート絶縁膜51により構成される。

40

【0057】

障壁層31は、第1半導体層13の第2部分13bに接するように設けられる。また、障壁層31は、第1半導体層13の第2部分13bと第3半導体層17との間に位置する第2半導体層15の一部に接するように設けられる。

【0058】

第2電極30は、障壁層31と、金属層37と、を含む。障壁層31は、第1半導体層13の第2部分13bと金属層37との間に設けられる。金属層37は、例えば、半導体部200の表面側を覆い、第3半導体層17、第5半導体層21および障壁層31に接す

50

る。金属層 37 は、第 3 半導体層 17、第 5 半導体層 21 および障壁層 31 に電氣的に接続される。また、制御電極 50 は、層間絶縁膜 53 により金属層 37 から電氣的に絶縁される。

【0059】

障壁層 31 は、例えば、バナジウムを主成分とする金属層であり、第 1 半導体層 13 の第 2 部分 13b に接する。障壁層 31 は、第 1 半導体層 13 に、例えば、ショットキー接触する。障壁層 31 は、例えば、金属バナジウム (V)、窒化バナジウム (VN)、シリコンバナジウム (SiV)、アルミニウムバナジウム (AlV)、炭化バナジウム (VC) により構成される群の少なくとも 1 つを含む。

【0060】

このように、半導体装置 3 は、半導体部 200 の表面上において、MOS ゲート構造とショットキー接合とを集積化した構造を有する。また、バナジウムを主成分とする障壁層 31 により、ショットキー接合の低 VF 化を実現することができる。これにより、ショットキー接合の順方向の電流密度を高くすることが可能となり、半導体部 200 の表面上におけるショットキー接合の占有面積を低減することができる。

【0061】

なお、第 1 および第 2 実施形態は例示であり、本発明は、これらの例に限定される訳ではない。例えば、半導体基板 11 および第 1 半導体層 13 の材料は、炭化シリコン (SiC) および窒化ガリウム (GaN) に限定される訳ではなく、窒化ガリウム以外の窒化物半導体、もしくは、酸化ガリウムなどの酸化物半導体であっても良い。また、図 5 に示す例では、MOS ゲート構造とショットキー接合とが交互に配置されるが、実施形態は、これに限定される訳ではない。例えば、隣り合う 2 つのショットキー接合の間に、複数の MOS ゲート構造が設けられても良い。

【0062】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0063】

1、2 ... 半導体装置、 10、100 ... 半導体部、 11 ... 半導体基板、 13 ... 第 1 半導体層、 13c ... 延在部、 15 ... 第 2 半導体層、 17 ... 第 3 半導体層、 19 ... 第 4 半導体層、 21 ... 第 5 半導体層、 23 ... 第 6 半導体層、 20 ... 第 1 電極、 30 ... 第 2 電極、 31 ... 障壁層、 33 ... 金属層、 35 ... コンタクト層、 40 ... 絶縁膜、 50 ... 制御電極、 51 ... ゲート絶縁膜、 53 ... 層間絶縁膜

10

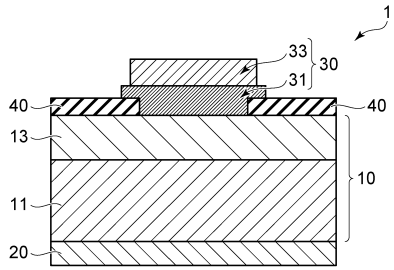
20

30

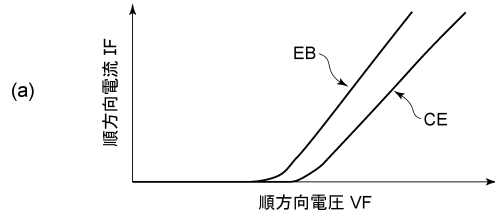
40

50

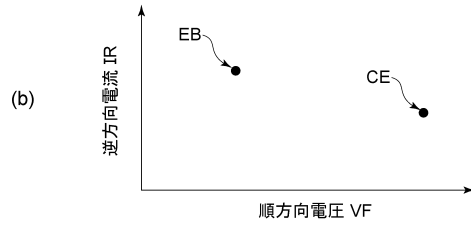
【図面】
【図 1】



【図 2】

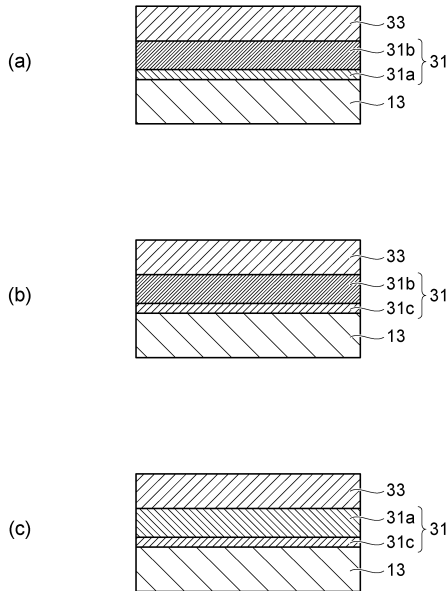


10

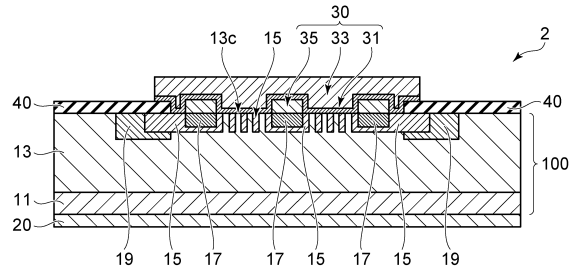


20

【図 3】



【図 4】

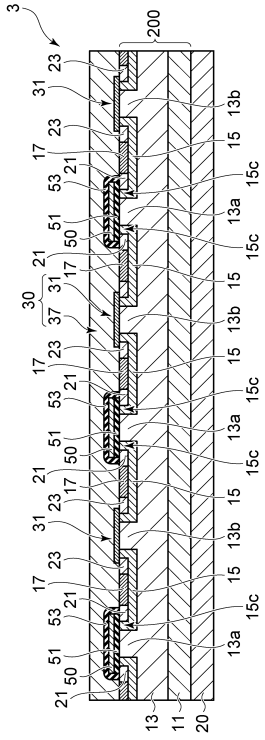


30

40

50

【 図 5 】



10

20

30

40

50

フロントページの続き

| | | | |
|--------------------------|---------|-------|---------|
| (51)国際特許分類 | F I | | |
| H 0 1 L 29/12 (2006.01) | H 0 1 L | 29/48 | F |
| H 0 1 L 21/28 (2006.01) | H 0 1 L | 29/86 | 3 0 1 F |
| H 0 1 L 29/417 (2006.01) | H 0 1 L | 29/86 | 3 0 1 E |
| H 0 1 L 29/06 (2006.01) | H 0 1 L | 29/91 | F |
| | H 0 1 L | 29/91 | C |
| | H 0 1 L | 29/91 | K |
| | H 0 1 L | 29/78 | 6 5 7 D |
| | H 0 1 L | 29/78 | 6 5 2 T |
| | H 0 1 L | 21/28 | 3 0 1 B |
| | H 0 1 L | 29/50 | M |
| | H 0 1 L | 29/06 | 3 0 1 V |
| | H 0 1 L | 29/06 | 3 0 1 G |

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 堀 陽一

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

(72)発明者 谷平 圭

東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内

審査官 戸川 匠

(56)参考文献 特開2015-070191(JP,A)
 特開昭60-176281(JP,A)
 特開2017-168663(JP,A)
 特開2015-029046(JP,A)
 特開2003-101039(JP,A)
 特開2018-049951(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 1 / 2 8
 H 0 1 L 2 9 / 0 6
 H 0 1 L 2 9 / 1 2
 H 0 1 L 2 9 / 4 1 7
 H 0 1 L 2 9 / 4 7
 H 0 1 L 2 9 / 7 8
 H 0 1 L 2 9 / 8 6 1
 H 0 1 L 2 9 / 8 6 8
 H 0 1 L 2 9 / 8 7 2