

FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

274 207

(11)

(13) B1

(51) Int. Cl. 5

G 11 C 7/00//
G 06 F 5/06

(21) PV 5010-88. S
(22) Přihlášeno 12 07 88

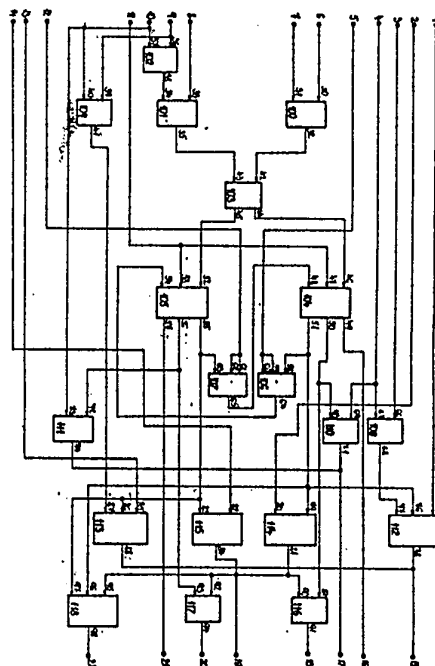
(40) Zveřejněno 12 09 90
(45) Vydáno 08 07 92

(75) Autor vynálezu
KOCUR PAVEL ing.,
SÝKORA JINDŘICH ing. CSc.,
VANĚČEK PAVEL ing., PLZEŇ

(54) Zapojení řadiče dvoubránové paměti

(57) Řešení se týká zapojení řadiče dvoubránové paměti pro víceprocesorové a vícepočítačové systémy. Řeší problém rychlého a bezkolizního přepínání přístupu k bunkám paměti z obou bran

při programově ovládaném vyhrazení paměti pouze pro jednu z obou bran blokováním druhé brány. Problém je vyřešen tím, že data, adresa a řídicí příkazy jsou připojeny k paměti pomocí datových, adresových a příkazových zesilovačů, které jsou řízeny sledem impulsů z posuvných registrů a klopných obvodů a adresových dekodérů tak, aby v jednom časovém okamžiku byla pamět k dispozici pouze jedné braně. Řadič se skládá z dekodérů (100, 101), součinnového hradla (102), R-S klopných obvodů (103, 108, 109), D klopného obvodu (106), dále se řadič skládá z posuvných registrů (104, 105) zesilovačů zápisového příkazu, dat a adres (110, 111, 112, 113, 114), dekodéru výběru dat (118) a z indikátorů přerušení (116, 117).



Vynález se týká zapojení řadiče dvoubránové paměti pro mikroprocesorové a vícepočítačové systémy.

Až dosud se pro komunikaci na sběrnici mikropočítačových systémů používá převážně sdílené jednobránové paměti. Při použití dvoubránových pamětí je možno podstatně zvýšit propustnost systémové sběrnice a tím i intenzitu interprocesorové komunikace. Dále je možno pomocí dvoubránových pamětí provést distribuci sdílené paměti k jednotlivým mikropočítačům, komunikovat mezi rozdělenými sběrnici atd. Základní nevýhodou současného stavu je skutečnost, že neexistují řadiče sestavené z dostupných součástek, které by jednoduchým způsobem umožňovaly použití klasických jednobránových pamětí ve funkci dvoubránové paměti, zejména řadiče dvoubránové paměti pro průmyslové použití.

Tyto nedostatky odstraňuje zapojení řadiče dvoubránové paměti podle vynálezu, jehož podstata spočívá v tom, že skupinová vstupní svorka prvních dat je spojena se skupinovým vstupem prvního zesilovače dat a skupinová vstupní svorka druhých dat je spojena se skupinovým vstupem druhého zesilovače dat. Jeho skupinový výstup je spojen jednak se skupinovým výstupem prvního zesilovače dat a jednak s výstupní skupinovou svorkou dat. Skupinová vstupní svorka nižších bitů první adresy je spojena s prvním skupinovým vstupem prvního zesilovače adres, jehož skupinový výstup je spojen jednak se skupinovým vstupem prvního indikátoru přerušení, jednak se skupinovým vstupem druhého indikátoru přerušení, jednak s výstupní skupinovou svorkou adres, jednak s prvním skupinovým vstupem dekodéru výběru pamětí a jednak se skupinovým výstupem druhého zesilovače adres. Jeho skupinový vstup je spojen se skupinovou vstupní svorkou nižších bitů druhé adresy, zatímco první vstupní svorka čtecího příkazu je spojena s prvním vstupem druhého R-S klopného obvodu. Jeho výstup je spojen se vstupem pro řízení směru prvního zesilovače dat. Jehož blokovací vstup je spojen jednak s blokovacím vstupem prvního zesilovače adres, jednak s hodinovým vstupem prvního D klopného obvodu, jednak s prvním uvolňovacím vstupem dekodéru výběru pamětí a jednak s prvním výstupem prvního posuvného registru. Jeho druhý výstup je spojen jednak s blokovacím vstupem prvního zesilovače zápisového příkazu a jednak s blokovacím vstupem prvního indikátoru přerušení. Výstup prvního zesilovače zápisového příkazu je spojen s výstupem druhého zesilovače zápisového příkazu a současně s výstupní svorkou zápisového příkazu. Výstup prvního indikátoru přerušení je spojen s první výstupní svorkou přerušení, zatímco první vstupní svorka zápisového příkazu je spojena s druhým vstupem druhého R-S klopného obvodu a současně se vstupem prvního zesilovače zápisového příkazu. První svorka požadavku na blokování paměti je spojena s datovým vstupem a s nulovacím vstupem prvního D klopného obvodu, jehož výstup je spojen s nulovacím vstupem druhého posuvného registru, jehož hodinový vstup je spojen se vstupní svorkou hodinových impulsů a současně s hodinovým vstupem prvního posuvného registru. Jeho třetí výstup je spojen s první výstupní svorkou odpovědi, zatímco skupinová vstupní svorka vyšších bitů první adresy je spojena se skupinovým vstupem prvního dekodéru. Jeho blokovací vstup je spojen se svorkou stavového bitu a výstup prvního dekodéru je spojen s prvním vstupem prvního R-S klopného obvodu. Jeho druhý vstup je spojen s výstupem druhého dekodéru, jehož skupinový vstup je spojen se skupinovou vstupní svorkou vyšších bitů druhé adresy. Druhá vstupní svorka čtecího příkazu je spojena jednak s prvním vstupem součinového hradla a jednak s prvním vstupem třetího R-S klopného obvodu. Jeho výstup je spojen se třetím vstupem pro řízení směru druhého zesilovače dat, jehož blokovací vstup je spojen jednak s blokovacím vstupem druhého zesilovače adres, jednak s hodinovým vstupem druhého D klopného obvodu, jednak s druhým uvolňovacím vstupem dekodéru výběru pamětí a jednak s prvním výstupem druhého posuvného registru. Jeho druhý výstup je spojen jednak s blokovacím vstupem druhého indikátoru přerušení a jednak s blokovacím vstupem druhého zesilovače zápisového příkazu. Jeho vstup je spojen jednak s druhým vstupem třetího R-S klopného obvodu, jednak s druhým vstupem součinového hradla a jednak s druhou vstupní svorkou zápisového příkazu. Výstup součinového hradla je spojen s blokovacím vstupem druhého dekodéru. Výstup druhého indikátoru přerušení je spojen s druhou výstupní svorkou přerušení, zatímco druhá svorka požadavku blokování je spojena s datovým vstupem a nulovacím vstupem druhého D klopného obvodu. Jeho výstup je spojen s nulovacím vstupem prvního posuv-

ného registru, jehož datový vstup je spojen s prvním výstupem prvního R-S klopného obvodu. Jeho druhý výstup je spojen s datovým vstupem druhého posuvného registru, jehož třetí výstup je spojen s druhou výstupní svorkou odpovědi. Skupinový výstup dekodéru výběrů pamětí je spojen s výstupní skupinovou svorkou výběrů pamětí.

Výhodou zapojení podle vynálezu je zejména skutečnost, že řadič umožňuje použití všech standardních statických i dynamických pamětí ve funkci dvoubránové paměti a sdílené dvoubránové paměti. Pomocí řadiče lze tedy realizovat široký sortiment dvoubránových pamětí s různými vlastnostmi podle použitého paměťového prvku. Další podstatnou výhodou je velká rychlost arbitrážní logiky řadiče. Tyto vlastnosti řadiče je možno výhodně použít při realizaci statické dvoubránové paměti, která umožňuje dosažení velké rychlosti přístupu a spolehlivosti uchovávané informace. Takový typ dvoubránové paměti je vhodný pro průmyslové použití v reálném čase. Řadič podle vynálezu umožňuje nejen rychlé a bezkolizní přepínání přístupem k buňkám paměti z obou brán, ale navíc je zde vyřešen problém programově ovládaného vyhrazení paměti pouze pro jednu z obou brán blokováním druhé brány. Tím je zaručena možnost blokového přenosu dat časově optimálním způsobem. Pro vyhrazení přístupu do paměti je možno použít i programového prostředku typu SEMAFOR a pro komunikaci je možno použít systému přerušení.

Příklad zapojení řadiče dvoubránové paměti podle vynálezu je znázorněn na výkresu.

Skupinová svorka 1 prvních dat je spojena se skupinovým vstupem 75 prvního zesilovače 112 dat. Skupinová vstupní svorka 13 druhých dat je spojena se skupinovým vstupem 85 druhého zesilovače 113 dat, jehož skupinový výstup 88 je spojen se skupinovým výstupem 78 prvního zesilovače 112 dat a s výstupní skupinovou svorkou 15 dat. Skupinová vstupní svorka 2 nižších bitů adresy je spojena se skupinovým vstupem 80 prvního zesilovače 114 adres. Skupinová svorka 14 nižších bitů druhé adresy je spojena se skupinovým vstupem 82 druhého zesilovače 115 adres. Jeho výstup 84 je spojen s výstupem 81 prvního zesilovače 114 adres a s výstupní skupinovou svorkou 19 adres. Výstupní skupinové svorky 81 adres a 84 jsou dále spojeny se skupinovým vstupem 90 prvního indikátoru 116 přerušení, se skupinovým vstupem 92 druhého indikátoru 117 přerušení a skupinovým vstupem 95 dekodéru 118 výběrů pamětí, přičemž jeho blokovací vstup 93 druhého indikátoru 117 přerušení je připojen na druhý výstup 56 druhého posuvného registru 105 a blokovací vstup 89 prvního indikátoru 116 přerušení je připojen na druhý vstup 50 prvního posuvného registru 104. Skupinový výstup 91 prvního indikátoru 116 přerušení je připojen na první výstupní svorku 18 přerušení. Skupinový výstup 94 druhého indikátoru 117 přerušení je připojen na druhou výstupní svorku 20 přerušení. První svorka 3 čtecího příkazu je spojena s prvním vstupem 66 druhého R-S klopného obvodu 108, jehož výstup 68 je spojen se vstupem 77 pro řízení směru prvního zesilovače 112 dat. Blokovací vstup 76 prvního zesilovače 112 dat je spojen s blokovacím vstupem 79 prvního zesilovače 114 adres, s hodinovým vstupem 58 prvního D klopného obvodu 106, s prvním uvolňovacím vstupem 96 dekodéru 118 výběrů pamětí a s prvním výstupem 51 prvního posuvného registru 104, jehož druhý výstup 50 je spojen s blokovacím vstupem 70 prvního zesilovače 110 zápisového příkazu. Přitom výstup 71 prvního zesilovače 110 zápisového příkazu je spojen s výstupem 74 druhého zesilovače 111 zápisového příkazu a současně s výstupní svorkou 17 zápisového příkazu. První svorka 4 zápisového příkazu je spojena s druhým vstupem 67 druhého R-S klopného obvodu 108 a současně se vstupem 69 prvního zesilovače 110 zápisového příkazu, přičemž první svorka 5 požadavku na blokování paměti je spojena s datovým vstupem 59 a s nulovacím vstupem 60 prvního D klopného obvodu 106, jehož výstup 64 je spojen s nulovacím vstupem 54 druhého posuvného registru 105. Hodinový vstup 53 druhého posuvného registru 105, je spojen se vstupní svorkou 11 hodinových impulsů a současně s hodinovým vstupem 47 prvního posuvného registru 104, jehož třetí výstup 49 je spojen s první výstupní svorkou 16 odpovědi. Skupinová vstupní svorka 6 vyšších bitů první adresy je spojena se skupinovým vstupem 30 prvního adresového dekodéru 100, jehož blokovací vstup 31 je spojen se svorkou 7 stavového bitu, přičemž výstup 32 prvního dekodéru 100 je spojen s prvním vstupem 42 prvního R-S klopného obvodu 103, jehož druhý vstup 43 je spojen s výstupem 35 druhého adresového dekodéru 101, jehož skupinový vstup 33 je spojen se skupinovou vstupní

svorkou 8 vyšších bitů druhé adresy. Druhá vstupní svorka 9 čtecího příkazu je spojena jednak s prvním vstupem 36 součinnového hradla 102, jednak s prvním vstupem 39 třetího R-S klopného obvodu 109, jehož výstup 41 je spojen se vstupem pro řízení směru 87 druhého zesilovače 113 dat. Blokovací vstup 86 zesilovače 113 dat je spojen jednak s blokovacím vstupem 83 druhého zesilovače 115 adres, jednak s hodinovým vstupem 63 druhého D klopného obvodu 107, druhým uvolňovacím vstupem 97 dekodéru 118 výběrů pamětí a s prvním výstupem 55 druhého posuvného registru 105. Druhý výstup 56 posuvného registru 105 je spojen s blokovacím vstupem 93 druhého indikátoru 117 přerušení a s blokovacím vstupem 72 druhého zesilovače 111 zápisového příkazu, jehož vstup 73 je spojen jednak s druhým vstupem 40 třetího R-S klopného obvodu 109, jednak s druhým vstupem 37 součinnového hradla 102 a s druhou vstupní svorkou 10 zápisového příkazu. Výstup 38 součinnového hradla 102 je spojen s blokovacím vstupem 34 druhého dekodéru 101. Výstup 94 druhého indikátoru 117 přerušení je spojen s druhou výstupní svorkou 20 přerušení. Druhá svorka 12 požadavku blokování je spojena s datovým vstupem 61 a nulovacím vstupem 62 druhého klopného obvodu 107, jehož výstup 65 je spojen s nulovacím vstupem 48 prvního posuvného registru 104. Datový vstup 46 prvního posuvného registru 104 je spojen s prvním výstupem 44 prvního R-S klopného obvodu 103, jehož druhý výstup 45 je spojen s datovým vstupem 52 druhého posuvného registru 105, jehož třetí výstup 57 je spojen s druhou výstupní svorkou 21 odpovědi. Skupinový výstup 98 výběru pamětí 118 je spojen s výstupní skupinovou svorkou 22 výběru.

Princip činnosti řadiče dvoubránové paměti spočívá v tom, že na základě signálu z adresových dekodérů 100 a 101 se pomocí prvního R-S klopného obvodu 103 rozhoduje, které bráně má být paměť přidělena, přičemž v jednom časovém okamžiku může být paměť přidělena pouze jedné bráně. Vlastní připojení datových vstupů paměti vybrané bráně je provedeno pomocí datových zesilovačů 112 a 113. Stejným způsobem je k paměti připojena adresa pomocí adresových zesilovačů 114 a 115 a řídicí impulsy pomocí zesilovačů příkazů 110 a 111. Pro bezkolizní přepínání jedné a druhé brány slouží posuvné registry 104 a 105, které generují sled impulsů pro přepínání celého řadiče a ke generování odpovědi pro sběrnice systémy, připojené na první a druhou bránu řadiče. Pomocí klopných obvodů 106 a 107 je možno zablokovat řadiče 104 a 105 a tím trvale přidělit dvoubránovou paměť pouze jedné bráně na základě příkazu z datové sběrnice mikropočítače.

Zapojení lze využít pro realizaci dvoubránové paměti v libovolné paměťové kapacitě pomocí běžných paměťových prvků, zejména pro realizaci rychlé statické sdílené dvoubránové paměti pro průmyslové použití.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení řadiče dvoubránové paměti, složené ze dvou dekodérů, součinnového hradla, tří R-S klopných obvodů, dvou D klopných obvodů, dvou zesilovačů zápisového příkazu, dvou zesilovačů dat, dvou zesilovačů adres, dvou posuvných registrů a dvou indikátorů přerušení a dekodéru výběru pamětí, vyznačující se tím, že skupinová vstupní svorka (1) prvních dat je spojena se skupinovým vstupem (75) prvního zesilovače (112) dat a skupinová vstupní svorka (13) druhých dat je spojena s prvním skupinovým vstupem (85) druhého zesilovače (113) dat, jehož skupinový výstup (88) je spojen jednak se skupinovým výstupem (78) prvního zesilovače (112) dat a jednak s výstupní skupinovou svorkou (15) dat, přičemž skupinová vstupní svorka (2) nižších bitů první adresy je spojena s prvním skupinovým vstupem (80) prvního zesilovače (114) adres, jehož skupinový výstup (81) je spojen jednak s prvním skupinovým vstupem (90) prvního indikátoru (116) přerušení, jednak s prvním skupinovým vstupem (92) druhého indikátoru (117) přerušení, jednak s výstupní skupinovou svorkou (19) adres, jednak s prvním skupinovým vstupem (95) dekodéru (118) výběru pamětí a jednak se skupinovým výstupem (84) druhého zesilovače (115) adres, jehož skupinový vstup (82) je spojen se skupinovou vstupní svorkou (14) nižších bitů druhé adresy, zatímco první vstupní svorka (3) čte-

ciho příkazu je spojena s prvním vstupem (66) druhého R-S klopného obvodu (108), jehož výstup (68) je spojen se třetím vstupem (77) pro řízení směru prvního zesilovače (112) dat, jehož blokovací vstup (76) je spojen jednak s blokovacím vstupem (79) prvního zesilovače (114) adres, jednak s hodinovým vstupem (58), prvního D klopného obvodu (106), jednak s prvním uvolňovacím vstupem (96) dekodéru (118) výběrů pamětí a jednak s prvním výstupem (51) prvního posuvného registru (104), jehož druhý výstup (50) je spojen jednak s blokovacím vstupem (70) prvního zesilovače (110) zápisového příkazu a jednak s blokovacím vstupem (89) prvního indikátoru (116) přerušení, přičemž výstup (71) prvního zesilovače (110) zápisového příkazu je spojen s výstupem (74) druhého zesilovače (111) zápisového příkazu a současně s výstupní svorkou (17) zápisového příkazu a výstup (91) prvního indikátoru (116) přerušení je spojen s první výstupní svorkou (18) přerušení, zatímco první vstupní svorka (4) zápisového příkazu je spojena s druhým vstupem (67) druhého R-S klopného obvodu (108) a současně se vstupem (69) prvního zesilovače (110) zápisového příkazu a první svorka (5) požadavku na blokování pamětí je spojena s datovým vstupem (59) a nulovacím vstupem (60) prvního D klopného obvodu (106), jehož výstup (64) je spojen s nulovacím vstupem (54) druhého posuvného registru (105), jehož hodinový vstup (53) je spojen se vstupní svorkou (11) hodinových impulsů a současně s hodinovým vstupem (47) prvního posuvného registru (104), jehož třetí výstup (40) je spojen s první výstupní svorkou (16) odpovědi, zatímco skupinová vstupní svorka (6) vyšších bitů první adresy je spojena se skupinovým vstupem (30) prvního dekodéru (100), jehož blokovací vstup (31) je spojen se svorkou (7) stavového bitu a výstup (32) prvního dekodéru (100) je spojen s prvním vstupem (42) prvního R-S klopného obvodu (103), jehož druhý vstup (43) je spojen s výstupem (35) druhého dekodéru (101), jehož skupinový vstup (33) je spojen se skupinovou vstupní svorkou (8) vyšších bitů druhé adresy, zatímco druhá vstupní svorka (9) čtecího příkazu je spojena jednak s prvním vstupem (36) součinnového hradla (102) a jednak s prvním vstupem (39) třetího R-S klopného obvodu (109), jehož výstup (41) je spojen s třetím vstupem (87) pro řízení směru druhého zesilovače (113) dat, jehož blokovací vstup (86) je spojen jednak s blokovacím vstupem (83) druhého zesilovače (115) adres, jednak s hodinovým vstupem (63) druhého D klopného obvodu (107), jednak s druhým uvolňovacím vstupem (97) dekodéru (118) výběrů pamětí a jednak s prvním výstupem (55) druhého posuvného registru (105), jehož druhý výstup (56) je spojen jednak s blokovacím vstupem (93) druhého indikátoru (117) přerušení a jednak s blokovacím vstupem (72) druhého zesilovače (111) zápisového příkazu, jehož vstup (73) je spojen jednak s druhým vstupem (40) třetího R-S klopného obvodu (109), jednak s druhým vstupem (37) součinnového hradla (102) a jednak s druhou vstupní svorkou (10) zápisového příkazu a výstup (38) součinnového hradla (102) je spojen s blokovacím vstupem (34) druhého dekodéru (101) a výstup (94) druhého indikátoru (117) přerušení je spojen s druhou výstupní svorkou (20) přerušení, zatímco druhá svorka (12) požadavku blokování je spojena s datovým vstupem (61) a nulovacím vstupem (62) druhého D klopného obvodu (107), jehož výstup (65) je spojen s nulovacím vstupem (48) prvního posuvného registru (104), jehož datový vstup (46) je spojen s prvním výstupem (44) prvního R-S klopného obvodu (103), jehož druhý výstup (45) je spojen s datovým vstupem (52) druhého posuvného registru (105), jehož třetí výstup (57) je spojen s druhou výstupní svorkou (21) odpovědi a skupinový výstup (98) dekodéru (118) výběru pamětí je spojen s výstupní skupinovou svorkou (22) výběrů pamětí.

