

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5411564号
(P5411564)

(45) 発行日 平成26年2月12日(2014.2.12)

(24) 登録日 平成25年11月15日(2013.11.15)

(51) Int.Cl.

B 41 J 2/05 (2006.01)

F 1

B 41 J 3/04 103B

請求項の数 5 (全 18 頁)

(21) 出願番号 特願2009-108466 (P2009-108466)
 (22) 出願日 平成21年4月27日 (2009.4.27)
 (65) 公開番号 特開2009-292148 (P2009-292148A)
 (43) 公開日 平成21年12月17日 (2009.12.17)
 審査請求日 平成24年2月14日 (2012.2.14)
 (31) 優先権主張番号 特願2008-122773 (P2008-122773)
 (32) 優先日 平成20年5月8日 (2008.5.8)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】記録素子基板、インクジェット記録ヘッド、及び記録装置

(57) 【特許請求の範囲】

【請求項 1】

第1のサイズのインク液滴を吐出するために、第1の密度で複数の第1の数の記録素子を備える第1の記録素子列と、

前記第1のサイズよりも小さい第2のサイズの、前記第1の記録素子列の記録素子より吐出されるインクと同じ色のインク液滴を吐出するために、前記第1の記録素子列の配列方向に並行に、前記第1の記録素子列とは同じ長さをもち、前記第1の密度より高い第2の密度で前記第1の数より多い第2の数の記録素子を備える第2の記録素子列と、

前記第1の記録素子列に含まれる複数の記録素子を予め定められた数のグループに分け、各グループに属する記録素子に対して時分割駆動を行う第1の駆動回路と、

前記第2の記録素子列に含まれる複数の記録素子を前記予め定められた数より多い数のグループに分け、各グループに属する記録素子に対して時分割駆動を行う第2の駆動回路とを備えた記録素子基板において、

前記第1の記録素子列に属する記録素子を駆動するためのデータを保持する第1のシフトレジスタ回路と、

前記第2の記録素子列を構成する複数のグループを少なくとも第1のグループ群と第2のグループ群に分け、前記各グループ群に属する記録素子を駆動するためのデータをそれぞれ保持する第2のシフトレジスタ回路及び第3のシフトレジスタ回路と、

前記第1のシフトレジスタ回路に外部からデータ信号を入力する第1の端子と、

前記第2のシフトレジスタ回路に外部からデータ信号を入力する第2の端子と、

10

20

前記第3のシフトレジスタ回路に外部からデータ信号を入力する第3の端子とを有し、前記第1のシフトレジスタ回路のビット数は、前記第2のシフトレジスタ回路のビット数と前記第3のシフトレジスタ回路のビット数との合計数より、前記第2のシフトレジスタ回路のビット数及び前記第3のシフトレジスタ回路のビット数に近いことを特徴とする記録素子基板。

【請求項2】

前記第1のシフトレジスタ回路と、前記第2のシフトレジスタ回路と、前記第3のシフトレジスタ回路とは、共通のクロック信号を用いることを特徴とする請求項1に記載の記録素子基板。

【請求項3】

請求項1又は2に記載の記録素子基板を有し、インクを吐出することにより記録を行なうことを特徴とするインクジェット記録ヘッド。

【請求項4】

請求項3に記載のインクジェット記録ヘッドを装着することが可能なキャリッジを有することを特徴とする記録装置。

【請求項5】

前記第2の記録素子列を駆動するためのデータの一部を、前記第2のシフトレジスタ回路に入力する部分と前記第3のシフトレジスタ回路に入力する部分とに分けて出力する回路をさらに有することを特徴とする請求項4に記載の記録装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配列された記録素子の数が異なる複数の記録素子列を備えた記録素子基板、インクジェット記録ヘッド、及び記録装置に関する。

【背景技術】

【0002】

サーマルインクジェット方式に従ってインクを吐出して記録媒体に記録を行う記録ヘッドは、発熱抵抗素子からなるヒータを記録ヘッドにおける記録素子の構成要素として備えている。さらに、ヒータを駆動するためのドライバ及びそのドライバを記録データに応じて選択的に駆動するためのロジック回路が、その記録ヘッドの同一素子基板上に形成されている。

【0003】

サーマルインクジェット方式のカラーインクジェット記録装置は年々高解像度化している。これに伴い、記録ヘッドの吐出口の配置密度は、600 dpiから900 dpi、さらには1200 dpiでインクを吐出させることができるようになっており、このような高密度の吐出口を備えた記録ヘッドが知られている。

【0004】

また、グレー画像及びカラーフォト画像におけるハーフトーン部及びハイライト部での粒状性を軽減することが要求されている。このため、画像を形成するために吐出されるインク滴（液滴）の大きさは、例えばカラーインクを吐出させる記録ヘッドにおいては、数年前までは15 p1程度であったが、近年、5 p1さらには2 p1と年々小さくなる傾向にある。

【0005】

このような小液滴のインクを吐出する吐出口が高密度に配置された高解像度の記録ヘッドは、高品位なカラーグラフィック画像やフォト画像を記録する際の、高画質な記録を行うというユーザのニーズを満たしている。しかし、帳票におけるカラーグラフを記録する際など、高解像度で記録することが要求されない代わりに高速で記録することが要求される場合、小液滴のインクにより記録するために記録走査数が増大して高速で記録するという要求に応えられない場合があった。

【0006】

10

20

30

40

50

そこで、このような高速記録の要求にも応えるため、高画質な記録を行うための小液滴のインクと高速で記録するための大液滴のインクを吐出する記録ヘッドが提案されている。また、1つの吐出口に対して複数のヒータを配置しこの複数のヒータにより吐出量を変調するものや、1つの素子基板内に吐出量の異なる複数の吐出口を配置する記録ヘッドも知られている。

【0007】

また、異なる吐出量のインクを吐出する複数の吐出口を備える素子基板において、小液滴のインクを吐出する吐出口からなる吐出口列（小液滴吐出口列）と大液滴のインクを吐出する吐出口からなる吐出口列（大液滴吐出口列）とを並列に備えた素子基板がある。このような素子基板において、高速で高画質な記録を可能にするために、小液滴吐出口列における吐出口の配置密度が大液滴吐出口列における吐出口の配置密度よりも高い素子基板がある。このような素子基板として、例えば1インチあたり600個の吐出口を配置した（配置密度600dpi）大液滴の吐出口列と、その2倍の1インチあたり1200個の吐出口を配置した（配置密度1200dpi）小液滴の吐出口列とを備える素子基板がある。

10

【0008】

また、安定したインクの吐出を行うためには、ヒータに安定した電圧を印加しなければならない。全てのヒータを同時に駆動すると一度に大きな電流が流れ、配線抵抗により大きく電圧が降下する。そのため、素子基板が備える複数のヒータを複数のブロックに分割し、時間を分けて順次ブロックごとにヒータを駆動することで安定したインクの吐出を行う時分割駆動方式が開示されている。このような例として、特許文献1、特許文献2、特許文献3、特許文献4、特許文献5、特許文献6の構成が知られている。

20

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2002-374163号公報

【特許文献2】特開平10-44416号公報

【特許文献3】特開2002-079672号公報

【特許文献4】特開平8-169116号公報

【特許文献5】特表2003-508257号公報

30

【特許文献6】特開2004-122757号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

近年のインクジェット記録装置は、高画質の画像を記録するために、小液滴のインクを吐出するようになっている。一方で、記録速度の高速化も求められているが、単純に同じ画像を形成するためには同じインク量が必要になるため、吐出するインクの小液滴化を行い吐出するインクのサイズが1/2になれば単純には記録速度が1/2になる。

【0011】

記録速度の低下を防ぐために同じ時間で同じインクの量を吐出するためには、ヒータ数を2倍にする必要がある。ヒータの配置密度を変えずにヒータ数を2倍にするとヒータが配置される素子基板のサイズが2倍以上に大きくなってしまう。さらに、素子基板を大きくしてしまうだけでなく、記録装置内を高速で移動する記録ヘッドの大型化、記録装置の大型化、振動及び騒音の増加を招いてしまう。このため、ヒータの配置密度を高くする必要がある。

40

【0012】

高速で記録を行うためには、小液滴のインクを吐出する吐出口のみを備えた記録ヘッドを用いるよりも、大液滴のインクを吐出する吐出口をさらに備えた記録ヘッドを用いる方が有利である。近年のインクジェット記録装置は、小液滴吐出口列と大液滴吐出口列を並行に配列した素子基板を備えた記録ヘッドを用い、小液滴のインクを吐出する吐出口と大

50

液滴のインクを吐出する吐出口とを選択的に駆動させて高速記録と高画質記録の両立を図っている。しかしながら、高速記録と高画質記録とを両立させるためには、素子基板に実装する吐出口及びヒータの数を増加させる必要がある。

【0013】

小液滴吐出口列の吐出口の配置密度が大液滴吐出口列の吐出口の配置密度よりも高い素子基板について述べる。この素子基板として、配置密度 600 dpi の大液滴吐出口列と、吐出口数がその 2 倍で配置密度もその 2 倍の配置密度 1200 dpi の小液滴吐出口列とを同一基板上に備えた素子基板を例に挙げて述べる。この素子基板では、1 画素 1 ビットで記録するなら、ヒータ数がそのまま記録データのビット数となるため、配置密度 600 dpi の吐出口列に必要なデータ数に対して、配置密度 1200 dpi の吐出口列に必要なデータ量は 2 倍になる。

10

【0014】

時分割駆動方式の一例として、素子基板の吐出口列それぞれについて時分割数が同じとする場合がある。また、同一のクロックが素子基板内で共通に使用されるためクロックの周波数は同じである。このため、データの転送速度はデータの転送の際に使用されるシフトレジスタのビット数に比例する。データ転送はそれぞれの吐出口列を単位として行われるため、高密度配列の吐出口列と低密度配列の吐出口列とでは、データ転送にかかる時間は異なることとなる。例えば、相対的に少数の吐出口からなる吐出口列に対応するシフトレジスタのビット数が 6 ビット（記録データ 4 ビット、ロック制御データ 2 ビット）とする。また、相対的に多数の吐出口からなる吐出口列に対応するシフトレジスタのビット数が 10 ビット（記録データ 8 ビット、ロック制御データ 2 ビット）とする。このような場合、6 ビットシフトレジスタにおけるデータ転送においても、10 ビットシフトレジスタのデータの転送速度によりその速度が制限されるため、本来のデータ転送速度の 6 / 10 のデータ転送速度でデータの転送を行うことになるという問題があった。

20

【0015】

また、高速で記録を行うために記録データを転送するクロックの周波数を高くする方法がある。通常、そのクロックは記録装置本体から記録ヘッドに供給されるため、記録中に移動する記録ヘッドと記録装置本体とはフレキシブルケーブル等の比較的長いケーブルで接続される。このケーブルには高電流が近接して流れることになり、複数の信号線と電力供給線を含むケーブルによって伝送される信号にはノイズが重畠しやすくなる。そして、ケーブルのインダクタンス成分によってパルス波形の立ち上がりや立下りが長くなる（波形がなまる）。このことは、クロックの周期が短くなる程、相対的に変動の割合が大きくなるために無視できないものとなり、記録ヘッド側で信号を正確に受信できなくなり、誤動作を引き起こす恐れがある。また、高い周波数のクロックを用いて信号を伝送した場合、ケーブルがアンテナとして作用して放射ノイズが発生する恐れもある。この放射ノイズは周囲の機器に誤動作を発生させるおそれもある。

30

【0016】

本発明の目的は、配列密度が異なる記録素子が配置された複数の記録素子列を備えた記録素子基板において、高密度配列の記録素子列側の駆動速度の低下を抑制し、各記録素子へ効率良くデータ転送することが可能な記録素子基板を提供することである。

40

【課題を解決するための手段】

【0017】

上記課題を解決するための本発明は、第 1 のサイズのインク液滴を吐出するために、第 1 の密度で複数の第 1 の数の記録素子を備える第 1 の記録素子列と、前記第 1 のサイズよりも小さい第 2 のサイズの、前記第 1 の記録素子列の記録素子より吐出されるインクと同じ色のインク液滴を吐出するために、前記第 1 の記録素子列の配列方向に並行に、前記第 1 の記録素子列とは同じ長さをもち、前記第 1 の密度より高い第 2 の密度で前記第 1 の数より多い第 2 の数の記録素子を備える第 2 の記録素子列と、前記第 1 の記録素子列に含まれる複数の記録素子を予め定められた数のグループに分け、各グループに属する記録素子に対して時分割駆動を行う第 1 の駆動回路と、前記第 2 の記録素子列に含まれる複数の記

50

録素子を前記予め定められた数より多い数のグループに分け、各グループに属する記録素子に対して時分割駆動を行う第2の駆動回路とを備えた記録素子基板において、前記第1の記録素子列に属する記録素子を駆動するためのデータを保持する第1のシフトレジスタ回路と、前記第2の記録素子列を構成する複数のグループを少なくとも第1のグループ群と第2のグループ群に分け、前記各グループ群に属する記録素子を駆動するためのデータをそれぞれ保持する第2のシフトレジスタ回路及び第3のシフトレジスタ回路と、前記第1のシフトレジスタ回路に外部からデータ信号を入力する第1の端子と、前記第2のシフトレジスタ回路に外部からデータ信号を入力する第2の端子と、前記第3のシフトレジスタ回路に外部からデータ信号を入力する第3の端子とを有し、前記第1のシフトレジスタ回路のビット数は、前記第2のシフトレジスタ回路のビット数と前記第3のシフトレジスタ回路のビット数との合計数より、前記第2のシフトレジスタ回路のビット数及び前記第3のシフトレジスタ回路のビット数に近いことを特徴とする記録素子基板である。
10

【0018】

また、上記課題を解決するための別の本発明は、前記記録素子基板を有することを特徴とするインクジェット記録ヘッド、及び、そのインクジェット記録ヘッドを装着することが可能なキャリッジを備えた記録装置である。

【発明の効果】

【0019】

本発明によれば、異なる配列密度で記録素子が配置された複数の記録素子列を備えた素子基板において、各記録素子へ効率良くデータ転送することが可能になる。

20

【図面の簡単な説明】

【0020】

【図1】本発明の実施例1に従う素子基板の概略図である。

【図2】図1に示す素子基板のヒータが高密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。

【図3】本発明の実施例2に従う素子基板の概略図である。

【図4】図3に示す素子基板のヒータが高密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。

【図5】実施例1の素子基板と比較するための素子基板の概略図である。

【図6】ヒータが低密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。

30

【図7】図5に示す素子基板のヒータが高密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。

【図8】素子基板の回路構成の一例を示す図である。

【図9】素子基板に入力される各種信号のタイミングチャートの一例である。

【図10】時分割駆動方式を採用した記録ヘッド用素子基板のブロック図の一例である。

【図11】素子基板の一例を示す斜視図である。

【図12】本発明の代表的な実施例であるインクジェット記録装置を示す模式図。

【図13】図12に示すインクジェット記録装置の制御構成を示す図である。

【図14】インクタンクと記録ヘッドとが一体的に形成されたヘッドカートリッジの構成を示す外観斜視図である。

40

【図15】インクジェット記録装置の制御回路を説明する図である。

【発明を実施するための形態】

【0021】

次に、本発明の実施形態について図面を参照して説明する。

【0022】

なお、この明細書において、「記録」とは、文字、図形等有意の情報を形成する場合のみならず、有意無意を問わず、広く記録媒体上に画像、模様、パターン等を形成する、または媒体の加工を行う場合も表すものとする。また、人間が視覚で知覚し得るように顕在化したものであるか否かを問わない。

50

【0023】

また、「記録媒体」とは、一般的な記録装置で用いられる紙のみならず、広く、布、プラスチック・フィルム、金属板、ガラス、セラミックス、木材、皮革等、インクを受容可能なものも表すものとする。

【0024】

さらに、「インク」とは、上記「記録」の定義と同様広く解釈されるべきもので、記録媒体上に付与されることによって、画像、模様、パターン等の形成または記録媒体の加工、或いはインクの処理に供され得る液体を表すものとする。インクの処理としては、例えば記録媒体に付与されるインク中の色剤の凝固または不溶化させることが挙げられる。

【0025】

なお、説明に用いる「素子基板」或は「記録素子基板」とは、シリコン半導体からなる単なる基体を指し示すものではなく、各素子や配線等が設けられた基体を示すものである。

【0026】

「素子基板上」とは、単に素子基板の表面上を指し示すだけでなく、素子基板の表面上、表面近傍の素子基板内部側をも示すものである。また、本発明でいう「作り込み」とは、別体の各素子を単に基板上に配置することを指し示している言葉ではなく、各素子を半導体回路の製造工程等によって素子基板上に一体的に形成、製造することを示すものである。

【0027】

10

<インクジェット記録装置>

本発明の素子基板を備えた記録ヘッドを搭載可能な記録装置について説明する。図12は、本発明の記録ヘッドを搭載可能なインクジェット記録装置の一例を示す説明図である。

【0028】

図12に示すインクジェット記録装置（以下、単に記録装置ともいう）は、本発明の素子基板を備えた記録ヘッドに、インクを収容する容器と組み合せて、ヘッドカートリッジH1000を構成している。ヘッドカートリッジH1000はキャリッジ102に位置決めされて交換可能に装着されている。キャリッジ102には、ヘッドカートリッジH1000上の外部信号入力端子を介して各吐出部に駆動信号等を伝達するための電気接続部が設けられている。

20

【0029】

キャリッジ102は、主走査方向に延在して記録装置本体に設置されたガイドシャフト103に沿って往復移動可能に案内支持されている。そして、キャリッジ102はキャリッジモータ104によりモータブーリ105、従動ブーリ106及びタイミングベルト107等の駆動機構を介して駆動されるとともにその位置及び移動が制御される。また、ホームポジションセンサ130がキャリッジ102に設けられている。これにより遮蔽板136の位置をキャリッジ102上のホームポジションセンサ130が通過した際に位置を知ることが可能となる。

30

【0030】

記録用紙やプラスチック薄板等の記録媒体108は、給紙モータ135からギアを介してピックアップローラ131を回転させることにより、オートシートフィーダ（ASF）132から一枚ずつ分離して給紙される。更に搬送ローラ109の回転により、ヘッドカートリッジH1000の吐出口面と対向する位置（プリント部）を通って搬送（副走査）される。搬送ローラ109は搬送モータ134の回転によりギアを介して行われる。その際、給紙されたかどうかの判定と給紙時の頭出し位置の確定は、ペーパエンドセンサ133を記録媒体108が通過した時点で行われる。ペーパエンドセンサ133は、記録媒体108の後端が実際にどこに有り、実際の後端から現在の記録位置を最終的に割り出すためにも使用される。

40

【0031】

50

なお、記録媒体 108 は、プリント部において平坦なプリント面を形成するように、その裏面をプラテン（不図示）により支持されている。この場合、キャリッジ 102 に搭載されたヘッドカートリッジ H1000 は、それらの吐出口面がキャリッジ 102 から下方へ突出して前記 2 組の搬送ローラ対の間で記録媒体 108 と平行になるように保持されている。

【0032】

ヘッドカートリッジ H1000 は、記録ヘッド部における吐出口の並び方向がキャリッジ 102 の走査方向に対して交差する方向になるようにキャリッジ 102 に搭載され、これらの吐出口列から液体を吐出して記録を行う。

【0033】

10

<制御構成>

次に、上述したインクジェット記録装置の記録制御を実行するための制御構成について説明する。

【0034】

図 13 はインクジェット記録装置の制御回路の構成を示すブロック図である。

【0035】

図 13 において、1700 は記録信号を入力するインターフェース、1701 は MPU、1702 は MPU 1701 が実行する制御プログラムを格納する ROM である。また、1703 は各種データ（ヘッドカートリッジ H1000 の記録ヘッド 3 に供給される記録データ等）を保存しておく DRAM である。1704 は記録ヘッド 3 に対する記録データの供給制御を行うゲートアレイ（G.A.）であり、インターフェース 1700、MPU 1701、RAM 1703 間のデータ転送制御も行う。1710 は記録ヘッド 3 を備えたヘッドカートリッジ H1000 を搬送するためのキャリッジモータ、134 は記録媒体搬送のための搬送モータである。1705 は記録ヘッド 3 を駆動するヘッドドライバ、1706 は搬送モータ 134 を駆動するためのモータドライバ、1707 はキャリッジモータ 1710 を駆動するためのモータドライバである。また、1708 は、電気的接続が正常でない場合にこれを通知するために点灯する等の目的で備えられる LED である。

20

【0036】

上記制御構成の動作を説明すると、インターフェース 1700 に記録信号が入力されるとゲートアレイ 1704 と MPU 1701 との間で記録信号がプリント用の記録データに変換される。そして、モータドライバ 1706、モータドライバ 1707 が駆動されると共に、ヘッドドライバ 1705 に送られた記録データに従って記録ヘッド 3 が駆動され、記録が行われる。

30

【0037】

<ヘッドカートリッジ>

図 14 は、インクタンク 6 と記録ヘッド 3 とが一体的に形成されたヘッドカートリッジ H1000 の構成を示す外観斜視図である。同図において、点線 K はインクタンク 6 と記録ヘッド 3 の境界線を示すものである。また、500 は吐出口が複数配列してなるインク吐出口列である。インクタンク 6 に収容されるインクは、不図示のインク供給路を介して記録ヘッド 3 に供給される。ヘッドカートリッジ H1000 には、キャリッジ 102 に搭載されたときに、キャリッジ 102 側から供給される電気信号を受け取るための電極（不図示）が設けられている。そして、この電気信号によって記録ヘッド 3 が駆動されて、吐出口列 500 の各吐出口から選択的にインクが吐出される。

40

【0038】

<素子基板>

次に、本発明の素子基板について説明する。図 8 は、素子基板の回路構成の一例である。このように、記録ヘッドにおける記録素子としてのヒータとその駆動回路は、半導体プロセス技術を用いて同一基板上に形成されている。

【0039】

図 8 において、1101 は熱エネルギーを発生するヒータを示し、1102 はヒー

50

タ 1 1 0 1 に所望の電流を供給する為のトランジスタ（トランジスタ部）を示す。1 1 0 4 は各ヒータ 1 1 0 1 に電流を供給して記録ヘッドの吐出口からインクを吐出するか否かを指定する記録データを一時的に格納するシフトレジスタを示す。1 1 0 7 はシフトレジスタ 1 1 0 4 に設けられたクロック（C L K）入力端子を示し、1 1 0 6 はヒータ 1 1 0 1 をONまたはOFFさせる記録データ（D A T A）をシリアルに入力する記録データ入力端子を示す。1 1 0 3 は各ヒータに対する記録データをヒータ毎に保持する為のラッチ回路を示し、1 1 0 8 はラッチ回路 1 1 0 3 にラッチのタイミングを指定するラッチ信号（L T）を入力するラッチ信号入力端子を示す。1 1 0 9 はヒータ 1 1 0 1 に電流を流すタイミングを決定するスイッチを示し、1 1 0 5 はヒータに所定の電圧を印加して電流を供給する為の電源配線を示し、1 1 1 0 はトランジスタ 1 1 0 2 を介してヒータ 1 1 0 1 の接地を行う接地配線を示す。

【0 0 4 0】

図 9 は、図 8 に示した素子基板に入力される各種信号のタイミングチャートである。図 9 を用いて図 8 に示した素子基板におけるヒータの駆動等について説明する。

【0 0 4 1】

クロック入力端子 1 1 0 7 にはシフトレジスタ 1 1 0 4 に格納される記録データのビット数分のクロック（C L K）が入力される。シフトレジスタ 1 1 0 4 へのデータ転送は、クロック（C L K）の立ち上がりのタイミングに同期して行われるものとする。各ヒータ 1 1 0 1 をONまたはOFFさせるための記録データ（D A T A）は、記録データ入力端子 1 1 0 6 から入力される。

【0 0 4 2】

ここで簡易的に、シフトレジスタ 1 1 0 4 に格納される記録データのビット数とヒータ及びヒータを駆動するパワートランジスタ数とが同じであるとした素子基板について説明する。ヒータ 1 1 0 1 の数の分だけクロック（C L K）のパルスを入力し記録データ（D A T A）をシフトレジスタ 1 1 0 4 に転送した後、ラッチ信号入力端子 1 1 0 8 からラッチ信号（L T）を入力し各ヒータに対応した記録データをラッチ回路 1 1 0 3 に保持する。この後、スイッチ 1 1 0 9 を適当な時間ONにすれば、スイッチ 1 1 0 9 がON状態となっている時間に応じてトランジスタ 1 1 0 2 及びヒータ 1 1 0 1 に電源ライン 1 1 0 5 を通って電流が流れ、その電流はG N D ライン 1 1 1 0 へ流れ込む。この時ヒータ 1 1 0 1 はインクを吐出するために必要な熱を発生し、記録データに対応してインクが記録ヘッドの吐出口から吐出される。

【0 0 4 3】

次に、ビット数がヒータ数より少ないシフトレジスタを用いてヒータを駆動する素子基板における時分割駆動方式について図 1 0 を用いて説明する。時分割駆動方式とは、同じヒータ列の全てのヒータを同時に駆動するのではなく、ヒータを複数のブロックに分割し、ブロックごとに時間を異なさせてヒータを駆動する駆動方式である。時分割駆動方式によって同時に駆動するヒータ数を減らすことができる。

【0 0 4 4】

例えば、同じヒータ列の全てのヒータをN個（ $N = 2^n$ ただし n は正の整数とする）のブロックに分割して（N時分割で）時分割駆動する場合、同じヒータ列の隣接するN個のヒータずつ1つのグループとする。また、このヒータ列は、m個のグループから構成されているとする（このヒータ列の合計のヒータ数は $N \times m$ 個）。シフトレジスタ 1 1 0 4 に入力されるデータは、どのブロックを選択するかのブロック制御データとそのブロックにおける記録データである。図 1 0 では、 $N = 4$ であり、4つおきに配置されているヒータが同時に駆動される。

【0 0 4 5】

ブロック制御データはデコーダ 1 2 0 3 に入力され、このブロック制御データに基づいてデコーダ 1 2 0 3 で生成されたブロック選択信号がA N D回路 1 2 0 1 に入力される。A N D回路 1 2 0 1 は、ヒータ 1 1 0 1 の駆動回路を構成する。A N D回路 1 2 0 1 はヒータ 1 1 0 1 に対応して設けられている。N時分割で時分割駆動するために必要なブロッ

10

20

30

40

50

ク制御データのビット数は n ビットである。したがって、記録データ入力端子 1106 からは、 m ビットの記録データと n ビットのブロック制御データが入力される。このため、シフトレジスタ 1104 及びラッチ回路 1103 のビット数は、 $n + m$ ビットである。従って、この素子基板は、ノズル列が備えるすべてのヒータを一通り駆動するためには、記録データとブロック制御データとからなる $n + m$ ビットのデータを、ゲートアレイ 1704 から N 回入力する。そして、記録データに基づく記録データ信号とブロック制御データに基づくブロック選択信号とヒート許可信号入力端子 1202 から入力されたヒート許可信号とに基づいてヒータと 1 対 1 に対応するヒータ駆動信号を生成し、それぞれのヒータを駆動する。

【0046】

10

＜素子基板及び記録ヘッドの製造方法＞

本発明の素子基板及びその素子基板を備える記録ヘッドの製造方法について本発明に関連する部分の説明を行う。

【0047】

図 11 は、本発明の素子基板の一例を示す斜視図である。素子基板 1000 はヒータ 1101 とその駆動回路とを、厚さ 0.5 ~ 1 mm の Si ウエハを用い半導体プロセスによりその表面に形成する。インクを吐出する吐出口 1132 は、素子基板 1000 のヒータ 1101 に対応したインク流路を形成するためのインク流路壁とともに、樹脂材料である吐出口形成部材 1131 を用いてフォトリソグラフィ技術により形成される。

【0048】

20

インクを各吐出口 1132 まで供給するため、Si ウエハの結晶方位を利用した異方性エッチングにより、素子基板の裏面から表面に向かって斜面を持った長溝状の貫通口となるインク供給口 1121 が形成される。

【0049】

上記のように構成される素子基板は、インク供給口 1121 にインクを導く流路部材をインク供給口 1121 に接続し、それとインクを収容する容器と組み合せて、ヘッドカートリッジを構成することができる。特に、複数の色のインクをそれぞれ収容する容器と、各色毎の素子基板とを組み合せてヘッドカートリッジを構成することにより、このヘッドカートリッジを用いてカラー記録を行うことができる。

【0050】

30

＜素子基板内の駆動回路＞

本発明の素子基板におけるヒータの配列とシフトレジスタについて、以下に複数の実施例を用いて具体的に説明する。

【0051】

なお、以下の各実施例の素子基板はインクジェット記録ヘッド用の素子基板であり、これらの素子基板においては、インク供給口 1121 に沿って配置される複数のヒータからなるヒータ列は複数ある。具体的には、相対的に多数の記録素子としてのヒータから構成されるヒータ列（第 1 の記録素子列）と相対的に少数のヒータから構成されるヒータ列（第 2 の記録素子列）とが混在している。以下の実施例では、本発明の特徴を分かりやすくするために、各ヒータ列におけるヒータ数（記録素子数）だけではなくヒータの配列密度も異なる場合について述べる。しかし、ヒータの配列密度は等しくヒータ数のみがヒータ列ごとに異なる場合にも適用できる。

40

【実施例 1】

【0052】

図 1 は、実施例 1 に従う素子基板（記録素子基板）を示す図であり、素子基板内のヒータ列とシフトレジスタの配置を示している。素子基板は、ヒータ列を 6 つ（L1 ~ L6）備えている。ヒータ列（第 2 の記録素子列）L1, L6 は、ヒータが配列方向に高密度に配列されており、ヒータ列（第 1 の記録素子列）L2, L3, L4, L5 は、ヒータが配列方向に低密度に配列されている。例えば、ヒータ列 L1 にはシフトレジスタ 1104a と 1104b（第 2 のシフトレジスタ回路と第 3 のシフトレジスタ回路）が対応する。ヒ

50

ータ列 L 2 にはシフトレジスタ 1104c (第 1 のシフトレジスタ回路) が対応する。同様に、他のヒータ列と他のシフトレジスタの対応関係も図 1 に示したとおりである。また、図 2 は、図 1 に示した素子基板のヒータ 1101 が高密度に配列されたヒータ列 L 1 とこれに対応するシフトレジスタ 1104a、1104b のブロック図である。また、図 6 は、図 1 に示した素子基板のヒータ 1101 が低密度に配列されたヒータ列 L 2 とこれに対応するシフトレジスタ 1104c のブロック図である。

【0053】

図 5 は、実施例 1 の素子基板と比較するための素子基板を示す図であり、素子基板内のヒータ列とシフトレジスタ (S / R) の配置を示している。素子基板は、ヒータ列を 6 つ (L 1 ~ L 6) 備えている。この点は図 1 と同様である。一方、すべてのヒータ列について 1 つのシフトレジスタが対応する。例えば、シフトレジスタ 1104a はヒータ列 L 1 に対応し、シフトレジスタ 1104f はヒータ列 L 6 に対応する。図 7 は、図 5 の素子基板のヒータが高密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。なお、図 5 の素子基板のヒータが低密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図は図 6 と共通である。

【0054】

図 1 及び図 5 に示す素子基板は多層配線技術が用いられ、各構成要素を接続する配線 (アルミニウム、銅または金、あるいは、アルミニウム、銅または金を含む合金による配線) は、絶縁層によって挟まれ、素子基板上において複数の配線層を構成している。そして、それぞれの配線層の配線は、素子基板上の任意な箇所でスルーホール (絶縁層の開口部) によって上下の配線層の配線と接続されている。また、図 1 及び図 5 の素子基板において、並行に備えられたそれぞれのヒータ列の長さは全て等しい。

【0055】

図 1 及び図 5 に示す素子基板において、1121 は素子基板の裏面から吐出口にインクを供給するインク供給口であり、インク供給口 1121 に沿って複数のヒータ 1101 が高密度に配置されている。

【0056】

図 1 及び図 5 の素子基板のヒータ列は隣接する $N (2^n)$ 個のヒータずつ構成される m 個のグループから構成される。それぞれのヒータ列において、ヒータ列から電源ライン及び GND ラインの端子までグループ数分の電源ライン及び GND ラインが構成されている。したがって、同じグループ内のヒータはそれぞれ 1 本ずつの電源ライン及び GND ラインで並列接続されることになる。同じグループ内のヒータは時分割駆動により順次駆動され同時に駆動されないため、単位時間あたりに駆動する最大のヒータの数と電源ライン及び GND ラインの数とは等しくなる。

【0057】

図 1 に示す実施例 1 に従う素子基板は、複数のヒータ列を有しており、相対的に多数のヒータを高密度に配置したヒータ列と相対的に少数のヒータを低密度に配置したヒータ列を有している。以下、実施例 1 の特徴を明確に説明するために、実施例 1 の素子基板を単純な形態として説明を行う。具体的には、例えば、ヒータ列 L 2、L 3 のように、低密度 (600 dpi) でヒータを配置したヒータ列のヒータ数を 16 個とし、ヒータ列 L 1、L 6 のように、高密度 (1200 dpi) でヒータを配置したヒータ列のヒータ数を 32 個とする。なお、時分割駆動は、素子基板内で共通のクロック (CLK) と、ラッチ信号とを用いて行われる。

【0058】

実施例 1 の素子基板において、低密度でヒータを配置したヒータ列は、図 6 に示されるように、隣接する 4 つのヒータで構成されるグループを 4 つ (G 0、G 1、G 2、G 3) 備えている。また、このヒータ列は、各グループから 1 つずつ選択され、同時駆動する合計 4 つのヒータからなるブロックを 4 つ備えている。また、高密度でヒータを配置したヒータ列は、図 2 に示されるように、隣接する 4 つのヒータで構成されるグループを 8 つ (G 0、G 1、G 2、G 3、G 4、G 5、G 6、G 7) 備えている。また、このヒータ列は

10

20

30

40

50

、各グループから 1 つずつ選択され、同時駆動するブロックを 4 つ備えている。言い換えると、1 つのブロックが 8 つのノズルで構成されている。なお、高密度でヒータを配置したヒータ列に対応して 2 つのシフトレジスタ（第 2 のシフトレジスタ回路、第 3 のシフトレジスタ回路）が設けられている。一方、低密度でヒータを配置したヒータ列に対応して 1 つのシフトレジスタ（第 1 のシフトレジスタ回路）が設けられている。記録ヘッドには、データを入力する端子 1106 を備えている信号線が備えられており、クロック信号線 1107 は共通となっている。シフトレジスタは同じ構成の回路素子群を、格納する必要があるデータのビット数分連続して配列した構成となっている。ここでは、1 本のデータ信号に対応し、同じ構成の回路素子群が連続して配列された回路のことをシフトレジスタ回路と定義する。

10

【0059】

次に、図 6 に示されたラッチ回路 1103c について説明する。ラッチ回路 1103c は、6 ビットのパラレルバスでシフトレジスタ 1104c が保持しているデータをラッチする。ラッチ回路 1103c は、データ D0 をグループ G0 、データ D1 をグループ G1 、データ D2 をグループ G2 、データ D3 をグループ G3 へ夫々出力する。デコーダ 1203c は、ラッチ回路 1103c でラッチした 2 ビットのブロック制御データ B0 、 B1 を入力して、4 ビットの制御データを生成し、各グループへ出力する。これにより、各グループの中で駆動されるヒータが 1 つ選択される。

【0060】

この素子基板では、ヒータ列ごとに、記録データに基づく記録データ信号及びブロック制御データに基づくブロック選択信号が不図示の駆動回路に入力される。このため、低密度でヒータを配置したヒータ列に対応するシフトレジスタは、図 6 に示されるように 6 ビットである。具体的には、4 グループ分の 4 ビットの記録データ（D0 ~ D3）及び 4 つのブロックから駆動するブロックを選択するための 2 ビットのブロック制御データ（B0 、 B1 ）を保持する。便宜的に、低密度でヒータを配置したヒータ列のヒータを駆動する回路を第 1 の駆動回路といい、高密度でヒータを配置したヒータ列のヒータを駆動する回路を第 2 の駆動回路という。

20

【0061】

また、高密度でヒータを配置したヒータ列に対応する 2 個のシフトレジスタ 1104a 、 1104b は、図 2 に示されるようにそれぞれ 5 ビットである。シフトレジスタ 1104a において、第 1 の領域であるビット 0 (b0) からビット 2 (b2) は、ヒータ列 L1 で使用される記録データである。第 2 の領域であるビット 3 (b3) とビット 4 (b4) は、ヒータ列 L1 のブロック駆動の制御データに割当てられる。各シフトレジスタはこれらのデータを入力するために、それぞれ独立したデータ信号端子 1106a 、 1106b を備えている。一方、クロック信号 CLK は、共通の信号端子 1107 から入力される。そして、8 グループ分の 8 ビットの記録データ（D0 ~ D7）及び 4 つのブロックから駆動するブロックを選択するための 2 ビットのブロック制御データ（B0 、 B1 ）の合計 10 ビット分のデータを 2 個のシフトレジスタに分割して保持する。具体的には、一方のシフトレジスタは D0 ~ D4 の 5 ビット分の記録データを保持し、他方のシフトレジスタは D5 ~ D7 の 3 ビット分の記録データと B0 及び B1 の 2 ビット分のブロック制御データを保持する。ここで、データ D0 ~ D4 が outputされる 5 つのグループを第 1 のグループ群といい、データ D5 ~ D7 が outputされる 3 つのグループを第 2 のグループ群という。

30

【0062】

デコーダ 1203b は、ブロック制御データ（B0 、 B1 ）を入力して 4 ビットの制御データを生成し、各グループへ出力する。これによりグループが備える 4 つのヒータのうち、1 つのヒータを選択する。

40

【0063】

つまり、高密度側のシフトレジスタ回路を 2 つに分け、それぞれが独立したデータ信号線を備えた構成になっている。

【0064】

50

図15(a)は、実施例1におけるインクジェット記録装置の制御回路の説明図である。この図では、記録データ及びブロック制御データの処理について説明する。記録バッファ1600に保持された記録データは、データ生成部1800に入力され、ここで記録ヘッドへ転送するデータが生成される。データ生成部1800で生成されたデータは転送部1900から記録ヘッドに転送される。データ生成部1800と転送部1900は、ゲートアレイ1704に設けられている。また、記録バッファはDRAM1703に設けられている。

【0065】

データ生成部1800は、ヒータ列で使用する8ビットの記録データ(D0～D7)を生成する。ここでは、詳細な説明は省くが、例えば、記録バッファに保持されているデータがラスタ形式で多値データであれば、カラム形式の2値データを生成する。データ生成部1800は、生成したデータ(記録データ(D0～D7)とブロック制御データ(B0、B1))をバッファ1800Aに保持する。保持されたデータの内、ブロック制御データ(B0、B1)はラッチ回路1802でラッチされる。一方、ラッチ回路1803、1804は記録データ(D0～D7)をラッチする。特に、ラッチ回路1803は記録データ(D5～D7)をラッチし、ラッチ回路1804は記録データ(D0～D4)をラッチする。ラッチ回路1802とラッチ回路1803からの出力はデータ結合部1801で結合される。従って、データ結合部1801は、記録データ(D5～D7)とブロック制御データ(B0、B1)の合計5ビットを保持する。

【0066】

転送部1900は、シフトレジスタ1104aへ転送するデータを保持する転送バッファ1900Aとシフトレジスタ1104bへ転送するデータを保持する転送バッファ1900Bとを備える。転送バッファ1900Aと1900Bからそれぞれ5ビット単位でデータが転送される。以上のような構成により記録ヘッドへ転送されるデータの生成が行われる。

【0067】

このような構成により、低密度でヒータを配置したヒータ列に対応するシフトレジスタ回路1つが保持するデータのビット数と高密度でヒータを配置したヒータ列に対応するシフトレジスタ回路2つのそれぞれの保持するデータのビット数との差を減らす。ここで、高密度にヒータを配置したヒータ列の側のシフトレジスタ回路2つが保持するデータのビット数と、低密度にヒータを配置したヒータ列の側のシフトレジスタ回路が保持するデータのビット数をほぼ等しくしても良い。全てのシフトレジスタ回路が保持するデータのビット数が近いほど、データ転送速度差が少なくなってくる。こうして、高密度でヒータを配置したヒータ列へのデータ転送速度が低密度でヒータを配置したヒータ列へのデータ転送速度に比べて極端に遅くなるということを防止している。この実施例では、高密度にヒータを配置したヒータ列の側の2つのシフトレジスタ回路のうち、一方のシフトレジスタ回路がブロック制御データを保持するようになっている。他方のシフトレジスタ回路が保持するデータは、ブロック制御データがなく記録データのみとなっている。

【0068】

一方、実施例1の素子基板と比較するための図5の素子基板は、ヒータ列の構成は図1の素子基板と同様である。図5の素子基板において図1の素子基板との構成の違いは以下のとおりである。この素子基板は、高密度でヒータを配置したヒータ列に対応するシフトレジスタが1つである。このため、図7に示されるように、8グループ分の8ビットの記録データ(D0～D7)及び4つのブロックから駆動するブロックを選択するための2ビットのブロック制御データ(B0、B1)の合計10ビット分のデータを1つのシフトレジスタが保持する。高密度でヒータを配置したヒータ列に対応するシフトレジスタのビット数(10ビット)と低密度でヒータを配置したヒータ列に対応するシフトレジスタのビット数(6ビット)の差は4ビットである。高密度でヒータを配置したヒータ列へのデータ転送速度は低密度でヒータを配置したヒータ列へのデータ転送速度に比べて6/10となり極端に遅くなる。従って、図1に示した実施例1に従う素子基板のデータ転送速度は

10

20

30

40

50

、図5の素子基板のデータ転送速度に比べて速いということが分かる。

【実施例2】

【0069】

図3は、実施例2に従う素子基板を示す図であり、素子基板内のヒータ列とシフトレジスタの配置を示している。また、図4は、図3の素子基板のヒータが高密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図である。また、ヒータが低密度に配列されたヒータ列とこれに対応するシフトレジスタのブロック図は図6と共に通である。以下に、実施例2の素子基板について図1で示した実施例1の素子基板と異なる点について説明する。

【0070】

実施例2の素子基板は、ヒータが高密度に配列されたヒータ列に関して、記録データ及びブロック制御データを入力する端子とシフトレジスタのヒータ列に対する素子基板内の配置位置が実施例1の素子基板と異なっている。実施例1の素子基板は、素子基板の長手方向（記録素子列における記録素子の配列方向）の一方の端部に記録データ及びブロック制御データを入力する端子とシフトレジスタを設けている。これに対し、実施例2の素子基板は、記録素子列の両端の部分に記録データ及びブロック制御データを入力する端子とシフトレジスタを設けている。例えば、ヒータ列L1の両端にシフトレジスタ1104aと1104bを備えている。それぞれのシフトレジスタが各々独立したデータ入力線を備える構成であることは実施例1と同じ構成である。

【0071】

また、実施例2の素子基板では、ヒータが高密度に配列されたヒータ列に対応する2つのシフトレジスタは、5ビットずつのシフトレジスタではない。一方のシフトレジスタを8ビットの記録データのうちの4ビットを保持する4ビットのシフトレジスタとし、他方のシフトレジスタを4ビットの記録データと2ビットのブロック制御データを保持する6ビットのシフトレジスタとしている。

【0072】

図15(b)は、実施例2におけるインクジェット記録装置の制御回路の説明図である。ここでは、実施例1と相違点についてのみ説明し、同様の内容は説明を省く。実施例1と相違する点は、データ結合部1801がブロック制御データと結合する対象の記録データが異なることである。また、転送バッファ1900Aが保持するデータは6ビットであるのに対し、転送バッファ1900Bが保持するデータは4ビットである。

【0073】

実施例2の素子基板は、高密度でヒータを配置したヒータ列へのデータ転送速度が低下することを防止するだけではなく、素子基板のレイアウトを効率化して素子基板を小型化している。時分割駆動方式を採用する素子基板では、グループ数分の記録データ信号の配線がシフトレジスタからヒータ列まで配置される。したがって実施例2の素子基板では、高密度でヒータを配置したヒータ列に関して、8本分の記録データ信号の配線のための配線領域が必要となる。実施例2の素子基板は、8本分の記録データ信号の配線を隣接する4グループずつ2組に分割し、この4本ずつの2組の配線を素子基板の長手方向の両方の端部に設けられたシフトレジスタにそれぞれ接続している。こうして、実質的に4本分の配線領域に8本分の記録データ信号の配線が収まる構成としている。また、一方のシフトレジスタは2ビット分のブロック制御データをさらに保持する構成となっている。このように、ヒータ列とシフトレジスタを接続する記録データ信号の配線における配線領域を小さくすることでインク供給口1121の間隔を狭くすることができるようになり、特にインク供給口を多く備える素子基板において面積を小さくすることができる。

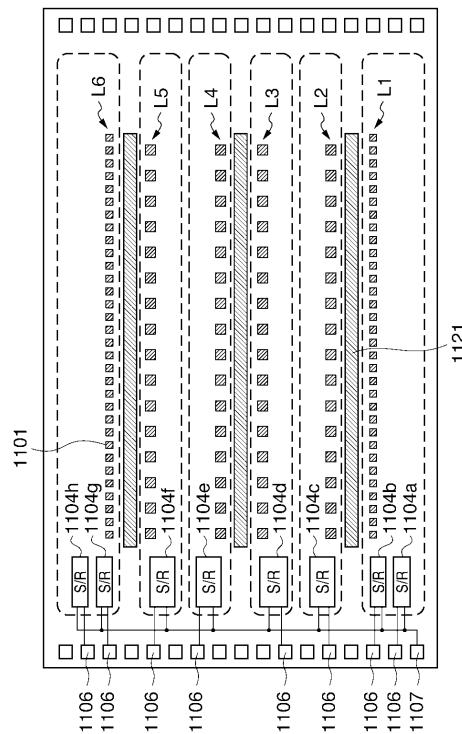
10

20

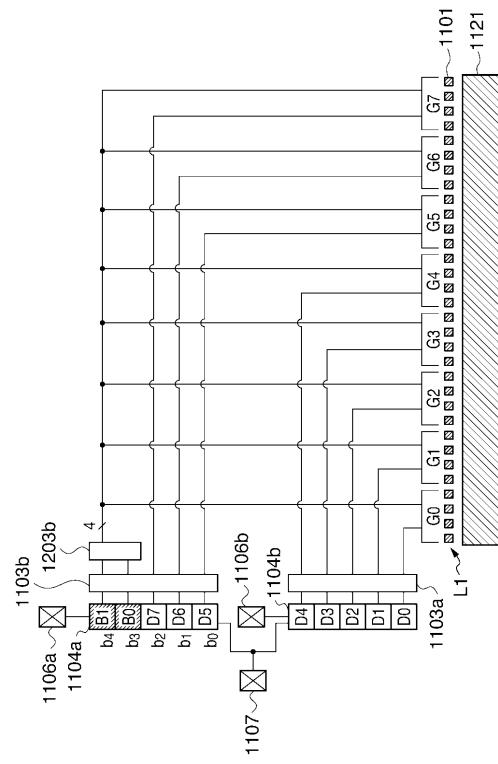
30

40

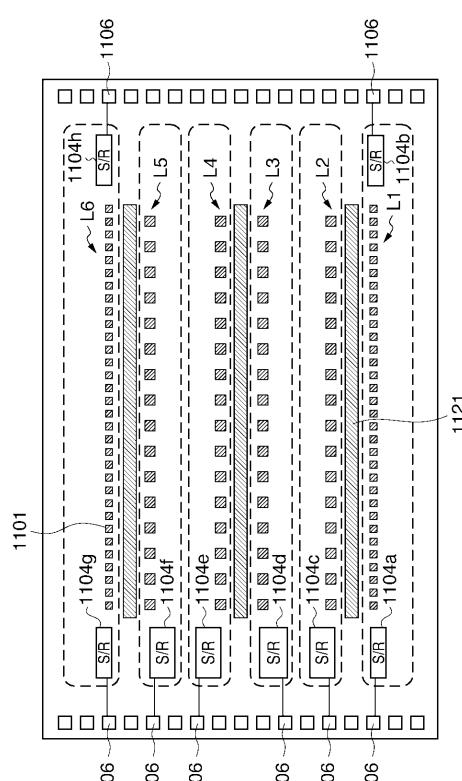
【 図 1 】



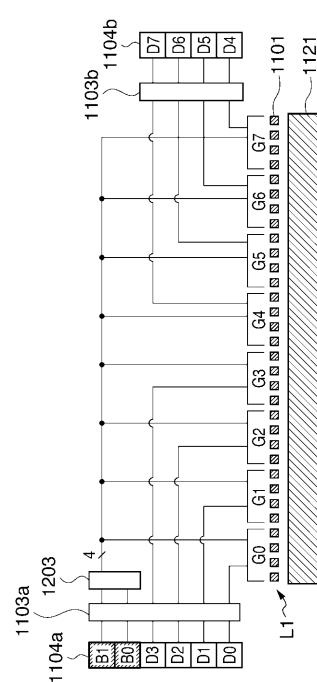
【 四 2 】



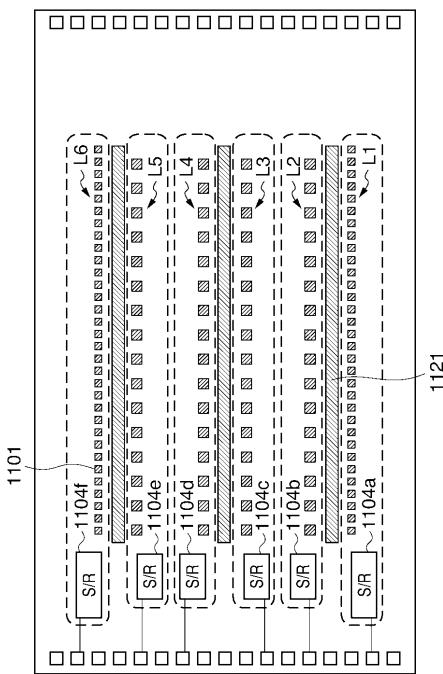
【図3】



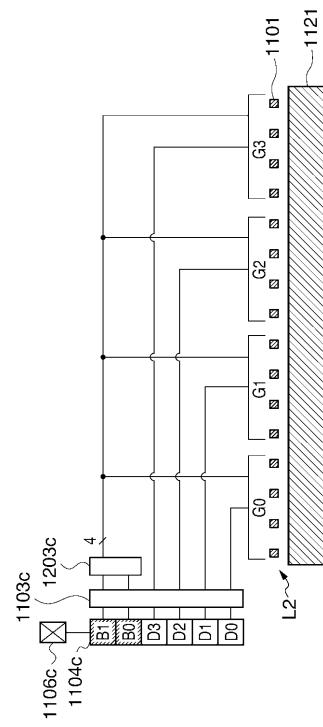
【図4】



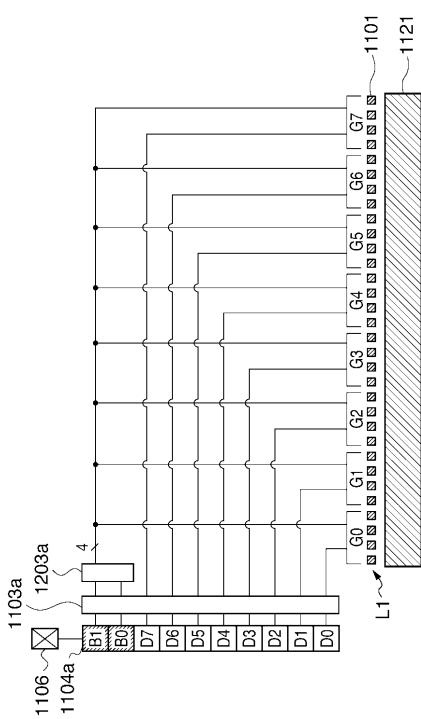
【図5】



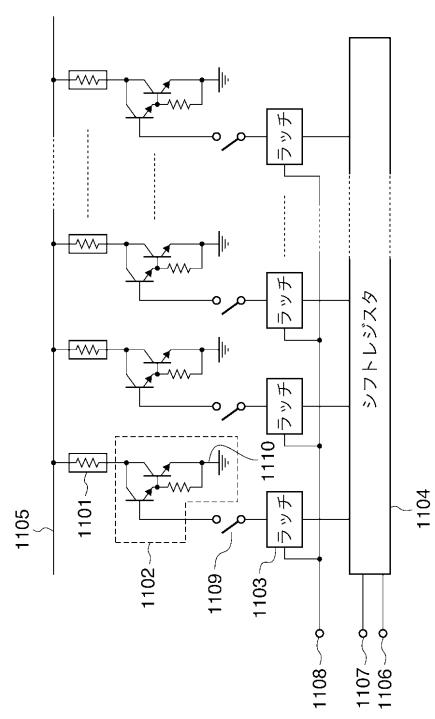
【図6】



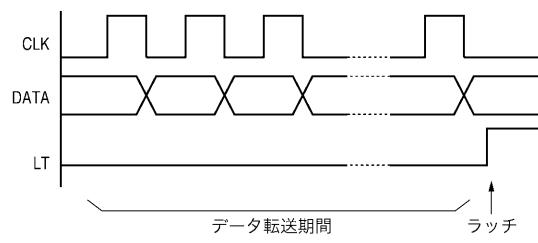
【図7】



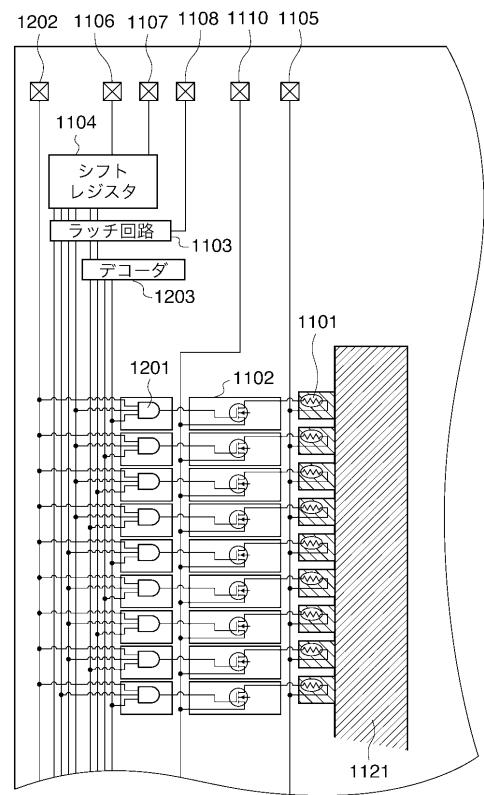
【図8】



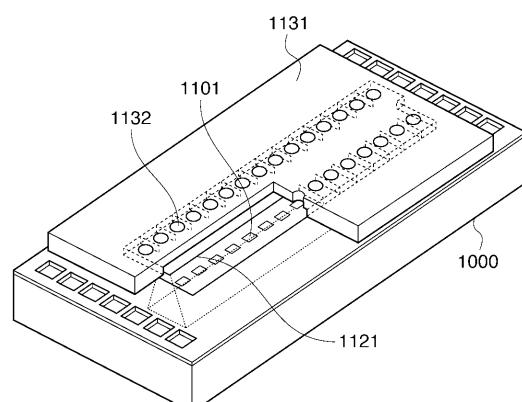
【図9】



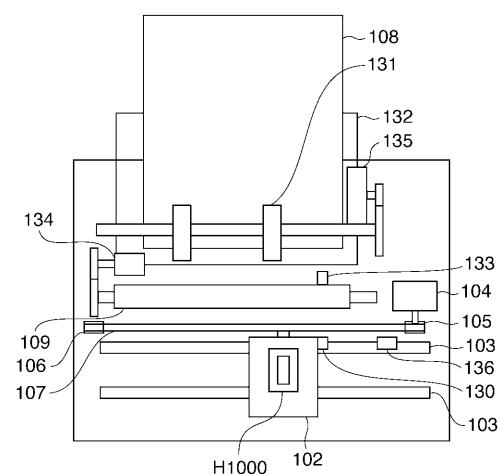
【図10】



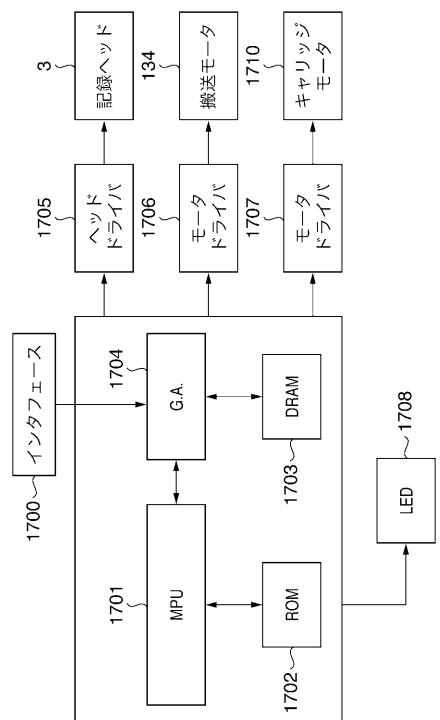
【図11】



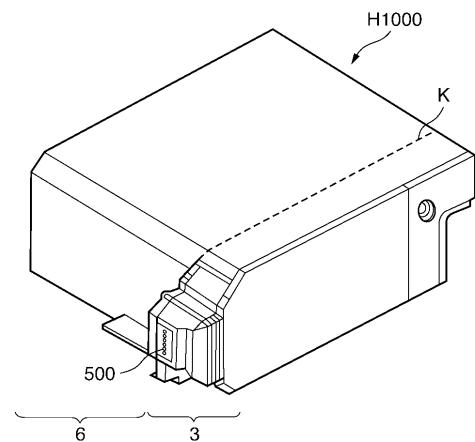
【図12】



【図13】

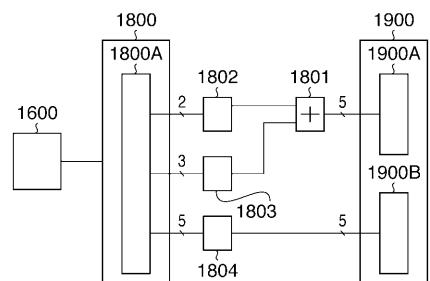


【 図 1 4 】

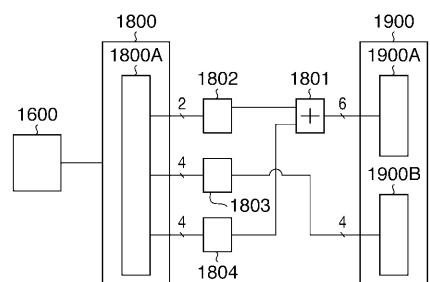


【図15】

(a)



(b)



フロントページの続き

(72)発明者 竹内 創太
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 今仲 良行
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 小俣 好一
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 山口 孝明
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 久保 康祐
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 藏田 敦之

(56)参考文献 特開2004-066601(JP,A)
特開2002-307685(JP,A)
特開2008-36960(JP,A)

(58)調査した分野(Int.Cl., DB名)

B 41 J 2 / 05