(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2013-115621
(P2013-115621A)
(43)公開日　平成25年6月10日(2013.6.10)

(51)Int.Cl.		F I			テーマコード（参考）
H03K 19/0185	(2006.01)	H03K	19/00	101D	5J056
H03K 19/0948	(2006.01)	H03K	19/094	B	

審査請求 未請求　請求項の数 9　OL　（全 23 頁）

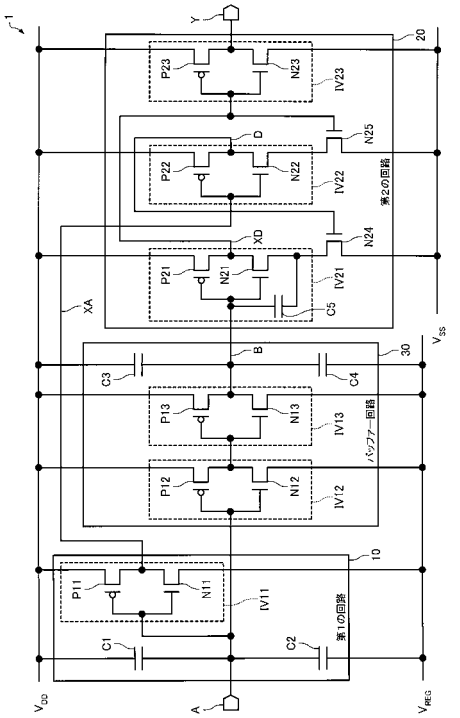
(21)出願番号　特願2011-260253 (P2011-260253)
(22)出願日　平成23年11月29日 (2011.11.29)

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100090387
弁理士　布施　行夫
(74)代理人　100090398
弁理士　大渕　美千栄
(74)代理人　100113066
弁理士　永田　美佐
(72)発明者　山▲崎▼　豊
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

Ｆターム(参考)　5J056 AA32 BB02 BB24 CC14 CC16 DD13 DD29 DD51 FF08 GG09 HH00 KK01 KK02 KK03

(54)【発明の名称】レベルシフター回路、集積回路装置、電子時計

(57)【要約】
【課題】　出力信号にスパイクノイズが乗ることや、応答速度が遅くなることを防止するレベルシフター回路を提供する。
【解決手段】　第１の高電位と第１の低電位とを電源電位とする第１の電位系の入力信号Ａを受け取り、第１の電位系の信号である第１の信号ＸＡを出力する第１の回路１０と、第２の高電位と第２の低電位とを電源電位とする第２の電位系の、入力信号に応じた出力信号Ｙを生成する第２の回路２０と、入力信号を受け取り、第１の電位系の信号であって入力信号と論理的に等価な第２の信号Ｂを生成するバッファー回路と、を含み、第２の回路は、第２の信号を受け取り、第３の信号ＸＤを出力する初段インバーターと、第１の信号に基づいて、初段インバーターと第２の高電位を供給する電源又は第２の低電位を供給する電源との接続、切断を切り換える初段スイッチと、を含み、第３の信号に基づいて出力信号を生成する。
【選択図】　図１



【特許請求の範囲】
【請求項１】
第１の電位系の信号を、前記第１の電位系よりも電源電位の差が大きい第２の電位系へと伝達するレベルシフター回路であって、
高電位側である第１の高電位と低電位側である第１の低電位とを電源電位とする前記第１の電位系の入力信号を受け取り、前記第１の電位系の信号である第１の信号を出力する第１の回路と、
高電位側である第２の高電位と低電位側である第２の低電位とを電源電位とする前記第２の電位系の、前記入力信号に応じた出力信号を生成する第２の回路と、
前記入力信号を受け取り、前記第１の電位系の信号であって前記入力信号と論理的に等価な第２の信号を生成するバッファー回路と、を含み、
前記第２の回路は、
前記第２の信号を受け取り、第３の信号を出力するインバーター回路である初段インバーターと、
前記第１の信号に基づいて、前記初段インバーターと前記第２の高電位を供給する電源又は前記第２の低電位を供給する電源との接続、切断を切り換える初段スイッチと、を含み、
前記第３の信号に基づいて前記出力信号を生成するレベルシフター回路。
【請求項２】
請求項１に記載のレベルシフター回路において、
前記第２の回路は、
前記第３の信号を反転した信号を前記出力信号とするレベルシフター回路。
【請求項３】
請求項１乃至２のいずれか１項に記載のレベルシフター回路において、
前記第１の高電位と前記第２の高電位とを同電位とするレベルシフター回路。
【請求項４】
請求項３に記載のレベルシフター回路において、
前記第２の回路は、
前記入力信号がローレベルの場合に、前記初段スイッチによって前記初段インバーターを前記第２の低電位を供給する電源から切断し、
前記入力信号がハイレベルの場合に、前記初段スイッチによって前記初段インバーターを前記第２の低電位を供給する電源に接続するレベルシフター回路。
【請求項５】
請求項１乃至２のいずれか１項に記載のレベルシフター回路において、
前記第１の低電位と前記第２の低電位とを同電位とするレベルシフター回路。
【請求項６】
請求項５に記載のレベルシフター回路において、
前記第２の回路は、
前記入力信号がハイレベルの場合に、前記初段スイッチによって前記初段インバーターを前記第２の高電位を供給する電源から切断し、
前記入力信号がローレベルの場合に、前記初段スイッチによって前記初段インバーターを前記第２の高電位を供給する電源に接続するレベルシフター回路。
【請求項７】
請求項１乃至６のいずれか１項に記載のレベルシフター回路において、
前記バッファー回路は、
偶数段のインバーターで構成されているレベルシフター回路。
【請求項８】
請求項１乃至７のいずれか１項に記載のレベルシフター回路を含む集積回路装置。
【請求項９】
請求項８に記載の集積回路装置を含む電子時計。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明はレベルシフター回路、集積回路装置、電子時計等に関する。
【背景技術】
【０００２】
半導体プロセスの進展に伴い、異なる電源電圧で動作する回路を接続してデータをやりとりする必要が生じている。このとき、ロジックレベルの正しい伝達のために、電圧レベルを調整するレベルシフター回路が用いられる。
【０００３】
例えば、バルク型のＭＯＳ集積回路では基板やウェル領域に活性領域を形成してＭＯＳトランジスターを構成する。一方、ＳＯＩ(Silicon-on-Insulator)型のＭＯＳ集積回路ではウェル領域を用いず、基板上の絶縁性薄膜に多数の活性領域を形成し、個々の活性領域にＭＯＳトランジスターを構成する。
【０００４】
したがって、ＳＯＩ型のＭＯＳ集積回路はバルク型のＭＯＳ集積回路とは素子分離の点で根本的な違いがあり、基板との間の接合容量や接合リークも殆どない。ＳＯＩ型の場合、バルク型と比べて低電圧動作、低消費電力及び高速動作が可能である。そのため、ＳＯＩ型の集積回路（Integrated Circuit）装置からの信号を受け取る場合に、バルク型の集積回路装置はレベルシフター回路で電圧レベルを調整する。例えば、特許文献１のレベルシフター回路は、入力端子で使用されて、その入力電圧のレベルを調整する。
【先行技術文献】
【特許文献】
【０００５】
【特許文献１】特開２００７－２０８７１４号公報
【発明の概要】
【発明が解決しようとする課題】
【０００６】
しかし、レベルシフター回路の入力端子と電源端子との間に大きな寄生容量が生じる可能性がある。このとき、入力信号の電位系とは異なる電位系の信号の変化に伴い、この寄生容量に蓄積された電荷が放電されることがあり得る。すると、レベルシフター回路の出力信号に高周波のスパイクノイズ（インパルス状のノイズ）がのったり、入力信号を受け取ってから安定した出力信号を生成するまでの応答速度が遅くなったりする。
【０００７】
本発明はこのような問題点に鑑みてなされたものである。本発明のいくつかの態様によれば、出力信号にスパイクノイズが乗ることや、応答速度が遅くなることを防止するレベルシフター回路を提供できる。
【課題を解決するための手段】
【０００８】
（１）本発明は、第１の電位系の信号を、前記第１の電位系よりも電源電位の差が大きい第２の電位系へと伝達するレベルシフター回路であって、高電位側である第１の高電位と低電位側である第１の低電位とを電源電位とする前記第１の電位系の入力信号を受け取り、前記第１の電位系の信号である第１の信号を出力する第１の回路と、高電位側である第２の高電位と低電位側である第２の低電位とを電源電位とする前記第２の電位系の、前記入力信号に応じた出力信号を生成する第２の回路と、前記入力信号を受け取り、前記第１の電位系の信号であって前記入力信号と論理的に等価な第２の信号を生成するバッファー回路と、を含み、前記第２の回路は、前記第２の信号を受け取り、第３の信号を出力するインバーター回路である初段インバーターと、前記第１の信号に基づいて、前記初段インバーターと前記第２の高電位を供給する電源又は前記第２の低電位を供給する電源との接続、切断を切り換える初段スイッチと、を含み、前記第３の信号に基づいて前記出力信号

を生成する。
【０００９】
（２）このレベルシフター回路において、前記第２の回路は、前記第３の信号を反転した信号を前記出力信号としてもよい。
【００１０】
これらの発明のレベルシフター回路は、第１の電位系の信号を、前記第１の電位系よりも電源電位の差が大きい第２の電位系へと伝達する。レベルシフター回路は、第１の電位系の入力信号を受け取り、第１の電位系の信号である第１の信号を出力する第１の回路と、第２の電位系の入力信号に応じた出力信号を生成する第２の回路とを含む。
【００１１】
これらの発明のレベルシフター回路は、入力信号を受け取り、第１の電位系の信号であって入力信号と論理的に等価な第２の信号を生成するバッファー回路も含む。そして、第２の回路の初段インバーターは、入力信号ではなく第２の信号を受け取る。そのため、第１の回路の寄生容量に充電された電荷が、初段インバーターが初段スイッチ経由で接続される電源（第２の高電位を供給する電源、又は第２の低電位を供給する電源）に流れ込むことを防止できる。その結果、出力信号にスパイクノイズが乗ることや、応答速度が遅くなることを防止するレベルシフター回路を提供できる。
【００１２】
ここで、第２の回路は、第３の信号を反転した信号を出力信号としてもよい。つまり、第３の信号は入力信号と論理的に反転した第２の電位系の信号であって、それを反転させて出力信号を生成してもよい。このとき、回路構成を単純化することができ、回路規模を小さくすることができる。
【００１３】
なお、第３の信号を直接的に用いて出力信号を生成する必要はない。例えば、第３の信号が出力信号、又はその原信号を生成するスイッチとして用いられてもよい。また、例えば、第３の信号だけでなく第１の信号にも基づいて出力信号が生成されてもよい。
【００１４】
（３）このレベルシフター回路において、前記第１の高電位と前記第２の高電位とを同電位としてもよい。
【００１５】
（４）このレベルシフター回路において、前記第２の回路は、前記入力信号がローレベルの場合に、前記初段スイッチによって前記初段インバーターを前記第２の低電位を供給する電源から切断し、前記入力信号がハイレベルの場合に、前記初段スイッチによって前記初段インバーターを前記第２の低電位を供給する電源に接続してもよい。
【００１６】
（５）このレベルシフター回路において、前記第１の低電位と前記第２の低電位とを同電位としてもよい。
【００１７】
（６）このレベルシフター回路において、前記第２の回路は、前記入力信号がハイレベルの場合に、前記初段スイッチによって前記初段インバーターを前記第２の高電位を供給する電源から切断し、前記入力信号がローレベルの場合に、前記初段スイッチによって前記初段インバーターを前記第２の高電位を供給する電源に接続してもよい。
【００１８】
これらの発明によれば、第１の電位系と第２の電位系とで、低電位又は高電位を共通化することで電源の数を減らして、回路規模を小さくすることが可能になる。ここで、１つの電位系においては基準電位と駆動電位の２つの電源電位があるが、それぞれの基準電位を共通化することが好ましい。例えば、Ｎ型基板を用いる場合には、高電位側が基準電位である。逆にＰ型基板を用いる場合には、低電位側が基準電位である。つまり、Ｎ型基板を用いる場合、レベルシフター回路は、第１の高電位と第２の高電位とを同電位とすればよい。また、Ｐ型基板を用いる場合、レベルシフター回路は、第１の低電位と第２の低電

位とを同電位とすればよい。
【００１９】
ここで、Ｎ型基板における第２の回路は、入力信号がローレベルの場合に、初段インバーターを第２の低電位を供給する電源から切断し、入力信号がハイレベルの場合に、初段インバーターを第２の低電位を供給する電源に接続してもよい。この切断と接続は、初段スイッチによって実行可能である。
【００２０】
また、Ｐ型基板における第２の回路は、入力信号がハイレベルの場合に、初段インバーターを第２の高電位を供給する電源から切断し、入力信号がローレベルの場合に、初段インバーターを第２の高電位を供給する電源に接続してもよい。
【００２１】
（７）このレベルシフター回路において、前記バッファー回路は、偶数段のインバーターで構成されていてもよい。
【００２２】
本発明によれば、バッファー回路は、偶数段のインバーターで構成されている。そのため、回路構成が簡単であり、段数を変更することで回路規模と信号の遅延の調整することも可能である。
【００２３】
（８）本発明は、前記レベルシフター回路を含む集積回路装置であってもよい。
【００２４】
本発明によれば、このレベルシフター回路を含む集積回路装置と、例えば別の集積回路装置、テスター等とを接続した場合に、異なる電位系の間でも、スパイクノイズの無い信号を早く伝達することが可能になる。このレベルシフター回路は、集積回路装置において特に入力バッファー、出力バッファーとして用いられてもよい。
【００２５】
（９）本発明は、前記集積回路装置を含む電子時計であってもよい。
【００２６】
本発明の電子時計は、異なる電位系を用いる回路を接続し、正しい信号を伝達することができるレベルシフター回路を備えた集積回路装置を含む。そのため、例えばＳＯＩ型のＭＯＳ集積回路といった低い電源電圧で動作する回路を含み消費電力を抑えた電子時計を、従来のバルク型のＭＯＳ集積回路用のテスターで検査すること等が可能になる。そのため、電子時計の消費電力や製造コストを抑えることが可能になる。
【図面の簡単な説明】
【００２７】
【図１】第１実施形態のレベルシフター回路の回路図。
【図２】第１実施形態のレベルシフター回路の放電経路の遮断を示す図。
【図３】図３（Ａ）～図３（Ｅ）は第１実施形態のレベルシフター回路の応答速度の向上を説明する波形図。
【図４】第２実施形態のレベルシフター回路の回路図。
【図５】第１変形例のレベルシフター回路の回路図。
【図６】第２変形例のレベルシフター回路の回路図。
【図７】比較例の回路図。
【図８】比較例の放電経路を示す回路図。
【図９】図９（Ａ）～図９（Ｃ）はトランジスターの基本構造を説明する図。
【図１０】インバーターの入出力特性を説明する図。
【図１１】図１１（Ａ）～図１１（Ｅ）は比較例のレベルシフター回路のノイズと応答速度の遅さを説明する波形図。
【図１２】図１２（Ａ）～図１２（Ｃ）は第１の電位系と第２の電位系との関係を説明する図。
【図１３】ＳＯＩ型のＭＯＳトランジスターの断面図。

【図１４】図１４（Ａ）～図１４（Ｂ）はレベルシフター回路を含む集積回路装置を示す図。
【図１５】図１５はレベルシフター回路を含む集積回路装置の別の例を示す図。
【図１６】図１６（Ａ）は電子機器の一例である電子時計の図、図１６（Ｂ）は電子機器の一例である電子ペーパーの図。
【発明を実施するための形態】
【００２８】
以下、本発明の実施形態について図面を参照して説明する。まず、比較例について説明し、その後に第１実施形態のレベルシフター回路を説明する。
【００２９】
１．比較例
１．１．比較回路の構成
比較例であるレベルシフター回路（以下、比較回路）について図７を参照して説明する。比較回路１００は、入力信号Ａを受け取り、出力信号Ｙを生成して後段回路に出力する。比較回路１００は、第１の電位系を用いる第１の回路１０と、第２の電位系を用いる第２の回路２０とを含む。
【００３０】
図７の比較回路１００の例では、第１の電位系は、高い方の電源電位（以下、第１の高電位）をV_{DD}とし、低い方の電源電位（以下、第１の低電位）をV_{REG}とする。また、第２の電位系は、高い方の電源電位（以下、第２の高電位）をV_{DD}とし、低い方の電源電位（以下、第２の低電位）をV_{SS}とする。このとき、Ｎ型基板を用いているものとし、基準電位である高い方の電源電位は、第１の電位系と第２の電位系とで共通（第１の高電位＝第２の高電位＝V_{DD}）である。なお、$V_{SS}<V_{REG}<V_{DD}$であるとする。
【００３１】
第１の回路１０は、入力信号Ａを受け取り、第１の電位系の信号である第１の信号ＸＡを出力する。第１の回路１０は、Ｐ型トランジスターＰ１１とＮ型トランジスターＮ１１からなるインバーターＩＶ１１によって、入力信号Ａの反転信号を第１の信号ＸＡとして出力する。ここで、第１の回路１０において、入力信号Ａを伝達する信号線と電源との間に寄生容量Ｃ１、Ｃ２が存在する。
【００３２】
第２の回路２０は、入力信号Ａおよび第１の信号ＸＡを受け取り、第２の電位系の信号である出力信号Ｙを生成する。第２の回路２０は３つのインバーターを含む。つまり、Ｐ型トランジスターＰ２１とＮ型トランジスターＮ２１からなるインバーターＩＶ２１、Ｐ型トランジスターＰ２２とＮ型トランジスターＮ２２からなるインバーターＩＶ２２、Ｐ型トランジスターＰ２３とＮ型トランジスターＮ２３からなるインバーターＩＶ２３を含む。ここで、インバーターＩＶ２１を特に初段インバーターと呼ぶ。比較回路１００の初段インバーター（インバーターＩＶ２１）には、入力信号Ａが入力されて、その反転信号をインバーターＩＶ２３で反転して出力信号Ｙを生成する。
【００３３】
初段インバーター、インバーターＩＶ２２は、それぞれＮ型トランジスターＮ２４、Ｎ型トランジスターＮ２５を介して第２の低電位（ここではV_{SS}）を供給する電源と接続される。Ｎ型トランジスターＮ２４、Ｎ型トランジスターＮ２５のゲートには、それぞれインバーターＩＶ２２、初段インバーターから出力された信号が接続されている。
【００３４】
ここで、初段インバーターと第２の低電位を供給する電源との接続、切断を切り換えるＮ型トランジスターＮ２４を、特に初段スイッチと呼ぶ。そして、図７のように、入力信号Ａを伝達する信号線と、初段インバーターと初段スイッチとを接続するノードとの間に寄生容量Ｃ５が存在する。
【００３５】

１．２．比較回路の動作

図８は、比較回路１００における寄生容量Ｃ１からの放電経路を示す回路図である。なお、図７と同じ要素については同じ符号を付しており説明を省略する。

【００３６】

比較回路１００では、寄生容量Ｃ１と寄生容量Ｃ５とは入力信号Ａを伝達する信号線によって直接に繋がれている（図８の経路Ｐ１）。そのため、寄生容量Ｃ１に蓄積した電荷が寄生容量Ｃ５に向かって流れる。そして、初段スイッチがオンした状態になると、寄生容量Ｃ５の電荷は電源供給線へと流れることになる（図８の経路Ｐ２）。

【００３７】

このとき、寄生容量Ｃ１からの放電の影響で入力信号Ａがゆらぐことになる。その結果、比較回路１００では、出力信号Ｙに高周波のスパイクノイズがのり、入力信号Ａを受け取ってから安定した出力信号Ｙを生成するまでの応答速度が遅くなる、といった問題が生じる。以下に、この問題の背景と比較回路１００の動作について説明する。

【００３８】

近年の半導体プロセスの手法や微細化の進展により、レベルシフター回路にはより大きな電圧変換能力が求められるようになっている。例えば、世代の異なる半導体プロセスで製造されたバルク型のＭＯＳ集積回路の間を繋ぐだけでなく、バルク型より大幅に低い電源電圧で動作するＳＯＩ型のＭＯＳ集積回路とバルク型のＭＯＳ集積回路の間を繋ぐ場合に用いられることもある。このような場合、より大きな電圧変換能力をもつレベルシフター回路が必要になる。

【００３９】

図９（Ａ）はＰ型トランジスターＰＴとＮ型トランジスターＮＴからなるインバーターの回路図を表す。図９（Ａ）のインバーターは電圧変換を行うものとし、図７および図８の初段インバーター（インバーターＩＶ２１）やインバーターＩＶ２２に対応させて考えることができる。例えば、図９（Ａ）のインバーターの入力信号V_{IN}は、図７の第１の電源系の入力信号Ａに対応する。また、出力信号V_{OUT}は、図７の第２の電源系の信号である反転信号（ＸＤ）に対応する。ただし、説明の都合上、図９（Ａ）のインバーター回路はＰ型基板に構成されているものとして、第２の電源系は接地電位（図７のV_{SS}に対応）と正の電位であるV_{DD}を電源電位としているものとする。

【００４０】

図９（Ｂ）は、Ｐ型トランジスターＰＴのレイアウトを例示する平面図である。ここで、１１０Ｐはゲート領域、１１２ＰはＰ拡散領域であってソースおよびドレイン領域を構成する。なお、１１３Ｐはコンタクトを表す。このとき、Ｐ型トランジスターＰＴのゲート長はL_Pであり、ゲート幅はW_Pである。

【００４１】

また、図９（Ｃ）は、Ｎ型トランジスターＮＴのレイアウトを例示する平面図である。ここで、１１０Ｎはゲート領域、１１２ＮはＮ拡散領域であってソースおよびドレイン領域を構成する。なお、１１３Ｎはコンタクトを表す。このとき、Ｎ型トランジスターＮＴのゲート長はL_Nであり、ゲート幅はW_Nである。

【００４２】

ここで、ゲート酸化膜の単位面積当たりのキャパシタンスをC_{OX}とし、正孔の移動度をμ_Pとする。すると、Ｐ型トランジスターＰＴの利得係数β_Pは、下記の式（１）のようになる。

【００４３】

【数１】

$$\beta_P = \frac{W_P}{L_P}\mu_P C_{OX} \quad \cdots\cdots(1)$$

また、電子の移動度をμ_Nとする。すると、Ｎ型トランジスターＮＴの利得係数β_Nは、下記の式（２）のようになる。

【００４４】
【数２】

$$\beta_N = \frac{W_N}{L_N}\mu_N C_{OX} \quad \cdots\cdots(2)$$

図１０は、インバーターの入出力特性を説明する図である。利得係数β_Nと利得係数β_Pとが等しい場合（$\beta_N/\beta_P=1$）には、特性曲線１２０のように、インバーターの閾値を$V_{DD}/2$とする理想的なインバーターになる。
【００４５】
ここで、レベルシフター回路を構成するためには、インバーターの閾値を$V_{DD}/2$からシフトさせる必要がある。このとき、ゲート長やゲート幅を調整して、利得係数β_Nと利得係数β_Pとの比を調整することで、所望のインバーターの閾値を得ることができる。
【００４６】
例えば、$\beta_N/\beta_P>1$とした場合、特性曲線１２２のようにインバーターの閾値が$V_{DD}/2$より小さくなる。$\beta_N/\beta_P<1$とした場合、特性曲線１２４のようにインバーターの閾値が$V_{DD}/2$より大きくなる。
【００４７】
図７の比較回路１００では、Ｎ型基板上に回路が構成されてV_{DD}を基準電位としているため、$\beta_N/\beta_P<1$とする必要がある。式（１）と式（２）から、β_N/β_Pはゲート長とゲート幅を用いて下記の式（３）のようになる。
【００４８】
【数３】

$$\frac{\beta_N}{\beta_P} = \frac{\mu_N}{\mu_P} \times \frac{W_N L_P}{W_P L_N} \quad \cdots\cdots(3)$$

式（３）によると、例えばＮ型トランジスター（図７ではＮ型トランジスターＮ２１、Ｎ２２に対応）のゲート長であるL_Nを大きくすることで、β_N/β_Pを１未満の値に調整し、所望のインバーターの閾値を得ることができる。
【００４９】
ここで、近年の半導体プロセスの進展により、レベルシフター回路にはより大きな電圧変換能力が求められるようになっている。すると、Ｎ型トランジスターのゲート長（L_N）を一層大きくする必要があるが、その結果として、寄生容量（図７では寄生容量Ｃ５に対応）も大きくなる。そのため、大きな寄生容量における充放電により、図７の比較回路１００の例では、出力信号Ｙにスパイクノイズが乗る、出力信号Ｙの応答速度が遅くなる、といった問題が発生する。
【００５０】
なお、式（３）によると、例えばＮ型トランジスターのゲート幅であるW_Nを大きくしてもβ_N/β_Pを１未満の所望の値に調整できる。しかし、Ｎ型トランジスターのゲート幅（W_N）を大きくすると、電流が流れやすくなり消費電力が大きくなるため、現実にはこのような調整は難しい。よって、以下ではレベルシフター回路における大きな電圧変換能力を、Ｎ型トランジスターのゲート長（L_N）を大きくすることで実現しているものとして説明する。
【００５１】
ここで、再び図８を参照して、比較回路１００における信号の変化と、出力信号Ｙにスパイクノイズがのったり応答速度が遅くなったりする現象について説明する。なお、初段インバーター（インバーターＩＶ２１）とインバーターＩＶ２２は、$\beta_N/\beta_P<1$となる調整がなされているものとする。
【００５２】
入力信号Ａがハイレベルからローレベルに変化する場合について説明する。このとき、第１の電位系の入力信号Ａの変化に伴って、第２の電位系の信号である出力信号Ｙがハイ

レベルからローレベルへと変化することが期待される。

【００５３】

比較回路１００において、入力信号Ａがハイレベルからローレベルに変化していく（ＳＴ１）と、第１電位系で動作するインバーターＩＶ１１の出力である第１の信号ＸＡがハイレベルに変化する（ＳＴ２）。また、Ｐ型トランジスターＰ２１がオンして、初段インバーターの出力信号（ＸＤ）はハイレベルに変化する（ＳＴ３）。

【００５４】

すると、インバーターＩＶ２３の出力信号Ｙはローレベルになる（ＳＴ４）。また、Ｎ型トランジスターＮ２５がオンして、そのドレイン端子の電位が確定する。そして、インバーターＩＶ２２においてＮ型トランジスターＮ２２がオンして、Ｐ型トランジスターＰ２２がオフする。その結果、インバーターＩＶ２２の出力信号（Ｄ）がローレベルになる（ＳＴ５）。

【００５５】

そして、初段スイッチ（Ｎ型トランジスターＮ２４）がオフして、そのドレイン端子の電位が確定する。このとき、寄生容量Ｃ１に充電された電荷が、経路Ｐ１を通って寄生容量Ｃ５へと流れ込む。すると、大きな寄生容量Ｃ５によって、入力信号Ａがハイレベルへと引き戻されるような現象が生じる（ＳＴ６）。

【００５６】

この入力信号Ａの変化に伴って、インバーターＩＶ１１の出力である第１の信号ＸＡはローレベルに引き戻される（ＳＴ７）。また、Ｐ型トランジスターＰ２１がオンして、初段インバーターの出力信号（ＸＤ）はローレベルに引き戻される（ＳＴ８）。このとき、出力信号Ｙがハイレベルに引き戻されるので（ＳＴ９）、出力信号Ｙにスパイクノイズが乗る。

【００５７】

そして、第１の信号ＸＡの変化に伴い、インバーターＩＶ２２においてＮ型トランジスターＮ２２がオフして、Ｐ型トランジスターＰ２２がオンする。その結果、インバーターＩＶ２２の出力信号（Ｄ）がハイレベルに引き戻され（ＳＴ１０）、初段スイッチがオンする。

【００５８】

すると、寄生容量Ｃ５に充電された電荷が、第２の低電位（ここではV_{SS}）を供給する電源へと流れる。このとき、寄生容量Ｃ５は入力信号Ａを伝達する信号線に繋がっているため、寄生容量Ｃ５の放電中は入力信号Ａの電位が確定しない。そのため、出力信号Ｙの応答速度が遅くなる（ＳＴ１１）。

【００５９】

図１１（Ａ）～図１１（Ｅ）は、このような比較回路１００の問題を示す波形図の例である。重複説明を避けるために、各波形の状態については、前記の信号の変化についての記述に付された記号ＳＴ１～ＳＴ１１を用いて簡単に説明する。

【００６０】

図１１（Ａ）は、比較回路１００において入力信号Ａがハイレベルからローレベルに変化する場合の波形図である。そして、図１１（Ｂ）～図１１（Ｅ）は、それぞれ図８の比較回路１００における出力信号Ｙ、初段インバーターの出力信号（ＸＤ）、インバーターＩＶ２２の出力信号（Ｄ）、第１の信号ＸＡの対応する変化を表す。

【００６１】

図１１（Ａ）の時刻ｔ１では、入力信号Ａがハイレベルからローレベルに変化している（ＳＴ１）。そして、図１１（Ｅ）のように、時刻ｔ１において第１電位系の第１の信号ＸＡがハイレベルに変化する（ＳＴ２）。このとき、初段インバーターの出力信号（ＸＤ）は、図１１（Ｃ）のようにハイレベルに変化していく（ＳＴ３）。

【００６２】

また、時刻ｔ１では、図１１（Ｂ）のように出力信号Ｙは一度ローレベルになり（ＳＴ４）、図１１（Ｄ）のようにインバーターＩＶ２２の出力信号（Ｄ）はローレベルへと変

化していく（ＳＴ５）。
【００６３】
しかし、このことで初段スイッチがオフして、初段インバーターと接続されるノード（Ｎ型トランジスターＮ２４のドレイン端子）の電位が確定する。このとき、図８の寄生容量Ｃ１に充電された電荷が、経路Ｐ１を通って寄生容量Ｃ５へと流れ込む。すると、図１１（Ａ）の時刻ｔ２のように、入力信号Ａがハイレベルへと引き戻されるような現象が生じる（ＳＴ６）。
【００６４】
そのため、図１１（Ｅ）のように、時刻ｔ２において第１の信号ＸＡはローレベルに引き戻される（ＳＴ７）。このとき、図１１（Ｃ）のように初段インバーターの出力信号（ＸＤ）はローレベルに引き戻され（ＳＴ８）、図１１（Ｂ）のように出力信号Ｙがハイレベルに引き戻される（ＳＴ９）。よって、図１１（Ｂ）のように、出力信号Ｙにスパイクノイズが乗ることになる。
【００６５】
第１の信号ＸＡの変化に伴いＰ型トランジスターＰ２２がオンする。その結果、図１１（Ｄ）の時刻ｔ２のように、インバーターＩＶ２２の出力信号（Ｄ）がハイレベルに引き戻され（ＳＴ１０）、初段スイッチがオンする。初段スイッチがオンすると、寄生容量Ｃ５の放電が始まり入力信号Ａの電位が確定しない。そのため、図１１（Ｂ）の時刻ｔ３まで出力信号Ｙが確定せず、その応答速度が遅くなる（ＳＴ１１）。
【００６６】
このように、比較回路１００では、出力信号Ｙに高周波のスパイクノイズがのり、入力信号Ａを受け取ってから安定した出力信号Ｙを生成するまでの応答速度が遅くなる、といった問題が生じる。
【００６７】
２．第１実施形態
２．１．本実施形態のレベルシフター回路の構成
図１は本実施形態のレベルシフター回路１の回路図である。本実施形態のレベルシフター回路１は、比較例のスパイクノイズの発生や応答速度の遅延といった問題を解決する。
【００６８】
レベルシフター回路１は様々な装置等に適用可能であるが、本実施形態では、レベルシフター回路１は半導体集積回路で外部からの信号、又は外部への信号の入出力に用いられているものとする。なお、図７～図１１（Ｅ）と同じ要素には同じ符号を付しており、既に説明した要素についての説明を省略する。
【００６９】
本実施形態のレベルシフター回路１は、図７の比較回路１００と同様に、第１の電位系の信号を、第１の電位系よりも電源電位の差が大きい第２の電位系へと伝達する。ここで、図７の比較回路１００と比較すれば明らかなように、本実施形態のレベルシフター回路１は第１の電位系を用いる第１の回路１０と、第２の電位系を用いる第２の回路２０との間に、バッファー回路３０を含む。
【００７０】
バッファー回路３０は、第１の電位系で動作する２段のインバーターで構成されている。つまり、図１の例では、Ｐ型トランジスターＰ１２とＮ型トランジスターＮ１２からなるインバーターＩＶ１２と、Ｐ型トランジスターＰ１３とＮ型トランジスターＮ１３からなるインバーターＩＶ１３とを含む。
【００７１】
インバーターＩＶ１２は入力信号Ａを受け取る。そして、その反転出力信号をインバーターＩＶ１３が受け取り、第１の電位系である第２の信号Ｂとして、第２の回路の初段インバーター（インバーターＩＶ２１）に出力する。第２の信号Ｂは論理的に入力信号Ａと等価である。本実施形態では、２段のインバーターで構成されているが、異なる偶数段（例えば４段）のインバーターで構成されていてもよい。

【００７２】
ここで、バッファー回路３０において、第２の信号Ｂを伝達する信号線と電源との間に寄生容量Ｃ３、Ｃ４が存在する。なお、第２の回路２０の構成は、初段インバーター（インバーターＩＶ２１）が入力信号Ａでなく第２の信号Ｂを受け取ることを除けば、比較回路１００と同じである。なお、初段インバーターの出力信号を第３の信号ＸＤと呼ぶものとする。
【００７３】
２．２．バッファー回路の効果
以下に、レベルシフター回路１がバッファー回路３０を含むことによって、比較例のスパイクノイズの発生や応答速度の遅延といった問題を解決できる理由について説明する。図２は、レベルシフター回路１における寄生容量Ｃ５へと流れる電荷の経路を示す回路図である。なお、図１と同じ要素については同じ符号を付しており説明を省略する。
【００７４】
レベルシフター回路１では、比較回路１００（図８参照）とは異なり、寄生容量Ｃ１から寄生容量Ｃ５への経路はバッファー回路３０によって分断されている。つまり、図２のように、比較回路１００が有する経路Ｐ１（寄生容量Ｃ１から寄生容量Ｃ５への経路）は、バッファー回路３０で遮られておりレベルシフター回路１には存在しない。
【００７５】
ここで、インバーターＩＶ１２は第１の電位系で動作するインバーターであり、その閾値はV_{DD}とV_{REG}の中間の電位であればよい。つまり、電圧変換を行わないため、インバーターＩＶ１２の寄生容量は、初段インバーター（インバーターＩＶ２１）と比べて非常に小さい。よって、寄生容量Ｃ１からインバーターＩＶ１２の寄生容量（図外）へと電荷が流れたとしても、入力信号Ａが例えばローレベルからハイレベルへと引き戻されるような現象は発生しない。
【００７６】
一方、初段インバーター（インバーターＩＶ２１）については、寄生容量Ｃ１からの経路は分断されているが、バッファー回路３０の寄生容量Ｃ３と寄生容量Ｃ５とは第２の信号Ｂを伝達する信号線によって直接に繋がれている。よって、寄生容量Ｃ３に蓄積した電荷が寄生容量Ｃ５に向かって流れる可能性がある。そして、初段スイッチがオンした状態になると、寄生容量Ｃ５の電荷は電源供給線（ここではV_{SS}）へと流れることになる（図２の経路Ｐ２）。
【００７７】
しかし、バッファー回路３０が存在することによって、寄生容量Ｃ３からの放電の影響が直接的に入力信号Ａに及ぶことはない。よって、入力信号Ａが例えばローレベルからハイレベルへと引き戻されるような現象は発生しない。その結果、出力信号Ｙに高周波のスパイクノイズが乗るという問題も生じない。また、入力信号Ａを受け取ってから安定した出力信号Ｙを生成するまでの応答速度も比較回路１００に比べて速くなる。
【００７８】
ここで、前記のように、レベルシフター回路１における第２の回路２０は、比較回路１００とは異なり、入力信号Ａを直接受け取るのではなく第２の信号Ｂを受け取る。しかし、入力信号Ａと第２の信号Ｂとは論理的に等価である。そのため、信号の変化やトランジスターのオン、オフの変化は比較回路１００と共通するところが多い。例えば、前記のＳＴ１～ＳＴ５については同じである。しかし、寄生容量Ｃ５によって、入力信号Ａがハイレベルへと引き戻されるような現象（ＳＴ６以降）が生じることはない。
【００７９】
図３（Ａ）～図３（Ｅ）は、レベルシフター回路１の信号の波形図である。図３（Ａ）～図３（Ｅ）における符号や時刻は、図１１（Ａ）～図１１（Ｅ）と同じである。ただし、入力信号Ａ、出力信号Ｙ、第３の信号ＸＤ、インバーターＩＶ２２の出力信号（Ｄ）、第１の信号ＸＡは、図１のレベルシフター回路１の同じ符号の信号である。
【００８０】

図１１（Ａ）～図１１（Ｅ）と同じように、時刻ｔ１において入力信号Ａがハイレベルからローレベルに変化し、それぞれの信号は図３（Ａ）～図３（Ｅ）のように変化する。ここで、図３（Ｂ）と図１１（Ｂ）を比較すると、時刻ｔ１においてレベルシフター回路１は出力信号Ｙにスパイクノイズを生じない。また、時刻ｔ２において、比較回路１００では、第１の信号ＸＡがローレベルに引き戻される変化が生じている（図１１（Ｅ）参照）。しかし、レベルシフター回路１では、図３（Ｅ）のように第１の信号ＸＡはハイレベルのままで安定している。

【００８１】

そして、再び図３（Ｂ）と図１１（Ｂ）を比較すると、レベルシフター回路１では出力信号Ｙが安定するまでの速度が速いことがわかる。図１１（Ｂ）のように、比較回路１００では、寄生容量Ｃ５から電荷が流れ出ることの影響を受けて入力信号Ａがゆらぎ、時刻ｔ３になるまで出力信号Ｙは安定しない。一方、レベルシフター回路１では入力信号Ａがゆらぐことはなく、図３（Ｂ）のように、時刻ｔ３よりも早い時刻ｔ３ａにおいて出力信号Ｙが安定する。

【００８２】

以上のように、本実施形態のレベルシフター回路１は、バッファー回路３０を含むことによって、比較回路１００で生じていたスパイクノイズの発生、応答速度の遅延といった問題を解決する。このとき、バッファー回路３０は例えば図１のように２段のインバーターで構成でき、比較回路１００と比べて回路規模が著しく増大することもない。

【００８３】

３．第２実施形態

図４は本実施形態のレベルシフター回路１Ａの回路図である。本実施形態のレベルシフター回路１Ａは、第１実施形態のレベルシフター回路１と異なり、Ｐ型基板を用いて構成されている。そして、基準電位である低い方の電源電位は、第１の電位系と第２の電位系とで共通（第１の低電位＝第２の低電位＝V_{SS}）である。なお、図１～図３、図７～図１１（Ｅ）と同じ要素には同じ符号を付しており、既に説明した要素についての説明を省略する。なお、$V_{SS}<V_{REG}<V_{DD}$であるとする。

【００８４】

本実施形態のレベルシフター回路１Ａも、第１の電位系の信号を、第１の電位系よりも電源電位の差が大きい第２の電位系へと伝達する。ここで、本実施形態のレベルシフター回路１Ａは、第１の電位系を用いる第１の回路１０Ａ、第２の電位系を用いる第２の回路２０Ａ、バッファー回路３０Ａを含む。

【００８５】

第１の回路１０Ａは、第１実施形態の第１の回路１０と同じく、インバーターＩＶ１１を含む。また、第１の回路１０Ａは、入力信号Ａを伝達する信号線と電源との間に寄生容量Ｃ１、Ｃ２を含む。ただし、第１実施形態とは異なり、寄生容量Ｃ１は電位V_{REG}を供給する電源との間に、寄生容量Ｃ２は電位V_{SS}を供給する電源との間に存在する。

【００８６】

バッファー回路３０Ａは、第１実施形態のバッファー回路３０と同じく、第１の電位系で動作する２段のインバーターＩＶ１２、ＩＶ１３で構成されている。また、バッファー回路３０Ａは、第２の信号Ｂを伝達する信号線と電源との間に寄生容量Ｃ３、Ｃ４を含む。ただし、第１実施形態とは異なり、寄生容量Ｃ３は電位V_{REG}を供給する電源との間に、寄生容量Ｃ４は電位V_{SS}を供給する電源との間に存在する。

【００８７】

第２の回路２０Ａは、第１実施形態の第２の回路２０と同じく、第２の信号Ｂおよび第１の信号ＸＡを受け取り、第２の電位系の信号である出力信号Ｙを生成する。第２の回路２０は３つのインバーターＩＶ２１、ＩＶ２２、ＩＶ２３を含む。第１実施形態と同じくインバーターＩＶ２１が初段インバーターである。

【００８８】

しかし、第１実施形態とは異なり、初段インバーター、インバーターＩＶ２２は、それ

ぞれＰ型トランジスターＰ２４、Ｐ型トランジスターＰ２５を介して第２の高電位（ここではＶ$_{DD}$）を供給する電源と接続される。Ｐ型トランジスターＰ２４、Ｐ型トランジスターＰ２５のゲートには、それぞれインバーターＩＶ２２、初段インバーターから出力された信号が接続されている。

【００８９】

このとき、Ｐ型トランジスターＰ２４が初段スイッチである。そして、図４のように、第２の信号Ｂを伝達する信号線と、初段インバーターと初段スイッチとを接続するノードとの間に寄生容量Ｃ５が存在する。

【００９０】

Ｐ型基板を用いる場合でも、本実施形態のレベルシフター回路１Ａのような構成にすることで、第１実施形態の場合と同様に、出力信号Ｙにスパイクノイズが乗る、出力信号Ｙの応答速度が遅くなる、といった比較回路１００での問題を解決することができる。

【００９１】

ここで、入力信号Ａがローレベルからハイレベルに変化する場合について説明する。レベルシフター回路１Ａにおいて、入力信号Ａがローレベルからハイレベルに変化していくと、第１電位系で動作するインバーターＩＶ１１の出力である第１の信号ＸＡがローレベルに変化する。また、第２の信号Ｂも入力信号Ａの変化に伴いローレベルからハイレベルに変化する。すると、Ｎ型トランジスターＮ２１がオンして、第３の信号ＸＤはローレベルに変化する。

【００９２】

そして、インバーターＩＶ２３の出力信号Ｙはハイレベルになる。また、Ｐ型トランジスターＰ２５がオンして、そのドレイン端子の電位が確定する。そして、インバーターＩＶ２２においてＰ型トランジスターＰ２２がオンして、Ｎ型トランジスターＮ２２がオフする。その結果、インバーターＩＶ２２の出力信号（Ｄ）がハイレベルになる。

【００９３】

そして、初段スイッチ（Ｐ型トランジスターＰ２４）がオフして、そのドレイン端子の電位が確定する。このとき、寄生容量Ｃ５と寄生容量Ｃ４との間に電荷の流れがあるが、第１実施形態の場合と同様に、バッファー回路３０Ａの存在によって、入力信号Ａがローレベルへと引き戻されるような現象が生じることはない。

【００９４】

したがって、レベルシフター回路１Ａも、出力信号Ｙにスパイクノイズが乗る、出力信号Ｙの応答速度が遅くなる、といった比較回路１００での問題を解決することができる。なお、入力信号Ａがローレベルの場合には、第１実施形態の場合とは逆に初段スイッチはオンした状態になる。

【００９５】

４．変形例

第１実施形態、第２実施形態の変形例について、図５～図６を参照して説明する。なお、図１～図４、図７～図１１（Ｅ）と同じ要素には同じ符号を付しており、既に説明した要素についての説明を省略する。

【００９６】

４．１．第１変形例

図５は、第１変形例のレベルシフター回路１Ｂの回路図である。レベルシフター回路１Ｂは出力信号について変形を行っている。なお、レベルシフター回路１Ｂは、第１実施形態と同様にＮ型基板を用いた場合の回路図であるが、第２実施形態のようにＰ型基板を用いて回路が構成されていてもよい。

【００９７】

レベルシフター回路１Ｂは、第１実施形態のレベルシフター回路１とは異なり、入力信号Ａの論理を反転した出力信号ＸＹを生成する。レベルシフター回路１Ｂは、例えば第１の回路１０やバッファー回路３０については、第１実施形態のレベルシフター回路１と同じである。しかし、第２の回路２０Ｂのインバーター

く、インバーターＩＶ２２の出力信号（Ｄ）を反転したものを出力信号ＸＹとする。
【００９８】
第１変形例のレベルシフター回路１Ｂについても、寄生容量Ｃ１から寄生容量Ｃ５への経路はバッファー回路３０によって分断されている。また、寄生容量Ｃ１からｎ型トランジスターＮ２２の寄生容量（図外）への経路はインバーターＩＶ１１により分断されている。よって、比較回路１００で生じていたスパイクノイズの発生、応答速度の遅延といった問題を解決する。
【００９９】
なお、インバーターＩＶ２２とｎ型トランジスターＮ２５とを接続するノードの電位は第３の信号ＸＤによって定められる。すなわち、レベルシフター回路１Ｂにおいても、第３の信号ＸＤに基づいて、出力信号ＸＹ（反転したインバーターＩＶ２２の出力信号）が生成されることになる。
【０１００】
４．２．第２変形例
図６は、第２変形例のレベルシフター回路１Ｃの回路図である。レベルシフター回路１Ｃはバッファー回路の構成について変形を行っている。なお、レベルシフター回路１Ｃは、第１実施形態と同様にｎ型基板を用いた場合の回路図であるが、第２実施形態のようにＰ型基板を用いて回路が構成されていてもよい。
【０１０１】
レベルシフター回路１Ｃは、第１実施形態のレベルシフター回路１とは異なり、レベルシフターとしての通常動作を実行させるイネーブル信号Ｅｎを備える。図６の回路図の例では、イネーブル信号Ｅｎがハイレベルであるときにレベルシフター回路１Ｃは通常動作を行い、イネーブル信号Ｅｎがローレベルであるときには出力信号Ｙがローレベルに固定される。例えば、レベルシフター回路１Ｃを使用しない場合に出力信号Ｙを固定して、消費電力を低減させる用途に用いられる。
【０１０２】
レベルシフター回路１Ｃは、例えば第１の回路１０や第２の回路２０については、第１実施形態のレベルシフター回路１と同じである。しかし、バッファー回路３０Ｂは、偶数段のインバーターを接続したものではない。バッファー回路３０Ｂは、例えば第１実施形態のインバーターＩＶ１２に代えて、入力信号Ａとイネーブル信号Ｅｎとを受け取るＮＡＮＤ回路３２を含む。このとき、通常動作時には、ＮＡＮＤ回路３２はインバーターとして機能し、入力信号Ａと第２の信号Ｂとは論理的に等価になる。
【０１０３】
このように、バッファー回路は、偶数段のインバーターを接続した構成に限るものでなく、通常動作時に入力信号Ａと第２の信号Ｂとが論理的に等価でありさえすれば、いかなる回路構成であってもよい。
【０１０４】
第２変形例のレベルシフター回路１Ｃについても、寄生容量Ｃ１から寄生容量Ｃ５への経路はバッファー回路３０によって分断されている。よって、比較回路１００で生じていたスパイクノイズの発生、応答速度の遅延といった問題を解決する。
【０１０５】
５．適用例
５．１．集積回路装置
前記のレベルシフター回路の集積回路（Integrated Circuit、IC）装置への適用について図１２（Ａ）～図１５を参照して説明する。なお、図１～図１１（Ｅ）と同じ要素には同じ符号を付しており、既に説明した要素についての説明を省略する。
【０１０６】
図１２（Ａ）～図１２（Ｃ）は、第１の電位系と第２の電位系との関係を説明する図である。第１の電位系の電源電位の差はΔＶ１であり、第２の電位系の電源電位の差はΔＶ２である。そして、ΔＶ１＜ΔＶ２が成り立つ。

【０１０７】
例えば、第１実施形態、第１変形例、第２変形例のレベルシフター回路では、第１の電位系は電源電位として第１の高電位（V_{DD}）、第１の低電位（V_{REG}）を用い、第２の電位系は電源電位として第２の高電位（V_{DD}）、第２の低電位（V_{SS}）を用いている。そして、図１２（Ａ）のように、基準電位である高い方の電源電位は、第１の電位系と第２の電位系とで共通（第１の高電位＝第２の高電位＝V_{DD}）である。
【０１０８】
また、例えば、第２実施形態のレベルシフター回路では、第１の電位系は電源電位として第１の高電位（V_{REG}）、第１の低電位（V_{SS}）を用い、第２の電位系は電源電位として第２の高電位（V_{DD}）、第２の低電位（V_{SS}）を用いている。そして、図１２（Ｂ）のように、基準電位である低い方の電源電位は、第１の電位系と第２の電位系とで共通（第１の低電位＝第２の低電位＝V_{SS}）である。
【０１０９】
ここで、前記のレベルシフター回路では共通の電源電位が存在したが、第１の電位系と第２の電位系との関係は図１２（Ｃ）のようであればよく、共通の電源電位はなくてもよい。つまり、第１の電位系の信号がとり得る範囲（V_{L1}～V_{H1}）が、第２の電位系の信号がとり得る範囲（V_{L2}～V_{H2}）に含まれていればよい。
【０１１０】
ここで、第１の電位系で動作する回路と第２の電位系で動作する回路とが混在する場合の例として、異なる半導体プロセスで製造された回路を、ボード基板上でまたはＩＣチップ内で接続して用いることが考えられる。例えばプロセスの世代が大きく異なりトランジスターのゲート長が著しく異なる回路や、一方がバルク型のＭＯＳ集積回路、他方がＳＯＩ型のＭＯＳ集積回路である場合に両者を接続するような場合である。
【０１１１】
図１３は、ＳＯＩ型のＭＯＳ集積回路（ここでは、Ｎ型トランジスター）の断面図である。サブストレート（Ｐ型基板１４０）の上に、例えばSiO_2といった絶縁膜１３８が形成され、その上にトランジスターが作られる。このとき、寄生ダイオードやサブストレートとの間の浮遊容量を低減することができるので、バルク型のＭＯＳ集積回路よりも低い電源電位を用いて動作させることができ、回路の低消費電力化を図ることができる。ただし、ＳＯＩ型のＭＯＳ集積回路とバルク型のＭＯＳ集積回路とが混在する場合には、ＳＯＩ型のＭＯＳ集積回路用の電源（第１の電位系）と、バルク型のＭＯＳ集積回路用の電源（第２の電位系）とが必要であり、これらの間にレベルシフター回路が必要になる。
【０１１２】
図１４（Ａ）は、ＳＯＩ型のＭＯＳ集積回路で構成された集積回路装置８０を、従来のバルク型のＭＯＳ集積回路用のテスター９０でテストする場合を示す図である。このとき、出力端子８２、８４からは第２の電位系の信号を出力する必要がある。一方、低消費電力のため、集積回路装置８０の内部では第１の電位系の信号が用いられている。
【０１１３】
このような場合、前記のレベルシフター回路を、集積回路装置８０の出力端子８２、８４の出力バッファーに適用することができる。このとき、出力端子８２、８４からは、スパイクノイズがなく、応答速度の速い信号を出力することが可能になる。また、バルク型のＭＯＳ集積回路用のテスター９０を使用できることは、集積回路装置８０の製造コストの低減にもつながる。なお、テスター９０に代えて、バルク型の集積回路で構成された他の集積回路装置と接続されてもよい。
【０１１４】
図１４（Ｂ）は、集積回路装置９２からの第１の電位系の信号を、例えば基板上で集積回路装置８０が受け取る場合を示す図である。このとき、集積回路装置８０は第１の電位系と第２の電位系の両方の電源を備えているものとする。
【０１１５】
このような場合、前記のレベルシフター回路を、集積回路装置８０の入力端子８６、８

８の入力バッファーに適用することができる。このとき、集積回路装置８０は、入力端子８６、８８で受け取った信号を電圧変換するが、スパイクノイズが乗ることもないので通信エラーが生じることもない。また、応答速度が速いため、集積回路装置９２や集積回路装置８０を含むシステム全体の処理能力を高めることができる。

【０１１６】

なお、集積回路装置８０におけるレベルシフター回路は、入力バッファー、出力バッファーとしての用途に限定されるものではない。図１５は、レベルシフター回路１を含む集積回路装置８０の回路の一部を示す図である。図１５の例では、第１の電位系と第２の電位系とで異なる周波数のクロック信号を用いる。このとき、レベルシフター回路１を設けて、発振回路９４からの原クロック信号９５に基づいて、第２の電位系のクロック信号９７を生成している。

【０１１７】

例えば、電圧変換を行うデータ信号のそれぞれについてレベルシフター回路１を設けてもよいが、集積回路装置８０のレイアウト面積が著しく増大する可能性がある。レイアウト面積に制限がある場合、図１５の例のように、消費電流の多くを占める高速なクロックについてレベルシフター回路１を設置することで、面積の増大を抑えることができる。

【０１１８】

図１５の集積回路装置８０は、第１の電位系で動作する発振回路９４、発振回路９４からの原クロック信号９５を分周するリプルカウンター（フリップフロップ９６Ａ、９６Ｂ、９６Ｃで構成）と、レベルシフター回路１と、第２の電位系で動作する回路（ここでは、フリップフロップ９８）とを含む。第２の電位系のクロック信号９７は、原クロック信号９５に比べて周波数が低い。

【０１１９】

このとき、高速なクロック信号である原クロック信号９５のみを第１の電位系で駆動し、より低速なクロック信号９７を第２の電位系で駆動している。例えば全ての出力端子（図１４（Ａ）の出力端子８２、８４参照）にレベルシフター回路１を設置しなくてもよい。そして、原クロック信号９５からクロック信号９７の受け渡しのみにレベルシフター回路１を使用すればよいため、レイアウトの面積を小さくすることが可能となり、コストも安くすることが出来る。また、高速クロック部分は低電圧化できるため、低消費電流の効果もある。

【０１２０】

このレベルシフターは、スパイクノイズが乗ることも無く応答速度も速いため、クロックの受け渡しといった、動作上で非常に重要な場所に使用することが好ましい。このとき、面積の増加を最小限に抑えながら上記の効果を得られる。なお、第１の電位系では、原クロック信号９５だけに限らず、フリップフロップ９６Ａ～９６Ｃの出力をクロック信号として用いてもよい。また、第２の電位系では、クロック信号９７だけに限らず、フリップフロップ９８の出力をクロック信号として用いてもよい。そして、分周回路はリプルカウンター以外の構成であってもよい。

【０１２１】

５．２．電子機器

前記のレベルシフター回路や、それを含む集積回路装置は、様々な電子機器に適用され得る。図１６（Ａ）～図１６（Ｂ）は電子機器の具体例を示す図である。

【０１２２】

図１６（Ａ）は電子機器の１つである電子時計１０００の正面図である。電子時計１０００は、例えば腕時計であり、時計ケース１００２と、時計ケース１００２に連結された一対のバンド１００３とを備える。時計ケース１００２の正面には、表示部１００４が設けられ、時刻表示１００５を行っている。時計ケースの側面には、２つの操作ボタン１０１１と１０１２とが設けられている。

【０１２３】

例えば、電子時計１０００の内部において、時刻表示に用いられる使用頻度の高い回路

をＳＯＩ型のＭＯＳ集積回路で構成して消費電力を抑える場合がある。一方、使用者の操作ボタン１０１１、１０１２による指示を受け取るインターフェース回路は、使用頻度が低いため、バルク型のＭＯＳ集積回路で実現される場合がある。このようなときに、前記のレベルシフター回路によって、これらの電位系が異なるＭＯＳ集積回路間で信号の入出力が行われてもよい。

【０１２４】

また、例えば図１６（Ｂ）は電子機器の１つである電子ペーパー１１００の斜視図である。電子ペーパー１１００は可撓性を有し、表示領域１１０１と、本体１１０２とを備えている。例えば、表示領域１１０１への表示用の集積回路装置と、本体１１０２のユーザーインターフェース用の集積回路装置の製造プロセスが異なっているような場合に、前記のレベルシフター回路が例えば入出力バッファーとして使用されてもよい。

【０１２５】

６．その他

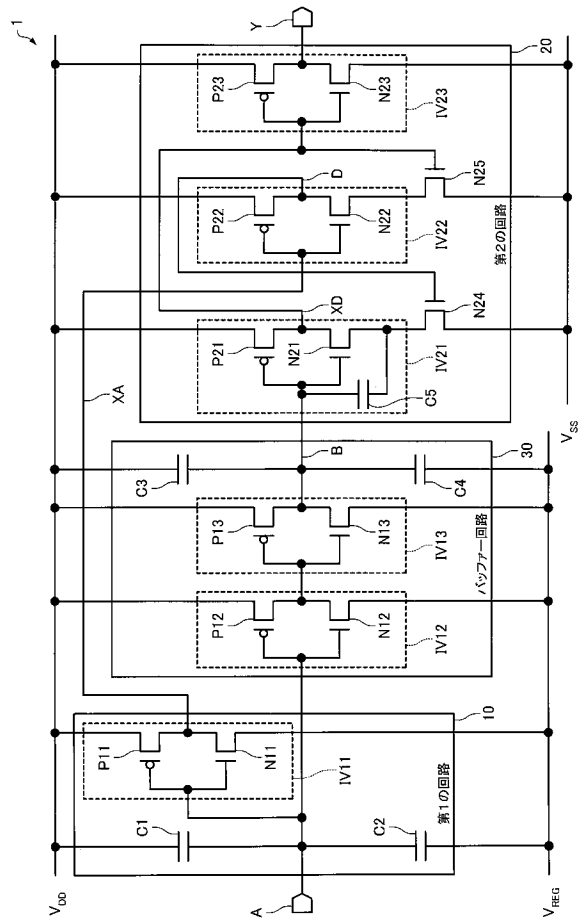
これらの例示に限らず、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法および結果が同一の構成、あるいは目的および効果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【符号の説明】

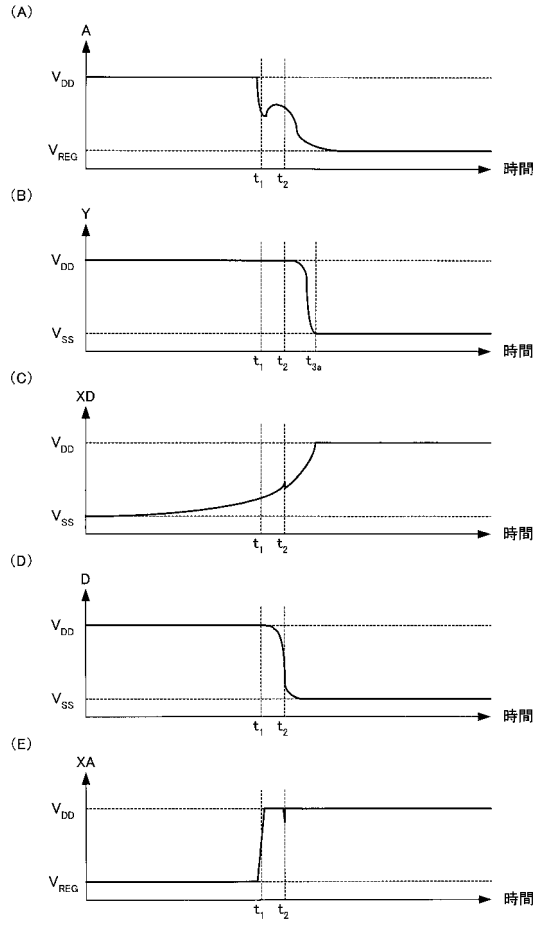
【０１２６】

１，１Ａ，１Ｂ，１Ｃ…レベルシフター回路、１０，１０Ａ…第１の回路、２０，２０Ａ，２０Ｂ…第２の回路、３０，３０Ａ，３０Ｂ…バッファー回路、３２…ＮＡＮＤ回路、８０…集積回路装置、８２…出力端子、８６…入力端子、９０…テスター、９２…集積回路装置、９４…発振回路、９５…原クロック信号、９７…クロック信号、１００…比較回路、１２０，１２２，１２４…特性曲線、１３８…絶縁膜、１４０…Ｐ型基板、１０００…電子時計、１００２…時計ケース、１００３…バンド、１００４…表示部、１００５…時刻表示、１０１１…操作ボタン、１１００…電子ペーパー、１１０１…表示領域、１１０２…本体、Ａ…入力信号、ＸＡ…第１の信号、Ｂ…第２の信号、ＸＤ…第３の信号、Ｃ１，Ｃ２，Ｃ３，Ｃ４，Ｃ５…寄生容量、Ｅｎ…イネーブル信号、Ｙ，ＸＹ…出力信号

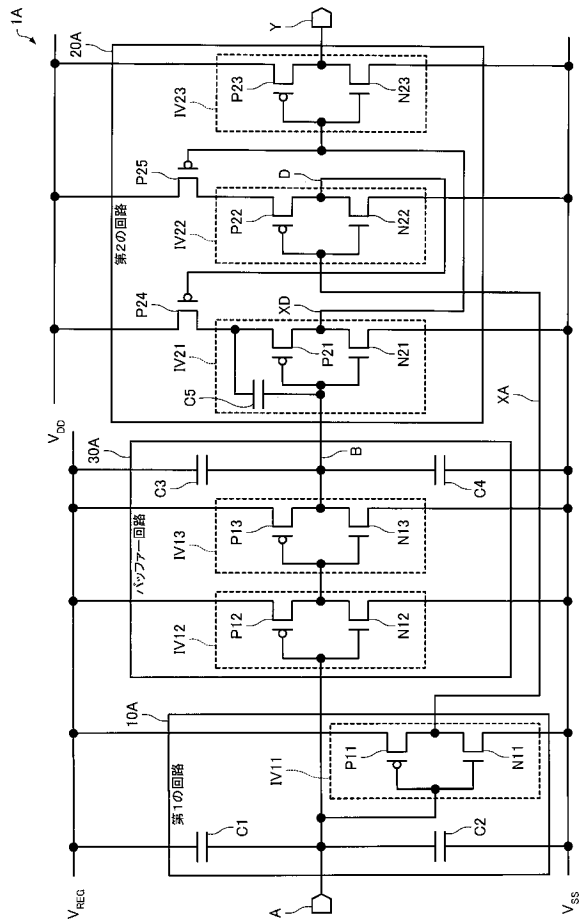
【図１】


1
Y
20
P23
N23
IV23
D
N25
P22
N22
IV22
第2の回路
XD
N24
P21
N21
IV21
XA
C5
V_{SS}
30
B
C3
C4
P13
N13
IV13
バッファー回路
P12
N12
IV12
10
P11
N11
IV11
第1の回路
C1
C2
V_{DD}
A
V_{REG}

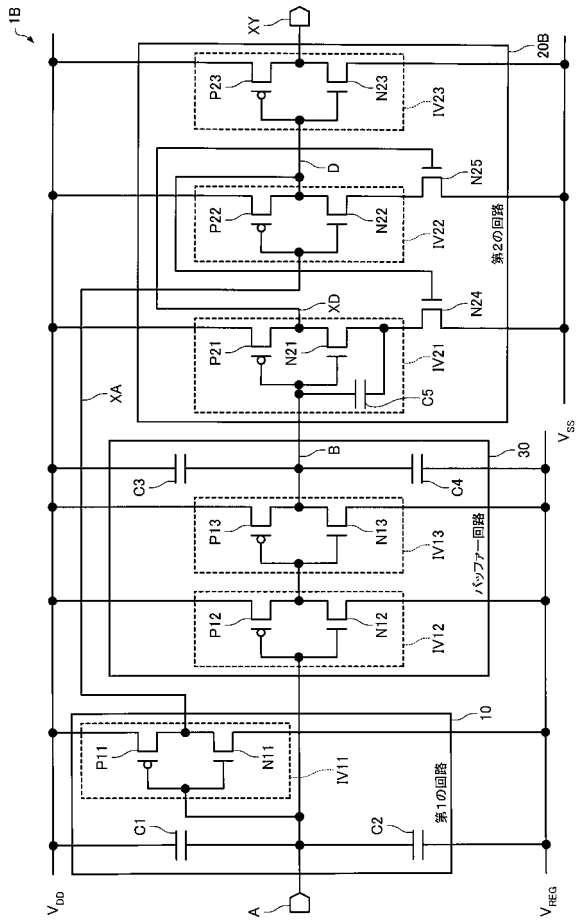
【図３】


(A)
A
V_{DD}
V_{REG}
時間
t_1 t_2
(B)
Y
V_{DD}
V_{SS}
時間
t_1 t_2 t_{3a}
(C)
XD
V_{DD}
V_{SS}
時間
t_1 t_2
(D)
D
V_{DD}
V_{SS}
時間
t_1 t_2
(E)
XA
V_{DD}
V_{REG}
時間
t_1 t_2

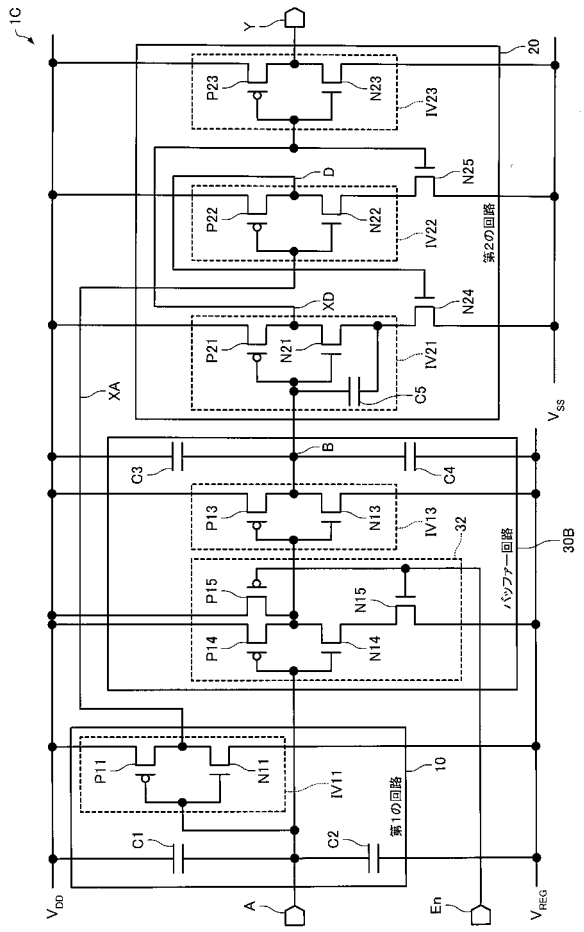
【図４】


1A
Y
20A
P23
N23
IV23
P25
D
第2の回路
P22
N22
IV22
P24
XD
P21
N21
IV21
C5
XA
V_{DD}
30A
B
C3
C4
バッファー回路
P13
N13
IV13
P12
N12
IV12
10A
第1の回路
P11
N11
IV11
C1
C2
V_{REG}
A
V_{SS}

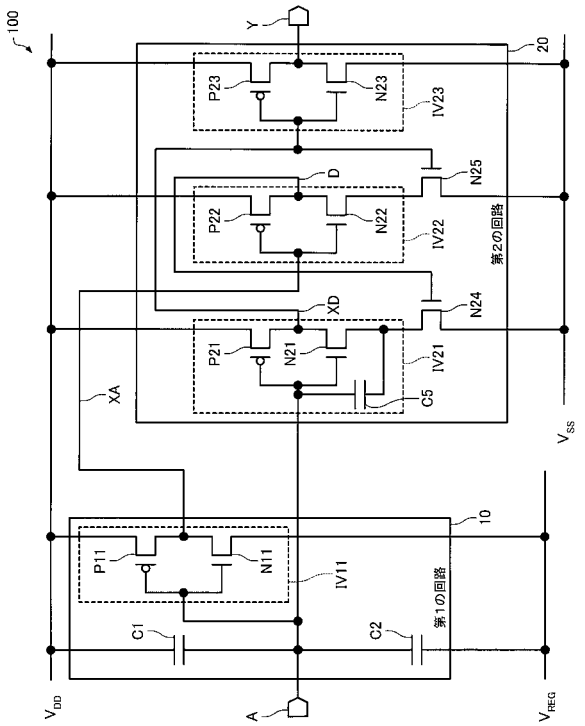
【図５】


1B
XY
20B
P23
N23
IV23
D
N25
第2の回路
P22
N22
IV22
XD
N24
P21
N21
IV21
XA
C5
V_{SS}
30
B
C3
C4
P13
N13
IV13
バッファー回路
P12
N12
IV12
10
P11
N11
IV11
第1の回路
C1
C2
V_{DD}
A
V_{REG}

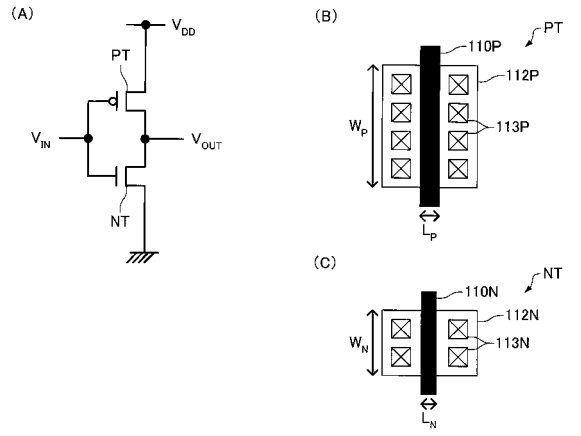
【図６】


1C
Y
20
P23
N23
IV23
D
N25
P22
N22
IV22
第2の回路
XD
N24
P21
N21
IV21
C5
XA
V_{SS}
B
C3
C4
P13
N13
IV13
32
30B
バッファー回路
P15
N15
P14
N14
P11
N11
IV11
10
第1の回路
C1
C2
V_{DD}
A
En
V_{REG}

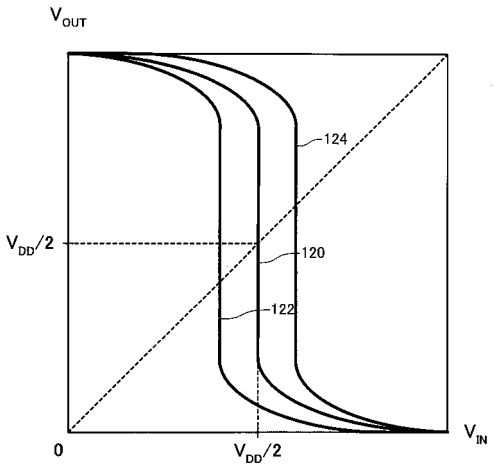
【図７】


100
Y
20
P23
N23
IV23
D
N25
P22
N22
IV22
第2の回路
XD
N24
P21
N21
IV21
C5
XA
V_{SS}
10
P11
N11
IV11
第1の回路
C1
C2
V_{DD}
A
V_{REG}

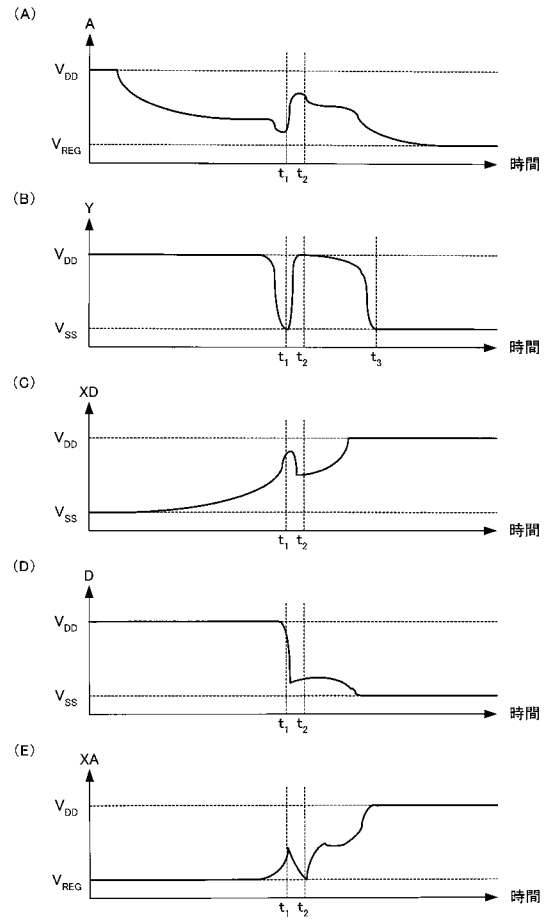
【図９】


(A)
V_{DD}
PT
V_{IN}
V_{OUT}
NT
(B)
PT
110P
112P
113P
W_P
P
(C)
NT
110N
112N
113N
W_N
N

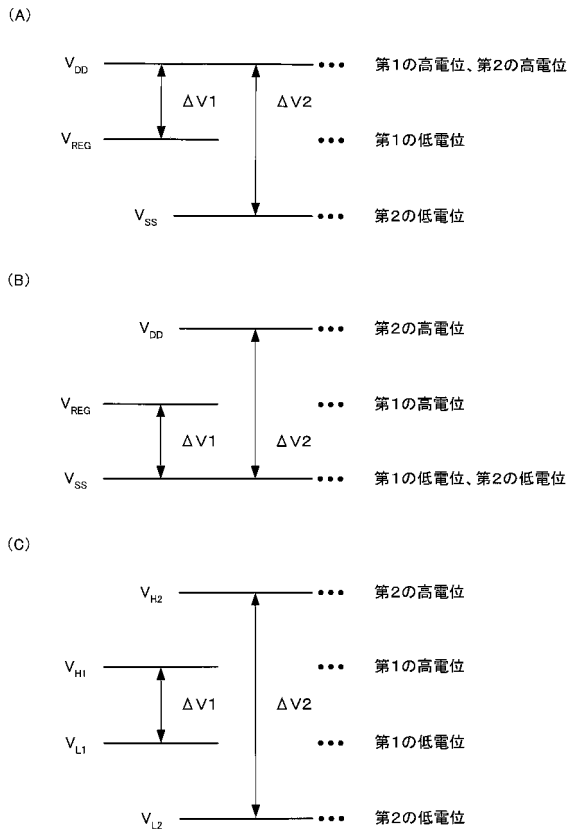
【図１０】


V_{OUT}
124
$V_{DD}/2$
120
122
0
$V_{DD}/2$
V_{IN}

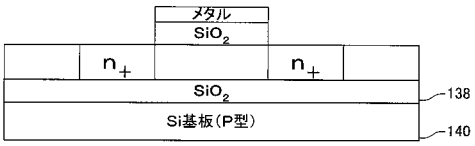
【図１１】



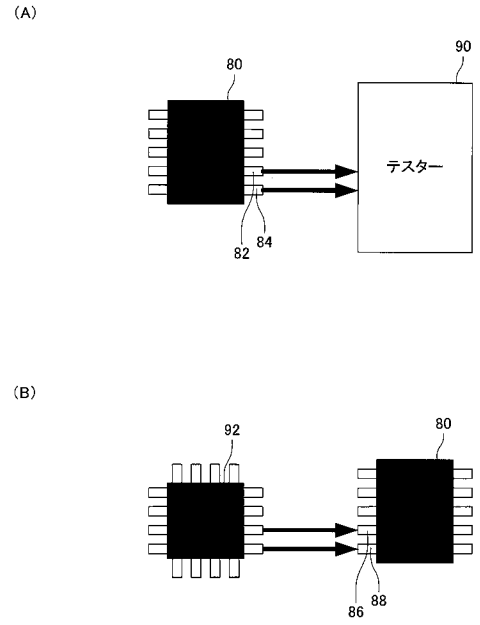
【図１２】



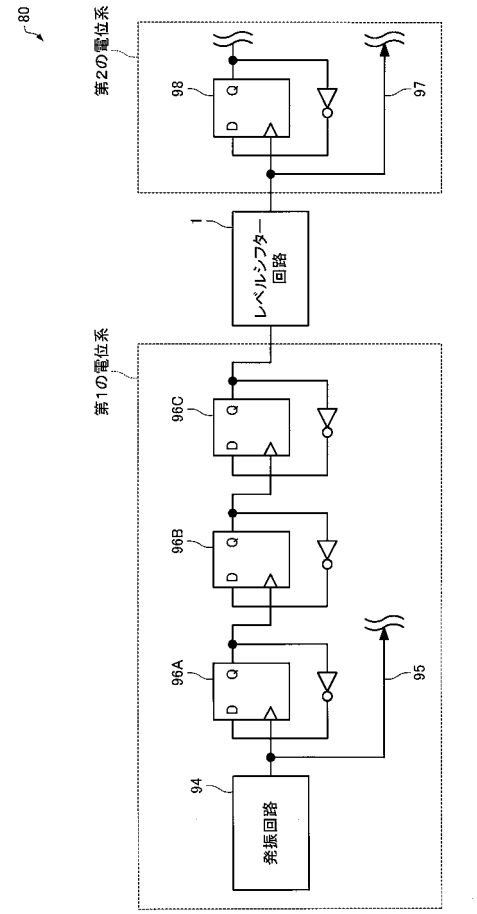
【図１３】



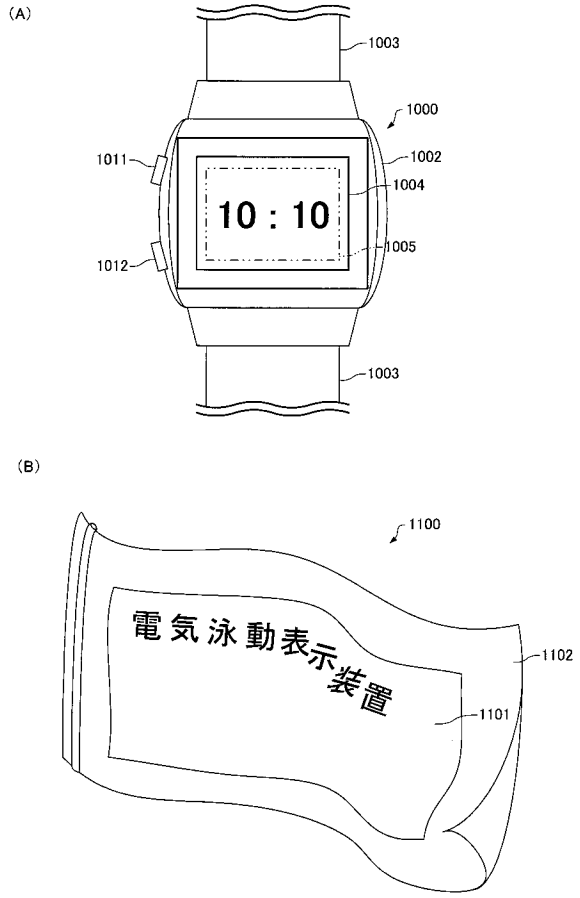
【図１４】



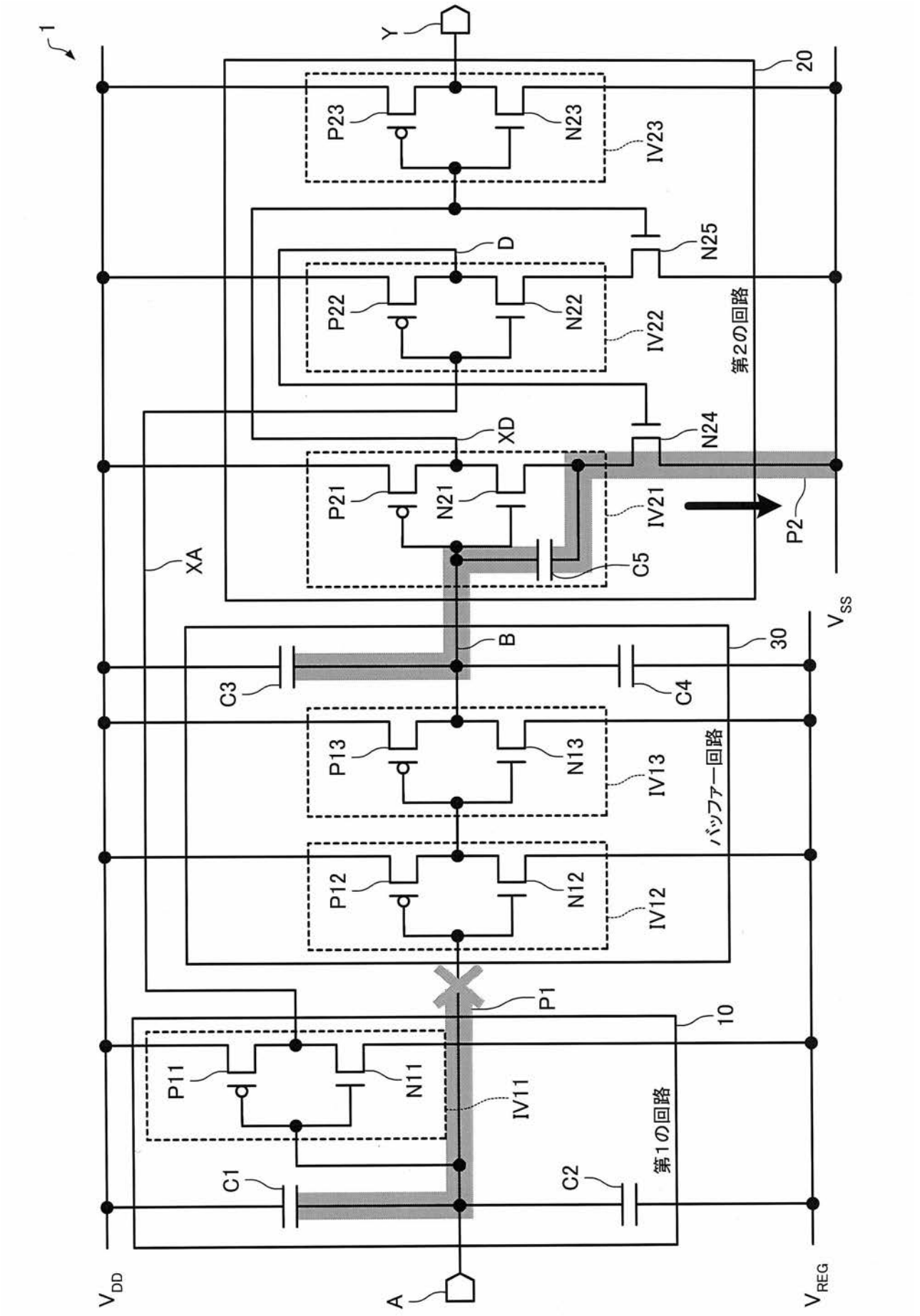
【図１５】



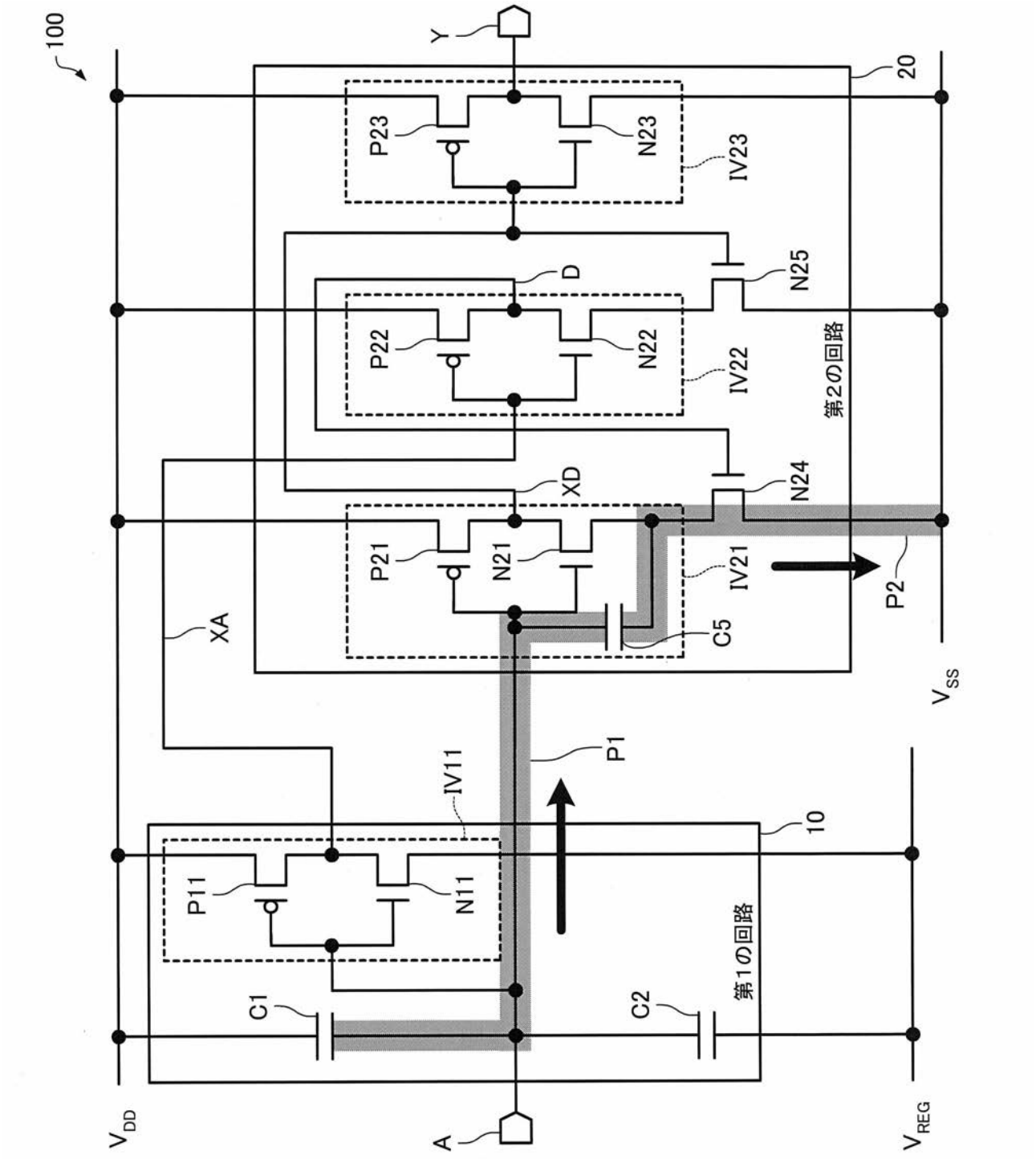
【図１６】


(A)
1003
1000
1011
1002
10 : 10
1004
1005
1012
1003
(B)
1100
電気泳動表示装置
1102
1101

【図２】


1
Y
20
P23
N23
IV23
N25
D
P22
N22
IV22
第2の回路
XD
N24
P21
N21
IV21
P2
XA
C5
V_{SS}
30
B
C3
C4
P13
N13
IV13
バッファー回路
P12
N12
IV12
P1
10
P11
N11
IV11
第1の回路
C1
C2
V_{DD}
A
V_{REG}

【図８】


100
Y
20
P23
N23
IV23
D
N25
P22
N22
IV22
第2の回路
XD
N24
P21
N21
IV21
P2
XA
C5
V_{SS}
P1
IV11
10
P11
N11
第1の回路
C1
C2
V_{DD}
A
V_{REG}