

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年7月21日(21.07.2016)



(10) 国際公開番号

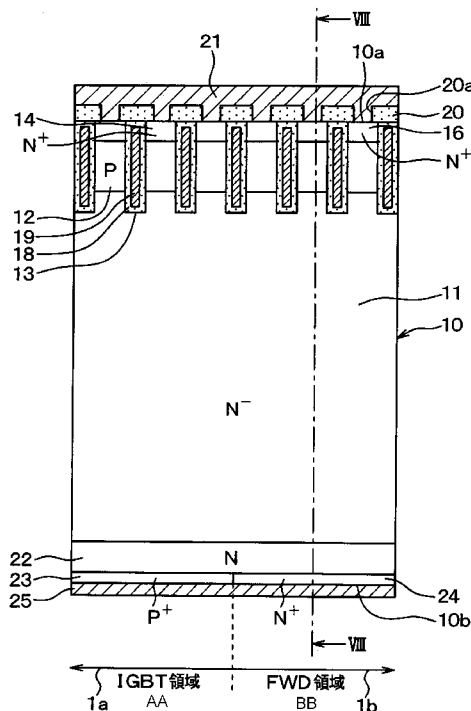
WO 2016/114131 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 29/78 (2006.01)
H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2016/000134
- (22) 国際出願日: 2016年1月13日(13.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-007006 2015年1月16日(16.01.2015) JP
特願 2015-252136 2015年12月24日(24.12.2015) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 住友 正清(SUMITOMO, Masakiyo); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device is provided with: a semiconductor substrate (10) having a drift layer (11); a base layer (12) on the drift layer; a collector layer (23) and cathode layer (24) formed on the opposite side from the base layer side; a plurality of trenches (13) extending through the base layer to the drift layer, said trenches (13) being formed along one direction; gate electrodes (19) formed inside the trenches with gate insulating films (18) interposed therebetween; and an emitter region (14) formed on the surface-layer section of the base layer, said emitter region (14) contacting the trenches. The semiconductor device has: an IGBT region (1a) having the emitter region; and an FWD region (1b) in which an injection suppression region (16) and a contact region (17) are formed alternately along the one direction on the surface-layer section of the base layer.

(57) 要約: 半導体装置は、ドリフト層(11)を有する半導体基板(10)と、前記ドリフト層上のベース層(12)と、前記ドリフト層のうちの前記ベース層側と反対側に形成されたコレクタ層(23)およびカソード層(24)と、前記ベース層を貫通して前記ドリフト層に達し、一方方向に沿って形成された複数のトレンチ(13)と、前記トレンチ内にゲート絶縁膜(18)を介して形成されたゲート電極(19)と、前記ベース層の表層部に形成され、前記トレンチと接するエミッタ領域(14)とを備える。前記半導体基板は、前記エミッタ領域を有するIGBT領域(1a)と、前記ベース層の表層部に注入抑制領域(16)とコンタクト領域(17)とが前記一方方向に沿って交互に形成されたFWD領域(1b)とを有する。

AA IGBT region
BB FWD region

WO 2016/114131 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本出願は、2015年1月16日に出願された日本特許出願番号2015-7006号および2015年12月24日に出願された日本特許出願番号2015-252136号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、絶縁ゲート構造を有する絶縁ゲートバイポーラトランジスタ素子（以下では、IGBT素子という）とフリーホイールダイオード素子（以下、FWD素子という）とが共通の半導体基板に形成された半導体装置に関するものである。

背景技術

[0003] 従来より、例えば、インバータ等に使用されるスイッチング素子として、IGBT素子が形成されたIGBT領域とFWD素子が形成されたFWD領域とを有する半導体装置が提案されている（例えば、特許文献1参照）。

[0004] 具体的には、この半導体装置では、N⁻型のドリフト層を構成する半導体基板の表層部にベース層が形成され、ベース層を貫通するように複数のトレンチが形成されている。そして、各トレンチには、壁面を覆うようにゲート絶縁膜が形成されていると共に、ゲート絶縁膜上にゲート電極が形成されている。

[0005] 半導体基板の裏面側には、P型のコレクタ層およびN型のカソード層が形成されている。そして、ベース層のうちのコレクタ層上に位置する部分にはN⁺型のエミッタ領域が形成されている。また、半導体基板の表面側にはベース層およびエミッタ領域と電氣的に接続される上部電極が形成され、半導体基板の裏面側にはコレクタ層およびカソード層と電氣的に接続される下部電極が形成されている。そして、半導体基板の裏面側にコレクタ層が形成され

ている領域が I G B T 領域とされ、カソード層が形成されている領域が F W D 領域とされている。また、上記構成とされていることにより、半導体基板のうちの F W D 領域には、N 型のカソード層およびドリフト層と P 型のベース層とによって P N 接合を有する F W D 素子が形成されている。

[0006] このような半導体装置では、I G B T 素子は、上部電極に下部電極より低い電圧が印加されると共に、ゲート電極にターンオン電圧が印加されると、ベース層のうちのトレンチと接する部分に N 型の反転層（すなわち、チャンネル）が形成される。そして、エミッタ領域から反転層を介して電子がドリフト層に供給されると共に、コレクタ層からホールがドリフト層に供給され、伝導度変調によりドリフト層の抵抗値が低下してオン状態となる。なお、ターンオン電圧とは、ゲートーエミッタ間の電圧 V_{ge} を絶縁ゲート構造の閾値電圧 V_{th} より高くする電圧のことである。

[0007] また、F W D 素子は、上部電極に下部電極より高い電圧が印加され、上部電極と下部電極との間の電圧が順方向電圧より高くなるとオン状態となり、ベース層からホールがドリフト層に注入される。

[0008] しかしながら、このような半導体装置では、I G B T 領域および F W D 領域においてベース層が共通とされているため、F W D 領域のベース層（すなわち、アノード層）の不純物濃度が高くなりすぎる。このため、F W D 素子がオン状態となる（すなわち、ダイオード動作する）場合、ホールの注入量が高くなりすぎるために逆回復電荷が高くなりすぎ、リカバリ電流が大きくなるという問題がある。

先行技術文献

特許文献

[0009] 特許文献1：特開 2 0 1 3 - 1 5 2 9 9 6 号公報

発明の概要

[0010] 本開示は、I G B T 領域および F W D 領域を有する半導体装置において、リカバリ電流を低減できる半導体装置を提供することを目的とする。

[0011] 本開示の態様において、半導体装置は、第 1 導電型のドリフト層を有する

半導体基板と、前記ドリフト層上に形成された第2導電型のベース層と、前記ドリフト層のうちの前記ベース層側と反対側に形成された第2導電型のコレクタ層および第1導電型のカソード層と、前記ベース層を貫通して前記ドリフト層に達し、前記半導体基板の面方向における一方向に沿って形成された複数のトレンチと、前記トレンチの壁面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ベース層の表層部に形成され、前記トレンチと接する第1導電型のエミッタ領域とを備える。前記半導体基板のうちのIGBT素子として動作する領域がIGBT領域とされる。FWD素子として動作する領域がFWD領域とされる。前記エミッタ領域が前記IGBT領域に形成されている。前記FWD領域では、前記ベース層の表層部において、前記ドリフト層よりも高不純物濃度とされた第1導電型の注入抑制領域と、前記ベース層よりも高不純物濃度とされた第2導電型のコンタクト領域とが前記一方向に沿って交互に形成されている。

[0012] 上記の半導体装置によれば、IGBT領域とFWD領域とのベース層を共通としても、FWD素子がダイオード動作している際に注入抑制領域によってキャリアの注入が抑制されるため、リカバリ電流を低減できる。また、トレンチの延設方向に沿って注入抑制領域とコンタクト領域とを交互に形成しているため、高精度なアライメントを必要とせずにリカバリ電流を低減できる。

図面の簡単な説明

[0013] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、本開示の第1実施形態における半導体装置の断面図であり、
[図2]図2は、図1に示す半導体装置の斜視断面図であり、
[図3]図3は、FWD素子の順方向電圧と順方向電流との関係を示すシミュレーション結果であり、
[図4]図4は、時間とFWD素子の順方向電流との関係を示すシミュレーション結果であり、

[図5]図5は、FWD素子の順方向電圧と順方向電流との関係を示すシミュレーション結果であり、

[図6]図6は、本開示の第2実施形態における半導体装置の斜視断面図であり、

[図7]図7は、本開示の第3実施形態における半導体装置の平面図であり、

[図8]図8は、図7中のVIII－VIII線に沿った断面図であり、

[図9]図9は、図7中のIX－IX線に沿った断面図であり、

[図10]図10は、本開示の第4実施形態における半導体装置の断面図であり、

[図11]図11は、本開示の第5実施形態における半導体装置の断面図であり、

[図12]図12は、本開示の第5実施形態の変形例における半導体装置の断面図である。

発明を実施するための形態

[0014] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0015] (第1実施形態)

本開示の第1実施形態について説明する。なお、本実施形態の半導体装置は、例えば、インバータ、DC／DCコンバータ等の電源回路に使用されるパワースイッチング素子として利用されると好適である。

[0016] 図1および図2に示されるように、半導体装置は、IGBT素子が形成されたIGBT領域1aおよびFWD素子が形成されたFWD領域1bを有している。なお、図1では、IGBT領域1aおよびFWD領域1bを1つしか示していないが、IGBT領域1aおよびFWD領域1bは交互に形成されていてもよい。

[0017] これらIGBT領域1aおよびFWD領域1bは、ドリフト層11を有するN-型の共通の半導体基板10に形成されている。そして、ドリフト層11

上（すなわち、半導体基板 10 の一面 10 a 側）には、P 型のベース層 12 が形成されている。なお、ベース層 12 は、例えば、半導体基板 10 の一面 10 a 側から P 型の不純物がイオン注入された後に熱処理されることで形成され、I G B T 領域 1 a および F W D 領域 1 b において同じ不純物濃度とされている。

[0018] そして、ベース層 12 を貫通してドリフト層 11 に達するように複数のトレンチ 13 が形成され、このトレンチ 13 によってベース層 12 が複数個に分離されている。複数のトレンチ 13 は、I G B T 領域 1 a および F W D 領域 1 b にそれぞれ形成され、半導体基板 10 の一面 10 a の面方向のうちの一方（すなわち、図 1 中の紙面垂直方向）に沿って等間隔に形成されている。

[0019] I G B T 領域 1 a では、ベース層 12 の表層部に、ドリフト層 11 よりも高不純物濃度とされた N⁺型のエミッタ領域 14、およびベース層 12 よりも高不純物濃度とされた P⁺型のコンタクト領域 15 が形成されている。F W D 領域 1 b では、ベース層 12 の表層部に、ドリフト層 11 よりも高不純物濃度とされた N⁺型の注入抑制領域 16、およびベース層 12 よりも高不純物濃度とされた P⁺型のコンタクト領域 17 が形成されている。

[0020] そして、I G B T 領域 1 a に形成されたエミッタ領域 14 およびコンタクト領域 15、F W D 領域 1 b に形成された注入抑制領域 16、コンタクト領域 17 は、それぞれトレンチ 13 の延設方向に沿って交互に形成されている。なお、I G B T 領域 1 a に形成されたエミッタ領域 14、および F W D 領域 1 b に形成された注入抑制領域 16 は、同じ不純物濃度とされている。I G B T 領域 1 a および F W D 領域 1 b に形成されたコンタクト領域 15、17 は、同じ不純物濃度とされている。

[0021] このようなエミッタ領域 14 および注入抑制領域 16 は、例えば、半導体基板 10 の一面 10 a 上に所定箇所が開口したマスクを配置し、半導体基板 10 の一面 10 a 側からエミッタ領域形成予定領域および注入抑制領域形成予定領域に同じ N 型の不純物をイオン注入した後に熱処理することによって

同時に形成される。同様に、コンタクト領域 15、17 は、例えば、半導体基板 10 の一面 10a 上に所定箇所が開口したマスクを配置し、半導体基板 10 の一面 10a 側から各コンタクト領域形成予定領域に同じ P 型の不純物をイオン注入した後に熱処理することによって同時に形成される。

[0022] このため、マスクの形状を適宜変更することにより、I G B T 領域 1a においては、エミッタ領域 14 のトレンチ 13 の延設方向に沿った方向の長さ（以下では、単にエミッタ領域 14 の長さという） W_n1 とコンタクト領域 15 のトレンチ 13 の延設方向に沿った方向の長さ（以下では、単にコンタクト領域 15 の長さ） W_p1 の比とは適宜変更可能となっている。同様に、F W D 領域 1b においては、注入抑制領域 16 のトレンチ 13 の延設方向に沿った方向の長さ（以下では、単に注入抑制領域 16 の長さという） W_n2 とコンタクト領域 17 のトレンチ 13 の延設方向に沿った方向の長さ（以下では、単にコンタクト領域 17 の長さ） W_p2 の比とは適宜変更可能となっている。

[0023] 本実施形態では、エミッタ領域 14 の長さ W_n1 とコンタクト領域 15 の長さ W_p1 の比と、注入抑制領域 16 の長さ W_n2 とコンタクト領域 17 の長さ W_p2 の比とが異なるようにしている。具体的には、エミッタ領域 14 の長さ W_n1 はコンタクト領域 15 の長さ W_p1 より長くされており、注入抑制領域 16 の長さ W_n2 とコンタクト領域 17 の長さ W_p2 とは等しくされている。

[0024] トレンチ 13 は、各トレンチ 13 の壁面を覆うように形成されたゲート絶縁膜 18 と、このゲート絶縁膜 18 の上に形成されたポリシリコン等により構成されるゲート電極 19 とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

[0025] 半導体基板 10 の一面 10a 上には、B P S G 等で構成される層間絶縁膜 20 が形成されている。そして、層間絶縁膜 20 上には、層間絶縁膜 20 に形成されたコンタクトホール 20a を介してエミッタ領域 14、各コンタクト領域 15、17、注入抑制領域 16 と電氣的に接続される上部電極 21 が

形成されている。つまり、層間絶縁膜 20 上には、I G B T 領域 1 a においてエミッタ電極として機能し、F W D 領域 1 b においてアノード電極として機能する上部電極 21 が形成されている。なお、図 2 では、エミッタ領域 14、コンタクト領域 15、注入抑制領域 16、コンタクト領域 17 の関係を理解し易くするために、層間絶縁膜 20 および上部電極 21 を省略して示してある。

[0026] ドリフト層 11 のうちのベース層 12 側と反対側（すなわち、半導体基板 10 の他面 10 b 側）には、N 型のフィールドストップ層（以下では、単に F S 層という）22 が形成されている。この F S 層 22 は、必ずしも必要なものではないが、空乏層の広がりを防ぐことで耐圧と定常損失の性能向上を図ると共に、半導体基板 10 の他面 10 b 側から注入されるホールの注入量を制御するために備えてある。

[0027] そして、I G B T 領域 1 a では、F S 層 22 を挟んでドリフト層 11 と反対側に P 型のコレクタ層 23 が形成され、F W D 領域 1 b では、F S 層 22 を挟んでドリフト層 11 と反対側に N 型のカソード層 24 が形成されている。つまり、I G B T 領域 1 a と F W D 領域 1 b とは、半導体基板 10 の他面 10 b 側に形成される層がコレクタ層 23 であるかカソード層 24 であるかによって区画されている。すなわち、本実施形態では、コレクタ層 23 上の部分が I G B T 領域 1 a とされ、カソード層 24 上の部分が F W D 領域 1 b とされている。

[0028] また、コレクタ層 23 およびカソード層 24 上（すなわち、半導体基板 10 の他面 10 b）には下部電極 25 が形成されている。言い換えると、I G B T 領域 1 a においてはコレクタ電極として機能し、F W D 領域 1 b においてはカソード電極として機能する下部電極 25 が形成されている。

[0029] そして、上記のように構成されていることにより、F W D 領域 1 b においては、ベース層 12 およびコンタクト領域 17 をアノードとし、ドリフト層 11、F S 層 22、カソード層 24 をカソードとして P N 接合された F W D 素子が構成されている。

- [0030] 以上が本実施形態における半導体装置の基本的な構成である。なお、本実施形態では、 N^+ 型、 N^- 型が本開示の第1導電型に相当しており、 P 型、 P^+ 型が本開示の第2導電型に相当している。次に、上記半導体装置の作動について説明する。
- [0031] まず、上部電極21を接地すると共に下部電極25に正の電圧を印加すると、ベース層12とドリフト層11との間に形成されるPN接合は逆導通状態となる。このため、ゲート電極19に、ローレベル（例えば、0V）の電圧が印加されているときには、PN接合に空乏層が形成され、上部電極21と下部電極25との間に電流は流れない。
- [0032] そして、IGBT素子をオン状態にするには、上部電極21を接地すると共に下部電極25に正の電圧を印加した状態で、ゲート電極19に、絶縁ゲート構造の閾値電圧 V_{th} 以上の電圧を印加する。これにより、ベース層12のうちのゲート電極19が配置されるトレンチ13と接している部分に反転層が形成され、エミッタ領域14から反転層を介して電子がドリフト層11に供給されると共に、コレクタ層23からホールがドリフト層11に供給され、伝導度変調によりドリフト層11の抵抗値が低下してオン状態となる。
- [0033] また、IGBT素子をオフ状態にし、FWD素子をダイオード動作させる（すなわち、オン状態にする）際には、上部電極21と下部電極25に印加する電圧をスイッチングし、上部電極21に正の電圧を印加する共に下部電極25を接地する。そして、ゲート電極19にローレベル（例えば、0V）の電圧を印加する。これにより、ベース層12のうちのトレンチ13と接する部分に反転層が形成されなくなり、FWD素子がダイオード動作を行う。
- [0034] このとき、FWD領域1bでは、ベース層12の表層部に注入抑制領域16が形成されている。このため、ベース層12は、IGBT領域1aと共通とされ、FWD素子としては不純物濃度が高くなっているものの、注入抑制領域16によってホールの注入が抑制され、ベース層12の抵抗成分も高くなってFWD素子の順方向電圧も上昇する。具体的には、図3に示されるよ

うに、注入抑制領域 16 の長さ W_{n2} が長くなるほどホールの注入が抑制され、順方向電圧が大きくなる。言い換えると、ベース層 12 の表層部における注入抑制領域 16 の占める割合が高くなるほど順方向電圧が大きくなる。

[0035] そして、FWD 素子がダイオード動作している状態から電流を遮断する際には、上部電極 21 に負の電圧を印加すると共に、下部電極 25 に正の電圧を印加する逆電圧印加を行う。これにより、FWD 素子はリカバリ状態となった後に電流が遮断される。

[0036] このとき、リカバリ状態では逆回復電荷が発生するが、注入抑制領域 16 によって予めドリフト層 11 内の過剰キャリアを少なくしている。このため、逆回復電荷を十分に小さな値にすることができ、リカバリ電流を低減できる。具体的には、図 4 に示されるように、注入抑制領域 16 の長さ W_{n2} が長くなるほどリカバリ電流を低減できる。言い換えると、ベース層 12 の表層部における注入抑制領域 16 の占める割合を高くするほどリカバリ電流を低減できる。

[0037] つまり、図 5 に示されるように、注入抑制領域 16 の長さ W_{n2} が長くなるほど、FWD 素子の順方向電圧が高くなると共に、リカバリ電流を低減できる。なお、上記のように、注入抑制領域 16 の長さ W_{n2} とコンタクト領域 17 の長さ W_{p2} との比は適宜変更可能であるため、用途に応じて各長さ W_{n2} 、 W_{p2} を適宜変更することが好ましい。

[0038] 以上説明したように、本実施形態では、FWD 領域 1b において、ベース層 12 の表層部に注入抑制領域 16 が形成されている。このため IGBT 領域 1a と FWD 領域 1b とのベース層 12 を共通としても、注入抑制領域 16 によってキャリアの注入が抑制されるため、リカバリ電流を低減できる。

[0039] ところで、近年では、隣接するトレンチ 13 の間の長さを $1\mu\text{m}$ 程度にして微細化することが望まれている。この場合、隣接するトレンチ 13 の配列方向（すなわち、図 1 および図 2 中紙面左右方向）に沿って注入抑制領域 16 とコンタクト領域 17 とを形成しようとする、高精度なアライメントが必要になる。これに対し、本実施形態では、トレンチ 13 の延設方向に沿っ

て注入抑制領域 16 とコンタクト領域 17 とを交互に形成しているため、高精度なアライメントを必要とせず、リカバリ電流を低減できる。つまり、製造工程を複雑化することなく、リカバリ電流を低減できる。

[0040] (第 2 実施形態)

本開示の第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対してボディ領域を形成したものであり、その他に関しては第 1 実施形態と同様であるため、ここでは説明を省略する。

[0041] 本実施形態では、図 6 に示されるように、ベース層 12 のうちの、エミッタ領域 14、コンタクト領域 15、注入抑制領域 16、コンタクト領域 17 の下方には、ボディ領域 26 が形成されている。具体的には、ボディ領域 26 は、ベース層 12 よりも高不純物濃度とされ、トレンチ 13 の延設方向に沿って延設された棒状とされている。つまり、半導体基板 10 の一面 10a 側から見たとき、ボディ領域 26 は、エミッタ領域 14、コンタクト領域 15、注入抑制領域 16、コンタクト領域 17 と交差するように形成されている。そして、ボディ領域 26 は、トレンチ 13 から離間して形成されていると共に、各コンタクト領域 15、17 と繋がっている。

[0042] これによれば、IGBT 素子をオフする際、ドリフト層 11 に蓄積されているホールをベース層 12、ボディ領域 26、コンタクト領域 15、17 を介して上部電極 21 から抜け易くすることができる。つまり、ホールがエミッタ領域 14 に流れることを抑制できる。したがって、ラッチアップを抑制しつつ、上記第 1 実施形態と同様の効果を得ることができる。

[0043] (第 3 実施形態)

本開示の第 3 実施形態について説明する。本実施形態は、第 1 実施形態に対して外周領域を備えるものであり、その他に関しては上記第 1 実施形態と同様であるため、ここでは説明を省略する。

[0044] 本実施形態の半導体装置は、図 7 に示されるように、セル領域 1 と、セル領域 1 を取り囲む外周領域 2 とを有している。セル領域 1 は、上記第 1 実施形態で説明した IGBT 領域 1a および FWD 領域 1b を有している。なお

、上記第 1 実施形態で説明した図 1 は、図 7 中の I-I 線に沿った断面図であり、I G B T 領域 1 a および F W D 領域 1 b は、トレンチ 1 3 の延設方向と直交する方向に沿って交互に形成されている。

[0045] 外周領域 2 は、図 8 および図 9 に示されるように、セル領域 1 と同様のドリフト層 1 1 層を有し、当該ドリフト層 1 1 のうちの F W D 領域 1 b 側の部分に、耐圧向上を図るためにベース層 1 2 が形成されている。言い換えると、外周領域 2 には、F W D 領域 1 b 側の部分に当該 F W D 領域 1 b 側からベース層 1 2 が延設されている。また、トレンチ 1 3 は、延設方向における端部に電界が集中し易いため、図 8 に示されるように、両端部が外周領域 2 に位置するように、F W D 領域 1 b から外周領域 2 まで延設されている。同様に、複数のトレンチ 1 3 は、トレンチ 1 3 の配列方向の両端部に位置するトレンチ 1 3 に電界が集中し易いため、図 9 に示されるように、外周領域 2 にもトレンチ 1 3 が形成されている。つまり、複数のトレンチ 1 3 は、配列方向の両端部が外周領域 2 に形成されたトレンチ 1 3 となるように形成されている。

[0046] なお、図 8 は、図 1 中の VIII-VIII 線に沿った断面図にも相当しており、隣接するトレンチ 1 3 の間の部分の断面図を示している。また、トレンチ 1 3 は、図 8 および図 9 に示されるように、外周領域 2 に延設されているベース層 1 2 における平面方向の内側（すなわち、F W D 領域 1 b 側）にて終端するように形成されている。さらに、特に図示しないが、I G B T 領域 1 a と外周領域 2 との境界においても、F W D 領域 1 b と外周領域 2 との境界と同様に、外周領域 2 にベース層 1 2 およびトレンチ 1 3 が延設されている。

[0047] そして、注入抑制領域 1 6 は、セル領域 1 のみに形成されており、外周領域 2 には形成されていない。このため、本実施形態におけるセル領域 1 と外周領域 2 との境界は、注入抑制領域 1 6 が形成されている部分と形成されていない部分との境界であるともいえる。

[0048] さらに、外周領域 2 では、ドリフト層 1 1 の表層部に、P 型のガードリング層 2 7 が形成されている。そして、当該ガードリング層 2 7 は、層間絶縁

膜20に形成されたコンタクトホール20aを介してそれぞれ独立した外周電極28と電氣的に配置されている。また、外周領域2では、半導体基板10の他面10b側に、IGBT領域1aと同様のP⁺型のコレクタ層23が形成されている。

[0049] 以上が本実施形態における半導体装置の構成である。これによれば、外周領域2では、半導体基板10の他面10b側にP⁺型のコレクタ層23が形成され、外周領域2におけるベース層12は、ドリフト層11およびFWD領域1bにおけるカソード層24と共に寄生ダイオードを構成する。このため、当該寄生ダイオードは、外周領域2における半導体基板10の他面10b側がN型層（すなわち、カソード層24）とされ、外周領域2におけるベース層12がドリフト層11および外周領域2の他面10b側のN型層と共に寄生ダイオードを構成する場合と比較して、内部抵抗が高くなる。したがって、FWD素子をダイオード動作させる際、外周領域2ではベース層12からホールの注入が抑制されるため、FWD素子がダイオード動作している状態から電流を遮断する際、外周領域2におけるリカバリ電流を低減できる。

[0050] さらに、本実施形態では、外周領域2には、注入抑制領域16を形成していない。このため、FWD素子がダイオード動作している状態から電流を遮断する際、外周領域2の過剰キャリア（すなわち、ホール）が注入抑制領域16に流れ込むことを抑制でき、半導体装置が誤作動してしまうことも抑制できる。

[0051] （第4実施形態）

本開示の第4実施形態について説明する。本実施形態は、第3実施形態に対して、半導体基板10の他面10b側の構成を変更したものであり、その他に関しては上記第3実施形態と同様であるため、説明を省略する。

[0052] 本実施形態では、図10に示されるように、FWD領域1bは、半導体基板10の他面10b側において、外周領域2との境界から距離Lの部分（すなわち、外縁部）がコレクタ層23とされている。具体的には、本実施形態では、距離Lは、半導体基板10の一面10aと他面10bとの間の距離（

以下では、半導体基板 10 の厚さという) 以上とされている。

[0053] これによれば、FWD領域 1b は、外周領域 2 との境界から距離 L の部分がコレクタ層 23 とされているため、外周領域 2 におけるベース層 12 と FWD領域 1b におけるカソード層 24 とによって構成される寄生ダイオードの内部抵抗をさらに大きくできる。このため、FWD素子をダイオード動作させる際のホールの注入をさらに抑制でき、FWD素子がダイオード動作している状態から電流を遮断する際、外周領域 2 におけるリカバリ電流をさらに低減できる。

[0054] また、半導体基板 10 の一面 10a と他面 10b との間を流れる電流は、約 45° の広がり（すなわち、分布）を持つことが経験的に知られている。そして、本実施形態では、FWD領域 1b は、半導体基板 10 の他面 10b 側において、外周領域 2 との境界から半導体基板 10 の厚さ以上がコレクタ層 23 とされている。つまり、半導体基板 10 の一面 10a における FWD領域 1b と外周領域 2 との境界と、FWD領域 1b におけるコレクタ層 23 とカソード層 24 との境界とを繋ぐ仮想線 K（図 10 参照）と、半導体基板 10 の一面 10a との成す角度 θ が 45° 以上となるようにしている。したがって、外周領域 2 におけるベース層 12 と FWD領域 1b におけるカソード層 24 とによって構成される寄生ダイオードが機能すること自体を低減できる。このため、さらにリカバリ電流を低減できる。

[0055] （第 5 実施形態）

本開示の第 5 実施形態について説明する。本実施形態は、第 3 実施形態に対して、注入抑制領域 16 の長さ W_{n2} を変更したものであり、その他に関しては上記第 3 実施形態と同様であるため、説明を省略する。

[0056] 本実施形態では、図 11 に示されるように、FWD領域 1b では、注入抑制領域 16 の長さ W_{n2} とコンタクト領域 17 の長さ W_{p2} が部分毎に異なっている。具体的には、FWD領域 1b と外周領域 2 との境界部分では、FWD領域 1b の内縁部（例えば、FWD領域 1b の中心部）より注入抑制領域 16 が密に形成されている。詳しくは、FWD領域 1b と外周領域 2 との

境界部分では、FWD領域1bの内縁部より、隣接する注入抑制領域16のトレンチ13の延設方向に沿った間隔が短くされている。さらに詳述すると、本実施形態では、FWD領域1bと外周領域2との境界部分では、注入抑制領域16の長さ W_{n2} よりコンタクト領域17の長さ W_{p2} の方が短くされている。なお、本実施形態では、FWD領域1bの内縁部では、上記第3実施形態と同様に、注入抑制領域16の長さ W_{n2} とコンタクト領域17の長さ W_{p2} とは等しくされている。

[0057] これによれば、FWD領域1bにおける外周領域2との境界部分では、注入抑制領域16が密に形成されているため、FWD素子をダイオード動作させる際のホールの注入をさらに抑制できる。このため、FWD素子がダイオード動作している状態から電流を遮断する際、外周領域2におけるリカバリ電流をさらに低減できる。

[0058] (第5実施形態の変形例)

本開示の第5実施形態の変形例について説明する。上記第5実施形態において、図12に示されるように、FWD領域1bと外周領域2との境界部分では、FWD領域1bの内縁部より注入抑制領域16が粗に形成されていてもよい。具体的には、FWD領域1bと外周領域2との境界部分では、FWD領域1bの内縁部より、隣接する注入抑制領域16のトレンチ13の延設方向に沿った間隔が長くされていてもよい。さらに詳述すると、FWD領域1bと外周領域2との境界部分では、注入抑制領域16の長さ W_{n2} よりコンタクト領域17の長さ W_{p2} の方が長くされていてもよい。これによれば、上記図11で説明した半導体装置と比較して、FWD素子をダイオード動作させる際のホールの注入が多くなり、FWD素子の特性を向上できる。

[0059] (他の実施形態)

例えば、上記各実施形態では、第1導電型をN型とし、第2導電型をP型とした例について説明したが、第1導電型をP型とし、第2導電型をN型とすることもできる。

[0060] また、上記各実施形態では、IGBT領域1aにおけるエミッタ領域14

の長さ W_{n1} とコンタクト領域15の長さ W_{p1} の比と、FWD領域1bにおける注入抑制領域16の長さ W_{n2} とコンタクト領域17の長さ W_{p2} の比とが異なるものを説明した。しかしながら、IGBT領域1aにおけるエミッタ領域14の長さ W_{n1} とコンタクト領域15の長さ W_{p1} の比と、FWD領域1bにおける注入抑制領域16の長さ W_{n2} とコンタクト領域17の長さ W_{p2} の比とが同じとされていてもよい。

[0061] また、上記第3実施形態において、外周領域2のベース層12に注入抑制領域16が形成されていてもよい。このような半導体装置では、当該注入抑制領域16により、FWD素子がダイオード動作する際にさらにホールが注入されることを抑制できる。

[0062] そして、上記第4実施形態において、距離 L は、半導体基板10の一面10aと他面10bとの間の距離（以下では、半導体基板10の厚さという）未満とされていてもよい。このような半導体装置としても、FWD領域1bの外縁部にコレクタ層23が形成されているため、外周領域2におけるベース層12とFWD領域1bにおけるカソード層24とによって構成される寄生ダイオードが機能すること自体を低減できる。

[0063] また、上記第3実施形態において、IGBT領域1aを囲むようにFWD領域1bが形成されていてもよい。つまり、外周領域2との境界が全てFWD領域1bとなるようにしてもよい。

[0064] さらに、上記各実施形態の半導体装置を組み合わせることもできる。例えば、上記第2実施形態を上記第3～第5実施形態に組み合わせ、ボディ領域26を備えるようにしてもよい。また、上記第4実施形態を上記第5実施形態に組み合わせ、FWD領域1bの外縁部をコレクタ層23としてもよい。また、上記各実施形態を組み合わせたもの同士をさらに組み合わせてもよい。

[0065] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それ

らに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1]

第1導電型のドリフト層(11)を有する半導体基板(10)と、
前記ドリフト層上に形成された第2導電型のベース層(12)と、
前記ドリフト層のうちの前記ベース層側と反対側に形成された第2導電型のコレクタ層(23)および第1導電型のカソード層(24)と、

前記ベース層を貫通して前記ドリフト層に達し、前記半導体基板の面方向における一方向に沿って形成された複数のトレンチ(13)と、

前記トレンチの壁面に形成されたゲート絶縁膜(18)と、
前記ゲート絶縁膜上に形成されたゲート電極(19)と、
前記ベース層の表層部に形成され、前記トレンチと接する第1導電型のエミッタ領域(14)と、を備え、

前記半導体基板のうちのIGBT素子として動作する領域がIGBT領域(1a)とされ、

FWD素子として動作する領域がFWD領域(1b)とされ、

前記エミッタ領域が前記IGBT領域に形成されており、

前記FWD領域では、前記ベース層の表層部において、前記ドリフト層よりも高不純物濃度とされた第1導電型の注入抑制領域(16)と、前記ベース層よりも高不純物濃度とされた第2導電型のコンタクト領域(17)とが前記一方向に沿って交互に形成されている半導体装置。

[請求項2]

前記IGBT領域では、前記ベース層の表層部において、前記エミッタ領域と共に、第2導電型のコンタクト領域が形成され、

当該コンタクト領域と前記エミッタ領域とは前記一方向に沿って交互に形成されており、

前記IGBT領域における前記エミッタ領域の前記一方向に沿った方向の長さ(W_{n1})と前記コンタクト領域における前記一方向に沿

った方向の長さ (W_{p1}) との比を第一比とし、

前記 FWD 領域における前記注入抑制領域の前記一方向に沿った方向の長さ (W_{n2}) と前記コンタクト領域における前記一方向に沿った方向の長さ (W_{p2}) との比を第二比とすると、

第一比は第二比と異なっている請求項 1 に記載の半導体装置。

[請求項3] 前記ベース層のうちの前記エミッタ領域、前記コンタクト領域、前記注入抑制領域の下方には、ボディ領域 (26) が形成され、

ボディ領域は、前記ベース層よりも高不純物濃度とされ、かつ前記一方向に沿って延設され、前記コンタクト領域と繋がっていると共に前記トレンチと離間している請求項 1 または 2 に記載の半導体装置。

[請求項4] 前記半導体基板は、前記 IGBT 領域および前記 FWD 領域を有するセル領域 (1) と、前記セル領域を囲み、前記ドリフト層を有する外周領域 (2) とを備え、

前記外周領域との境界に位置する前記セル領域の少なくとも一部は、前記 FWD 領域とされており、

前記外周領域は、前記ドリフト層上に前記セル領域に形成されたベース層が延設され、

前記外周領域は、前記ドリフト層のうちの前記ベース層と反対側の部分に前記コレクタ層が形成されている請求項 1 ないし 3 のいずれか 1 つに記載の半導体装置。

[請求項5] 前記注入抑制領域は、前記 FWD 領域のみに形成されている請求項 4 に記載の半導体装置。

[請求項6] 前記 FWD 領域における前記外周領域との境界部分は、前記ドリフト層のうちの前記ベース層側と反対側がコレクタ層とされている請求項 4 または 5 に記載の半導体装置。

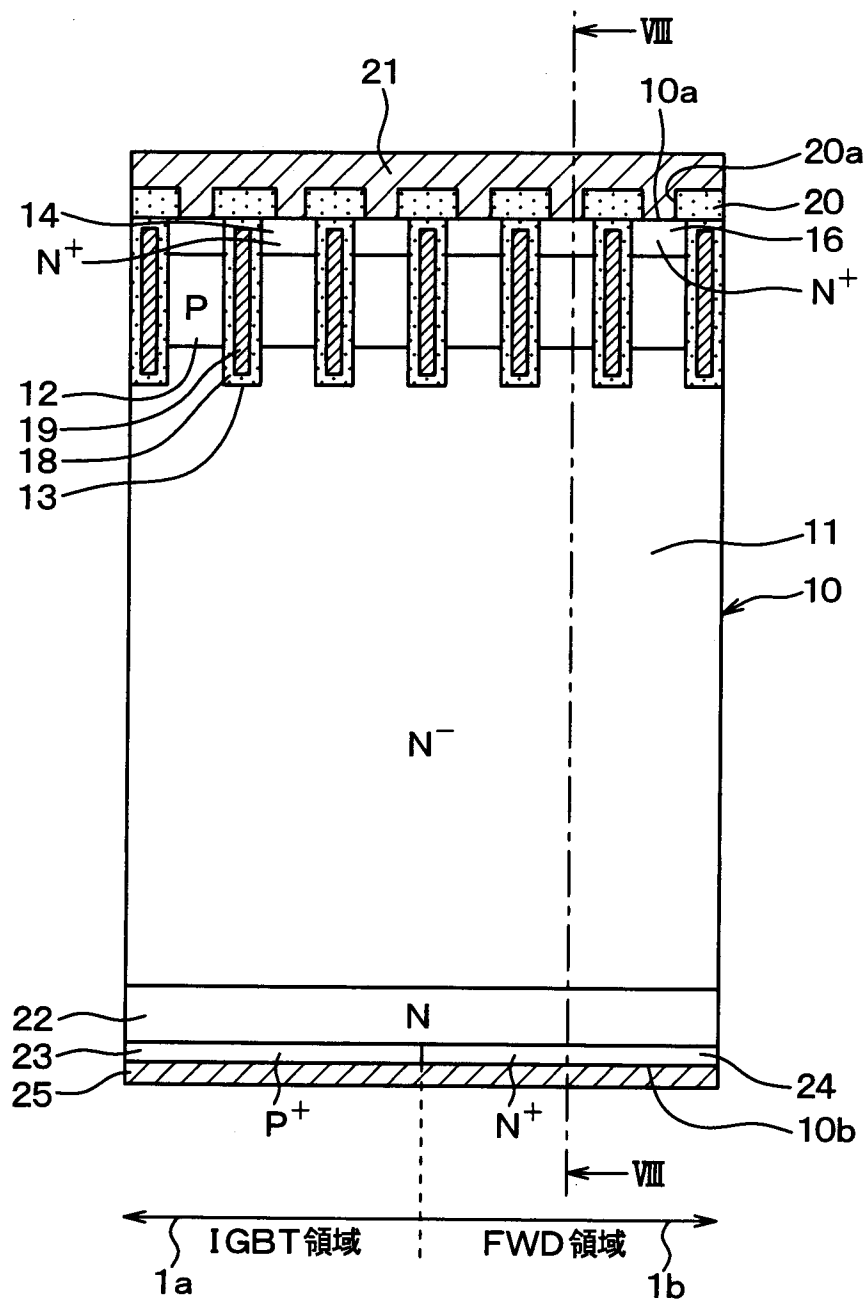
[請求項7] 前記半導体基板は、前記ベース層側に位置する一面 (10a) と、当該一面と反対側の面であり、前記コレクタ層または前記カソード層側に位置する他面 (10b) とを有し、

前記 F W D 領域に形成されたコレクタ層は、前記外周領域との境界から前記半導体基板の一面と他面との間の長さ以上に形成されている請求項 6 に記載の半導体装置。

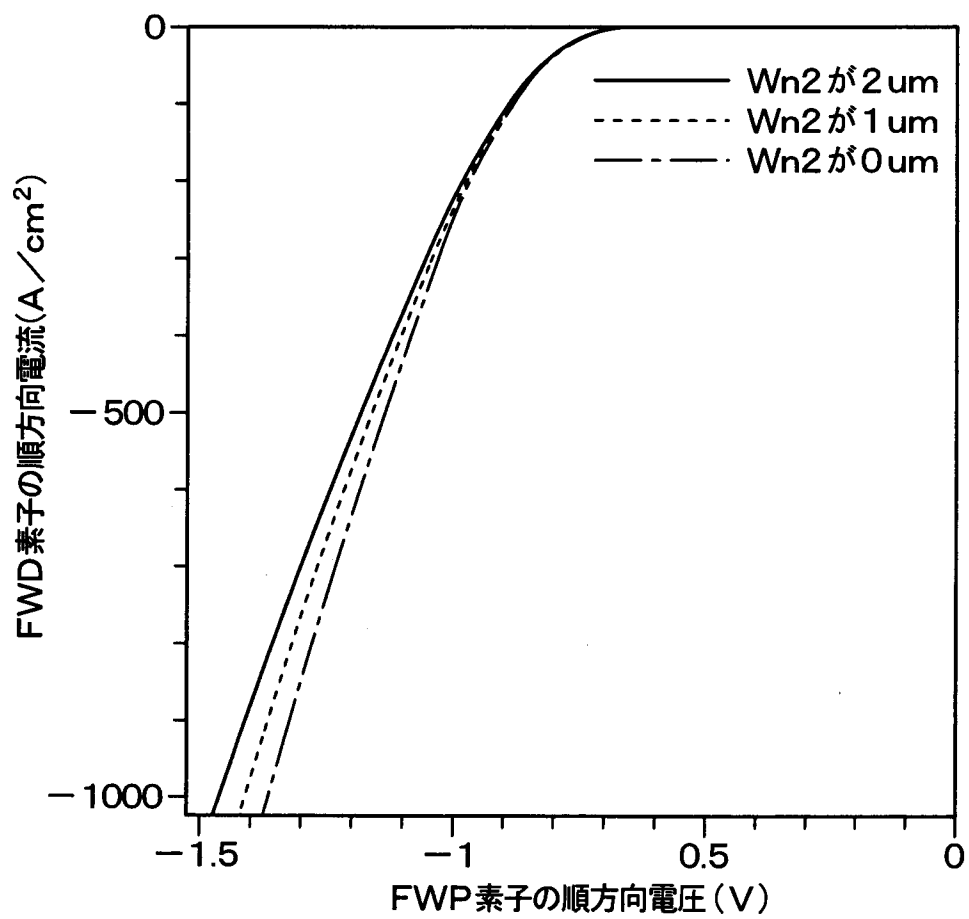
[請求項 8] 前記 F W D 領域において、前記外周領域との境界部分に形成された複数の注入抑制領域は、前記境界部分より内縁部に形成された複数の注入抑制領域より、前記一方向に沿った隣接する互いの間隔が短くされている請求項 1 ないし 7 のいずれか 1 つに記載の半導体装置。

[請求項 9] 前記 F W D 領域において、前記外周領域との境界部分に形成された複数の注入抑制領域は、前記境界部分より内縁部に形成された複数の注入抑制領域より、前記一方向に沿った隣接する互いの間隔が長くされている請求項 1 ないし 7 のいずれか 1 つに記載の半導体装置。

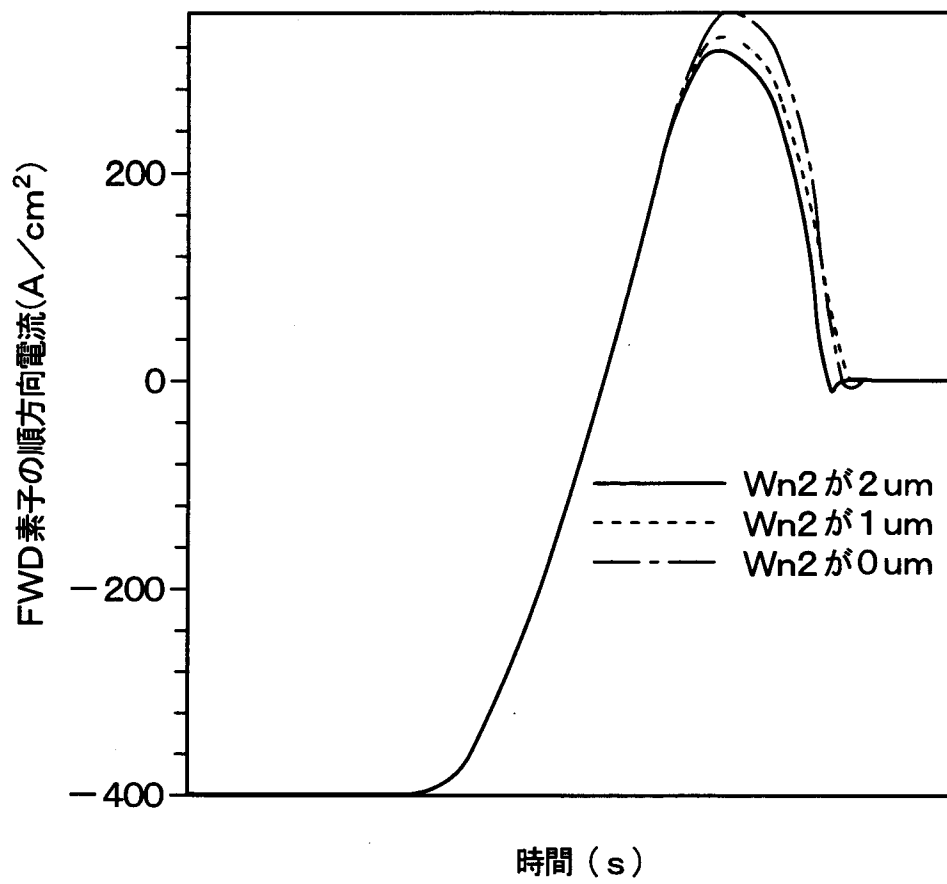
[図1]



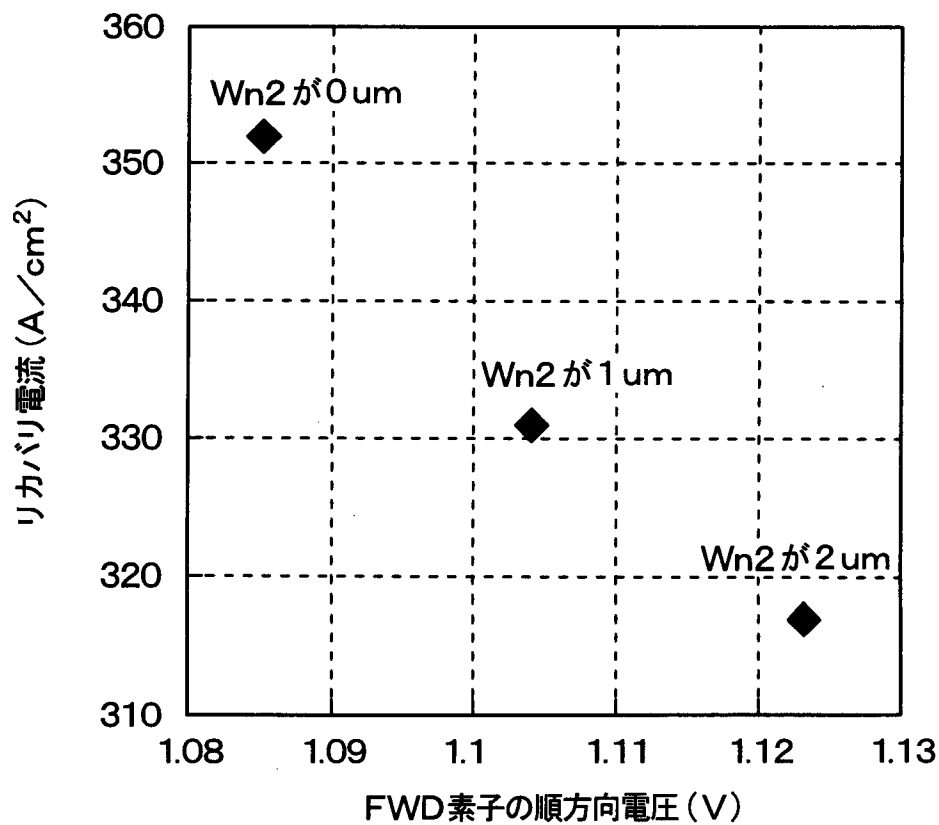
[図3]



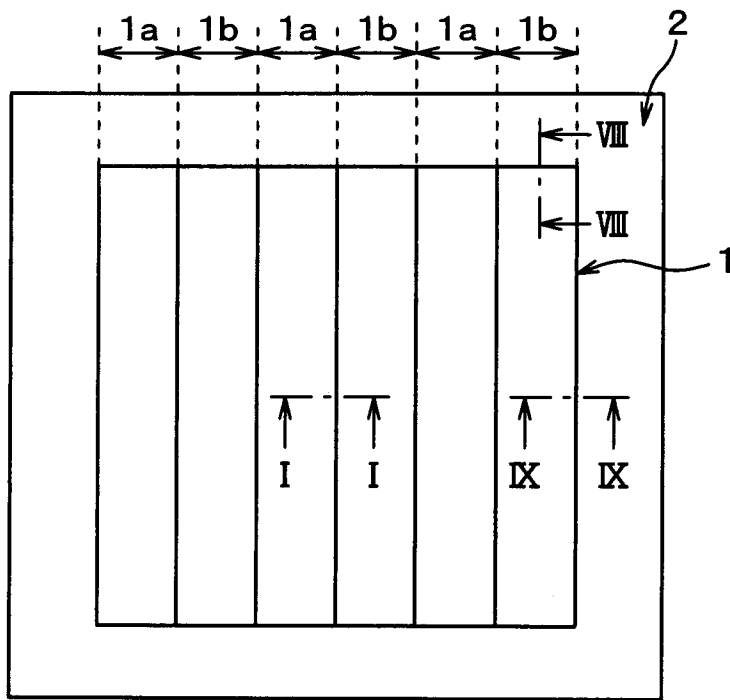
[図4]



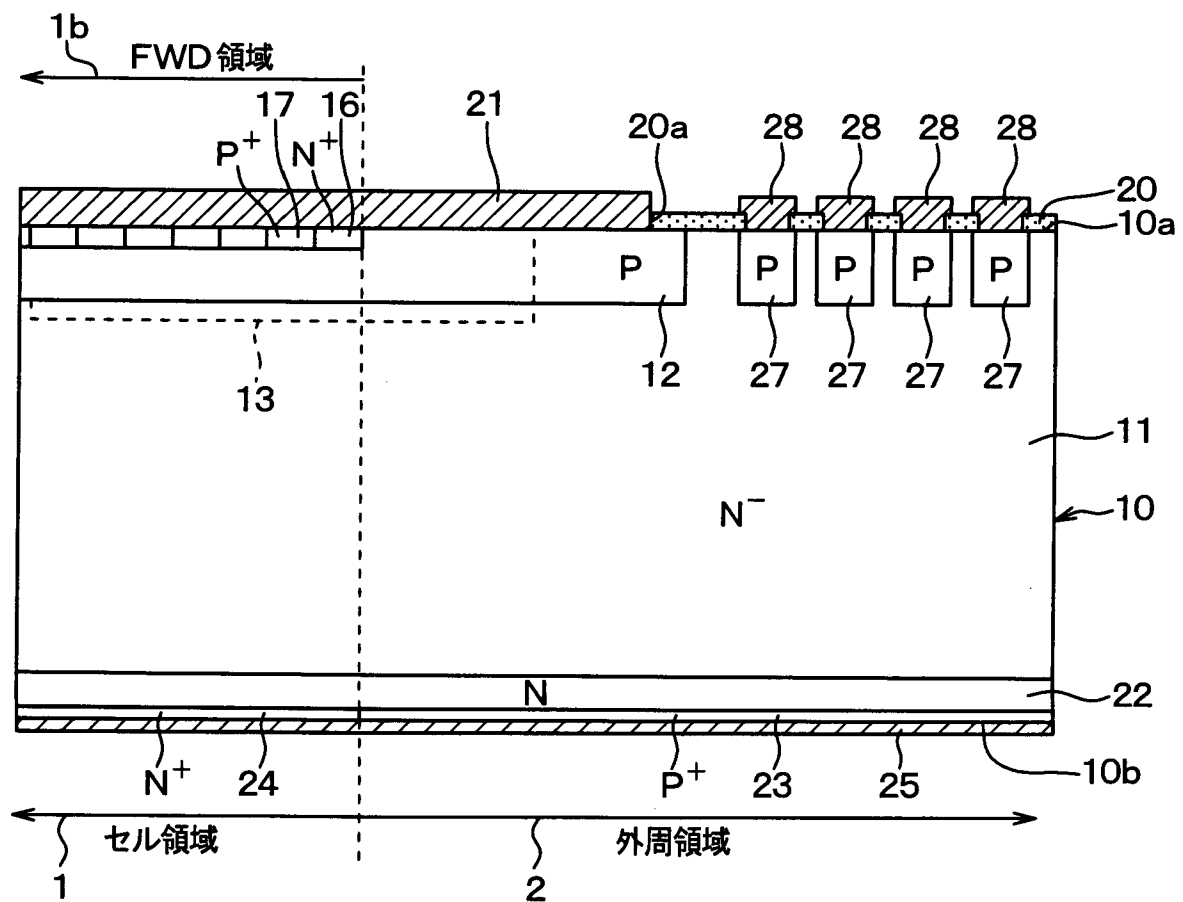
[図5]



[図7]



[図8]

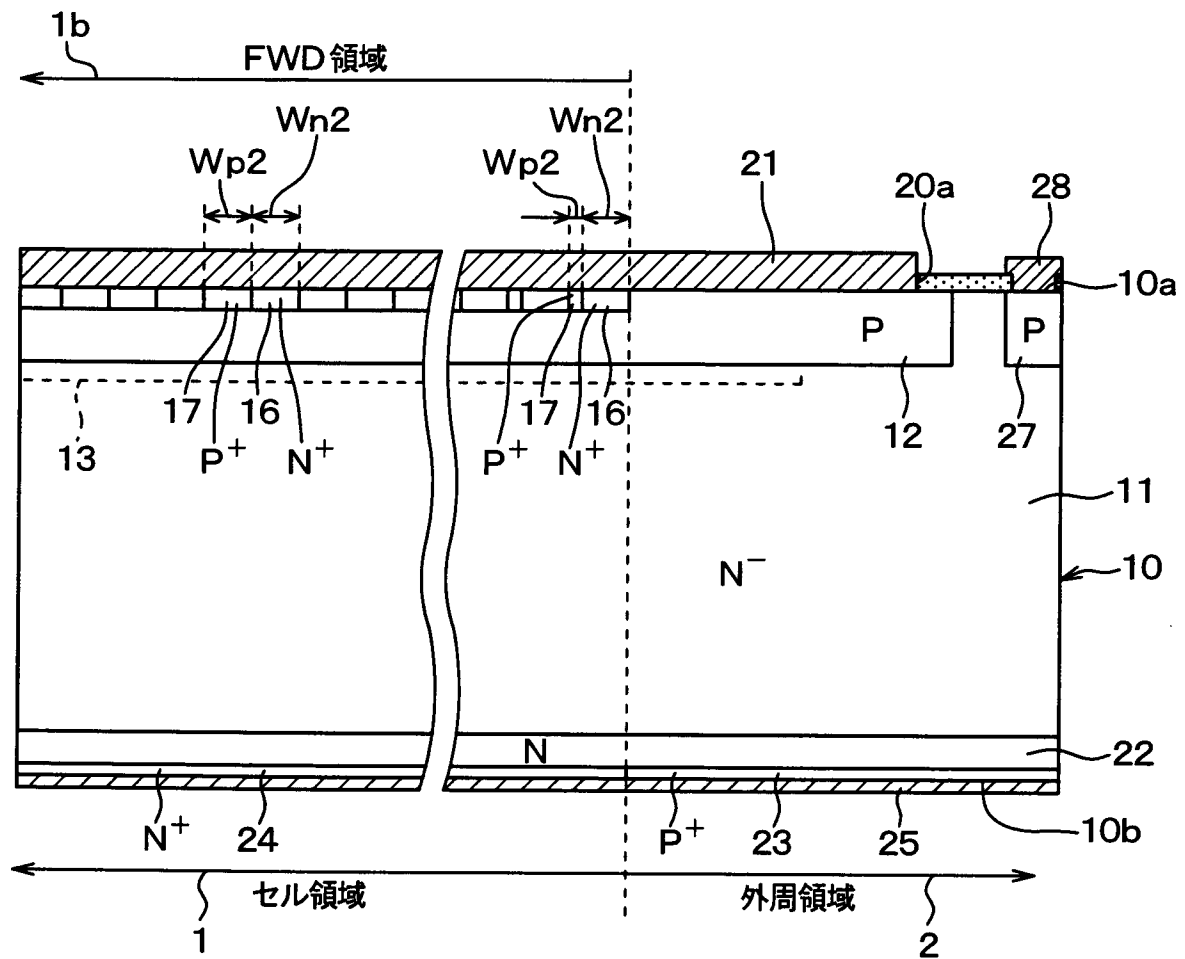


The diagram illustrates a cross-sectional view of a semiconductor device, divided into a cell region (セル領域) and a peripheral region (外周領域). The cell region (1) contains a forward-biased diode (FWD領域) and a substrate with N⁺ and P⁺ regions. The peripheral region (2) contains a substrate with N⁻ and P⁺ regions, a gate stack (10a), and a gate (10b). Various layers and regions are labeled with numbers and letters.

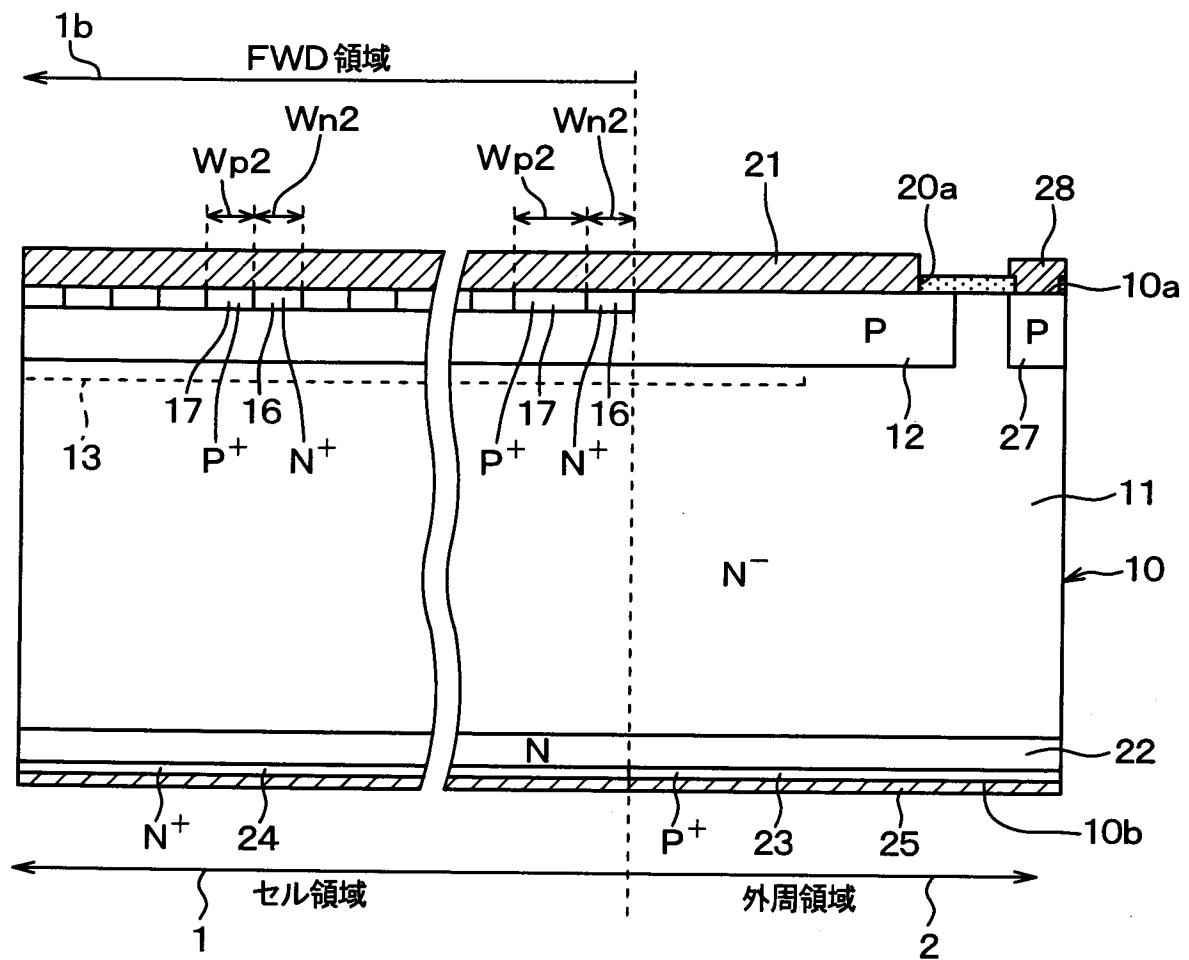
Labels in the diagram include:

- 1b: Arrow pointing left, indicating the FWD region.
- FWD領域: Forward-biased diode region.
- 17, 16: Labels for the P⁺ and N⁺ regions of the FWD diode.
- 21: Label for the P region of the FWD diode.
- 20a: Label for the gate stack (10a).
- 28: Label for the gate (10b).
- 10a: Label for the gate stack.
- 10b: Label for the gate.
- 11: Label for the substrate.
- 12: Label for the P region of the FWD diode.
- 13: Label for the N⁺ region of the FWD diode.
- 16: Label for the N⁺ region of the FWD diode.
- 17: Label for the P⁺ region of the FWD diode.
- 20a: Label for the gate stack (10a).
- 21: Label for the P region of the FWD diode.
- 22: Label for the N⁻ region of the peripheral region.
- 23: Label for the P⁺ region of the peripheral region.
- 24: Label for the N⁺ region of the FWD diode.
- 25: Label for the P⁺ region of the peripheral region.
- 27: Label for the P region of the FWD diode.
- 28: Label for the gate (10b).
- セル領域: Cell region.
- 外周領域: Peripheral region.
- 1: Label for the cell region.
- 2: Label for the peripheral region.
- K: Label for the gate stack (10a).
- L: Label for the gate (10b).
- θ: Angle of the gate stack (10a).

[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000134

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/04(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-179166 A (Toshiba Corp.), 09 September 2013 (09.09.2013), paragraphs [0032] to [0075]; fig. 6, 7, 11 & US 8664692 B2 column 4, line 29 to column 8, line 35; fig. 6, 7, 11 & US 2013/0221401 A1 & KR 10-2013-0098831 A	1 2, 3 4-9
Y A	JP 11-345969 A (Toshiba Corp.), 14 December 1999 (14.12.1999), paragraphs [0065] to [0082]; fig. 1 to 3 (Family: none)	2, 3 1, 4-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 March 2016 (23.03.16)

Date of mailing of the international search report
05 April 2016 (05.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/000134

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-165971 A (Toyota Central Research and Development Laboratories, Inc., Toyota Motor Corp.), 25 August 2011 (25.08.2011), paragraphs [0016] to [0022]; fig. 1, 2 (Family: none)	2, 3 1, 4-9
Y A	JP 2001-308328 A (Toyota Central Research and Development Laboratories, Inc., Toyota Motor Corp.), 02 November 2001 (02.11.2001), paragraphs [0012] to [0017]; fig. 1 to 4 (Family: none)	3 1, 2, 4-9
A	JP 2014-075582 A (Fuji Electric Co., Ltd.), 24 April 2014 (24.04.2014), paragraphs [0034] to [0045], [0065]; fig. 1 to 3 & US 9023692 B2 column 7, line 11 to column 9, line 40; column 12, line 62 to column 13, line 16; fig. 1 to 3 & US 2014/0070270 A1	1-9
A	JP 2012-129504 A (Denso Corp.), 05 July 2012 (05.07.2012), paragraphs [0027] to [0066]; fig. 1 to 3 & US 2012/0132954 A1 paragraphs [0039] to [0082]; fig. 1 to 3 & DE 102011086854 A1 & CN 102479788 A	1-9
A	JP 2014-220519 A (Denso Corp.), 20 November 2014 (20.11.2014), paragraphs [0029] to [0064]; fig. 1 to 10 & US 2013/0087829 A1 paragraphs [0081] to [0117]; fig. 1 to 10 & US 2014/0361334 A1 & JP 2012-33897 A & WO 2012/001967 A1 & DE 112011102263 T5 & CN 102959705 A	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/04(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/04, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2013-179166 A（株式会社東芝）2013.09.09, 段落[0032]-[0075], 図 6, 7, 11 & US 8664692 B2, 第 4 欄第 29 行目-第 8 欄第 35 行目, 図 6, 7, 11 & US 2013/0221401 A1 & KR 10-2013-0098831 A	1 2, 3 4-9
Y A	JP 11-345969 A（株式会社東芝）1999.12.14, 段落[0065]-[0082], 図 1-3（ファミリーなし）	2, 3 1, 4-9

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

23.03.2016

国際調査報告の発送日

05.04.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

棚田 一也

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-165971 A (株式会社豊田中央研究所、トヨタ自動車株式会社) 2011.08.25, 段落[0016]-[0022], 図1, 2 (ファミリーなし)	2, 3 1, 4-9
Y A	JP 2001-308328 A (株式会社豊田中央研究所、トヨタ自動車株式会社) 2001.11.02, 段落[0012]-[0017], 図1-4 (ファミリーなし)	3 1, 2, 4-9
A	JP 2014-075582 A (富士電機株式会社) 2014.04.24, 段落[0034]-[0045], [0065], 図1-3 & US 9023692 B2, 第7欄第11行目-第9欄第40行目, 第12欄第62 行目-第13欄第16行目, 図1-3 & US 2014/0070270 A1	1-9
A	JP 2012-129504 A (株式会社デンソー) 2012.07.05, 段落[0027]-[0066], 図1-3 & US 2012/0132954 A1, 段落[0039]-[0082], 図1-3 & DE 102011086854 A1 & CN 102479788 A	1-9
A	JP 2014-220519 A (株式会社デンソー) 2014.11.20, 段落[0029]-[0064], 図1-10 & US 2013/0087829 A1, 段落[0081]-[0117], 図1-10 & US 2014/0361334 A1 & JP 2012-33897 A & WO 2012/001967 A1 & DE 112011102263 T5 & CN 102959705 A	1-9