



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I567904 B

(45)公告日：中華民國 106 (2017) 年 01 月 21 日

(21)申請案號：104131005

(22)申請日：中華民國 102 (2013) 年 03 月 06 日

(51)Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(71)申請人：穩懋半導體股份有限公司 (中華民國) WIN SEMICONDUCTORS CORP. (TW)

桃園市龜山區華亞科技園區科技七路 69 號

(72)發明人：花長煌 HUA, CHANG HWANG (TW)；林志賢 LIN, CHIH HSIEN (TW)

(74)代理人：潘海濤；袁鐵生

(56)參考文獻：

TW 459315

TW 200830524A

TW 201121015A

TW 201125097A

US 2012/0161331A1

審查人員：黃尹珊

申請專利範圍項數：18 項 圖式數：3 共 49 頁

(54)名稱

結合基板通孔與金屬凸塊之半導體晶片結構及覆晶式晶片堆疊結構

(57)摘要

一種結合基板通孔與金屬凸塊之半導體晶片結構，其中前述結構由包括有一基板、至少一基板通孔、至少一背面金屬層、至少一第一金屬層、至少一半導體電子元件以及至少一金屬凸塊；其中該第一金屬層以及該半導體電子元件係形成於該基板之正面；該金屬凸塊，係形成於該第一金屬層之上；該基板通孔係貫穿該基板；該背面金屬層係形成於該基板之背面，係覆蓋住該基板通孔以及至少覆蓋住部分該基板之背面，並與至少部分該第一金屬層於該基板通孔之頂部相接觸。運用本發明之結構，有助於提高半導體元件之連結密度，可大幅縮小晶片尺寸，並增快訊號傳輸速度，而同時又可降低耗電量，且又能提供異質整合。

指定代表圖：

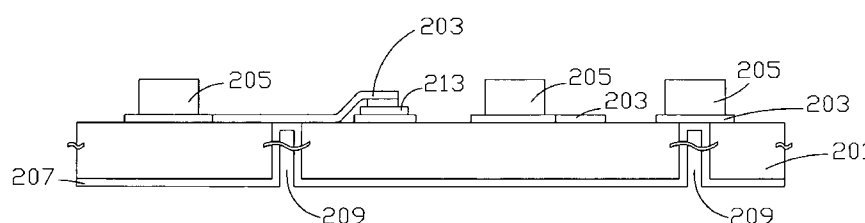


圖 2 A - 7

符號簡單說明：

201 . . . 基板

203 . . . 第一金屬層

205 . . . 金屬凸塊

207 . . . 背面金屬層

209 . . . 基板通孔

213 . . . 半導體電子
元件

公告

發明摘要

※ 申請案號：104131005 (由102107918分割)

※ 申請日：102.3.6

※ IPC 分類：H01L 23/488 (2006.01)

H01L 31/60 (2006.01)

【發明名稱】 結合基板通孔與金屬凸塊之半導體晶片結構及覆晶式晶片
堆疊結構

【中文】

一種結合基板通孔與金屬凸塊之半導體晶片結構，其中前述結構由包括有一基板、至少一基板通孔、至少一背面金屬層、至少一第一金屬層、至少一半導體電子元件以及至少一金屬凸塊；其中該第一金屬層以及該半導體電子元件係形成於該基板之正面；該金屬凸塊，係形成於該第一金屬層之上；該基板通孔係貫穿該基板；該背面金屬層係形成於該基板之背面，係覆蓋住該基板通孔以及至少覆蓋住部分該基板之背面，並與至少部分該第一金屬層於該基板通孔之頂部相接觸。運用本發明之結構，有助於提高半導體元件之連結密度，可大幅縮小晶片尺寸，並增快訊號傳輸速度，而同時又可降低耗電量，且又能提供異質整合。

【英文】

【代表圖】

【本案指定代表圖】：第（ 2A-7 ）圖。

【本代表圖之符號簡單說明】：

201 基板

203 第一金屬層

205 金屬凸塊

207 背面金屬層

209 基板通孔

213 半導體電子元件

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

【發明名稱】 結合基板通孔與金屬凸塊之半導體晶片結構及覆晶式晶片堆疊結構

【技術領域】

【0001】 本發明有關一種結合基板通孔與金屬凸塊之半導體晶片結構及其製程方法；運用本發明之結構，可製作覆晶式晶片之堆疊，有助於提高半導體元件之連結密度，縮小晶片尺寸以及增快訊號之傳輸速度。

【先前技術】

【0002】 半導體元件的製程當中，為縮小半導體晶片之面積，進而發展出覆晶式晶片堆疊之技術。這種晶片堆疊技術通常會使用金屬凸塊之銅柱，來當作覆晶堆疊之上下晶片間之接點，並藉著金屬凸塊之銅柱來導通並傳遞訊號。第 1A 圖係為一習用技術之具銅柱凸塊半導體晶片之剖面結構示意圖，其中結構依次包含有一基板 101、一金屬層 103、一金屬凸塊 105 以及一半導體電子元件 113；其中該半導體電子元件 113 係形成於該基板 101 之正面；且其中該金屬層 103 係形成於該基板 101 之正面，並與該半導體電子元件 113 接觸；而該金屬凸塊 105 係形成於該金屬層 103 之上。第 1B 圖係為一習用技術之具銅柱凸塊半導體晶片之覆晶式晶片堆疊之剖面結構示意圖，其主要結構與第 1A 圖所示之實施例大致相同，惟，在該金屬凸塊 105 之上，堆疊一上層晶片 135；而其中該金屬凸塊 105 係與該上層晶片 135 相連接，透過該金屬凸塊 105，可使該基板 101 上之該半導體電子元件 113 之訊號與該上層晶片 135 相連接；又在該基板 101 之下，另設置一模組基板 133，於該模組基板 133 之上，又設一接合打線 137，透過該接合打線 137

將該半導體電子元件 113 之訊號連接至該模組基板 133 上。

【0003】 如此之設計雖可達到 3D 覆晶式晶片堆疊之效果，然而，在線路的連結密度上之限制依舊很大，因而對縮小晶片尺寸依舊有限，訊號傳輸速度無法再有效提升，也因此整體晶片的耗電量依然偏高。

【0004】 有鑑於此，本發明為了改善上述之缺點，本發明提出一種結合基板通孔與凸塊之半導體晶片結構及其製程方法，不但可以提供異質整合，還可提高半導體元件之連結密度，縮小晶片尺寸，增快訊號之傳輸速度，降低晶片之耗電量，並且降低材料成本。

【發明內容】

【0005】 本發明之主要目的在於提供一種結合基板通孔與凸塊之半導體晶片結構及其製程方法，有助於提高半導體元件之連結密度，可大幅縮小晶片尺寸，並增快訊號傳輸速度，而同時又可降低耗電量，且又能提供異質整合。

【0006】 為了達到上述之目的，本發明提供之結合基板通孔與金屬凸塊之半導體晶片結構，包括有一基板、至少一基板通孔、至少一背面金屬層、至少一第一金屬層、至少一半導體電子元件以及至少一金屬凸塊；

其中該基板通孔係貫穿該基板；

其中該背面金屬層係形成於該基板之背面，且該背面金屬層係覆蓋住該基板通孔以及至少覆蓋住部分該基板之背面；

其中該第一金屬層，係形成於該基板之正面，且其中至少部分該第一金屬層係於該基板通孔之頂部與該背面金屬層相接觸；

其中該半導體電子元件，係形成於該基板之正面，且部分該第一金屬

層係與部分該半導體電子元件相接觸；以及

其中該金屬凸塊，係形成於該第一金屬層之上。

【0007】 於實施時，亦可在上述之結構當中，於該基板之上，更設置一保護層，使該保護層覆蓋住至少部分該基板、該半導體電子元件以及部分該第一金屬層，且該金屬凸塊以及至少部分該第一金屬層不被該保護層所覆蓋。

【0008】 於實施時，亦可在上述之結構當中，介於該金屬凸塊及該第一金屬層之間，更設置至少一重佈線路層，使得該重佈線路層係在該保護層及該第一金屬層之上，且該重佈線路層係在該金屬凸塊之下，又其中該重佈線路層之結構係包括有至少一介電層、至少一介電層通孔以及至少一第二金屬層；

其中該介電層，係形成於該保護層及該第一金屬層之上，且該介電層係覆蓋住部分該基板、該保護層以及部分該第一金屬層；

其中該介電層通孔，係貫穿該介電層；以及

其中該第二金屬層，係形成於該介電層之上，使得該第二金屬層係覆蓋住該介電層通孔以及至少覆蓋住部分該介電層，且其中至少部分該第二金屬層係於該介電層通孔之底部與部分該第一金屬層相接觸，又該金屬凸塊，係形成於該第二金屬層之上。

【0009】 於實施時，前述之該基板之材料係為砷化鎵（GaAs）、碳化矽（SiC）、氮化鎵（GaN）或磷化銦（InP）。

【0010】 於實施時，前述之該金屬凸塊之上更鍍上一熔接金屬層，其中構成該熔接金屬層之材料係為銦、錫、銦合金、錫合金或銦錫合金。

【0011】 於實施時，前述之該基板厚度係大於 $10\mu\text{m}$ 小於 $300\mu\text{m}$ 之間。

【0012】 於實施時，前述之該背面金屬層之材料係為金、銅、鈀 (Pd)、鎳 (Ni)、銀 (Ag)、鎳之合金、金銅合金、鎳金合金、鎳鈀合金、鈀金合金、金屬材料或金屬材料之合金。

【0013】 於實施時，前述之該第一金屬層之材料係為金、銅、金銅合金、金屬材料或金屬材料之合金。

【0014】 於實施時，前述之該金屬凸塊之材料係為銅、銅合金、金屬材料或金屬材料之合金。

【0015】 於實施時，前述之該保護層之材料係為氮化矽 (SiN)。

【0016】 於實施時，前述之該介電層之材料係為介電物質聚苯噁唑 (Polybenzoxazole, PBO)。

【0017】 於實施時，前述之該第二金屬層之材料係為金、銅、金銅合金、金屬材料或金屬材料之合金。

【0018】 本發明亦提供一種結合基板通孔與金屬凸塊之半導體晶片結構及其製程方法，包括以下步驟：

於一基板之正面，形成至少一半導體電子元件；

於該基板之正面，形成至少一第一金屬層；

其中該部分該第一金屬層係與部分該半導體電子元件相接觸；於該

第一金屬層之上，形成至少一金屬凸塊；

於該基板正面，形成一防護金屬凸塊層；

其中該防護金屬凸塊層係覆蓋住該基板正面、該半導體電子元件、

該第一金屬層以及該金屬凸塊；

於該防護金屬凸塊層之上，形成一剝離層；

其中該剝離層係覆蓋住該防護金屬凸塊層；

於該剝離層之上，附著上一上基板；

研磨及拋光該基板之背面；

於該基板之背面，以曝光顯影及蝕刻技術製作出至少一基板通孔；

其中該基板通孔係貫穿該基板；

於該基板之背面鍍上至少一背面金屬層；

其中該背面金屬層係覆蓋住該基板通孔以及至少覆蓋住部分該基板之背面，且其中至少部分該第一金屬層係於該基板通孔之頂部與該背面金屬層相接觸；

於該基板之背面，真空吸附住一下基板；

經加熱之後，使該上基板剝離該剝離層；

清除該剝離層以及該防護金屬凸塊層；以及釋放真空吸附，移開該下基板。

【0019】 於實施時，亦可在上述之結構當中，於該基板正面形成該防護金屬凸塊層之前，先於該基板之上設置一保護層，使該保護層覆蓋住至少部分該基板、該半導體電子元件以及部分該第一金屬層，且該金屬凸塊以及至少部分該第一金屬層不被該保護層所覆蓋；再於該基板正面形成該防護金屬凸塊層，並使該防護金屬凸塊層係覆蓋住該基板正面、該第一金屬層、該保護層以及該金屬凸塊。

【0020】 於實施時，亦可在上述之結構當中，於該第一金屬層之上形成該金屬凸塊之前，先於該保護層及該第一金屬層之上設置至少一重佈線

路層，其中該重佈線路層之結構係包括有：至少一介電層、至少一介電層通孔以及至少一第二金屬層；

其中該介電層，係形成於該保護層及該第一金屬層之上，且該介電層係覆蓋住部分該基板、該保護層以及部分該第一金屬層；

其中該介電層通孔，係貫穿該介電層；以及

其中該第二金屬層，係形成於該介電層之上，使得該第二金屬層係覆蓋住該介電層通孔以及至少覆蓋住部分該介電層，且其中至少部分該第二金屬層係於該介電層通孔之底部與部分該第一金屬層相接觸；

之後再於該第二金屬層之上形成該金屬凸塊；

並使該防護金屬凸塊層係覆蓋住該重佈線路層、該第二金屬層、該介電層、該介電層通孔以及該金屬凸塊。

【0021】 於實施時，前述之該基板之材料係為砷化鎵（GaAs）、碳化矽（SiC）、氮化鎵（GaN）或磷化銦（InP）。

【0022】 於實施時，前述之該金屬凸塊之上更鍍上一熔接金屬層，其中構成該熔接金屬層之材料係為銦、錫、銦合金、錫合金或銦錫合金。

【0023】 於實施時，前述之該基板厚度係大於 $10\mu\text{m}$ 小於 $300\mu\text{m}$ 之間。

【0024】 於實施時，前述之該背面金屬層之材料係為金、銅、鈀（Pd）、鎳（Ni）、銀（Ag）、鎳之合金、金銅合金、鎳金合金、鎳鈀合金、鈀金合金、金屬材料或金屬材料之合金。

【0025】 於實施時，前述之該第一金屬層之材料係為金、銅、金銅合金、金屬材料或金屬材料之合金。

【0026】 於實施時，前述之該金屬凸塊之材料係為銅、銅合金、金屬材料或金屬材料之合金。

【0027】 於實施時，前述之該保護層之材料係為氮化矽（SiN）。

【0028】 於實施時，前述之該介電層之材料係為介電物質聚苯噁唑（Polybenzoxazole, PBO）。

【0029】 於實施時，前述之該第二金屬層之材料係為金、銅、金銅合金、金屬材料或金屬材料之合金。

【0030】 於實施時，前述上基板係為藍寶石基板。

【0031】 於實施時，前述下基板係為碳化物基板。

【0032】 為進一步了解本發明，以下舉較佳之實施例，配合圖式、圖號，將本發明之具體構成內容及其所達成的功效詳細說明如下。

【圖式簡單說明】

【0033】 第 1A 圖 係為一習用技術之具銅柱凸塊半導體晶片之剖面結構示意圖。

【0034】 第 1B 圖 係為一習用技術之具銅柱凸塊半導體晶片之覆晶式晶片堆疊之剖面結構示意圖。

【0035】 第 2A 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之剖面結構示意圖。

【0036】 第 2B 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之又一剖面結構示意圖。

【0037】 第 2C-1 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之再一剖面結構示意圖。

【0038】 第 2C-2 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之又再一剖面結構示意圖。

- 【0039】 第 2D-1 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之又一剖面結構示意圖。
- 【0040】 第 2D-2 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之又再一剖面結構示意圖。
- 【0041】 第 2A-0 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 1 剖面結構示意圖。
- 【0042】 第 2A-1 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 2、3、4 剖面結構示意圖。
- 【0043】 第 2A-2 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 5 剖面結構示意圖。
- 【0044】 第 2A-3 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 6 剖面結構示意圖。
- 【0045】 第 2A-4 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 7 剖面結構示意圖。
- 【0046】 第 2A-5 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 8 剖面結構示意圖。
- 【0047】 第 2A-6 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 9 剖面結構示意圖。
- 【0048】 第 2A-7 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 10 剖面結構示意圖。
- 【0049】 第 2B-0 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 A 及步驟 2、3、4 剖面結構示意圖。
- 【0050】 第 2C-1-0 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 B 及步驟 2、3、4 剖面結構示意圖。

【0051】 第 2C-2-0 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 C、D 及步驟 2、3、4 剖面結構示意圖。

【0052】 第 2D-1-0 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 E、F、G、H 及步驟 2、3、4 剖面結構示意圖。

【0053】 第 2D-2-0 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之製程步驟 E、F、G、H、I 及步驟 2、3、4 剖面結構示意圖。

【0054】 第 2E 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之覆晶式晶片堆疊之剖面結構示意圖。

【0055】 第 2F 圖 係為本發明之結合基板通孔與金屬凸塊之半導體晶片之又一覆晶式晶片堆疊之剖面結構示意圖。

【0056】 第 3 圖係顯示本發明之結合基板通孔與金屬凸塊之半導體晶片結構及其製程方法之流程圖。

【實施方式】

【0057】 第 2A 圖 係為本發明之結合基板通孔與凸塊之半導體晶片之剖面結構示意圖，其中包括一基板 201，其中該基板 201 通常是使用砷化鎵 (GaAs)、碳化矽 (SiC)、氮化鎵 (GaN) 或磷化銦 (InP) 等半導體材料所構成，且該基板 201 厚度係大於 $10\mu\text{m}$ 小於 $300\mu\text{m}$ 之間；於該基板 201 之正面設置有至少一半導體電子元件 213，其中該半導體電子元件 213 係為場效電晶體 (FET)、異質接面雙極性電晶體 (HBT)、電阻、電容或電感等各種半導體電子元件之組合；又於該基板 201 之正面設置有至少一第一金屬層 203，其中該第一金屬層 203 之材料係為金、銅、金銅合金、金屬材料或金屬材料之合金，該第一金屬層 203 之厚度係為大於等於 $3\mu\text{m}$ ，且該第一

金屬層 203 係與部分該半導體電子元件 213 相接觸；又於該第一金屬層 203 之上，設置有至少一金屬凸塊 205，其中該金屬凸塊 205 之材料係為銅、銅合金、金屬材料或金屬材料之合金；於該基板 201 之背面以蝕刻技術蝕刻出至少一基板通孔 209，且該基板通孔 209 係貫穿該基板 201；再於該基板 201 之背面鍍上至少一背面金屬層 207，使該背面金屬層 207 覆蓋住該基板通孔 209 以及至少覆蓋住部分該基板 201 之背面，其中該背面金屬層 207 之材料係為金、銅、鈀 (Pd)、鎳 (Ni)、銀 (Ag)、鎳之合金、金銅合金、鎳金合金、鎳鈀合金、鈀金合金、金屬材料或金屬材料之合金。

【0058】請參考第 2B 圖，係為本發明之另一實施例之剖面結構示意圖，其主要結構與第 2A 圖所示之實施例大致相同，惟，在該金屬凸塊 205 之上，更鍍上一熔接金屬層 211，其中構成該熔接金屬層 211 之材料係為銲、錫、銲合金、錫合金或銲錫合金。

【0059】請參考第 2C-1 圖，係為本發明之另一實施例之剖面結構示意圖，其主要結構與第 2A 圖所示之實施例大致相同，惟，在該基板 201 之上，更設置一保護層 215，使該保護層 215 覆蓋住至少部分該基板 201、該半導體電子元件 213 以及部分該第一金屬層 203，且該金屬凸塊 205 以及至少部分該第一金屬層 203 不被該保護層 215 所覆蓋，且其中該保護層 215 之材料係為氮化矽 (SiN)。

【0060】請參考第 2C-2 圖，係為本發明之另一實施例之剖面結構示意圖，其主要結構與第 2C-1 圖所示之實施例大致相同，惟，在該金屬凸塊 205 之上，更鍍上一熔接金屬層 211，其中構成該熔接金屬層 211 之材料係為銲、錫、銲合金、錫合金或銲錫合金。

【0061】請參考第 2D-1 圖，係為本發明之另一實施例之剖面結構示意圖，其主要結構與第 2C-1 圖所示之實施例大致相同，惟，在介於該金屬凸

塊 205 及該第一金屬層 203 之間，更設置至少一重佈線路層 217，使得該重佈線路層 217 係在該保護層 215 及該第一金屬層 203 之上，且該重佈線路層 217 係在該金屬凸塊 205 之下，又其中該重佈線路層 217 之結構係包括有：至少一介電層 219、至少一介電層通孔 221 以及至少一第二金屬層 223，其中該介電層 219，係形成於該保護層 215 及該第一金屬層 203 之上，且該介電層 219 係覆蓋住部分該基板 201、該保護層 215 以及部分該第一金屬層 203，其中構成該介電層 219 之材料係為介電物質聚苯噁唑(Polybenzoxazole, PBO)，且該介電層 219 之厚度為介於 $5\mu\text{m}$ 與 $30\mu\text{m}$ 之間；其中該介電層通孔 221，係貫穿該介電層 219 者；且其中第二金屬層 223，係形成於該介電層 219 之上，使得該第二金屬層 223 係覆蓋住該介電層通孔 221 以及至少覆蓋住部分該介電層 219，且其中至少部分該第二金屬層 223 係於該介電層通孔 221 之底部與部分該第一金屬層 203 相接觸，其中構成該第二金屬層 223 之材料係為金、銅、金銅合金、金屬材料或金屬材料之合金；又該金屬凸塊 205，係形成於該第二金屬層 223 之上；藉由該重佈線路層 217 之設計，可以選擇將該金屬凸塊 205 設置在適當的位置，而電子訊號可經由該背面金屬層 207、該第一金屬層 203 與該半導體電子元件 213 相連結，並再由該第一金屬層 203 與該第二金屬層 223 傳遞至該金屬凸塊 205。

【0062】請參考第 2D-2 圖，係為本發明之另一實施例之剖面結構示意圖，其主要結構與第 2D-1 圖所示之實施例大致相同，惟，在該金屬凸塊 205 之上，更鍍上一熔接金屬層 211，其中構成該熔接金屬層 211 之材料係為銲、錫、銲合金、錫合金或銲錫合金。

【0063】第 3 圖係顯示本發明之結合基板通孔與凸塊之半導體晶片結構及其製程方法之流程圖。如圖所示，以製作如前述第 2A 圖所示之結合基板通孔與凸塊之半導體晶片結構為例，其製程方法包括以下步驟：

步驟 1. 請參閱第 2A-0 圖，於一基板 201 之正面，形成至少一半導體電子元件 213；於該基板 201 之正面，形成至少一第一金屬層 203，且部分該第一金屬層 203 係與部分該半導體電子元件 213 相接觸；於該第一金屬層 203 之上，形成至少一金屬凸塊 205；其中該基板 201 通常是使用砷化鎵 (GaAs)、碳化矽 (SiC)、氮化鎵 (GaN) 或磷化銦 (InP) 等半導體材料所構成，且該基板 201 厚度係大於 $10\ \mu\text{m}$ 小於 $300\ \mu\text{m}$ 之間；其中該半導體電子元件 213 係為場效電晶體 (FET)、異質接面雙極性電晶體 (HBT)、電阻、電容或電感等各種半導體電子元件之組合；其中該第一金屬層 203 之材料係為金、銅、金銅合金、金屬材料或金屬材料之合金，該第一金屬層 203 之厚度係為大於等於 $3\ \mu\text{m}$ ；其中該金屬凸塊 205 之材料係為銅、銅合金、金屬材料或金屬材料之合金；

步驟 2. 請參閱第 2A-1 圖，於該基板 201 正面，形成一防護金屬凸塊層 225，使該防護金屬凸塊層 225 係覆蓋住該基板 201 之正面、該半導體電子元件 213、該第一金屬層 203 以及該金屬凸塊 205；

步驟 3. 請參閱第 2A-1 圖，於該防護金屬凸塊層 225 之上，形成一剝離層 227，使該剝離層 227 係覆蓋住該防護金屬凸塊層 225；

步驟 4. 請參閱第 2A-1 圖，於該剝離層 227 之上，附著上一上基板 229，其中該上基板 229 係為藍寶石基板；

步驟 5. 請參閱第 2A-2 圖，研磨及拋光該基板 201 之背面；

步驟 6. 請參閱第 2A-3 圖，於該基板 201 之背面，以曝光顯影及蝕刻技術製作出至少一基板通孔 209，使該基板通孔 209 貫穿該基板 201；

步驟 7. 請參閱第 2A-4 圖，於該基板 201 之背面鍍上至少一背面金屬層 207，使該背面金屬層 207 係覆蓋住該基板通孔 209 以及至少覆蓋住部分該基板 201 之背面，且其中至少部分該第一金屬層 203 係於該基板通孔 209 之頂部與該背面金屬層 207 相接觸；其中該背面金屬層 207 之材料係為金、銅、鈀 (Pd)、鎳 (Ni)、銀 (Ag)、鎳之合金、金銅合金、鎳金合金、鎳鈀合金、鈀金合金、金屬材料或金屬材料之合金；

步驟 8. 請參閱第 2A-5 圖，於該基板 201 之背面，真空吸附住一下基板 231，其中該下基板 231 係為碳化物基板；

步驟 9. 請參閱第 2A-5 圖及第 2A-6 圖，經加熱之後，使該上基板 229 剝離該剝離層 227；清除該剝離層 227 以及該防護金屬凸塊層 225；以及

步驟 10. 請參閱第 2A-6 圖及第 2A-7 圖，釋放真空吸附，移開該下基板 231。

【0064】 欲製作如前述第 2B 圖所示之結合基板通孔與凸塊之半導體晶片結構，如前述第 3 圖所示之 10 步驟之外，尚須於步驟 1 之後，步驟 2 之前，需增加以下步驟：

步驟 A. 請參閱第 2B-0 圖，於該金屬凸塊 205 之上更鍍上一熔接金屬層 211，其中構成該熔接金屬層 211 之材料係為銲、錫、銲合金、錫合金或銲錫合金。

【0065】 欲製作如前述第 2C-1 圖所示之結合基板通孔與凸塊之半導體晶片結構，如前述第 3 圖所示之 10 步驟之外，尚須於步驟 1 之後，步驟 2 之前，需增加以下步驟：

步驟 B. 請參閱第 2C-1-0 圖，於該基板 201 之上，更設置一保護層 215，使該保護層 215 覆蓋住至少部分該基板 201、該半導體電子元件 213 以及部分該第一金屬層 203，且該金屬凸塊 205 以及至少部分該第一金屬層 203 不被該保護層 215 所覆蓋；其中該保護層 215 之材料係為氮化矽（SiN）；

且其中步驟 2. 該防護金屬凸塊層 225 係覆蓋住該基板 201 正面、該第一金屬層 203、該保護層 215 以及該金屬凸塊 205。

【0066】欲製作如前述第 2C-2 圖所示之結合基板通孔與凸塊之半導體晶片結構，如前述第 3 圖所示之 10 步驟之外，尚須於步驟 1 之後，步驟 2 之前，需增加以下步驟：

步驟 C. 請參閱第 2C-2-0 圖，於該基板 201 之上，更設置一保護層 215，使該保護層 215 覆蓋住至少部分該基板 201、該半導體電子元件 213 以及部分該第一金屬層 203，且該金屬凸塊 205 以及至少部分該第一金屬層 203 不被該保護層 215 所覆蓋；其中該保護層 215 之材料係為氮化矽（SiN）；

步驟 D. 請參閱第 2C-2-0 圖，於該金屬凸塊 205 之上更鍍上一熔接金屬層 211，其中構成該熔接金屬層 211 之材料係為銲、錫、銲合金、錫合金或銲錫合金。

且其中步驟 2. 該防護金屬凸塊層 225 係覆蓋住該基板 201 正面、該第一金屬層 203、該保護層 215 以及該金屬凸塊 205。

【0067】欲製作如前述第 2D-1 圖所示之結合基板通孔與凸塊之半導體

晶片結構，如前述第 3 圖所示之 10 步驟之外，尚須將步驟 1 修改為以下步驟：

步驟 E. 請參閱第 2D-1-0 圖，於一基板 201 之正面，形成至少一半導體電子元件 213；於該基板 201 之正面，形成至少一第一金屬層 203，且部分該第一金屬層 203 係與部分該半導體電子元件 213 相接觸；

步驟 F. 請參閱第 2D-1-0 圖，於該基板 201 之上，更設置一保護層 215，使該保護層 215 覆蓋住至少部分該基板 201、該半導體電子元件 213 以及部分該第一金屬層 203，且該金屬凸塊 205 以及至少部分該第一金屬層 203 不被該保護層 215 所覆蓋；其中該保護層 215 之材料係為氮化矽（SiN）；

步驟 G. 請參閱第 2D-1-0 圖，於該保護層 215 以及該第一金屬層 203 之上，更設置至少一重佈線路層 217，其中該重佈線路層 217 之結構係包括有：

至少一介電層 219，係形成於該保護層 215 及該第一金屬層 203 之上，且該介電層 219 係覆蓋住部分該基板 201、該保護層 215 以及部分該第一金屬層 203；其中構成該介電層 219 之材料係為介電物質聚苯噁唑（Polybenzoxazole, PBO），且該介電層 219 之厚度為介於 $5\ \mu\text{m}$ 與 $30\ \mu\text{m}$ 之間；

至少一介電層通孔 221，係貫穿該介電層 219；以及
至少一第二金屬層 223，係形成於該介電層 219 之上，使得該第二金屬層 223 係覆蓋住該介電層通孔 221 以及至少覆蓋住部分

該介電層 219，且其中至少部分該第二金屬層 223 係於該介電層通孔 221 之底部與部分該第一金屬層 203 相接觸；其中構成該第二金屬層 223 之材料係為金、銅、金銅合金、金屬材料或金屬材料之合金；

步驟 H. 請參閱第 2D-1-0 圖，於該第二金屬層 223 之上，形成至少一金屬凸塊 205；

且其中步驟 2. 該防護金屬凸塊層 225 係覆蓋住該重佈線路層 217、該第二金屬層 223、該介電層 219、該介電層通孔 221 以及該金屬凸塊 205。

【0068】欲製作如前述第 2D-2 圖所示之結合基板通孔與凸塊之半導體晶片結構，其步驟如前述製作第 2D-1 圖之結構，除了需修改第 3 圖所示之 10 步驟中之步驟 1 成為步驟 E、步驟 F、步驟 G、步驟 H 之外，尚須於步驟 H 之後，步驟 2 之前，增加以下步驟：

步驟 I. 請參閱第 2D-2-0 圖，於該金屬凸塊 205 之上更鍍上一熔接金屬層 211，其中構成該熔接金屬層 211 之材料係為銮、錫、銮合金、錫合金或銮錫合金。

【0069】第 2E 圖 係為本發明之結合基板通孔與凸塊之半導體晶片之覆晶式晶片堆疊之剖面結構示意圖，其主要結構與第 2C-1 圖以及所示之實施例大致相同，惟，於該金屬凸塊 205 之上焊接一上層晶片 235，而其中該金屬凸塊 205 係與該上層晶片 235 相連接，且其中該上層晶片 235 包含有其他的半導體電子元件；電子訊號可經由該背面金屬層 207、該第一金屬層 203 與該半導體電子元件 213 相連結，並再由該第一金屬層 203 傳遞至該金屬凸塊 205，接著再透過該金屬凸塊 205 將電子訊號傳遞至該上

層晶片 235 所包含的半導體電子元件；又於該背面金屬層 207 之下，設置一模組基板 233，於該模組基板 233 之上，又設至少一接合打線 237，透過該接合打線 237 可將該半導體電子元件 213 之訊號連接至該模組基板 233 上。

【0070】 第 2F 圖 係為本發明之結合基板通孔與凸塊之半導體晶片之覆晶式晶片堆疊之剖面結構示意圖，其主要結構與第 2D-1 圖以及所示之實施例大致相同，惟，於該金屬凸塊 205 之上焊接一上層晶片 235，而其中該金屬凸塊 205 係與該上層晶片 235 相連接，且其中該上層晶片 235 包含有其他的半導體電子元件；藉由該重佈線路層 217 之設計，可以選擇將該金屬凸塊 205 設置在適當的位置，搭配該上層晶片 235 與該金屬凸塊 205 相對應之焊接點；而電子訊號可經由該背面金屬層 207、該第一金屬層 203 與該半導體電子元件 213 相連結，並再由該第一金屬層 203 與該第二金屬層 223 傳遞至該金屬凸塊 205，接著再透過該金屬凸塊 205 將電子訊號傳輸至該上層晶片 235 所包含的半導體電子元件；又於該背面金屬層 207 之下，設置一模組基板 233，於該模組基板 233 之上，又設至少一接合打線 237，透過該接合打線 237 可將該半導體電子元件 213 之訊號連接至該模組基板 233 上。

【0071】 綜上所述，本發明透過運用本發明之結合基板通孔與凸塊之半導體晶片結構及其製程方法，有助於提高半導體元件之連結密度，可大幅縮小晶片尺寸，並增快訊號傳輸速度，而同時又可降低耗電量，且又能提供異質整合，因此本發明確實可達到預期之目的，並具有良好製程穩定性及元件可靠度等優點。其確具產業利用之價值，爰依法提出專利申請。

【0072】 又上述說明與圖式僅是用以說明本發明之實施例，凡熟於此業技藝之人士，仍可做等效的局部變化與修飾，其並未脫離本發明之技術

與精神。

【符號說明】

【0073】

101 基板	103 金屬層
105 金屬凸塊	111 熔接金屬層
113 半導體電子元件	133 模組基板
135 上層晶片	137 接合打線
201 基板	203 第一金屬層
205 金屬凸塊	207 背面金屬層
209 基板通孔	211 熔接金屬層
213 半導體電子元件	215 保護層
217 重佈線路層	219 介電層
221 介電層通孔	223 第二金屬層
225 防護金屬凸塊層	227 剝離層
229 上基板	231 下基板
233 模組基板	235 上層晶片
237 接合打線	

申請專利範圍

1、一種結合基板通孔與金屬凸塊之半導體晶片結構，其主要結構係包括有：

一基板；

至少一基板通孔，係貫穿該基板者；

至少一背面金屬層，係形成於該基板之背面，且該背面金屬層係覆蓋住該基板通孔以及至少覆蓋住部分該基板之背面者；

至少一第一金屬層，係形成於該基板之正面，且其中至少部分該第一金屬層係於該基板通孔之頂部與該背面金屬層相接觸者；

至少一半導體電子元件，係形成於該基板之正面，且部分該第一金屬層係與部分該半導體電子元件相接觸者；以及

至少一金屬凸塊，係形成於該第一金屬層之上者。

2、如申請專利範圍第 1 項所述之結合基板通孔與金屬凸塊之半導體晶片結構，其中於該基板之上，更設置一保護層，使該保護層覆蓋住至少部分該基板、該半導體電子元件以及部分該第一金屬層，且該金屬凸塊以及至少部分該第一金屬層不被該保護層所覆蓋。

3、如申請專利範圍第 2 項所述之結合基板通孔與金屬凸塊之半導體晶片結構，其中介於該金屬凸塊及該第一金屬層之間，更設置至少一重佈線路層，使得該重佈線路層係在該保護層及該第一金屬層之上，且該重佈線路層係在該金屬凸塊之下，又其中該重佈線路層之結構係包括有：

至少一介電層，係形成於該保護層及該第一金屬層之上，且該介電層係覆蓋住部分該基板、該保護層以及部分該第一金屬層者；

至少一介電層通孔，係貫穿該介電層者；以及

至少一第二金屬層，係形成於該介電層之上，使得該第二金屬層係

覆蓋住該介電層通孔以及至少覆蓋住部分該介電層，且其中至少部分該第二金屬層係於該介電層通孔之底部與部分該第一金屬層相接觸，又該金屬凸塊，係形成於該第二金屬層之上者。

- 4、如申請專利範圍第 3 項所述之結合基板通孔與金屬凸塊之半導體晶片結構，其中構成該介電層之材料係為介電物質聚苯噁唑（Polybenzoxazole, PBO）。
- 5、如申請專利範圍第 1 項所述之結合基板通孔與金屬凸塊之半導體晶片結構，其中構成該基板之材料係為砷化鎵（GaAs）、碳化矽（SiC）、氮化鎵（GaN）或磷化銦（InP）。
- 6、如申請專利範圍第 1 項所述之結合基板通孔與金屬凸塊之半導體晶片結構，於該金屬凸塊之上更鍍上一熔接金屬層，其中構成該熔接金屬層之材料係為銦、錫、銦合金、錫合金或銦錫合金。
- 7、如申請專利範圍第 1 項所述之結合基板通孔與金屬凸塊之半導體晶片結構，其中該基板厚度係大於 $10\ \mu\text{m}$ 小於 $300\ \mu\text{m}$ 之間。
- 8、如申請專利範圍第 1 項所述之結合基板通孔與金屬凸塊之半導體晶片結構，其中構成該背面金屬層之材料係為金、銅、鈀（Pd）、鎳（Ni）、銀（Ag）、鎳之合金、金銅合金、鎳金合金、鎳鈀合金、鈀金合金、金屬材料或金屬材料之合金者。
- 9、一種覆晶式晶片堆疊結構，其主要結構係包括有：
 - 一結合基板通孔與金屬凸塊之半導體晶片，包括：
 - 一基板；
 - 至少一基板通孔，係貫穿該基板者；
 - 至少一背面金屬層，係形成於該基板之背面，且該背面金屬層係

覆蓋住該基板通孔以及至少覆蓋住部分該基板之背面者；

至少一第一金屬層，係形成於該基板之正面，且其中至少部分該

第一金屬層係於該基板通孔之頂部與該背面金屬層相接觸者；

至少一半導體電子元件，係形成於該基板之正面，且部分該第一金屬層係與部分該半導體電子元件相接觸者；以及

至少一金屬凸塊，係形成於該第一金屬層之上者；以及

一上層晶片，係堆疊於該結合基板通孔與金屬凸塊之半導體晶片之上，其中該上層晶片係與該結合基板通孔與金屬凸塊之半導體晶片之該金屬凸塊相連接。

10、如申請專利範圍第 9 項所述之覆晶式晶片堆疊結構，其中於該基板之上，更設置一保護層，使該保護層覆蓋住至少部分該基板、該半導體電子元件以及部分該第一金屬層，且該金屬凸塊以及至少部分該第一金屬層不被該保護層所覆蓋。

11、如申請專利範圍第 10 項所述之覆晶式晶片堆疊結構，其中介於該金屬凸塊及該第一金屬層之間，更設置至少一重佈線路層，使得該重佈線路層係在該保護層及該第一金屬層之上，且該重佈線路層係在該金屬凸塊之下，又其中該重佈線路層之結構係包括有：

至少一介電層，係形成於該保護層及該第一金屬層之上，且該介電層係覆蓋住部分該基板、該保護層以及部分該第一金屬層者；

至少一介電層通孔，係貫穿該介電層者；以及

至少一第二金屬層，係形成於該介電層之上，使得該第二金屬層係覆蓋住該介電層通孔以及至少覆蓋住部分該介電層，且其中至少部分該

第二金屬層係於該介電層通孔之底部與部分該第一金屬層相接觸，又該金屬凸塊，係形成於該第二金屬層之上者。

- 12、如申請專利範圍第 11 項所述之覆晶式晶片堆疊結構，其中構成該介電層之材料係為介電物質聚苯噁唑（Polybenzoxazole, PBO）。
- 13、如申請專利範圍第 9 項所述之覆晶式晶片堆疊結構，其中構成該基板之材料係為砷化鎵（GaAs）、碳化矽（SiC）、氮化鎵（GaN）或磷化銦（InP）。
- 14、如申請專利範圍第 9 項所述之覆晶式晶片堆疊結構，於該金屬凸塊之上更鍍上一熔接金屬層，其中構成該熔接金屬層之材料係為銦、錫、銦合金、錫合金或銦錫合金。
- 15、如申請專利範圍第 9 項所述之覆晶式晶片堆疊結構，其中該基板厚度係大於 $10\mu\text{m}$ 小於 $300\mu\text{m}$ 之間。
- 16、如申請專利範圍第 9 項所述之覆晶式晶片堆疊結構，其中構成該背面金屬層之材料係為金、銅、鈀（Pd）、鎳（Ni）、銀（Ag）、鎳之合金、金銅合金、鎳金合金、鎳鈀合金、鈀金合金、金屬材料或金屬材料之合金者。
- 17、如申請專利範圍第 9 項所述之覆晶式晶片堆疊結構，其中更包括一模組基板，係設置於該背面金屬層之下。
- 18、如申請專利範圍第 9 項所述之覆晶式晶片堆疊結構，其中更包括至少一接合打線，係連接該至少一半導體電子元件與該模組基板。

圖式

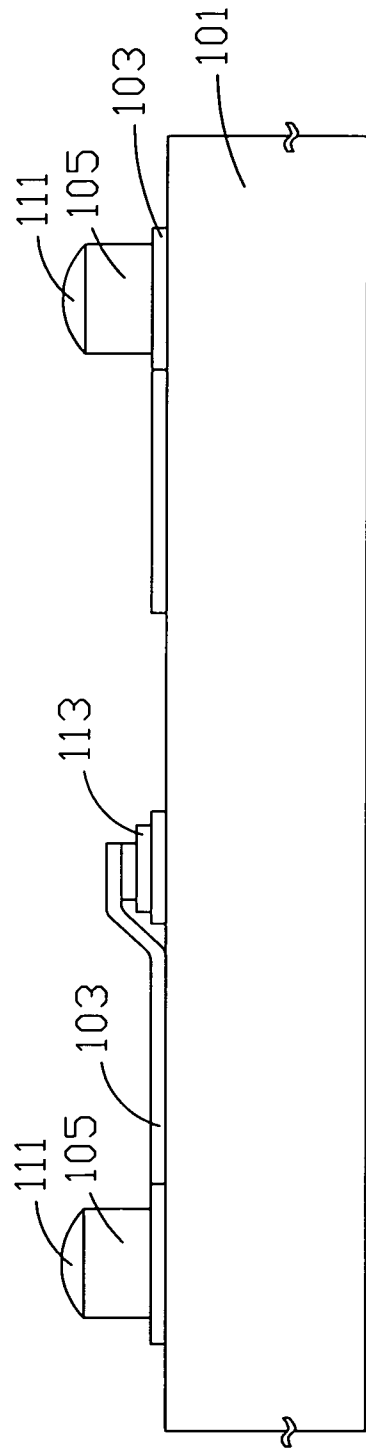


圖 1 A

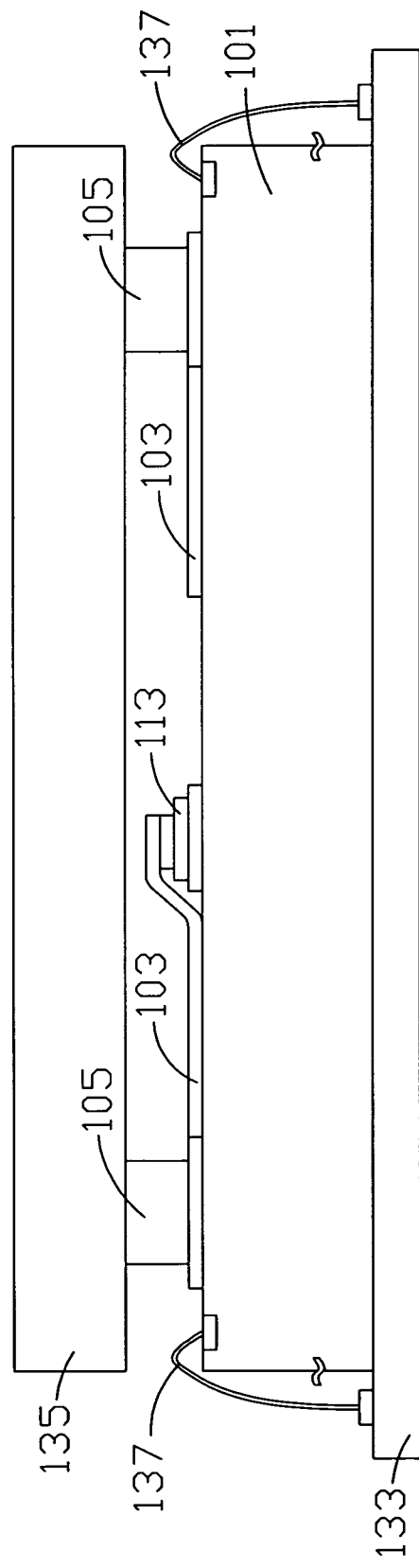
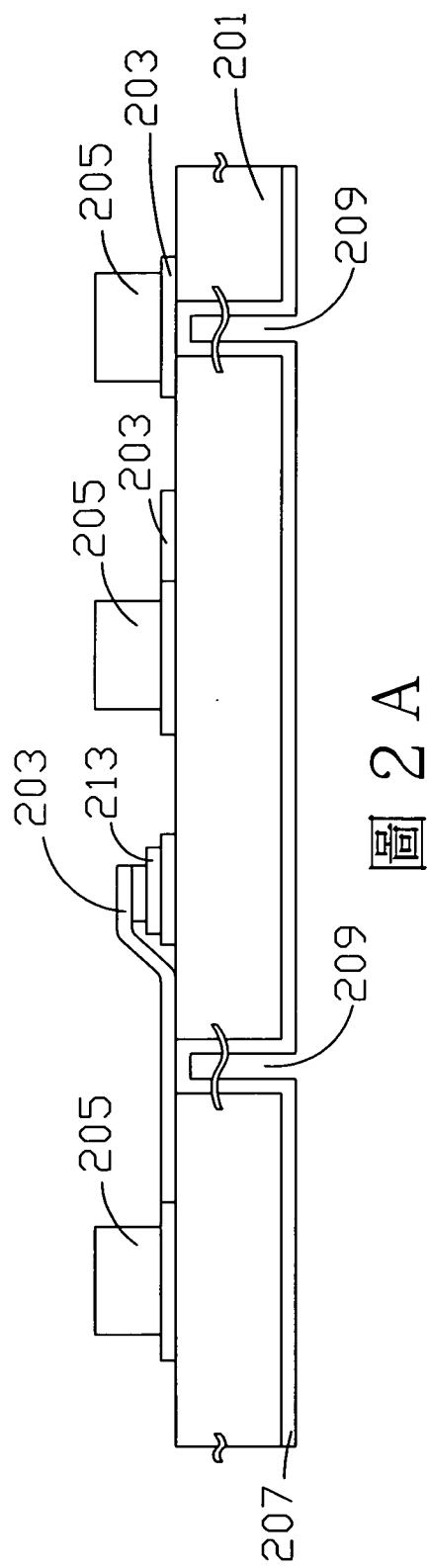


圖 1 B



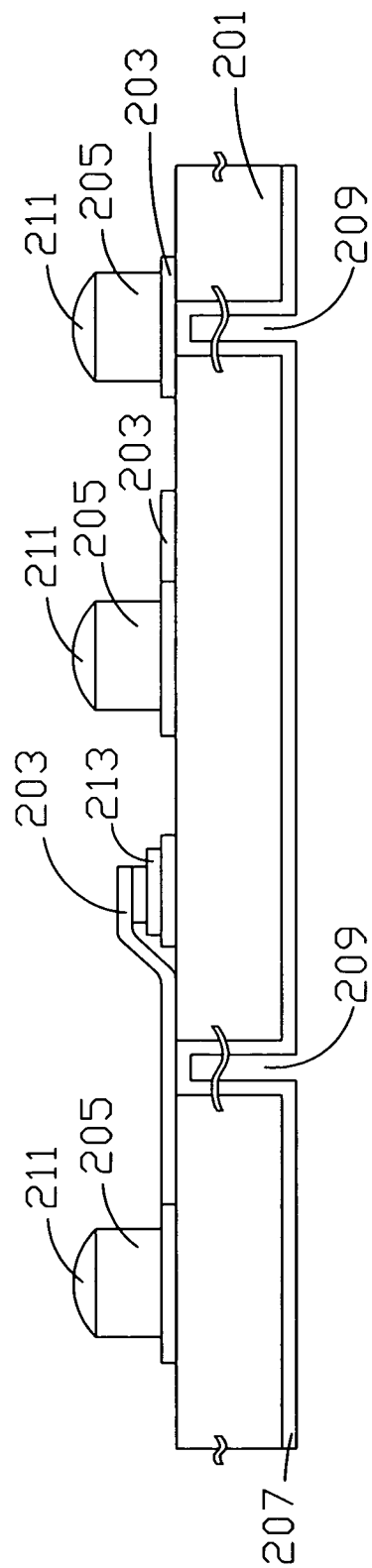


圖 2 B

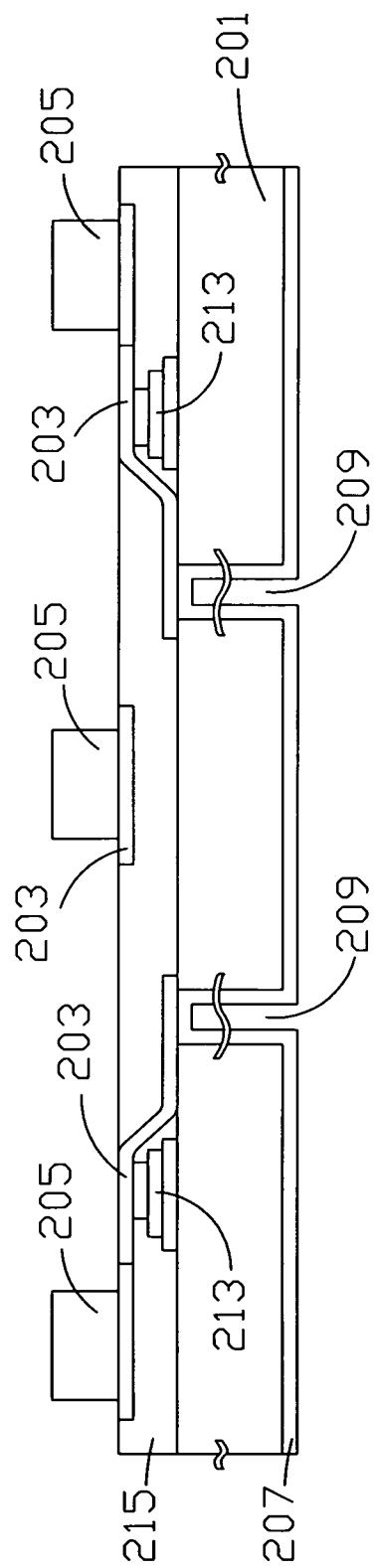


圖 2 C - 1

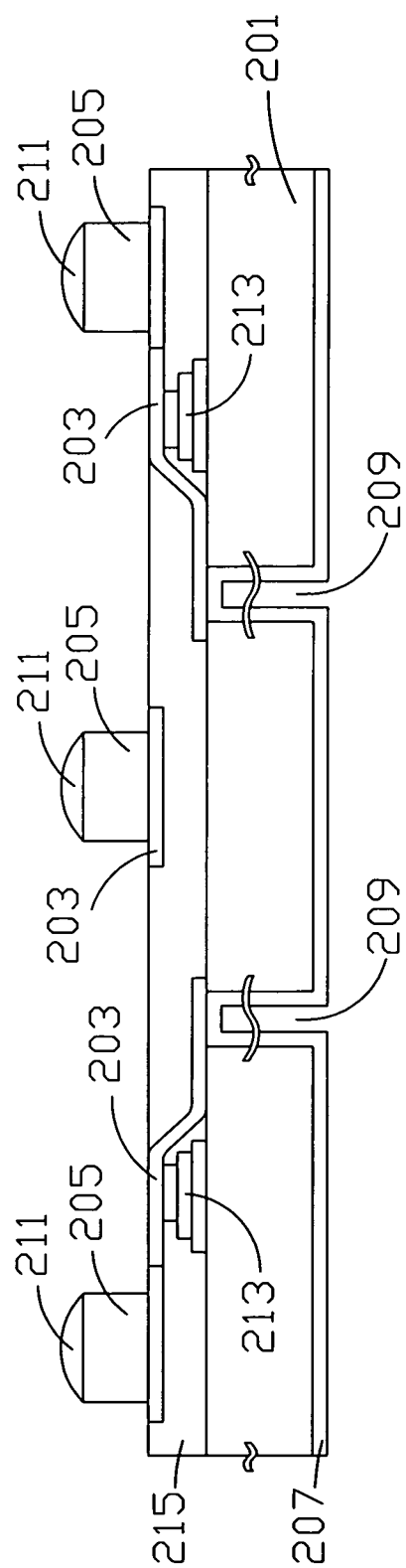


圖 2 C - 2

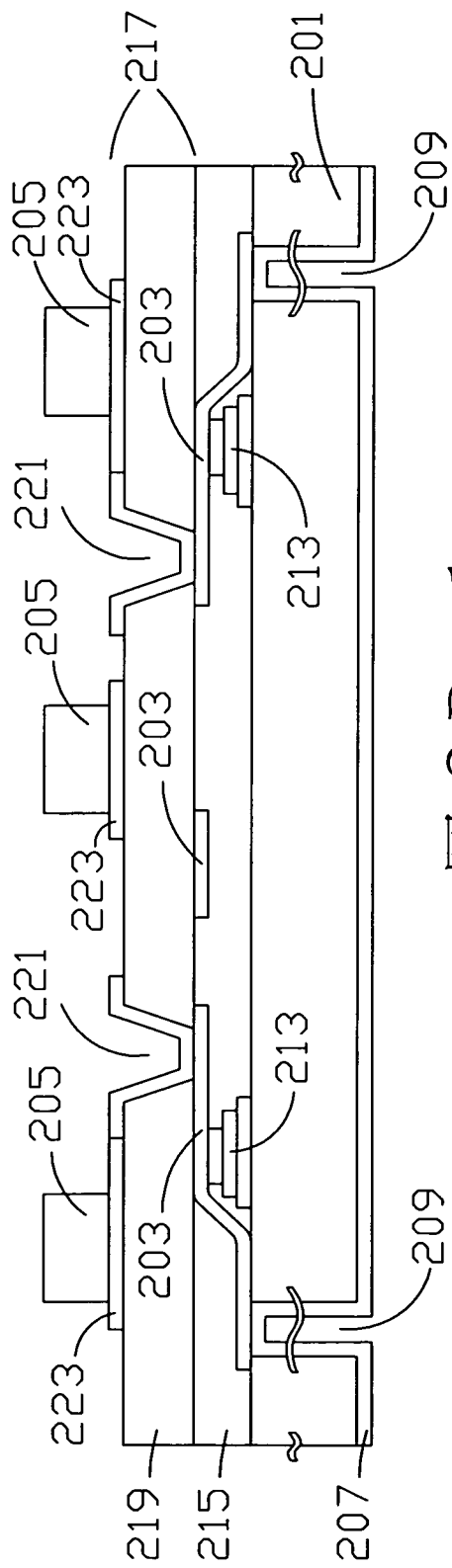


圖 2 D - 1

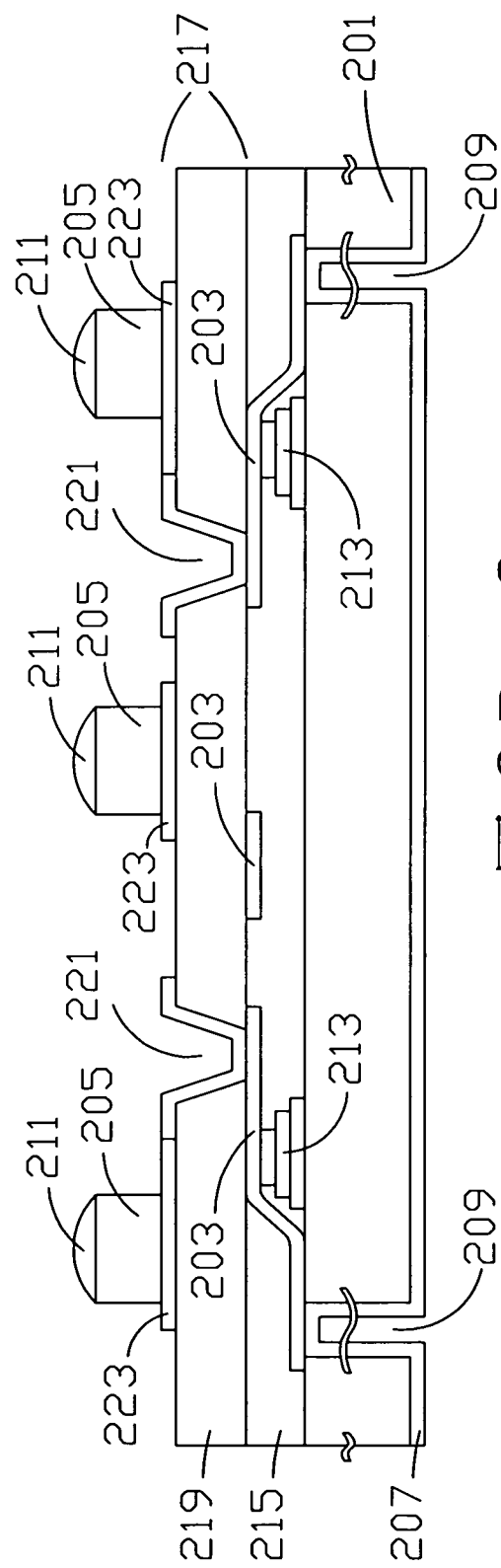


圖 2 D - 2

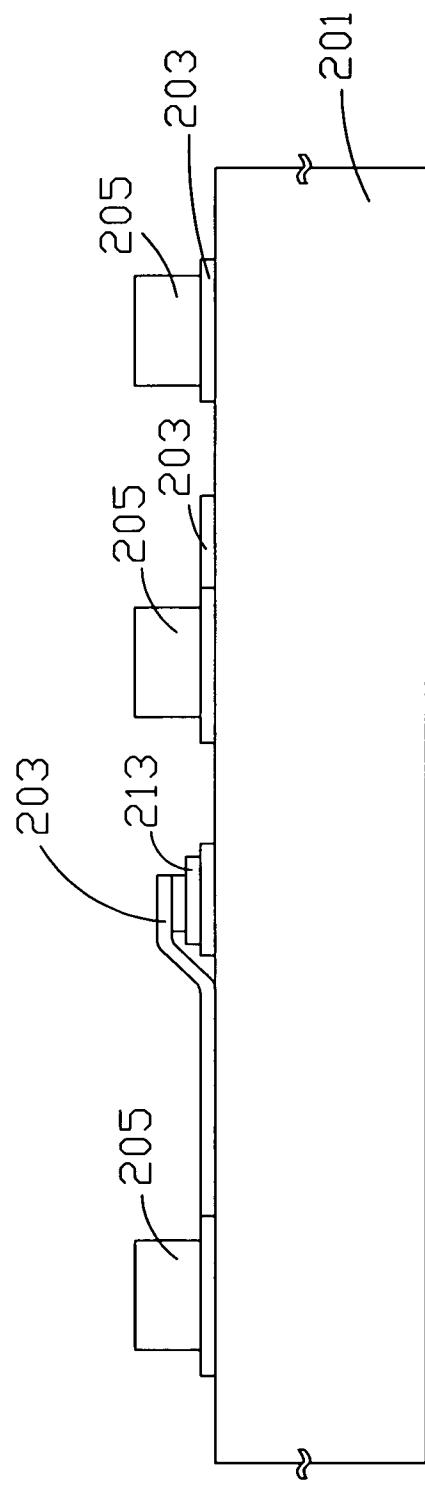


圖 2 A - 0

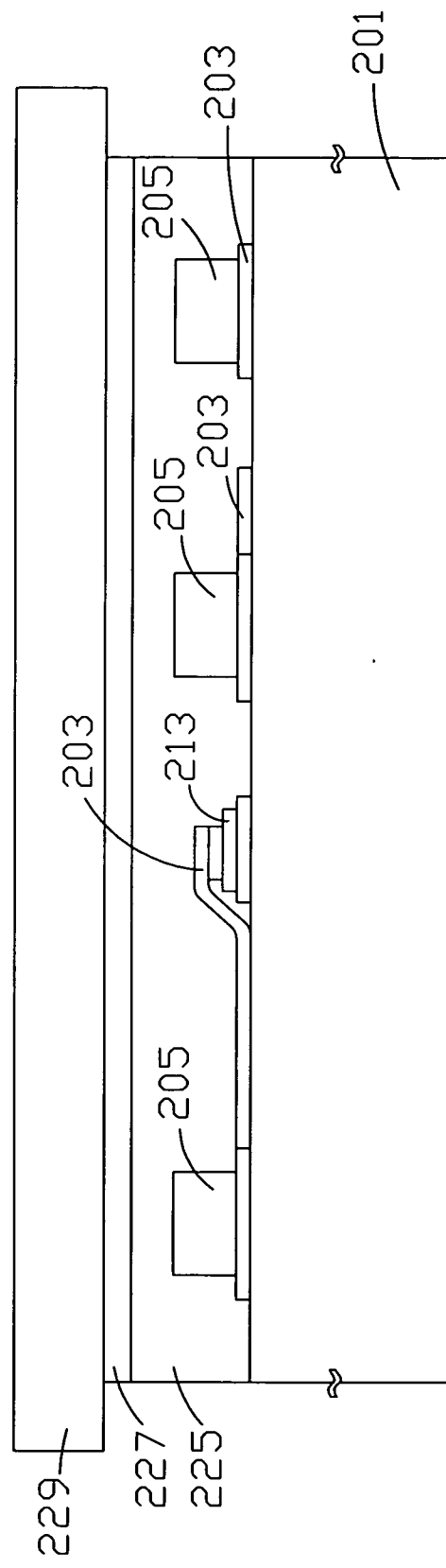


圖 2 A - 1

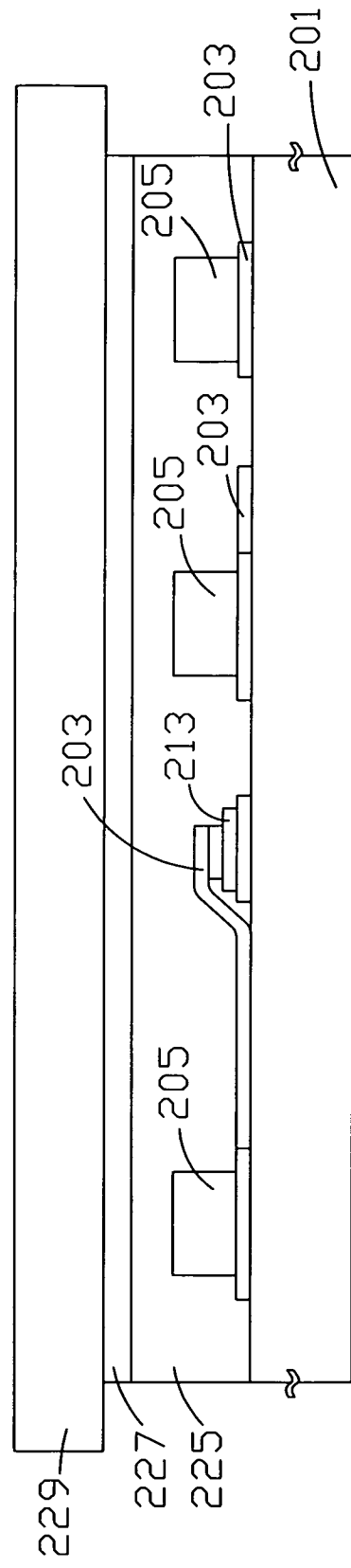


圖 2 A - 2

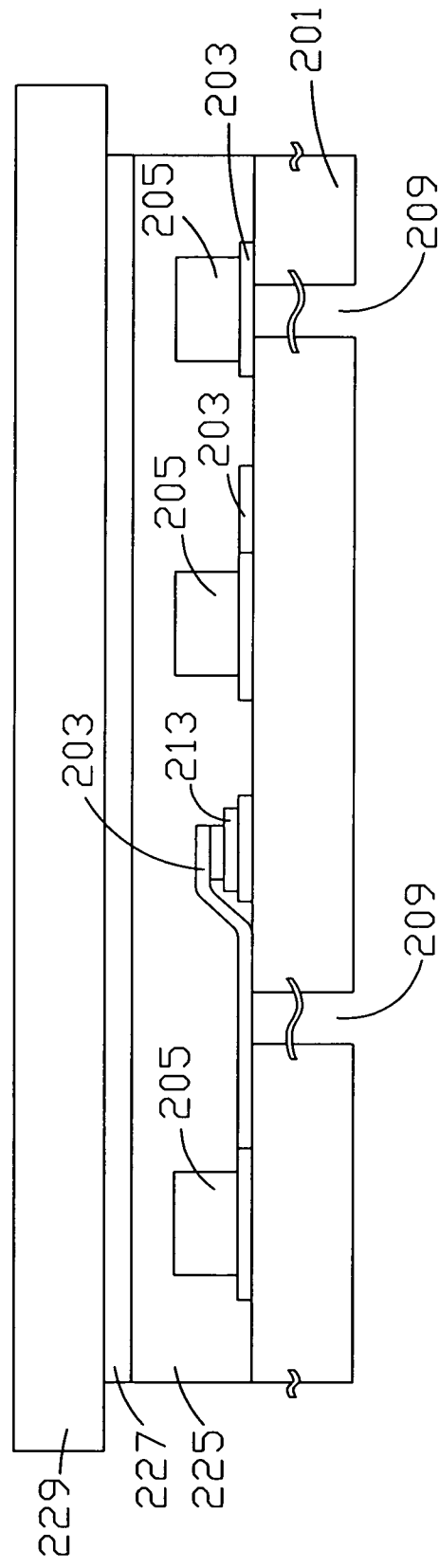


圖 2 A - 3

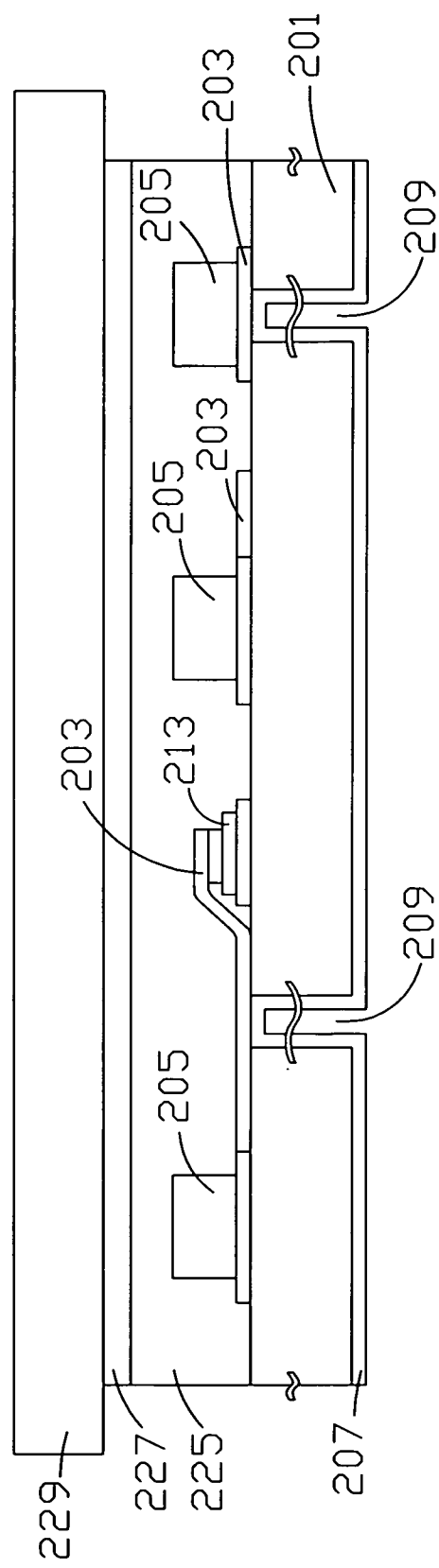


圖 2 A - 4

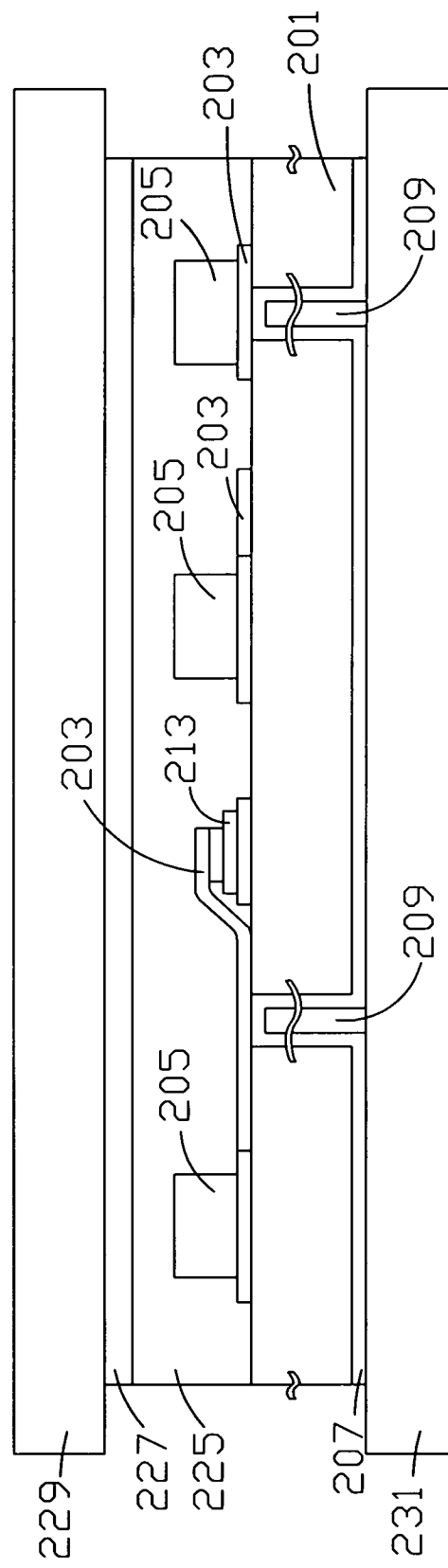


圖 2 A - 5

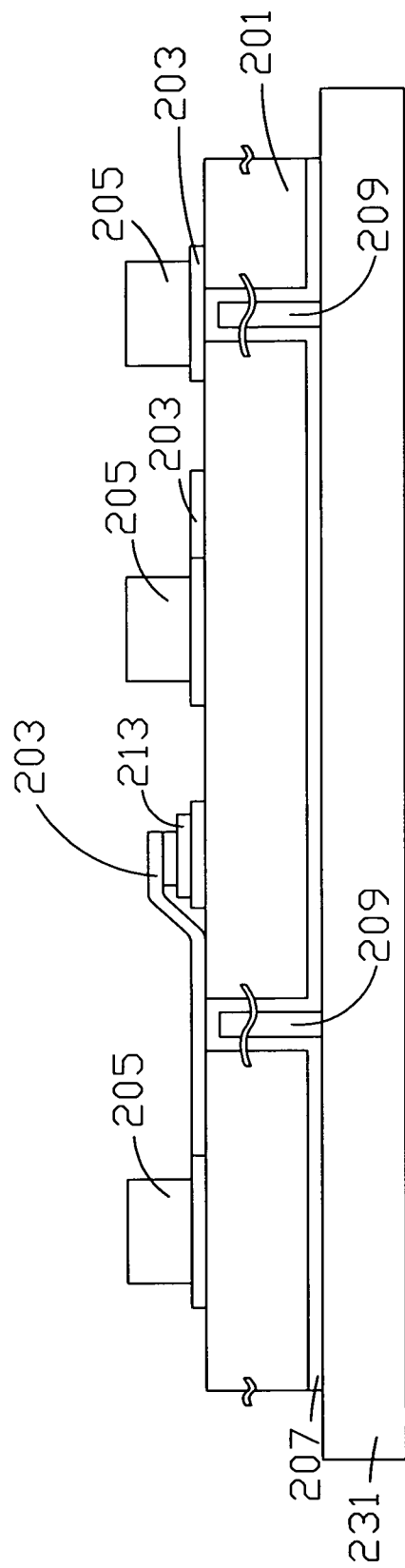


圖 2 A - 6

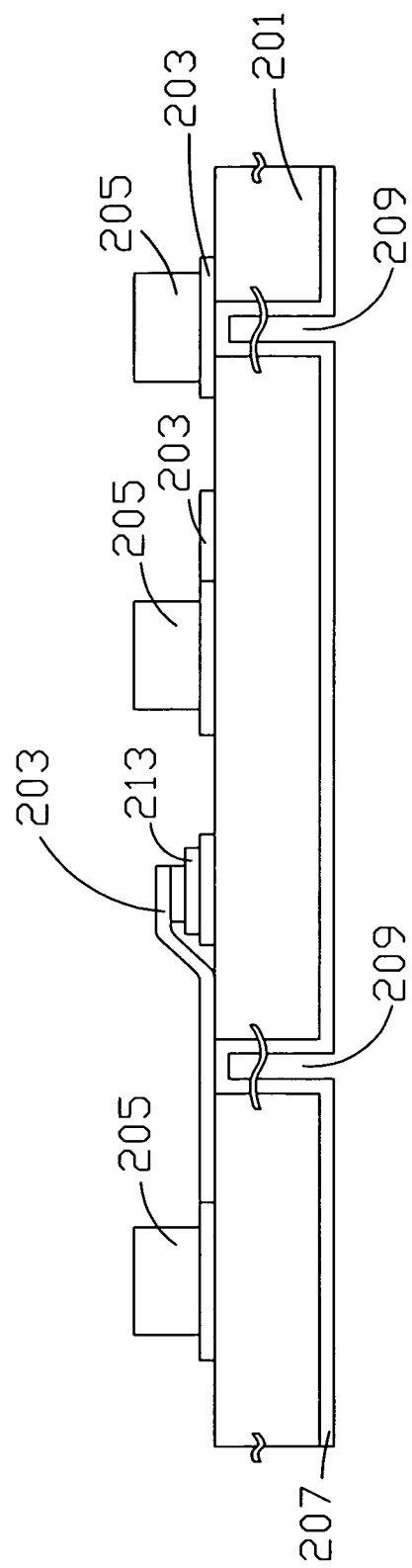


圖 2 A - 7

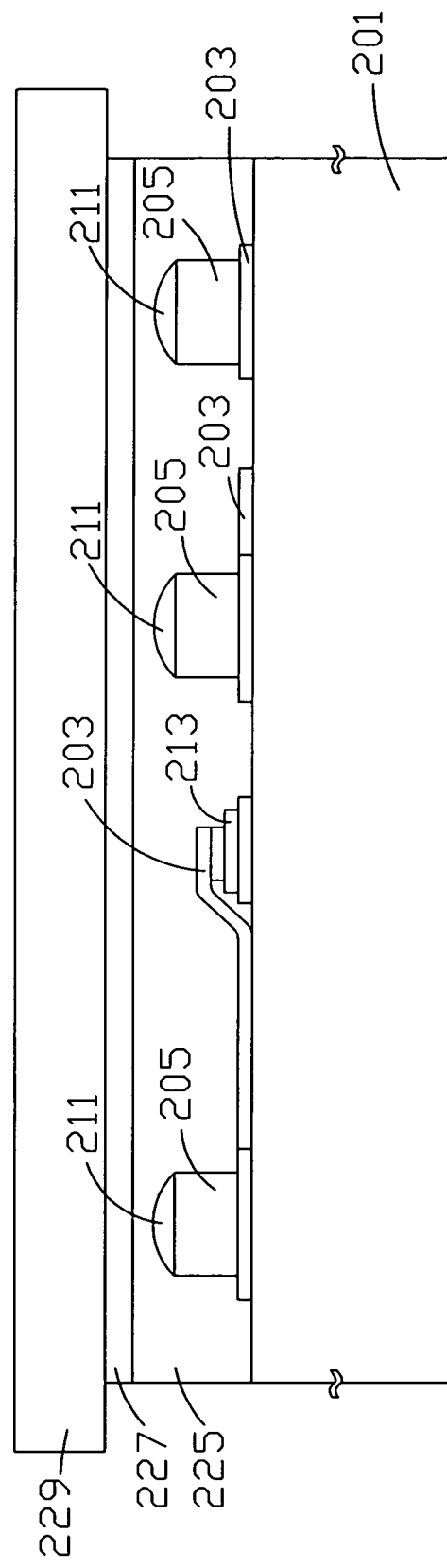


圖 2 B - 0

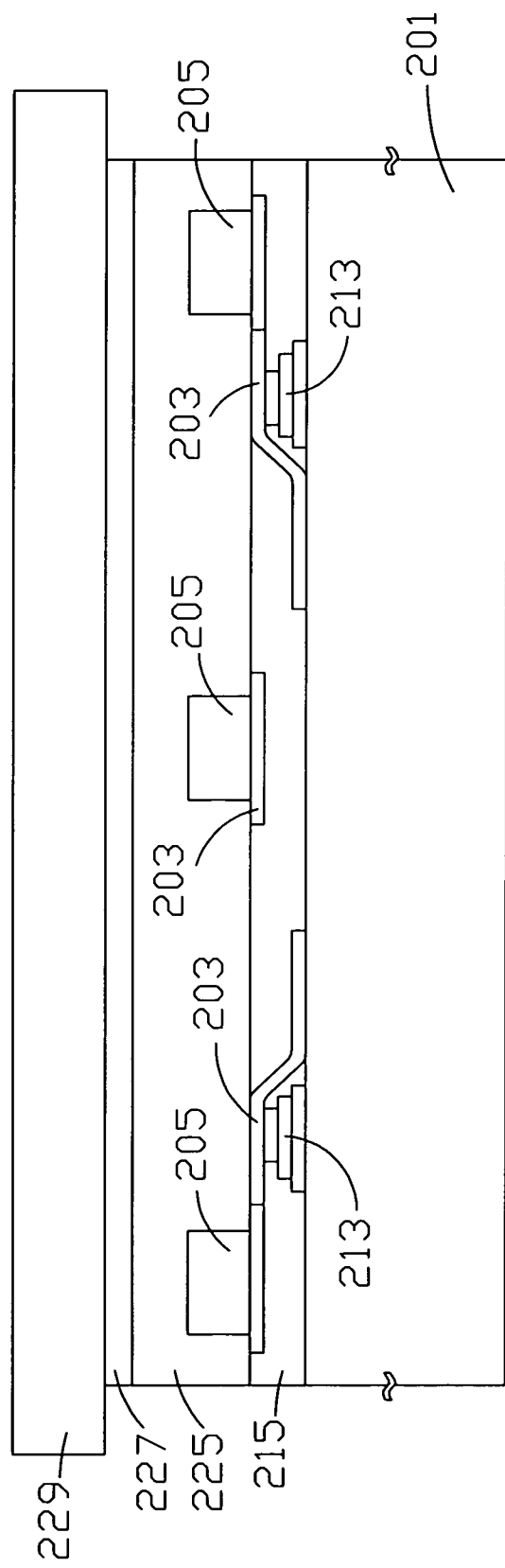


圖 2 C - 1 - 0

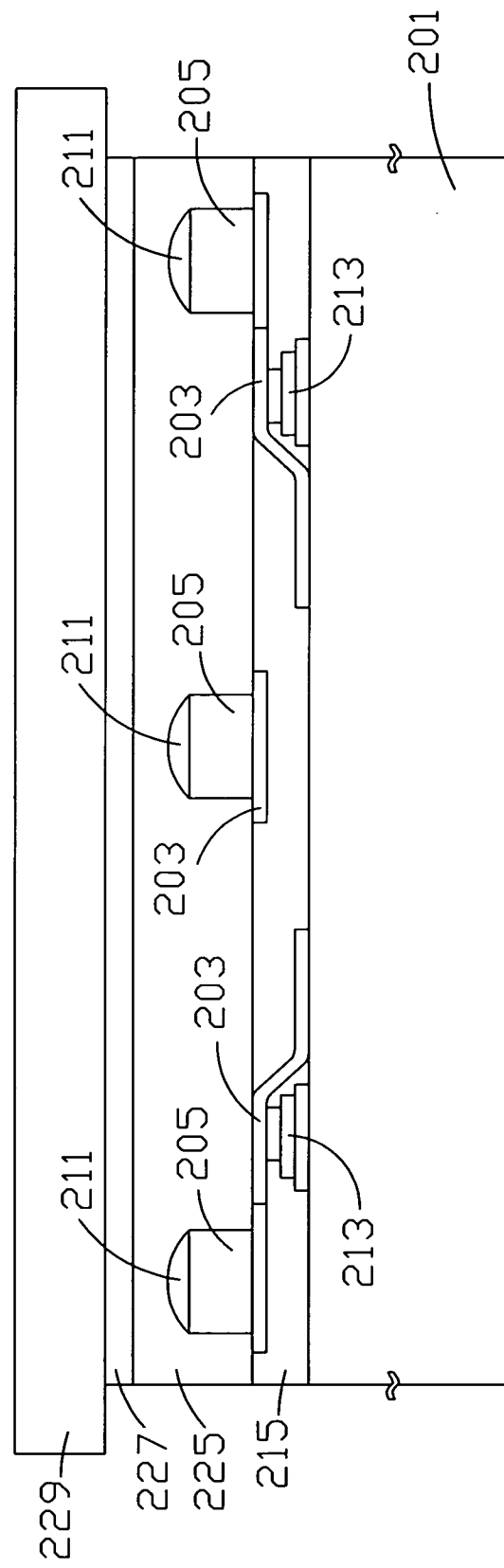


圖 2 C - 2 - 0

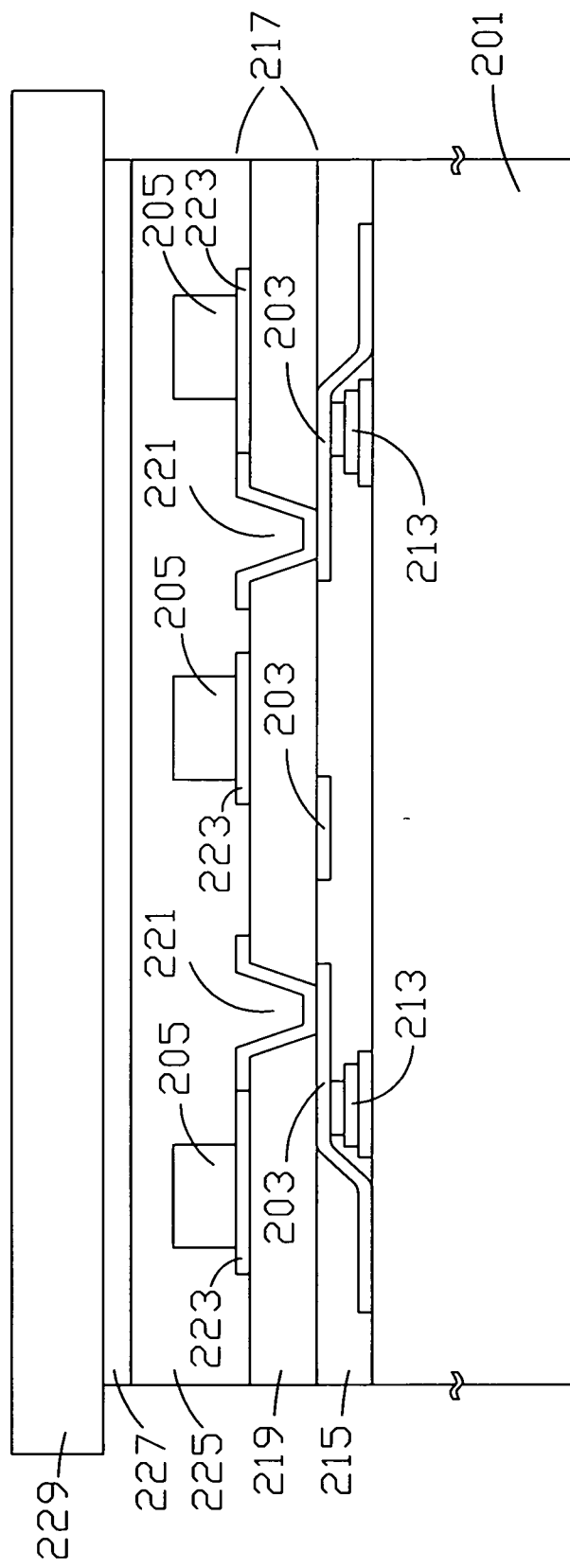


圖 2D-1-0

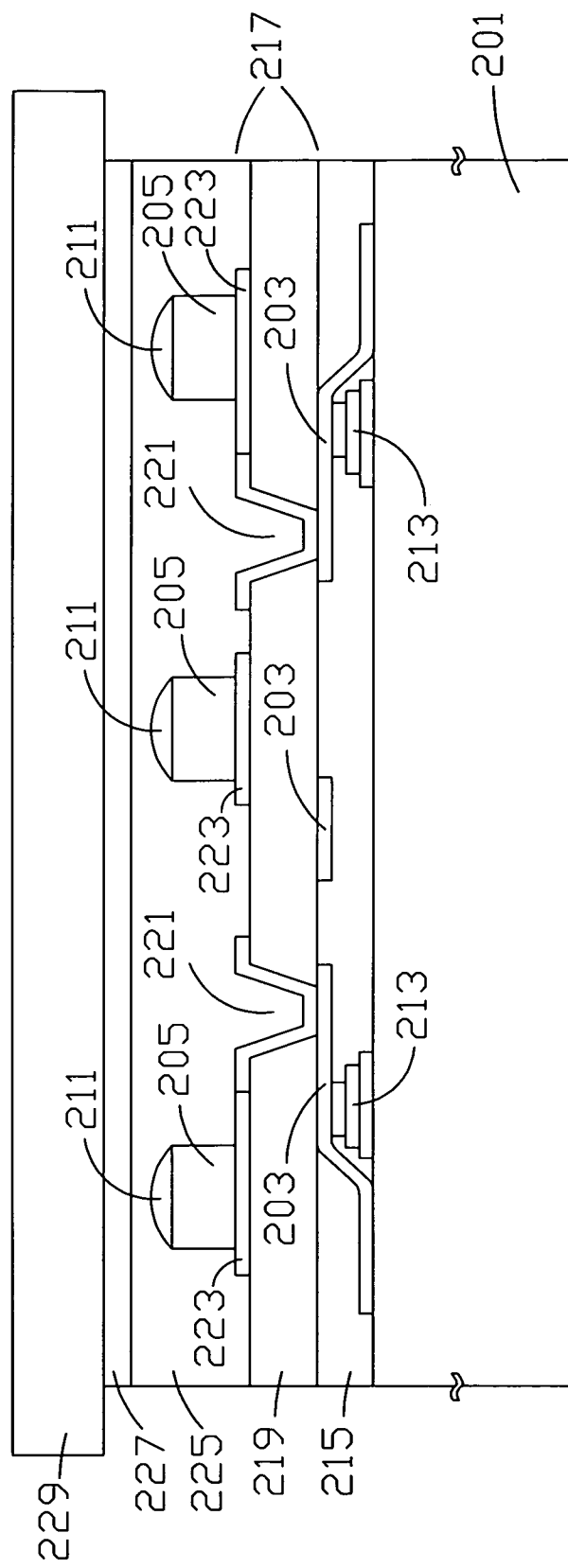


圖 2D-2-0

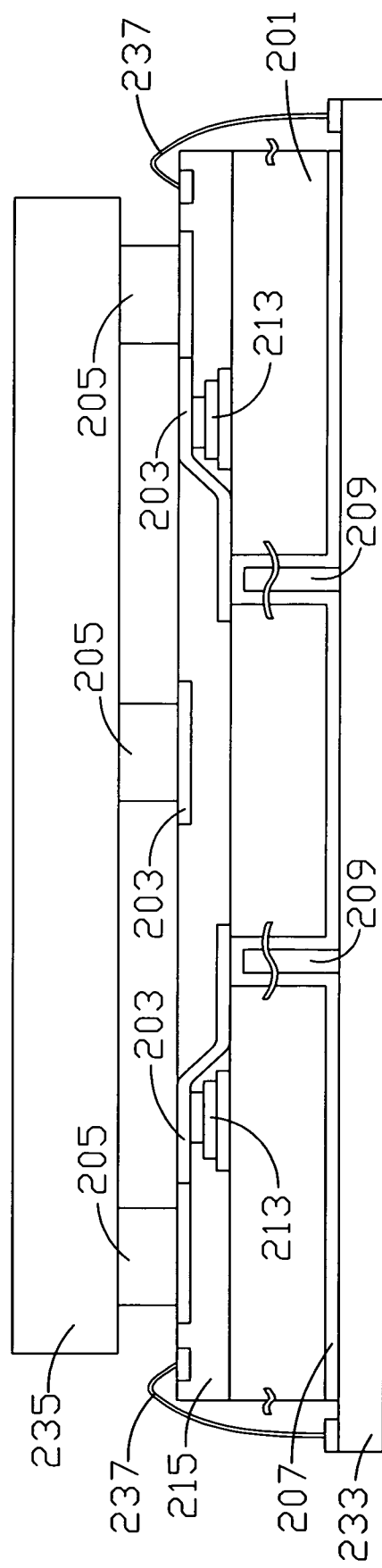


圖 2 E

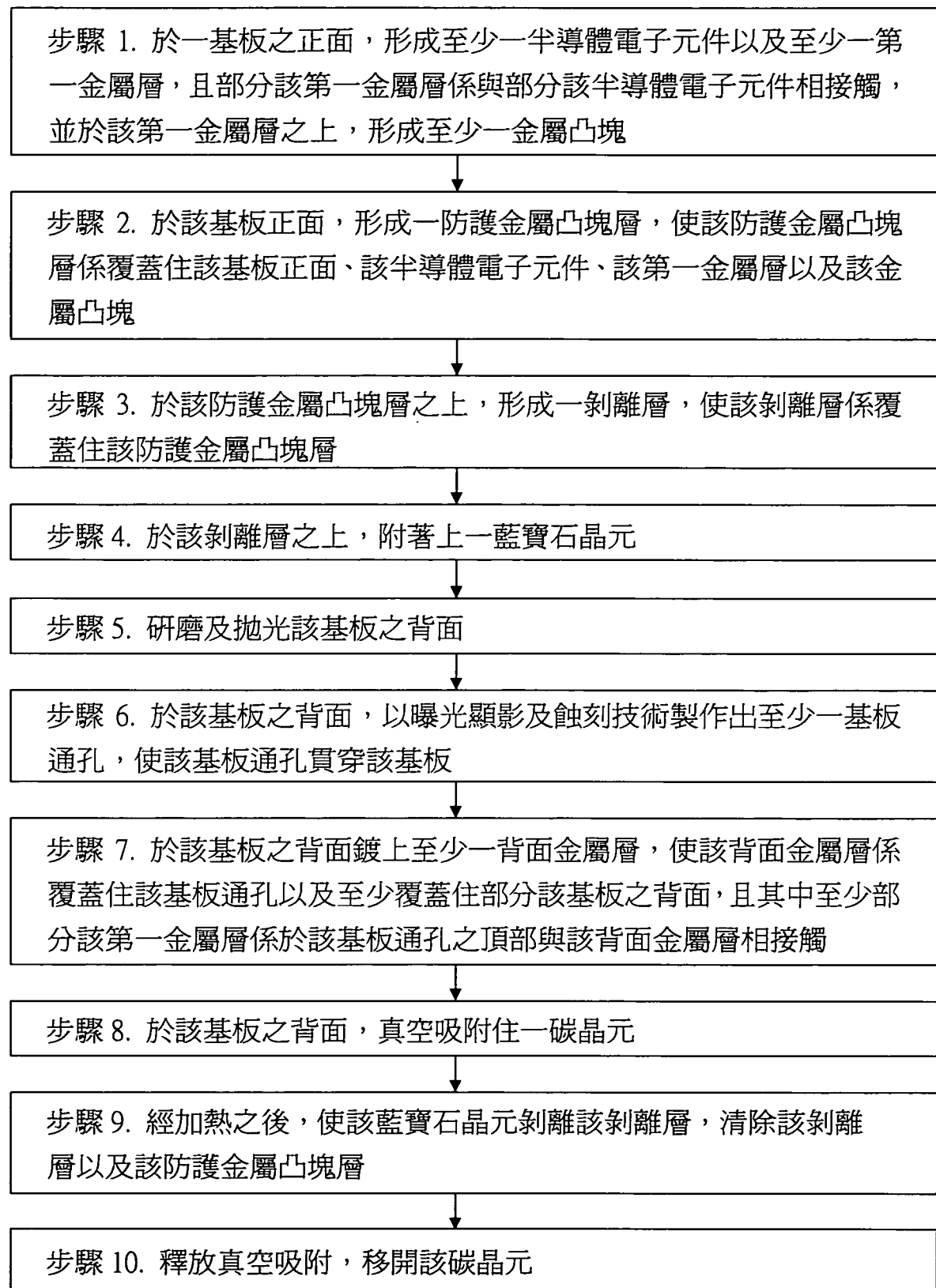


圖 3