

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6315966号  
(P6315966)

(45) 発行日 平成30年4月25日 (2018. 4. 25)

(24) 登録日 平成30年4月6日 (2018. 4. 6)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

請求項の数 21 (全 41 頁)

(21) 出願番号 特願2013-255904 (P2013-255904)  
 (22) 出願日 平成25年12月11日 (2013. 12. 11)  
 (65) 公開番号 特開2015-114460 (P2015-114460A)  
 (43) 公開日 平成27年6月22日 (2015. 6. 22)  
 審査請求日 平成28年11月22日 (2016. 11. 22)

(73) 特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 100088672  
 弁理士 吉竹 英俊  
 (74) 代理人 100088845  
 弁理士 有田 貴弘  
 (72) 発明者 井上 和式  
 熊本県合志市御代志997番地 メルコ・  
 ディスプレイ・テクノロジー株式会社内  
 (72) 発明者 石賀 展昭  
 熊本県合志市御代志997番地 メルコ・  
 ディスプレイ・テクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス基板およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、  
 前記基板上に形成された薄膜トランジスタと、  
 前記薄膜トランジスタのゲート電極に接続したゲート配線と、  
 前記薄膜トランジスタのソース電極に接続したソース配線と、  
 前記薄膜トランジスタのドレイン電極に接続した画素電極と、  
 前記画素電極に対向配置される対向電極と、  
 前記対向電極に一定電位を供給する共通配線と、  
 を備えるアクティブマトリックス基板であって、  
 前記薄膜トランジスタは、  
 前記基板上に形成された半導体膜からなる半導体チャネル膜と、  
 前記半導体チャネル膜上に形成された第1絶縁膜からなるゲート絶縁膜と、  
 前記ゲート絶縁膜上に形成された第1導電膜とその上の第2導電膜との積層膜からなる  
 前記ゲート電極と、  
 前記半導体チャネル膜、前記ゲート絶縁膜および前記ゲート電極上に形成された第2絶  
 縁膜からなる層間絶縁膜と、  
 前記層間絶縁膜上に形成された第3導電膜とその上の第4導電膜との積層膜からなり、  
 前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタクトホールを通して前記半導  
 体チャネル膜に接続する前記ソース電極と、

10

20

前記第3導電膜からなり、前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタクトホールを通して前記半導体チャネル膜に接続する前記ドレイン電極と、  
を備え、

前記ゲート配線は、前記第1導電膜と前記第2導電膜との積層膜からなり、前記ゲート電極と接続するように形成されており、

前記ソース配線は、前記第3導電膜と前記第4導電膜との積層膜からなり、前記ソース電極と接続するように形成されており、

前記画素電極は、前記第1導電膜からなり、前記層間絶縁膜に形成されたコンタクトホールを通して前記ドレイン電極と接続しており、

前記対向電極は、前記第3導電膜からなり、前記層間絶縁膜を介して前記画素電極の上に形成されている

10

ことを特徴とするアクティブマトリックス基板。

【請求項2】

前記共通配線は、前記第1導電膜と前記第2導電膜との積層膜からなり、前記層間絶縁膜に形成されたコンタクトホールを通して前記対向電極と接続している

請求項1記載のアクティブマトリックス基板。

【請求項3】

前記ゲート配線および前記画素電極の下に、前記半導体膜および前記第1絶縁膜が残存している

請求項1記載のアクティブマトリックス基板。

20

【請求項4】

前記共通配線は、前記第1導電膜と前記第2導電膜との積層膜からなり、前記層間絶縁膜に形成されたコンタクトホールを通して前記対向電極と接続しており、

前記共通配線の下にも、前記半導体膜および前記第1絶縁膜が残存している

請求項3記載のアクティブマトリックス基板。

【請求項5】

前記共通配線は、前記第3導電膜からなり、前記対向電極と一体的に形成されている

請求項3記載のアクティブマトリックス基板。

【請求項6】

前記半導体膜は光透過性の酸化物半導体からなり、その膜厚が20nm以上150nm以下である

30

請求項3から請求項5のいずれか一項記載のアクティブマトリックス基板。

【請求項7】

前記ゲート配線の端部に設けられた前記第1導電膜からなるゲート端子と、

前記第3導電膜からなり、前記層間絶縁膜に形成されたコンタクトホールを通して前記ゲート端子に接続するゲート端子パッドと、

前記ソース配線の端部に設けられた前記第1導電膜からなるソース端子と、

前記第3導電膜からなり、前記層間絶縁膜に形成されたコンタクトホールを通して前記ソース端子に接続するソース端子パッドと、

をさらに備える

40

請求項1から請求項6のいずれか一項記載のアクティブマトリックス基板。

【請求項8】

前記半導体膜は光透過性の酸化物半導体からなり、

前記第1導電膜は光透過性の導電膜からなる

請求項1から請求項7のいずれか一項記載のアクティブマトリックス基板。

【請求項9】

前記対向電極は、スリットを有する格子状または櫛歯状である

請求項1から請求項8のいずれか一項記載のアクティブマトリックス基板。

【請求項10】

前記第2導電膜は光を反射する金属膜からなり、

50

前記画素電極の少なくとも一部の上に、前記第 2 導電膜からなる反射画素電極が形成されている

請求項 1 から請求項 9 のいずれか一項記載のアクティブマトリックス基板。

【請求項 1 1】

基板と、  
前記基板上に形成された薄膜トランジスタと、  
前記薄膜トランジスタのゲート電極に接続したゲート配線と、  
前記薄膜トランジスタのソース電極に接続したソース配線と、  
前記薄膜トランジスタのドレイン電極に接続した画素電極と、  
前記画素電極に対向配置される対向電極と、  
前記対向電極に一定電位を供給する共通配線と、  
を備えるアクティブマトリックス基板であって、  
前記薄膜トランジスタは、  
前記基板上に形成された半導体膜からなる半導体チャネル膜と、  
前記半導体チャネル膜上に形成された第 1 絶縁膜からなるゲート絶縁膜と、  
前記ゲート絶縁膜上に形成された第 1 導電膜とその上の第 2 導電膜との積層膜からなる  
前記ゲート電極と、  
前記半導体チャネル膜、前記ゲート絶縁膜および前記ゲート電極上に形成された第 2 絶  
縁膜からなる層間絶縁膜と、  
前記層間絶縁膜上に形成された第 3 導電膜とその上の第 4 導電膜との積層膜からなり、  
前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタクトホールを通して前記半導  
体チャネル膜に接続する前記ソース電極と、  
前記第 3 導電膜からなり、前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタ  
クトホールを通して前記半導体チャネル膜に接続する前記ドレイン電極と、  
を備え、  
前記ゲート配線は、前記第 1 導電膜と前記第 2 導電膜との積層膜からなり、前記ゲート  
電極と接続するように形成されており、  
前記ソース配線は、前記第 3 導電膜と前記第 4 導電膜との積層膜からなり、前記ソース  
電極と接続するように形成されており、  
前記画素電極は、前記第 3 導電膜からなり、前記ドレイン電極と接続するように形成さ  
れており、  
前記対向電極は、前記第 1 導電膜からなり、前記層間絶縁膜を介して前記画素電極の下  
に形成されており、  
前記共通配線は、前記第 1 導電膜からなり、前記対向電極と一体的に形成されており、  
前記アクティブマトリックス基板は、  
前記ゲート配線の端部に設けられた前記第 1 導電膜からなるゲート端子と、  
前記第 3 導電膜からなり、前記層間絶縁膜に形成されたコンタクトホールを通して前記  
ゲート端子に接続するゲート端子パッドと、  
前記ソース配線の端部に設けられた前記第 1 導電膜からなるソース端子と、  
前記第 3 導電膜からなり、前記層間絶縁膜に形成されたコンタクトホールを通して前記  
ソース端子に接続するソース端子パッドと、  
をさらに備える  
ことを特徴とするアクティブマトリックス基板。

【請求項 1 2】

基板と、  
前記基板上に形成された薄膜トランジスタと、  
前記薄膜トランジスタのゲート電極に接続したゲート配線と、  
前記薄膜トランジスタのソース電極に接続したソース配線と、  
前記薄膜トランジスタのドレイン電極に接続した画素電極と、  
前記画素電極に対向配置される対向電極と、

前記対向電極に一定電位を供給する共通配線と、  
を備えるアクティブマトリックス基板であって、

前記薄膜トランジスタは、

前記基板上に形成された半導体膜からなる半導体チャネル膜と、

前記半導体チャネル膜上に形成された第1絶縁膜からなるゲート絶縁膜と、

前記ゲート絶縁膜上に形成された第1導電膜とその上の第2導電膜との積層膜からなる  
前記ゲート電極と、

前記半導体チャネル膜、前記ゲート絶縁膜および前記ゲート電極上に形成された第2絶  
縁膜からなる層間絶縁膜と、

前記層間絶縁膜上に形成された第3導電膜とその上の第4導電膜との積層膜からなり、  
前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタクトホールを通して前記半導  
体チャネル膜に接続する前記ソース電極と、

前記第3導電膜からなり、前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタ  
クトホールを通して前記半導体チャネル膜に接続する前記ドレイン電極と、  
を備え、

前記ゲート配線は、前記第1導電膜と前記第2導電膜との積層膜からなり、前記ゲート  
電極と接続するように形成されており、

前記ソース配線は、前記第3導電膜と前記第4導電膜との積層膜からなり、前記ソース  
電極と接続するように形成されており、

前記画素電極は、前記第3導電膜からなり、前記ドレイン電極と接続するように形成さ  
れ、スリットを有する格子状または櫛歯状であり、

前記対向電極は、前記第1導電膜からなり、前記層間絶縁膜を介して前記画素電極の下  
に形成されており、

前記共通配線は、前記第1導電膜からなり、前記対向電極と一体的に形成されている  
ことを特徴とするアクティブマトリックス基板。

#### 【請求項13】

基板と、

前記基板上に形成された薄膜トランジスタと、

前記薄膜トランジスタのゲート電極に接続したゲート配線と、

前記薄膜トランジスタのソース電極に接続したソース配線と、

前記薄膜トランジスタのドレイン電極に接続した画素電極と、

前記画素電極に対向配置される対向電極と、

前記対向電極に一定電位を供給する共通配線と、  
を備えるアクティブマトリックス基板であって、

前記薄膜トランジスタは、

前記基板上に形成された半導体膜からなる半導体チャネル膜と、

前記半導体チャネル膜上に形成された第1絶縁膜からなるゲート絶縁膜と、

前記ゲート絶縁膜上に形成された第1導電膜とその上の第2導電膜との積層膜からなる  
前記ゲート電極と、

前記半導体チャネル膜、前記ゲート絶縁膜および前記ゲート電極上に形成された第2絶  
縁膜からなる層間絶縁膜と、

前記層間絶縁膜上に形成された第3導電膜とその上の第4導電膜との積層膜からなり、  
前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタクトホールを通して前記半導  
体チャネル膜に接続する前記ソース電極と、

前記第3導電膜からなり、前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタ  
クトホールを通して前記半導体チャネル膜に接続する前記ドレイン電極と、  
を備え、

前記ゲート配線は、前記第1導電膜と前記第2導電膜との積層膜からなり、前記ゲート  
電極と接続するように形成されており、

前記ソース配線は、前記第3導電膜と前記第4導電膜との積層膜からなり、前記ソース

10

20

30

40

50

電極と接続するように形成されており、

前記画素電極は、前記第 3 導電膜からなり、前記ドレイン電極と接続するように形成されており、

前記対向電極は、前記第 1 導電膜からなり、前記層間絶縁膜を介して前記画素電極の下に形成されており、

前記共通配線は、前記第 1 導電膜からなり、前記対向電極と一体的に形成されており、

前記第 2 導電膜は光を反射する金属膜からなり、

前記対向電極の少なくとも一部の上に、前記第 2 導電膜からなる反射共通電極が形成されている

ことを特徴とするアクティブマトリックス基板。

10

【請求項 1 4】

前記ゲート配線、前記対向電極および前記共通配線の下に、前記半導体膜および前記第 1 絶縁膜が残存している

請求項 1 1 から請求項 1 3 のいずれか一項記載のアクティブマトリックス基板。

【請求項 1 5】

前記半導体膜は光透過性の酸化物半導体からなり、その膜厚が 20 nm 以上 150 nm 以下である

請求項 1 4 記載のアクティブマトリックス基板。

【請求項 1 6】

前記半導体膜は光透過性の酸化物半導体からなり、

前記第 1 導電膜は光透過性の導電膜からなる

請求項 1 1 から請求項 1 5 のいずれか一項記載のアクティブマトリックス基板。

20

【請求項 1 7】

薄膜トランジスタと、

前記薄膜トランジスタのゲート電極に接続したゲート配線と、

前記薄膜トランジスタのドレイン電極に接続した画素電極と、

前記画素電極に対向配置される対向電極と、

を備えるアクティブマトリックス基板の製造方法であって、

(a) 基板上に、半導体膜、第 1 絶縁膜、第 1 導電膜および第 2 導電膜がこの順に積層した第 1 積層膜を形成する工程と、

30

(b) 前記第 1 積層膜上に、前記薄膜トランジスタの半導体チャネル膜の形成領域を覆う第 1 レジスト部と、前記画素電極または前記対向電極の片方となる第 1 電極の形成領域を覆い前記第 1 レジスト部よりも厚い第 2 レジスト部と、前記ゲート電極および前記ゲート配線の形成領域を覆い前記第 2 レジスト部よりも厚い第 3 レジスト部とを有する第 1 レジストパターンを形成する第 1 の写真製版工程と、

(c) 前記第 1 レジストパターンをマスクにして前記半導体膜、前記第 1 絶縁膜、前記第 1 導電膜および前記第 2 導電膜をパターンニングする工程と、

(d) 前記工程 (c) の後、前記第 1 レジストパターンを薄膜化して前記第 1 レジスト部を除去してから、残りの前記第 2 レジスト部および前記第 3 レジスト部を有する前記第 1 レジストパターンをマスクにして前記第 1 導電膜および前記第 2 導電膜をパターンニングする工程と、

40

(e) 前記工程 (d) の後、前記第 1 レジストパターンをさらに薄膜化して前記第 2 レジスト部を除去してから、残りの前記第 3 レジスト部を有する前記第 1 レジストパターンをマスクにして前記第 2 導電膜をパターンニングする工程と、  
を備えることを特徴とするアクティブマトリックス基板の製造方法。

【請求項 1 8】

前記アクティブマトリックス基板は、前記薄膜トランジスタのソース電極に接続したソース配線をさらに備えており、

(f) 前記第 1 レジストパターンを除去した後、前記基板上に第 2 絶縁膜を形成する工程と、

50

(g) 前記第2絶縁膜上に第2レジストパターンを形成する第2の写真製版工程と、  
(h) 前記第2レジストパターンをマスクにして、前記第1絶縁膜および前記第2絶縁膜をパターニングして、コンタクトホールを形成する工程と、  
(i) 前記コンタクトホール内を含む前記第2絶縁膜上に、第3導電膜および第4導電膜をこの順に積層した第2積層膜を形成する工程と、  
(j) 前記第2積層膜上に、前記画素電極または前記対向電極のもう片方となる第2電極および前記ドレイン電極の形成領域を覆う第1レジスト部と、前記ソース電極およびソース配線の形成領域を覆い前記第1レジスト部よりも厚い第2レジスト部とを有する第3レジストパターンを形成する第3の写真製版工程と、  
(k) 前記第3レジストパターンをマスクにして前記第3導電膜および前記第4導電膜をパターニングする工程と、  
(l) 前記工程(k)の後、前記第3レジストパターンを薄膜化して前記第1レジスト部のレジストパターンを除去してから、残りの前記第2レジスト部を有する前記第3レジストパターンをマスクにして前記第4導電膜をパターニングする工程と、  
をさらに備える

請求項17記載のアクティブマトリックス基板の製造方法。

【請求項19】

前記アクティブマトリックス基板は、  
前記ゲート配線の端部に設けられたゲート端子および前記ゲート端子の上に接続するゲート端子パッドと、  
前記ソース配線の端部に設けられたソース端子および前記ソース端子の上に接続するソース端子パッドをさらに備えており、  
前記ゲート端子および前記ソース端子は、前記第1積層膜を用いて形成され、  
前記工程(b)において、前記ゲート端子および前記ソース端子の形成領域は、前記第1レジストパターンの前記第2レジスト部により覆われ、  
前記ゲート端子パッドおよび前記ソース端子パッドは、前記第2積層膜を用いて形成され、  
前記工程(j)において、前記ゲート端子パッドおよび前記ソース端子パッドの形成領域は、前記第3レジストパターンの前記第1レジスト部により覆われる

請求項18記載のアクティブマトリックス基板の製造方法。

【請求項20】

前記アクティブマトリックス基板は、前記対向電極に一定電位を供給する共通配線をさらに備えており、  
前記共通配線は、前記第1積層膜を用いて形成され、  
前記工程(b)において、前記共通配線の形成領域は、前記第1レジストパターンの前記第2レジスト部または前記第3レジスト部により覆われる

請求項17から請求項19のいずれか一項記載のアクティブマトリックス基板の製造方法。

【請求項21】

前記アクティブマトリックス基板は、前記対向電極に一定電位を供給する共通配線をさらに備えており、  
前記共通配線は、前記第2積層膜を用いて形成され、  
前記工程(j)において、前記共通配線の形成領域は、前記第3レジストパターンの前記第1レジスト部または前記第2レジスト部により覆われる

請求項18または請求項19記載のアクティブマトリックス基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置等に用いられるアクティブマトリックス基板およびその製造方法に関する。

## 【背景技術】

## 【0002】

薄膜トランジスタ（Thin Film Transistor；TFT）をスイッチング素子として用いたアクティブマトリックス基板（以下、「TFT基板」と称す）は、例えば液晶表示装置（Liquid Crystal Display；LCD）等の電気光学装置に利用されるものとして広く知られている。TFT基板を用いたLCD（TFT-LCD）では、表示性能の向上（広視野角化、高精細化、高品位化など）の要求とともに、製造工程を簡略化して製造を効率的に行うことによる低コスト化の要求もある。

## 【0003】

一般的なTFT-LCDは、画素電極およびそれに接続したTFTを備える画素が複数個マトリックス状に配設されたTFT基板（素子基板）と、画素電極に対向して配置される対向電極およびカラーフィルタ（CF）を備えた対向基板（CF基板）とが、液晶層を挟持してなる液晶セルを基本構造とし、この液晶セルに偏光子等が取り付けられて構成されている。例えば全透過型LCDでは、液晶セルの背面側にバックライト（BL）が設けられる。

## 【0004】

このように液晶を駆動する電界を発生するための画素電極と対向電極とが液晶層を挟むように配置される液晶セルは、TN（Twisted Nematic）モードに代表される縦電界駆動方式の液晶セルである。通常、TNモードのTFT基板は、4回または5回の写真製版工程（フォトリソグラフィプロセス）を経て製造される。また、例えば下記の特許文献1～3には、3回の写真製版工程によってTFT基板を形成する製造方法が開示されている。

## 【0005】

一方、TFT-LCDの広視野角化の観点から、画素電極と対向電極の両方をTFT基板に配設する横電界駆動方式の1つであるIPS（In Plane Switching）モード（「IPS」は登録商標）が提案されている。IPSモードでは、縦電界駆動方式よりも広い視野角が得られるが、縦電界駆動方式よりも画像表示部の開口率と透過率が低いため、明るい表示特性を得ることが難しい。この問題は、櫛歯形状の画素電極の真上の領域の液晶に、液晶を駆動させる電界が有効に働かないことに起因している。この問題を改善できる横電界駆動方式として、フリンジ電界駆動方式（Fringe Field Switching：FFS）モードが提案されている（例えば、特許文献4）。

## 【0006】

また、TFT-LCDの高精細化、高品位化の観点から、TFT基板に形成されるTFTの活性層としての半導体に、従来のSiよりも高い移動度を有する酸化物半導体を用いる技術が開発されている（例えば、下記の特許文献5、6ならびに非特許文献1）。酸化物半導体としては、酸化亜鉛（ZnO）系のもの、酸化亜鉛（ZnO）に酸化ガリウム（Ga<sub>2</sub>O<sub>3</sub>）および酸化インジウム（In<sub>2</sub>O<sub>3</sub>）を添加したInGaZnO系のものなどがある。また、このような酸化物半導体膜は、Si半導体膜に比べて高い透光性を有しており、例えば特許文献7では、400nmから800nmの可視光に対して70%以上の透過率を有する酸化物半導体膜を用いることが開示されている。

## 【0007】

また、上記の酸化物半導体膜は、シュウ酸やカルボン酸のような弱酸系溶液でエッチング可能であり、パターン加工が容易という利点がある。しかし、TFTのソース電極やドレイン電極に用いられる一般的な金属膜（Cr、Ti、Mo、Ta、Al、Cuおよびこれらの合金）のエッチング加工に通常用いられる酸系溶液にも容易に溶けてしまう。そのため、ソース電極およびドレイン電極となる金属膜のエッチング（パターニング）の際に酸化物半導体膜が消失しないように考慮する必要がある。例えば、特許文献6では、酸化物半導体に新たな元素を添加して薬液耐性を向上させる技術や、ソース電極およびドレイン電極となる金属膜と酸化物半導体の膜厚を最適化する技術が示されている。

## 【先行技術文献】

## 【特許文献】

## 【 0 0 0 8 】

【特許文献 1】特開昭 6 4 - 3 5 5 2 9 号公報

【特許文献 2】特開 2 0 0 1 - 3 1 1 9 6 5 号公報

【特許文献 3】特開 2 0 0 9 - 2 5 7 8 8 号公報

【特許文献 4】特開 2 0 0 1 - 5 6 4 7 4 号公報

【特許文献 5】特開 2 0 0 4 - 1 0 3 9 5 7 号公報

【特許文献 6】特開 2 0 0 5 - 7 7 8 2 2 号公報

【特許文献 7】特開 2 0 0 7 - 1 1 5 9 0 2 号公報

【特許文献 8】特開 2 0 0 8 - 7 2 0 1 1 号公報

【特許文献 9】特開 2 0 0 1 - 2 3 5 7 6 3 号公報

10

【特許文献 1 0】特開 2 0 0 9 - 1 5 7 3 6 6 号公報

【非特許文献】

## 【 0 0 0 9 】

【非特許文献 1】Nature Vol.432 (2004) p.488

【発明の概要】

【発明が解決しようとする課題】

## 【 0 0 1 0 】

F F S 方式の L C D は、視野角特性およびパネル透過率が良好であることから、その需要は増えつつある。しかし、F F S 方式の L D C に用いられる T F T 基板では、画素電極と対向電極（共通電極）の両方を T F T 基板に形成する必要があるため、T F T 基板の配線層（レイヤ）の数が増える。そのため T F T 基板の形成に必要となる写真製版工程の回数が増加して、製造コストの増加を招く。

20

## 【 0 0 1 1 】

例えば、特許文献 4 の図 1、図 3 に開示された一般的な F F S - L C D の T F T 基板は、6 回の写真製版工程を経て製造される。上記のように、従来の T N 方式の T F T 基板では写真製版工程が 3 回の製造方法も提案されており、F F S 方式の T F T 基板の製造では、写真製版工程の回数を削減することが大きな課題となっている。

## 【 0 0 1 2 】

その課題を解決するために、特許文献 9、1 0 には、F F S 方式の T F T 基板の製造における写真製版工程を 4 ~ 5 回にまで減らす方法が提案されている。しかし、T N 方式の T F T 基板を製造する際の写真製版工程に比較するとまだ多く、製造コストの増加は避けられない。

30

## 【 0 0 1 3 】

また、先に述べたように、一般的な酸化物半導体膜は、T F T のソース電極やドレイン電極に用いられる金属膜（C r、T i、M o、T a、A l、C u およびこれらの合金等）のエッチングに用いられる酸系溶液にも容易に溶けてしまう。特許文献 4（図 1、図 3）、特許文献 9（図 3）および特許文献 1 0（図 5）などの T F T の構造のように、ソース電極およびドレイン電極のエッチング加工時に、その下層の半導体膜が露出する構造の場合、一般的な酸化物半導体を用いることが困難である。

40

## 【 0 0 1 4 】

本発明は以上のような課題を解決するためになされたものであり、T F T の半導体チャネル膜として酸化物半導体膜を容易に用いることができ、製造時の写真製版工程の回数を抑えることができる F F S 方式のアクティブマトリックス基板を提供することを目的とする。

【課題を解決するための手段】

## 【 0 0 1 5 】

本発明に係るアクティブマトリックス基板は、基板と、前記基板上に形成された薄膜トランジスタと、前記薄膜トランジスタのゲート電極に接続したゲート配線と、前記薄膜トランジスタのソース電極に接続したソース配線と、前記薄膜トランジスタのドレイン電極に接続した画素電極と、前記画素電極に対向配置される対向電極と、前記対向電極に一定

50



電位を供給する共通配線と、を備えるアクティブマトリックス基板であって、前記薄膜トランジスタは、前記基板上に形成された半導体膜からなる半導体チャネル膜と、前記半導体チャネル膜上に形成された第1絶縁膜からなるゲート絶縁膜と、前記ゲート絶縁膜上に形成された第1導電膜とその上の第2導電膜との積層膜からなる前記ゲート電極と、前記半導体チャネル膜、前記ゲート絶縁膜および前記ゲート電極上に形成された第2絶縁膜からなる層間絶縁膜と、前記層間絶縁膜上に形成された第3導電膜とその上の第4導電膜との積層膜からなり、前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタクトホールを通して前記半導体チャネル膜に接続する前記ソース電極と、前記第3導電膜からなり、前記層間絶縁膜および前記ゲート絶縁膜に形成されたコンタクトホールを通して前記半導体チャネル膜に接続する前記ドレイン電極と、を備え、前記ゲート配線は、前記第1導電膜と前記第2導電膜との積層膜からなり、前記ゲート電極と接続するように形成されており、前記ソース配線は、前記第3導電膜と前記第4導電膜との積層膜からなり、前記ソース電極と接続するように形成されており、前記画素電極は、前記第1導電膜からなり、前記層間絶縁膜に形成されたコンタクトホールを通して前記ドレイン電極と接続しており、前記対向電極は、前記第3導電膜からなり、前記層間絶縁膜を介して前記画素電極の上に形成されている。

10

【発明の効果】

【0016】

本発明によれば、TFTを有するFFS方式のアクティブマトリックス基板の製造において、写真製版工程の回数を抑えることができ、生産性の向上およびそれによる製造コストの削減を図ることができる。また、TFTの半導体チャネル膜に移動度の高い酸化物半導体を容易に用いることができるため、アクティブマトリックス基板の高精細化および高性能化にも寄与できる。

20

【図面の簡単な説明】

【0017】

【図1】実施の形態1、2および4に係るTFT基板の構成を示す平面図である。

【図2】実施の形態1に係るTFT基板の平面図である。

【図3】実施の形態1に係るTFT基板の断面図である。

【図4】実施の形態1に係るTFT基板の製造方法を示す平面工程図である。

【図5】実施の形態1に係るTFT基板の製造方法を示す平面工程図である。

30

【図6】実施の形態1に係るTFT基板の製造方法を示す平面工程図である。

【図7】実施の形態1に係るTFT基板の製造方法を示す断面工程図である。

【図8】実施の形態1に係るTFT基板の製造方法を示す断面工程図である。

【図9】実施の形態1に係るTFT基板の製造方法を示す断面工程図である。

【図10】実施の形態1の変形例に係るTFT基板の断面図である。

【図11】実施の形態2に係るTFT基板の平面図である。

【図12】実施の形態2に係るTFT基板の断面図である。

【図13】実施の形態2に係るTFT基板の製造方法を示す平面工程図である。

【図14】実施の形態2に係るTFT基板の製造方法を示す平面工程図である。

【図15】実施の形態2に係るTFT基板の製造方法を示す断面工程図である。

40

【図16】実施の形態2に係るTFT基板の製造方法を示す断面工程図である。

【図17】実施の形態2に係るTFT基板の製造方法を示す断面工程図である。

【図18】実施の形態2に係るTFT基板の製造方法を示す断面工程図である。

【図19】実施の形態2に係るTFT基板の製造方法を示す断面工程図である。

【図20】実施の形態2に係るTFT基板の製造方法を示す断面工程図である。

【図21】実施の形態2に係るTFT基板の製造方法を示す断面工程図である。

【図22】実施の形態2に係るTFT基板の製造方法を示す断面工程図である。

【図23】実施の形態2に係るTFT基板に用いる半導体膜の透過率の分光特性を示す図である。

【図24】実施の形態2の変形例に係るTFT基板の断面図である。

50

【図 2 5】実施の形態 3 に係る T F T 基板の構成を示す平面図である。

【図 2 6】実施の形態 3 に係る T F T 基板の平面図である。

【図 2 7】実施の形態 3 に係る T F T 基板の断面図である。

【図 2 8】実施の形態 3 に係る T F T 基板の製造方法を示す平面工程図である。

【図 2 9】実施の形態 3 に係る T F T 基板の製造方法を示す平面工程図である。

【図 3 0】実施の形態 3 に係る T F T 基板の製造方法を示す断面工程図である。

【図 3 1】実施の形態 3 に係る T F T 基板の製造方法を示す断面工程図である。

【図 3 2】実施の形態 3 の変形例に係る T F T 基板の断面図である。

【図 3 3】実施の形態 4 に係る T F T 基板の平面図である。

【図 3 4】実施の形態 4 に係る T F T 基板の断面図である。

【図 3 5】実施の形態 4 に係る T F T 基板の製造方法を示す平面工程図である。

【図 3 6】実施の形態 4 に係る T F T 基板の製造方法を示す平面工程図である。

【図 3 7】実施の形態 4 に係る T F T 基板の製造方法を示す断面工程図である。

【図 3 8】実施の形態 4 に係る T F T 基板の製造方法を示す断面工程図である。

【図 3 9】実施の形態 4 の変形例に係る T F T 基板の断面図である。

【図 4 0】実施の形態 4 の変形例に係る T F T 基板の平面図である。

【図 4 1】実施の形態 4 に係る T F T 基板の層間絶縁膜に平坦化膜を適用した変形例に係る T F T 基板の断面図である。

【発明を実施するための形態】

【 0 0 1 8 】

< 実施の形態 1 >

図 1 は、実施の形態 1 に係る T F T 基板の構成を示す平面図である。実施の形態 1 の T F T 基板は、スイッチング素子としての T F T がマトリックス状に複数個配置されたアクティブマトリックス基板である。ここでは、全透過型の L C D 用の T F T 基板を例に挙げて説明する。

【 0 0 1 9 】

T F T 基板 2 0 0 は、T F T 2 0 1 および画素電極 7 を有する複数の画素 2 0 4 がマトリックス状に配設される表示領域 2 0 2 と、表示領域 2 0 2 の外側を囲む額縁領域 2 0 3 とに分けられる。

【 0 0 2 0 】

表示領域 2 0 2 には、複数のゲート配線 4 1 ( 走査信号線 ) および複数のソース配線 5 1 ( 表示信号線 ) が配設される。複数のゲート配線 4 1 は互いに平行に配設され、複数のソース配線 5 1 も互いに平行に配設される。複数のゲート配線 4 1 と複数のソース配線 5 1 は交差する。図 1 では、ゲート配線 4 1 が横方向に延在し、ソース配線 5 1 が縦方向に延在している。隣接するゲート配線 4 1 と隣接するソース配線 5 1 とで囲まれた領域が画素 2 0 4 となるので、表示領域 2 0 2 には、画素 2 0 4 がマトリックス状に配列されることになる。

【 0 0 2 1 】

図 1 では、代表的に 1 つの画素 2 0 4 を拡大して示している。画素 2 0 4 には、少なくとも 1 つの T F T 2 0 1 が配設される。T F T 2 0 1 は、ゲート配線 4 1 とソース配線 5 1 の交差点近傍に配置され、ゲート配線 4 1 に接続されるゲート電極と、ソース配線 5 1 に接続されるソース電極と、画素電極 7 に接続されるドレイン電極とを有している。

【 0 0 2 2 】

一方、T F T 基板 2 0 0 の額縁領域 2 0 3 には、走査信号駆動回路 2 0 5 および表示信号駆動回路 2 0 6 が設けられている。図示は省略するが、ゲート配線 4 1 は、表示領域 2 0 2 から走査信号駆動回路 2 0 5 が設けられた側の額縁領域 2 0 3 へと引き出され、走査信号駆動回路 2 0 5 に接続されている。同様に、ソース配線 5 1 は、表示領域 2 0 2 から表示信号駆動回路 2 0 6 が設けられた側の額縁領域 2 0 3 へと引き出され、表示信号駆動回路 2 0 6 に接続されている。

【 0 0 2 3 】

10

20

30

40

50

走査信号駆動回路 205 の近傍には、走査信号駆動回路 205 を外部と接続させるための外部配線 207 が配設され、表示信号駆動回路 206 の近傍には、表示信号駆動回路 206 を外部と接続させるための外部配線 208 が配設されている。これら外部配線 207、208 は、例えば、FPC (Flexible Printed Circuit) などの配線基板である。

#### 【0024】

走査信号駆動回路 205 には、外部配線 207 を介して外部から各種の制御信号が供給され、表示信号駆動回路 206 には、外部配線 208 を介して外部から各種の制御信号および画像データが供給される。走査信号駆動回路 205 は、外部からの制御信号に基づいて、ゲート配線 41 にゲート信号（走査信号）を供給する。このゲート信号によって、ゲート配線 41 が一定周期で順番に選択される。表示信号駆動回路 206 は、外部からの制御信号に基づいて、画像データに応じた表示信号をソース配線 51 に供給する。この走査信号駆動回路 205 と表示信号駆動回路 206 の動作によって、表示信号に応じた表示電圧が各画素 204 に供給される。

#### 【0025】

なお、走査信号駆動回路 205 および表示信号駆動回路 206 は、TFT 基板 200 上に形成されるとは限らず、例えば、TCP (Tape Carrier Package) を用いて構成され、TFT 基板 200 に接続される場合もある。

#### 【0026】

TFT 201 は、画素電極 7 に表示電圧を供給するためのスイッチング素子として機能し、ゲート配線 41 からゲート電極に与えられるゲート信号により、オン/オフが制御される。TFT 201 がオンになると、ソース配線 51 に供給されている表示電圧が TFT 201 を通して画素電極 7 に印加される。画素 204 には、共通配線 91 を通して一定の電位（共通電位）が与えられる共通電極 9 と、共通電極 9 に接続され画素電極 7 に対向配置された対向電極 8 とが設けられており、画素電極 7 と対向電極 8 との間に表示電圧に応じた電界が生じる（対向電極 8 は共通電極 9 と同電位であるため、図 1 では対向電極 8 の図示を省略している）。画素電極 7 に印加された表示電圧は、画素電極 7 と共通電極 9 との間に形成される保持容量 209 によって、1 フレームの画像を表示する一定時間保持される。本実施の形態では、共通配線 91 は、ゲート配線 41 と平行に延在するように配設されている。

#### 【0027】

液晶表示装置 (LCD) の場合、TFT 基板 200 に対向するように対向基板（不図示）が配置される。対向基板は、例えばカラーフィルタ (CF) 基板であり、TFT 基板 200 の前面側（視認側）に配置される。対向基板には、カラーフィルタ、ブラックマトリックス (BM)、配向膜等が形成される。配向膜は、TFT 基板 200 の表面にも形成されていてもよい。FFS 方式などの横電界駆動モードの LCD の場合、共通電極 9 は、対向基板ではなく TFT 基板 200 上に配設される。

#### 【0028】

TFT 基板 200 と対向基板とが一定の間隙（セルギャップ）を介して貼り合わされ、その間隙に液晶が注入されて封止されることで、液晶表示パネルが形成される。すなわち、液晶表示パネルは、TFT 基板 200 と対向基板との間に液晶層が挟持された構造となる。さらに、液晶表示パネルの外面には、偏光板、位相差板等が設けられる。また、LCD では、液晶表示パネルの背面側（TFT 基板 200 の裏側）に、バックライト (BL) ユニット等が配設される。

#### 【0029】

ここで、LCD の動作を簡単に説明する。TFT 基板 200 と対向基板との間に挟持されている液晶は、画素電極 7 と対向電極 8 との間に生じる電界によって駆動される（液晶の配向方向が制御される）。液晶の配向方向が変化すると、それを通過する光の偏光状態が変化する。具体的には、液晶表示パネルの背面側に配設されたバックライトユニットからの光は、TFT 基板 200 側の偏光板によって直線偏光になる。そして、この直線偏光が液晶層を通過することによって、その偏光状態が変化する。

## 【0030】

液晶層を通過した光は、その偏光状態により、対向基板側の偏光板を通過する光量が変化する。すなわち、バックライトユニットから液晶表示パネルを透過する透過光のうち、視認側の偏光板を通過する光の光量が変化する。液晶の配向方向は、画素電極7に印加されている表示電圧によって変化する。従って、表示電圧を制御することによって、視認側の偏光板を通過する光量を制御できる。液晶表示装置では、画素ごとに印加する表示電圧を表示データに基づいて制御することで、所望の画像を表示させている。

## 【0031】

次に、図2および図3を参照して、実施の形態1に係るTFT基板200のより詳細な構成について説明する。図2は、FFS方式のTFT基板200における画素204を含む主要部の平面構成を示す図であり、図3は、その断面構成を示す図である。図3では、図2に示すX1-X2線、Y1-Y2線およびZ1-Z2線に対応する断面が示されている。

10

## 【0032】

X1-X2線に沿った断面は、画素204の形成領域（画素部）に対応する。また、図3に示す画素部の断面は、TFT201の形成領域である「TFT部」と画素電極7および対向電極8の形成領域である「画像表示部」とを含んでいる。

## 【0033】

Y1-Y2線に沿った断面は、ゲート配線41にゲート信号を供給するためのゲート端子42およびその上に設けられるゲート端子パッド43の形成領域（ゲート端子部）に対応する。Z1-Z2線に沿った断面は、ソース配線51に表示信号を印加するためのソース端子52およびその上に設けられるソース端子パッド53の形成領域（ソース端子部）に対応する。ゲート端子42およびゲート端子パッド43は、ゲート配線41の端部に設けられ、ソース端子52およびソース端子パッド53は、ソース配線51の端部に設けられている。

20

## 【0034】

TFT基板200は、例えばガラス等の透明性絶縁基板である基板1を用いて形成される。画素部において、TFT部の基板1上には、TFT201の活性層（チャネル層）を構成する光透過性の半導体膜2（以下、TFT部の半導体膜を「半導体チャネル膜」と称す）と、その上に形成された第1絶縁膜からなるゲート絶縁膜31とが配設されている。また、ゲート絶縁膜31の上には、ゲート電極4が形成されている。ゲート電極4は、第1導電膜からなるゲート電極下層部4aと、第2導電膜からなるゲート電極上層部4bとの積層構造となっている。

30

## 【0035】

図3には示されていないが、ゲート配線41も、ゲート電極4と同様に、第1導電膜からなるゲート配線下層部41aと、第2導電膜からなるゲート配線上層部41bとの積層構造となっている。ゲート配線41は、図2の横方向に延在するように基板1上に形成されている。ゲート電極4は、ゲート配線41に繋がっている（ゲート配線41と一体的に形成されている）。すなわち、ゲート配線41の一部分がゲート電極4として機能しており、図2の例では、ゲート配線41から分岐してTFT部にまで延びた部分がゲート電極4を構成している。

40

## 【0036】

画像表示部の基板1上には、画素電極7が形成されている。実施の形態1では、画素電極7は第1導電膜からなる平板状の電極であり、画素204ごとに独立して形成されている。

## 【0037】

さらに、画素部の基板1上には、共通電極9が形成されている。共通電極9は、第1導電膜からなる共通電極下層部9aと、第2導電膜からなる共通電極上層部9bとの積層構造となっている。

## 【0038】

50

図 3 には示されていないが、共通配線 9 1 も、共通電極 9 と同様に、第 1 導電膜からなる共通配線下層部 9 1 a と、第 2 導電膜からなる共通配線上層部 9 1 b との積層構造となっている。実施の形態 1 では、共通配線 9 1 はゲート配線 4 1 と平行に延在するように基板 1 上に形成されている。共通電極 9 は、共通配線 9 1 に繋がっている（共通配線 9 1 と一体的に形成されている）。すなわち、共通配線 9 1 の一部分が共通電極 9 として機能しており、図 2 の例では、共通配線 9 1 における対向電極 8 と重複する幅広の部分が共通電極 9 を構成している。

#### 【 0 0 3 9 】

一方、ゲート端子部の基板 1 上には、第 1 導電膜からなるゲート端子 4 2 が形成されている。また、ソース端子部の基板 1 上には、第 1 導電膜からなるソース端子 5 2 が形成されている。

10

#### 【 0 0 4 0 】

ゲート電極 4、ゲート配線 4 1、画素電極 7、共通電極 9、共通配線 9 1、ゲート端子 4 2 およびソース端子 5 2 を覆うように、第 2 絶縁膜からなる層間絶縁膜 3 2（図 2 では不図示）が、基板 1 の全面に形成されている。層間絶縁膜 3 2 には、コンタクトホール 1 1 ~ 1 6 が形成されている。

#### 【 0 0 4 1 】

コンタクトホール 1 1（ソース領域コンタクトホール）は、層間絶縁膜 3 2 およびゲート絶縁膜 3 1 を貫通して、半導体チャネル膜 2 における T F T 2 0 1 のソース領域となる部分に達している。コンタクトホール 1 2（ドレイン領域コンタクトホール）は、層間絶縁膜 3 2 およびゲート絶縁膜 3 1 を貫通して、半導体チャネル膜 2 における T F T 2 0 1 のドレイン領域となる部分に達している。つまり、コンタクトホール 1 1、1 2 は、互いにゲート電極 4 を挟む位置に形成される。コンタクトホール 1 3（画素電極コンタクトホール）は、層間絶縁膜 3 2 を貫通して画素電極 7 に達している。コンタクトホール 1 4（共通電極コンタクトホール）は、層間絶縁膜 3 2 を貫通して共通電極 9 に達している。コンタクトホール 1 5（ゲート端子コンタクトホール）は、層間絶縁膜 3 2 を貫通してゲート端子 4 2 に達している。コンタクトホール 1 6（ソース端子コンタクトホール）は、層間絶縁膜 3 2 を貫通してソース端子 5 2 に達している。

20

#### 【 0 0 4 2 】

画素部において、T F T 部の層間絶縁膜 3 2 上には、T F T 2 0 1 のソース電極 5 およびドレイン電極 6 が形成されている。ソース電極 5 は、第 3 導電膜からなるソース電極下層部 5 a と、第 4 導電膜からなるソース電極上層部 5 b との積層構造となっており、コンタクトホール 1 1 を通して半導体チャネル膜 2 に接続している。ドレイン電極 6 は、第 3 導電膜からなる単層構造であり、コンタクトホール 1 2 を通して半導体チャネル膜 2 に接続すると共に、コンタクトホール 1 3 を通して画素電極 7 にも接続している。

30

#### 【 0 0 4 3 】

また、ソース配線 5 1 も、ソース電極 5 と同様に、第 3 導電膜からなるソース配線下層部 5 1 a と、第 4 導電膜からなるソース配線上層部 5 1 b との積層構造となっている。ソース配線 5 1 は、図 2 の縦方向に延在するように層間絶縁膜 3 2 上に形成されており、ソース電極 5 は、ソース配線 5 1 に繋がっている（ソース配線 5 1 と一体的に形成されている）。すなわち、ソース配線 5 1 の一部分がソース電極 5 として機能しており、図 2 の例では、ソース配線 5 1 から分岐して T F T 部まで延びた部分がソース電極 5 を構成している。

40

#### 【 0 0 4 4 】

画像表示部の層間絶縁膜 3 2 上には、画素電極 7 と対向するように、第 3 導電膜からなる対向電極 8 が配設されている。実施の形態 1 では、対向電極 8 は、スリットを有する櫛歯状または格子状の電極であり、コンタクトホール 1 4 を通して共通電極 9 に接続している。

#### 【 0 0 4 5 】

一方、ゲート端子部の層間絶縁膜 3 2 上には、第 3 導電膜からなるゲート端子パッド 4

50

3が形成されている。また、ソース端子部の層間絶縁膜32上には、第3導電膜からなるソース端子パッド53が形成されている。ゲート端子パッド43は、コンタクトホール15を通してゲート端子42に接続し、ソース端子パッド53は、コンタクトホール16を通してソース端子52に接続している。なお、ゲート端子パッド43には、図1に示した走査信号駆動回路205から走査信号が供給され、ソース端子パッド53には、図1に示した表示信号駆動回路206から表示信号が供給される。

#### 【0046】

次に、実施の形態1に係るTFT基板200の製造方法について、図4～図9を参照しつつ説明する。図4～図6はTFT基板200の製造方法の各工程を示す平面工程図であり、図7～図9はTFT基板200の製造方法の各工程を示す断面工程図である。なお、図4～図6は、それぞれ図7～図9に対応した平面図となっている。また、図4～図9においては、図2および図3に示した要素に対応する要素には、それと同一符号を付してある。

10

#### 【0047】

まず、基板1の表面を洗浄液または純水を用いて洗浄する。ここでは厚さ0.6mmのガラス基板を基板1として用いた。洗浄された基板1上に、TFT201の半導体チャネル膜2の材料としての半導体膜と、ゲート絶縁膜31の材料としての第1絶縁膜とをこの順に積層した積層膜を形成する。本実施の形態では、半導体膜として酸化インジウム( $\text{In}_2\text{O}_3$ )に酸化ガリウム( $\text{Ga}_2\text{O}_3$ )および酸化亜鉛( $\text{ZnO}$ )添加したInGaZnO系の酸化物半導体(InGaZnO膜)を用いた。また、第1絶縁膜としては酸化シリコン( $\text{SiO}$ )膜を用いた。

20

#### 【0048】

InGaZnO膜は、In:Ga:Zn:Oの原子組成比が1:1:1:4であるInGaZnOターゲット[ $\text{In}_2\text{O}_3 \cdot (\text{Ga}_2\text{O}_3) \cdot (\text{ZnO})_2$ ]を用いたDCスパッタリング法により成膜できる。スパッタリングガスとしては、アルゴン(Ar)ガス、クリプトン(Kr)ガスなどを用いることができる。このとき、ArガスまたはKrガスだけを用いてスパッタリングすると、通常は、酸素の原子組成比が化学量論組成よりも少なく、酸素イオン欠乏状態(上記の例ではOの組成比が4未満)の酸化膜となってしまう。そのため、Arガスに酸素( $\text{O}_2$ )ガスを混合させてスパッタリングすることが望ましい。ここでは、Arガスに対して分圧比で10%の $\text{O}_2$ ガスを添加した混合ガスを用いてスパッタリングを行い、厚さ50nmのInGaZnO膜を成膜して半導体膜を形成した。成膜直後のInGaZnO膜は非晶質構造であった。

30

#### 【0049】

SiO膜は、シラン( $\text{SiH}_4$ )ガスと一酸化二窒素( $\text{N}_2\text{O}$ )ガスとを用いたプラズマCVD(Chemical Vapor Deposition)法により成膜できる。ここでは、SiO膜を300nmの膜厚で成膜して第1絶縁膜を形成した。

#### 【0050】

その後、1回目の写真製版工程によりフォトレジストを加工してレジストパターンを形成し、それをマスクにするエッチングにより半導体膜と第1絶縁膜の積層膜をパターンングすることによって、半導体チャネル膜2およびゲート絶縁膜31を形成する。本実施の形態では、まず六フッ化硫黄( $\text{SF}_6$ )ガスと $\text{O}_2$ ガスを用いたドライエッチング法で第1絶縁膜(SiO膜)をエッチングし、続いて、シュウ酸系の薬液を用いて、半導体膜(InGaZnO膜)をエッチングした。その後、アミン系のレジスト剥離液を用いてレジストパターンを剥離除去すると、図4および図7のように、基板1上に半導体チャネル膜2とゲート絶縁膜31との積層構造が形成される。

40

#### 【0051】

次に、基板1上に、ゲート電極4、画素電極7、共通電極9等の材料としての第1導電膜および第2導電膜をこの順に積層した積層膜を形成する。本実施の形態では、第1導電膜として、酸化インジウム( $\text{In}_2\text{O}_3$ )と酸化スズ( $\text{SnO}_2$ )からなる光透過性のITO膜を用い、第2導電膜として、金属のアルミニウム(Al)系合金膜、より具体的に

50

はAlに3mol%のNiを添加した合金膜（Al-3mol%Ni膜）を用いた。

【0052】

ITO膜は、ITOターゲットを用いたスパッタリング法により成膜できる。ここではITO膜を100nmの厚さで成膜して第1導電膜を形成した。第1導電膜としては、ITOの他に、酸化インジウム亜鉛（InZnO）等を用いることもできる。

【0053】

Al-3mol%Ni膜は、Al-3mol%Ni合金ターゲットを用いたスパッタリング法により成膜できる。ここでは、厚さ200nmのAl-3mol%Ni膜を成膜して第2導電膜を形成した。なお、スパッタリングガスとしてはArガス、Krガスなどを用いることができる。

10

【0054】

その後、2回目の写真製版工程によりレジストパターンを形成し、それをマスクにするエッチングにより、第1導電膜および第2導電膜をパターンニングすることによって、ゲート電極4、ゲート配線41、画素電極7、共通電極9、共通配線91、ゲート端子42およびソース端子52を形成する。本実施の形態では、リン酸+酢酸+硝酸（Phosphoric acid + Acetic acid + Nitric acid; PAN）系の薬液を用いて、第2導電膜（Al-3mol%Ni膜）をエッチングし、続いて、シュウ酸系の薬液を用いて第1導電膜（ITO膜）をエッチングした。

【0055】

この工程では、ハーフトーン露光の技術（詳細は後述する）を応用し、画素電極7、ゲート端子42およびソース端子52の各形成領域では第2導電膜が除去され、ゲート電極4、ゲート配線41、共通電極9および共通配線91の各形成領域では第2導電膜が残存するようにする。

20

【0056】

すなわち、ハーフトーン露光の技術により、画素電極7、ゲート端子42およびソース端子52の各形成領域を覆う薄い第1レジスト部と、ゲート電極4、ゲート配線41、共通電極9および共通配線91の各形成領域を覆う厚い第2レジスト部とを有するレジストパターンを形成し、それをマスクにして第1導電膜および第2導電膜をエッチング除去する。それにより、ゲート電極4、ゲート配線41、画素電極7、共通電極9、共通配線91、ゲート端子42およびソース端子52の各パターンが形成される。そして、当該レジストパターンをアッシングにより薄膜化して、第1レジスト部を除去し、残りの部分の第2レジスト部をマスクにして第2導電膜をエッチング除去する。それにより、画素電極7、ゲート端子42およびソース端子52の上から第2導電膜が除去される。

30

【0057】

その後、アミン系のレジスト剥離液を用いてレジストパターンを剥離除去すると、図5および図8に示すように、ゲート電極4、ゲート配線41、画素電極7、共通電極9、共通配線91、ゲート端子42およびソース端子52が形成される。ハーフトーン露光の技術により、ゲート電極4、ゲート配線41、共通電極9および共通配線91は、第1導電膜と第2導電膜との積層構造となり、画素電極7、ゲート端子42およびソース端子52は、第1導電膜の単層構造となる。ゲート電極4およびゲート配線41をITO膜とAl-3mol%Ni膜との積層構造とすることにより、ゲート配線抵抗を下げることができ、特に配線長が長くなり配線抵抗が増大する大型パネルへの対応が可能になる。

40

【0058】

上記のように、第1導電膜（ITO膜）および第2導電膜（Al-3mol%Ni膜）のエッチングは、それぞれシュウ酸系の薬液およびPAN系の酸薬液を用いて行われるが、そのエッチング工程の際、半導体チャネル膜2（InGaZnO膜）は、第1絶縁膜（SiO膜）であるゲート絶縁膜31で覆われて保護されている。そのため、半導体チャネル膜2はエッチングされることなく、良好なパターン形状が維持される。

【0059】

また、ここではゲート絶縁膜31を構成する第1絶縁膜をSiO膜からなる単層構造と

50

したが、その上にさらに絶縁膜を設けた積層構造としてもよい。上層の絶縁膜もSiO膜でよいが、例えば窒化シリコン(SiN)のような他の材料からなる絶縁膜でもよい。第1絶縁膜を積層構造にすることによって、保護膜としてのカバレッジ性をより強固なものにすることができる。

#### 【0060】

次に、基板1上の全面に、層間絶縁膜32の材料としての第2絶縁膜を成膜する。本実施の形態では、化学的気相成膜(CVD)法を用いて厚さ300nmのSiO膜を成膜することにより層間絶縁膜32を形成した。なお、層間絶縁膜32を構成する第2絶縁膜も、第1絶縁膜と同様に積層構造にしてもよい。

#### 【0061】

その後、3回目の写真製版工程によりレジストパターンを形成し、それをマスクにするエッチングにより、層間絶縁膜32およびゲート絶縁膜31にコンタクトホール11~16を形成する。本実施の形態では、六フッ化硫黄(SF<sub>6</sub>)ガスとO<sub>2</sub>ガスを用いたドライエッチング法を用いた。その後、アミン系のレジスト剥離液を用いてレジストパターンを剥離除去する。その結果、図6および図9に示すように、半導体チャネル膜2に達するコンタクトホール11、12、画素電極7に達するコンタクトホール13、共通電極9に達するコンタクトホール14、ゲート端子42に達するコンタクトホール15、ソース端子52に達するコンタクトホール16が形成される。

#### 【0062】

続いて、コンタクトホール11~16の内部を含む層間絶縁膜32の上に、第3導電膜と第4導電膜をこの順に積層した積層膜を形成する。本実施の形態では、第3導電膜として、光透過性を有するITO膜を100nmの厚さで成膜し、第4導電膜として、Al-3mol%合金膜を200nmの厚さで成膜した。

#### 【0063】

そして、4回目の写真製版工程によりレジストパターンを形成し、それをマスクにするエッチングにより、第3導電膜と第4導電膜をパターニングして、ソース電極5、ソース配線51、ドレイン電極6、対向電極8、ゲート端子パッド43およびソース端子パッド53を形成する。本実施の形態では、第3導電膜(ITO膜)をシュウ酸系薬液を用いてエッチングし、続いて、第4導電膜(Al-3mol%Ni膜)をPAN系薬液を用いてエッチングした。この工程でも、ハーフトーン露光の技術を応用し、ドレイン電極6、対向電極8、ゲート端子パッド43およびソース端子パッド53の各形成領域では第4導電膜が除去され、ソース電極5およびソース配線51の各形成領域では第4導電膜が残存するようにする。

#### 【0064】

すなわち、ハーフトーン露光の技術により、ドレイン電極6、対向電極8、ゲート端子パッド43およびソース端子パッド53の各形成領域を覆う薄い第1レジスト部と、ソース電極5およびソース配線51の各形成領域を覆う第2レジスト部とを有するレジストパターンを形成し、それをマスクにして第3導電膜および第4導電膜をエッチング除去する。それにより、ドレイン電極6、ソース電極5、ソース配線51、対向電極8、ゲート端子パッド43およびソース端子パッド53の各パターンが形成される。そして、当該レジストパターンをアッシングにより薄膜化して、第1レジスト部を除去し、残りの第2レジスト部をマスクにして第2導電膜をエッチング除去する。それにより、ドレイン電極6、対向電極8、ゲート端子パッド43およびソース端子パッド53の上から第2導電膜が除去される。

#### 【0065】

そして、アミン系のレジスト剥離液を用いてレジストパターンを剥離除去すると、ソース電極5、ソース配線51、ドレイン電極6、対向電極8、ゲート端子パッド43およびソース端子パッド53が形成され、図2および図3に示した構成のTFT基板200が形成される。ハーフトーン露光の技術により、ソース電極5およびソース配線51は、第3導電膜と第4導電膜とからなる積層構造となり、ドレイン電極6、対向電極8、ゲート端

10

20

30

40

50



子パッド43およびソース端子パッド53は、第3導電膜の単層構造となる。

【0066】

このように、ドレイン電極6および対向電極8をITO膜の単層構造で形成することにより、画像表示部の光が透過する領域を広く、すなわち開口率を高くすることができる。またゲート端子パッド43およびソース端子パッド53を酸化物導電膜であるITO膜で形成することにより、外部から走査信号や表示信号を入力するためのFPCなどの配線基板を端子部に接続（実装）する際の接続特性を向上させ、信頼性を向上させることができる。

【0067】

一方、ソース電極5およびソース配線51をITO膜とAl-3mol%Ni膜との積層構造とすることにより、ソース配線抵抗を下げることができ、特に配線長が長くなり配線抵抗が増大する大型パネルへの対応が可能になる。

【0068】

以上のように、図2および図3に示した実施の形態1のTFT基板200は、4回の写真製版工程で生産性良く形成することができる。

【0069】

液晶表示パネルの組み立ての際は、完成したTFT基板200の表面に配向膜やスペーサを形成する。配向膜は、液晶を配列させるための膜であり、ポリイミド等で構成される。また、別途作成した、カラーフィルタや配向膜を備えた対向基板を、TFT基板200と貼り合わせる。このときスペーサによってTFT基板200と対向基板との間に隙間が形成される。その隙間に液晶を注入して封止することによって、液晶表示パネルが形成される。最後に、液晶表示パネルの外側に偏光板、位相差板およびバックライトユニット等を配設することによってFFS方式のLCDが完成する。

【0070】

なお、実施の形態1のTFT基板200では、TFT201の半導体チャネル膜2が最下層に配設されているため、半導体チャネル膜2にバックライトユニットからの光が直接入射することになる。半導体チャネル膜2がSi膜の場合、フォトキャリアの発生によりTFT特性の1つであるON/OFF比の劣下が懸念されるが、本実施の形態のように半導体チャネル膜2を酸化物系半導体で構成すると、ON/OFF比の劣下は抑えられる。従って、コントラスト比が高く、表示ムラのない高表示品質を有する液晶表示装置を実現できる。

【0071】

また、酸化物半導体からなる半導体チャネル膜2を用いることで、TFT201の移動度が高くなり、動作速度の速いTFT基板200を得ることができる。よって、TFTの小型化が可能となり、画像表示部の開口率を高めることができる。これにより、バックライトユニットの出射光を低減させても高輝度の表示が可能となるので、消費電力を低減化にも寄与できる。

【0072】

<実施の形態1の変形例>

図10は、実施の形態1の変形例に係るTFT基板200の断面図である。上記の実施の形態1では、画素電極7の全体を光が透過する透過型のTFT基板200を例示したが、図10に示すように、画素電極7上の一定の面積に、光を反射する反射画素電極71を設けることで半透過型のTFT基板200を作製することも可能である。

【0073】

この反射画素電極71は、ゲート電極4のゲート電極上層部4bと同じ第2導電膜（例えばAl-3mol%Ni膜などの金属膜）を用いて形成できるため、製造工程の増加は伴わない。すなわち、2回目の写真製版工程において画素電極7を形成する際、ハーフトーン露光の技術を応用し、ゲート電極4およびゲート配線41の形成領域と同様に、画素電極7の形成領域の一部に第2導電膜を残存させ、それを反射画素電極71とすればよい。

## 【 0 0 7 4 】

なお、画素電極 7 上に形成する反射画素電極 7 1 の面積あるいはパターン形状を変えることにより、半透過電極の透過光と反射光の割合を任意に設定できる。また、画素電極 7 のほぼ全面に反射画素電極 7 1 を形成すると、全反射型の T F T 基板 2 0 0 を作製することもできる。

## 【 0 0 7 5 】

## &lt; 実施の形態 2 &gt;

実施の形態 1 では、酸系薬液耐性に乏しい酸化物系半導体膜を T F T のチャネル層としての半導体膜（半導体チャネル膜）に容易に適用可能な構成を有する F F S 方式の T F T 基板 2 0 0 を、少なくとも 4 回の写真製版工程で形成する手法を示したが、実施の形態 2

10

では、それとほぼ同様の構成の T F T 基板 2 0 0 を、少なくとも 3 回の写真製版工程で形成する手法を示す。

## 【 0 0 7 6 】

図 1 1 は、実施の形態 2 に係る T F T 基板 2 0 0 における画素 2 0 4 を含む主要部の平面構成を示す図であり、図 1 2 は、その断面構成を示す図である。図 1 2 では、図 1 1 に示す X 1 - X 2 線、Y 1 - Y 2 線および Z 1 - Z 2 線に対応する断面が示されている。図 1 1 および図 1 2 では、実施の形態 1（図 2 および図 3）で説明したものと同様の機能を有する要素にはそれと同一符号を付してあるので、それらの説明は省略する。なお、当該 T F T 基板 2 0 0 の全体構成は、実施の形態 1（図 1）と同様である。

## 【 0 0 7 7 】

20

図 1 2 において、X 1 - X 2 線に沿った断面は、画素 2 0 4 の形成領域（画素部）に対応し、T F T 2 0 1 の形成領域である「T F T 部」と画素電極 7 および対向電極 8 の形成領域である「画像表示部」とを含んでいる。また、Y 1 - Y 2 線に沿った断面は、ゲート端子 4 2 およびゲート端子パッド 4 3 の形成領域（ゲート端子部）に対応し、Z 1 - Z 2 線に沿った断面は、ソース端子 5 2 およびソース端子パッド 5 3 の形成領域（ソース端子部）に対応する。

## 【 0 0 7 8 】

図 1 1 および図 1 2 から分かるように、実施の形態 2 の T F T 基板 2 0 0 の構成は、実施の形態 1（図 2 および図 3）とほぼ同じであるが、半導体チャネル膜 2 と同層の半導体膜 1 0 1 と、ゲート絶縁膜 3 1 と同層の第 1 絶縁膜 1 0 2 との積層構造が、ゲート配線 4

30

1、画素電極 7、共通電極 9、共通配線 9 1、ゲート端子 4 2、ソース端子 5 2 の下にも形成された構成となっている。つまり、半導体チャネル膜 2 の材料としての半導体膜 1 0 1 と、ゲート絶縁膜 3 1 の材料としての第 1 絶縁膜 1 0 2 とが、T F T 部だけでなく、第 1 導電膜または第 2 導電膜で形成された各要素の下にも残存した構成となっている。

## 【 0 0 7 9 】

次に、実施の形態 2 に係る T F T 基板 2 0 0 の製造方法について、図 1 3 ~ 図 2 2 を参照しつつ説明する。図 1 3 および図 1 4 は T F T 基板 2 0 0 の製造方法の各工程を示す平面工程図であり、図 1 5 ~ 図 2 2 は T F T 基板 2 0 0 の製造方法の各工程を示す断面工程図である。なお、図 1 3 および図 1 4 は、それぞれ図 2 1 および図 2 2 に対応した平面図となっている。これらの図において、図 1 1 および図 1 2 に示した要素に対応する要素には、それと同一符号を付してある。

40

## 【 0 0 8 0 】

まず、基板 1 の表面を洗浄液または純水を用いて洗浄する。洗浄された基板 1 上に、図 1 5 のように、半導体チャネル膜 2 の材料としての半導体膜 1 0 1 と、ゲート絶縁膜 3 1 の材料としての第 1 絶縁膜 1 0 2 と、ゲート電極 4 および画素電極 7 などの材料としての第 1 導電膜 1 0 3 および第 2 導電膜 1 0 4 とを、この順に積層した積層膜を形成する。

## 【 0 0 8 1 】

本実施の形態においても、実施の形態 1 と同様に、半導体膜 1 0 1 には酸化物半導体である InGaZnO 膜、第 1 絶縁膜 1 0 2 には酸化シリコン（SiO）膜、第 1 導電膜 1 0 3 には光透過性の ITO 膜、第 2 導電膜 1 0 4 にはアルミニウム（Al）系合金である

50

A1 - 3 mol % Ni 膜をそれぞれ用いた。また、これらの厚さおよび形成手法も実施の形態 1 と同様でよい。

【0082】

その後、1 回目の写真製版工程によりレジストパターンを形成する。まず、半導体膜 101、第 1 絶縁膜 102、第 1 導電膜 103 および第 2 導電膜 104 の積層膜上に、ノボラック系のポジ型の感光性樹脂からなるフォトレジスト 110 を、塗布法を用いて約 1.5  $\mu\text{m}$  の厚さで形成する。そして、図 16 に示すように、フォトマスク 120 を用いてフォトレジスト 110 の露光を行う。

【0083】

フォトマスク 120 には、TF T 201 の半導体チャネル膜 2、ゲート電極 4、ゲート配線 41、画素電極 7、共通電極 9、共通配線 91、ゲート端子 42 およびソース端子 52 の各形成領域に対応した領域に遮光膜が形成されているが、その遮光膜の一部は、露光の光強度を低減させる半透過性の膜となっている。さらに、半透過性の膜は透過率の異なる 2 種類の膜を含んでいる。すなわち、フォトマスク 120 は、遮光膜が設けられていない透過領域 T0 と、透過率の高い半透過性の膜が設けられた第 1 半透過領域 T1 と、透過率の低い半透過性の膜が設けられた第 2 半透過領域 T2 と、光を通さない遮光膜が設けられた遮光領域 T3 とを有している（各領域の光透過率は、 $T0 > T1 > T2 > T3$  の関係となる）。よって、フォトマスク 120 を透過する光の強度は 3 段階となる。

【0084】

具体的には、フォトマスク 120 において、ゲート電極 4 の形成領域を除く半導体チャネル膜 2 の形成領域に対応する部分が、第 1 半透過領域 T1 となっている。また、画素電極 7、ゲート端子 42 およびソース端子 52 の形成領域に対応する部分が第 2 半透過領域 T2 となっている。さらに、ゲート電極 4、ゲート配線 41、共通電極 9 および共通配線 91 の形成領域に対応する部分が、遮光領域 T3 となっている。そして、その他の領域が透過領域 T0 となっている。つまり、半導体膜 101、第 1 絶縁膜 102、第 1 導電膜 103 および第 2 導電膜 104 の 4 層全てを除去する領域に対応させて透過領域 T0 が配置され、下 2 層を残存させる領域に対応させて第 1 半透過領域 T1 が配置され、下 3 層を残存させる領域に対応させて第 2 半透過領域 T2 が配置され、4 層全てを残存させる領域に遮光領域 T3 が配置される。

【0085】

このような多段階の透過率を有するフォトマスクは「ハーフトーンマスク」と呼ばれ、ハーフトーンマスクを用いたフォトレジストの露光は「ハーフトーン露光」と呼ばれる。

【0086】

フォトマスク 120（ハーフトーンマスク）を用いたフォトレジスト 110 のハーフトーン露光を行った後、水酸化テトラメチルアンモニウム（TMAH）を含む有機アルカリ系の現像液を用いて現像を行う。すると、フォトマスク 120 の透過領域 T0 に対応する部分のフォトレジスト 110 は除去されるが、第 1 半透過領域 T1、第 2 半透過領域 T2 および遮光領域 T3 に対応する部分のフォトレジスト 110 は、各領域の透過光の強度に応じた厚さで残存することになる。

【0087】

従って、フォトレジスト 110 は、図 17 に示すように、3 種類の厚さを有するレジストパターンへと加工される。具体的には、フォトレジスト 110 は、ゲート電極 4 の形成領域を除く半導体チャネル膜 2 の形成領域を覆う薄い第 1 レジスト部 111 と、画素電極 7、ゲート端子 42 およびソース端子 52 の形成領域を覆う、第 1 レジスト部 111 よりも厚い第 2 レジスト部 112 と、ゲート電極 4、ゲート配線 41、共通電極 9 および共通配線 91 の形成領域を覆う、第 2 レジスト部 112 よりも厚い第 3 レジスト部 113 とからなるレジストパターンへと加工される。本実施の形態では、最も薄い第 1 レジスト部 111 の厚さが約 0.5  $\mu\text{m}$  となるようにした。

【0088】

次に、図 18 のように、第 1 レジスト部 111、第 2 レジスト部 112 および第 3 レジ

10

20

30

40

50

スト部 113 をマスクとして、第 2 導電膜 104、第 1 導電膜 103、第 1 絶縁膜 102 および半導体膜 101 を順次エッチング除去する。本実施の形態では、PAN 系の薬液を用いて第 2 導電膜 104 (Al - 3 mol % Ni 膜) をエッチング除去し、シュウ酸系の薬液を用いて第 1 導電膜 103 (ITO 膜) をエッチング除去し、フッ素を含むガス、例えば六フッ化硫黄 (SF<sub>6</sub>) ガスと O<sub>2</sub> ガスを用いたドライエッチング法で第 1 絶縁膜 102 (SiO<sub>2</sub> 膜) からなる第 1 絶縁膜 102 をエッチング除去し、再びシュウ酸系の薬液を用いて半導体膜 101 (InGaZnO 膜) をエッチング除去した。このエッチング工程により、半導体膜 101 からなる半導体チャネル膜 2 と、第 1 絶縁膜 102 とからなるゲート絶縁膜 31 のパターンが形成される。

【0089】

10

その後、O<sub>2</sub> ガスプラズマを用いたレジストパターンのアッシングを行い、第 1 レジスト部 111 を除去すると共に、第 2 レジスト部 112 および第 3 レジスト部 113 を薄膜化する (第 2 レジスト部 112 および第 3 レジスト部 113 は残存させる)。つまり、このアッシング後のレジストパターンは、薄膜化された第 2 レジスト部 112 および第 3 レジスト部 113 から構成される 2 種類の厚さを有するものとなる。

【0090】

そして、図 19 のように、第 2 レジスト部 112 および第 3 レジスト部 113 をマスクとして、第 2 導電膜 104 および第 1 導電膜 103 を順次エッチング除去する。ここでも、第 2 導電膜 104 (Al - 3 mol % Ni 膜) は PAN 系の薬液を用いてエッチング除去し、第 1 導電膜 103 (ITO 膜) はシュウ酸系の薬液を用いてエッチング除去した。

20

【0091】

このエッチング工程により、それぞれ第 1 導電膜 103 および第 2 導電膜 104 の積層構造からなるゲート電極 4 (ゲート電極下層部 4a およびゲート電極上層部 4b)、ゲート配線 41 (ゲート配線下層部 41a およびゲート配線上層部 41b)、共通電極 9 (共通電極下層部 9a および共通電極上層部 9b)、ならびに共通配線 91 (共通配線下層部 91a、共通配線上層部 91b) の各パターンが形成される。この段階で、画素電極 7、ゲート端子 42 およびソース端子 52 の各パターンも形成されているが、それらの上には第 2 導電膜 104 が残存した状態となっている。

【0092】

次に、再びレジストパターンのアッシングを行い、第 2 レジスト部 112 を除去すると共に、第 3 レジスト部 113 を薄膜化する (第 3 レジスト部 113 は残存させる)。つまり、このアッシング後のレジストパターンは、薄膜化された第 3 レジスト部 113 のみから構成されるものとなる。

30

【0093】

そして、図 20 のように、第 3 レジスト部 113 をマスクとして、第 2 導電膜 104 をエッチング除去する。ここでも、第 2 導電膜 104 (Al - 3 mol % Ni 膜) は PAN 系の薬液を用いてエッチング除去した。このエッチング工程により、画素電極 7、ゲート端子 42 およびソース端子 52 の上に残存していた第 2 導電膜 104 が除去される。また、このエッチングの前に、基板 1 を 150 以上の温度で熱処理してもよい。第 1 導電膜 103 が ITO などの酸化物系材料からなる場合、第 2 導電膜 104 を PAN 系の薬液でエッチングするとき、同時に第 1 導電膜 103 も若干エッチングされることがあるが、エッチングの前に熱処理を行うとそれを防止できる。

40

【0094】

その後、アミン系のレジスト剥離液を用いて第 3 レジスト部 113 を剥離除去する。その結果、図 13 および図 21 のように、半導体チャネル膜 2、ゲート絶縁膜 31、ゲート電極 4、ゲート配線 41、画素電極 7、共通電極 9、共通配線 91、ゲート端子 42 およびソース端子 52 が形成される。

【0095】

このように、ハーフトーン露光の技術を用いることにより、半導体膜 101 からなる半導体チャネル膜 2 と、第 1 絶縁膜 102 からなるゲート絶縁膜 31 と、第 1 導電膜 103

50

からなる画素電極 7、ゲート端子 4 2 およびソース端子 5 2 と、第 1 導電膜 1 0 3 と第 2 導電膜 1 0 4 との積層構造からなるゲート電極 4、ゲート配線 4 1、共通電極 9 および共通配線 9 1 とを、1 回の写真製版工程だけで形成することができる。

#### 【0096】

ただし、半導体膜 1 0 1、第 1 絶縁膜 1 0 2、第 1 導電膜 1 0 3 および第 2 導電膜 1 0 4 の積層膜をパターンニングすることになるため、第 1 導電膜 1 0 3 または第 2 導電膜 1 0 4 を用いて形成する要素の下から半導体膜 1 0 1 および第 1 絶縁膜 1 0 2 を除去することはできない。そのため、ゲート配線 4 1、画素電極 7、共通電極 9、共通配線 9 1、ゲート端子 4 2、ソース端子 5 2 の下に、半導体膜 1 0 1 および第 1 絶縁膜 1 0 2 が残存した構成となる。

10

#### 【0097】

本実施の形態では、第 1 絶縁膜 1 0 2 を構成および半導体膜 1 0 1 を、それぞれ光透過性を有する SiO 膜および InGaZnO 膜で形成しているため、それらが画素電極 7 の下に残存しても、画像表示部の光透過性は高く維持されている。

#### 【0098】

図 2 3 は、半導体膜 1 0 1 として用いた酸化物半導体膜 (InGaZnO 膜) の透過率の分光特性を測定した結果を示す図である。光の透過率は、(光の干渉効果を考慮する必要があるが) 原則として膜厚が厚くなるほど低下する。InGaZnO 膜では、実施の形態 2 で用いた膜厚 50 nm の場合も含め、少なくとも 150 nm の膜厚までは、可視光の波長領域 (400 ~ 800 nm) にわたり、透過型の電極として必要な 70 % 以上の高い透過率を持っていることがわかる。

20

#### 【0099】

一方、半導体膜 1 0 1 は、TFT 2 0 1 の半導体チャネル膜 2 の材料ともなっている。半導体チャネル膜 2 の厚さが 20 nm よりも薄くなるとその機能を十分に果たすことができなくなるので、その膜厚は少なくとも 20 nm 以上とすることが好ましい。よって、半導体チャネル膜 2 としての機能と、画像表示部の光透過性の両方を考慮すると、半導体膜 1 0 1 の厚さは 20 nm 以上 150 nm 以下が好ましい。

#### 【0100】

なお、図 2 3 には、従来の Si 半導体膜における厚さ 150 nm の透過率の分光特性の測定結果も示してある。Si 半導体膜の透過率は低いため、本実施の形態の半導体膜 1 0 1 に Si 半導体膜を適用すると、画像表示部の光透過率が低下する。よって、本実施の形態に係る透過型の TFT 基板 2 0 0 には、半導体膜 1 0 1 に Si 半導体膜を適用することは困難であると言える。

30

#### 【0101】

本実施の形態では、第 1 導電膜 1 0 3 (ITO 膜) および第 2 導電膜 1 0 4 (Al - 3 mol % Ni 膜) のエッチングは、それぞれシュウ酸系の薬液および PAN 系の酸薬液を用いて行われるが、そのエッチング工程の際、半導体チャネル膜 2 (InGaZnO 膜) は、第 1 絶縁膜 1 0 2 (SiO 膜) で形成されたゲート絶縁膜 3 1 で覆われて保護されている。そのため、半導体チャネル膜 2 はエッチングされることなく、良好なパターン形状が維持される。

40

#### 【0102】

また、ここではゲート絶縁膜 3 1 を構成する第 1 絶縁膜 1 0 2 を SiO 膜からなる単層構造としたが、その上にさらに絶縁膜を設けた積層構造としてもよい。上層の絶縁膜も SiO 膜でよいが、例えば窒化シリコン (SiN) のような他の材料からなる絶縁膜でもよい。ただし、第 1 絶縁膜 1 0 2 が画素電極 7 の下に残存する構成となるため、透過型の TFT 基板 2 0 0 の場合には、上層の絶縁膜は光透過性を有する必要がある。第 1 絶縁膜を積層構造にすることによって、保護膜としてのカバレッジ性をより強固なものにすることができる。

#### 【0103】

半導体チャネル膜 2、ゲート絶縁膜 3 1、ゲート電極 4、ゲート配線 4 1、画素電極 7

50

、共通電極 9、共通配線 9 1、ゲート端子 4 2 およびソース端子 5 2 を形成した後の工程は、実施の形態 1 と同様である。実施の形態 1 では、上記の各要素の形成に 2 回の写真製版工程が必要であったが、本実施の形態ではここまで 1 回の写真製版工程のみが行われているので、写真製版工程の回数が 1 回少なくなる。

#### 【0104】

すなわち、半導体チャネル膜 2、ゲート絶縁膜 3 1、ゲート電極 4、ゲート配線 4 1、画素電極 7、共通電極 9、共通配線 9 1、ゲート端子 4 2 およびソース端子 5 2 を覆うように、基板 1 上の全面に、第 2 絶縁膜を成膜することで層間絶縁膜 3 2 を形成する。そして、2 回目の写真製版工程によりレジストパターンを形成し、それをマスクにするエッチングにより、図 1 4 および図 2 2 のように、層間絶縁膜 3 2 およびゲート絶縁膜 3 1 にコンタクトホール 1 1 ~ 1 6 を形成する。

10

#### 【0105】

続いて、層間絶縁膜 3 2 の上に、第 3 導電膜と第 4 導電膜をこの順に積層した積層膜を形成する。そして、3 回目の写真製版工程によりレジストパターンを形成し、それをマスクにするエッチングにより、第 3 導電膜と第 4 導電膜をパターンニングして、ソース電極 5、ソース配線 5 1、ドレイン電極 6、対向電極 8、ゲート端子パッド 4 3 およびソース端子パッド 5 3 を形成する。この工程でも、ハーフトーン露光の技術を応用し、ドレイン電極 6、対向電極 8、ゲート端子パッド 4 3 およびソース端子パッド 5 3 の各形成領域では第 4 導電膜が除去され、ソース電極 5 およびソース配線 5 1 の各形成領域では第 4 導電膜が残存するようにする。

20

#### 【0106】

その結果、ソース電極 5、ソース配線 5 1、ドレイン電極 6、対向電極 8、ゲート端子パッド 4 3 およびソース端子パッド 5 3 が形成され、図 1 1 および図 1 2 に示した構成の TFT 基板 2 0 0 が形成される。ハーフトーン露光の技術により、ソース電極 5 およびソース配線 5 1 は、第 3 導電膜と第 4 導電膜とからなる積層構造となり、ドレイン電極 6、対向電極 8、ゲート端子パッド 4 3 およびソース端子パッド 5 3 は、第 3 導電膜の単層構造となる。

#### 【0107】

このように、実施の形態 2 の TFT 基板 2 0 0 は、3 回の写真製版工程で生産性良く形成することができる。

30

#### 【0108】

液晶表示パネルの組み立ての際は、完成した TFT 基板 2 0 0 の表面に配向膜やスペーサを形成し、別途作成した対向基板をその上に貼り合わせる。そして、スペーサによって TFT 基板 2 0 0 と対向基板との間に形成された隙間に液晶を注入して封止することによって、液晶表示パネルが形成される。最後に、液晶表示パネルの外側に偏光板、位相差板およびバックライトユニット等を配設することによって FFS 方式の LCD が完成する。

#### 【0109】

なお、実施の形態 1 の TFT 基板 2 0 0 では、TFT 2 0 1 の半導体チャネル膜 2 が最下層に配設されているため、半導体チャネル膜 2 にバックライトユニットからの光が直接入射することになる。半導体チャネル膜 2 が Si 膜の場合、フォトキャリアの発生により TFT 特性の 1 つである ON/OFF 比の劣下が懸念されるが、本実施の形態のように半導体チャネル膜 2 を酸化物系半導体で構成すると、ON/OFF 比の劣下は抑えられる。従って、コントラスト比が高く、表示ムラのない高表示品質を有する液晶表示装置を実現できる。

40

#### 【0110】

また、酸化物半導体からなる半導体チャネル膜 2 を用いることで、TFT 2 0 1 の移動度が高くなり、動作速度の速い TFT 基板 2 0 0 を得ることができる。よって、TFT の小型化が可能となり、画像表示部の開口率を高めることができる。つまり、バックライトユニットの出射光を低減させても高輝度の表示が可能であり、消費電力を低減化した LCD を実現できる。

50

## 【 0 1 1 1 】

## &lt; 実施の形態 2 の変形例 &gt;

図 2 4 は、実施の形態 2 の変形例に係る T F T 基板 2 0 0 の断面図である。上記の実施の形態 2 では、画素電極 7 の全体を光が透過する透過型の T F T 基板 2 0 0 を例示したが、図 2 4 に示すように、画素電極 7 上の一定の面積に、光を反射する反射画素電極 7 1 を設けることで半透過型の T F T 基板 2 0 0 を作製することも可能である。

## 【 0 1 1 2 】

この反射画素電極 7 1 は、第 2 導電膜 1 0 4 (例えば A l - 3 m o l % N i 膜などの金属膜)を用いて形成できるため、製造工程の増加は伴わない。すなわち、1 回目の写真製版工程のハーフトーン露光 (図 1 6 ) において、反射画素電極 7 1 の形成領域に対応する部分に遮光領域 T 3 を設ければよい。それにより、その領域に厚い第 3 レジスト部 1 1 3 が形成され、その部分の画素電極 7 上に反射画素電極 7 1 としての第 1 導電膜 1 0 3 を残存させることができる。

## 【 0 1 1 3 】

なお、画素電極 7 上に形成する反射画素電極 7 1 の面積あるいはパターン形状を変えることにより、半透過電極の透過光と反射光の割合を任意に設定できる。また、画素電極 7 のほぼ全面に反射画素電極 7 1 を形成すると、全反射型の T F T 基板 2 0 0 を作製することもできる。

## 【 0 1 1 4 】

## &lt; 実施の形態 3 &gt;

図 2 5 は、実施の形態 3 に係る T F T 基板の構成を示す平面図である。実施の形態 1 , 2 の T F T 基板 (図 1 ) では、対向電極 8 に共通電位を与える共通配線 9 1 を、ゲート配線 4 1 と平行に延在させていたが、実施の形態 3 では、共通配線 9 1 をソース配線 5 1 と平行に延在させている。

## 【 0 1 1 5 】

図 2 6 は、実施の形態 3 に係る T F T 基板 2 0 0 における画素 2 0 4 を含む主要部の平面構成を示す図であり、図 2 7 は、その断面構成を示す図である。図 2 7 では、図 2 6 に示す X 1 - X 2 線、Y 1 - Y 2 線および Z 1 - Z 2 線に対応する断面が示されている。図 2 6 および図 2 7 では、実施の形態 1 , 2 (図 2、図 3、図 1 1 および図 1 2 ) で説明したものと同様の機能を有する要素にはそれと同一符号を付してあるので、それらの説明は省略する。なお、当該 T F T 基板 2 0 0 の全体構成は、実施の形態 1 (図 1 ) と同様である。

## 【 0 1 1 6 】

図 2 7 において、X 1 - X 2 線に沿った断面は、画素 2 0 4 の形成領域 (画素部) に対応し、T F T 2 0 1 の形成領域である「T F T 部」と画素電極 7 および対向電極 8 の形成領域である「画像表示部」とを含んでいる。また、Y 1 - Y 2 線に沿った断面は、ゲート端子 4 2 およびゲート端子パッド 4 3 の形成領域 (ゲート端子部) に対応し、Z 1 - Z 2 線に沿った断面は、ソース端子 5 2 およびソース端子パッド 5 3 の形成領域 (ソース端子部) に対応する。

## 【 0 1 1 7 】

図 2 6 および図 2 7 から分かるように、実施の形態 3 の T F T 基板 2 0 0 では、実施の形態 2 (図 1 1 および図 1 2 ) と同様に、半導体チャネル膜 2 と同層の半導体膜 1 0 1 と、ゲート絶縁膜 3 1 と同層の第 1 絶縁膜 1 0 2 との積層構造が、第 1 導電膜 1 0 3 または第 2 導電膜 1 0 4 からなる各要素、すなわちゲート配線 4 1、画素電極 7、ゲート端子 4 2 およびソース端子 5 2 の下にも形成された構成となっている。

## 【 0 1 1 8 】

また、対向電極 8 に共通電位を供給する共通配線 9 1 は、第 3 導電膜を用いて対向電極 8 と一体的に形成されており、ゲート配線 4 1 を跨いで図 2 6 の縦方向 (ソース配線 5 1 の延在方向) に隣接する画素の対向電極 8 にも接続している。つまり、各画素の対向電極 8 は共通配線 9 1 を介して縦方向に連結されている。言い換えれば、対向電極 8 は共通配

10

20

30

40

50

線 9 1 の一部としても機能している。

【 0 1 1 9 】

このように共通配線 9 1 が画素電極 7 とは異なる層に形成されるため、画素電極 7 は画素部のほぼ全域に形成することができる。また、共通配線 9 1 が対向電極 8 と一体的に形成されるため、共通電極 9 に対向電極 8 との接続に用いる共通配線 9 1 を設ける必要がなく、またその接続のためのコンタクトホール 1 4 (共通電極コンタクトホール) も不要である。

【 0 1 2 0 】

次に、実施の形態 3 に係る T F T 基板 2 0 0 の製造方法について、図 2 8 ~ 図 3 1 を参照しつつ説明する。図 2 8 および図 2 9 は T F T 基板 2 0 0 の製造方法の各工程を示す平面工程図であり、図 3 0 および図 3 1 は T F T 基板 2 0 0 の製造方法の各工程を示す断面工程図である。なお、図 2 8 および図 2 9 は、それぞれ図 3 0 および図 3 1 に対応した平面図となっている。これらの図において、図 2 6 および図 2 7 に示した要素に対応する要素には、それと同一符号を付してある。

【 0 1 2 1 】

まず、基板 1 の表面を洗浄液または純水を用いて洗浄する。そして洗浄された基板 1 上に、半導体チャネル膜 2 の材料としての半導体膜 1 0 1 と、ゲート絶縁膜 3 1 の材料としての第 1 絶縁膜 1 0 2 と、ゲート電極 4 および画素電極 7 などの材料としての第 1 導電膜 1 0 3 および第 2 導電膜 1 0 4 とを、この順に積層した積層膜を形成する。

【 0 1 2 2 】

本実施の形態においても、実施の形態 1 と同様に、半導体膜 1 0 1 には酸化物半導体である  $\text{InGaZnO}$  膜、第 1 絶縁膜 1 0 2 には酸化シリコン ( $\text{SiO}$ ) 膜、第 1 導電膜 1 0 3 には光透過性の  $\text{ITO}$  膜、第 2 導電膜 1 0 4 にはアルミニウム ( $\text{Al}$ ) 系合金である  $\text{Al-3mol\%Ni}$  膜をそれぞれ用いた。また、これらの厚さおよび形成手法も実施の形態 1 と同様でよい。

【 0 1 2 3 】

その後、実施の形態 2 で図 1 5 ~ 図 2 1 を用いて説明したものと同様の方法、すなわち、ハーフトーン露光の技術を用いた 1 回目の写真製版工程によりレジストパターンを形成し、そのレジストパターンをマスクとするエッチングと当該レジストパターンのアッシング (薄膜化) を繰り返す方法で、上記の積層膜をパターニングし、図 2 8 および図 3 0 のように、半導体チャネル膜 2、ゲート絶縁膜 3 1、ゲート電極 4、ゲート配線 4 1、画素電極 7、ゲート端子 4 2 およびソース端子 5 2 を形成する。ゲート電極 4 およびゲート配線 4 1 は第 1 導電膜 1 0 3 と第 2 導電膜 1 0 4 との積層構造となり、画素電極 7、ゲート端子 4 2 およびソース端子 5 2 は第 1 導電膜 1 0 3 の単層構造となる。また、ゲート配線 4 1、画素電極 7、ゲート端子 4 2、ソース端子 5 2 の下には、半導体膜 1 0 1 および第 1 絶縁膜 1 0 2 が残る。

【 0 1 2 4 】

以降の工程も、実施の形態 2 とほぼ同様である。ただし、第 3 導電膜を用いてソース電極 5、ドレイン電極 6、対向電極 8 などを形成する際、共通配線 9 1 を対向電極 8 と一体的に形成する必要がある。また、コンタクトホール 1 4 (共通電極コンタクトホール) は形成しない。

【 0 1 2 5 】

すなわち、半導体チャネル膜 2、ゲート絶縁膜 3 1、ゲート電極 4、ゲート配線 4 1、画素電極 7、ゲート端子 4 2 およびソース端子 5 2 の形成後、それらを覆うように、基板 1 上の全面に、第 2 絶縁膜を成膜して層間絶縁膜 3 2 を形成する。そして、2 回目の写真製版工程によりレジストパターンを形成し、それをマスクにするエッチングにより、図 2 9 および図 3 1 のように、層間絶縁膜 3 2 およびゲート絶縁膜 3 1 にコンタクトホール 1 1 ~ 1 3, 1 5, 1 6 を形成する。

【 0 1 2 6 】

続いて、層間絶縁膜 3 2 の上に、第 3 導電膜と第 4 導電膜をこの順に積層した積層膜を

10

20

30

40

50



形成し、3回目の写真製版工程によりレジストパターンを形成し、それをマスクにするエッチングにより、第3導電膜と第4導電膜をパターンングして、ソース電極5、ソース配線51、ドレイン電極6、対向電極8、共通配線91、ゲート端子パッド43およびソース端子パッド53を形成する。この工程でも、ハーフトーン露光の技術を応用し、ドレイン電極6、対向電極8、共通配線91、ゲート端子パッド43およびソース端子パッド53の各形成領域では第4導電膜が除去され、ソース電極5およびソース配線51の各形成領域では第4導電膜が残存するようにする。つまり、ソース電極5およびソース配線51は、第3導電膜と第4導電膜とからなる積層構造となり、ドレイン電極6、対向電極8、共通配線91、ゲート端子パッド43およびソース端子パッド53は、第3導電膜の単層構造となる。

10

#### 【0127】

その結果、図26および図27に示した構成のTFT基板200が形成される。このように、実施の形態3のTFT基板200は、3回の写真製版工程で生産性良く形成することができる。

#### 【0128】

液晶表示パネルの組み立ての際は、完成したTFT基板200の表面に配向膜やスペーサを形成し、別途作成した対向基板をその上に貼り合わせる。そして、スペーサによってTFT基板200と対向基板との間に形成された隙間に液晶を注入して封止することによって、液晶表示パネルが形成される。最後に、液晶表示パネルの外側に偏光板、位相差板およびバックライトユニット等を配設することによってFFS方式のLCDが完成する。

20

#### 【0129】

実施の形態3に係るTFT基板200においても、実施の形態1, 2と同様の効果が得られる。また、各画素の対向電極8を連結して共通配線91の一部として機能させているため、実施の形態1, 2とは異なり下層(画素電極7と同層)に共通配線91を設ける必要がない。そのため、画素電極7を画素部のほぼ全域に形成して、画素表示部の面積を広くすることができる。よって、より明るく表示品位の高いFFS方式のLCDを実現することができる。これにより、バックライトユニットの出射光を低減させても高輝度の表示が可能となるので、消費電力を低減化にも寄与できる。

#### 【0130】

##### <実施の形態3の変形例>

30

図32は、実施の形態3の変形例に係るTFT基板200の断面図である。実施の形態3のTFT基板200に対しても、図32に示すように、画素電極7上の一定の面積に、光を反射する反射画素電極71を設けることで半透過型のTFT基板200を作製することも可能である。

#### 【0131】

この反射画素電極71は、第2導電膜104(例えばAl-3mol%Ni膜などの金属膜)を用いて形成できるため、製造工程の増加は伴わない。すなわち、1回目の写真製版工程のハーフトーン露光において、反射画素電極71の形成領域に対応する部分に遮光領域T3を設ければよい。それにより、その領域に厚い第3レジスト部113が形成され、その部分の画素電極7上に反射画素電極71としての第1導電膜103を残存させることができる。

40

#### 【0132】

なお、画素電極7上に形成する反射画素電極71の面積あるいはパターン形状を変えることにより、半透過電極の透過光と反射光の割合を任意に設定できる。また、画素電極7のほぼ全面に反射画素電極71を形成すると、全反射型のTFT基板200を作製することもできる。

#### 【0133】

##### <実施の形態4>

図33は、実施の形態4に係るTFT基板200における画素204を含む主要部の平面構成を示す図であり、図34は、その断面構成を示す図である。図34では、図33に

50

示すX 1 - X 2 線、Y 1 - Y 2 線およびZ 1 - Z 2 線に対応する断面が示されている。なお、当該T F T 基板 2 0 0 の全体構成は、実施の形態 1 ( 図 1 ) と同様である。

【 0 1 3 4 】

図 3 4 において、X 1 - X 2 線に沿った断面は、画素 2 0 4 の形成領域 ( 画素部 ) に対応し、T F T 2 0 1 の形成領域である「T F T 部」と画素電極 7 および対向電極 8 の形成領域である「画像表示部」とを含んでいる。また、Y 1 - Y 2 線に沿った断面は、ゲート端子 4 2 およびゲート端子パッド 4 3 の形成領域 ( ゲート端子部 ) に対応し、Z 1 - Z 2 線に沿った断面は、ソース端子 5 2 およびソース端子パッド 5 3 の形成領域 ( ソース端子部 ) に対応する。

【 0 1 3 5 】

図 3 3 および図 3 4 でも、実施の形態 1 , 2 ( 図 2 、図 3 、図 1 1 および図 1 2 ) で説明したものと同様の機能を有する要素にはそれと同一符号を付してあるので、それらの説明は省略する。

【 0 1 3 6 】

実施の形態 4 の T F T 基板 2 0 0 の構成は、実施の形態 2 ( 図 1 1 および図 1 2 ) に似ているが、実施の形態 2 の場合とは、画素電極 7 と対向電極 8 の構成および上下関係が逆になっている。すなわち、対向電極 8 が、第 1 導電膜からなる平板状の電極となっており、画素電極 7 が、第 3 導電膜からなる格子状の電極となっている。そして、画素電極 7 が対向電極 8 の上に層間絶縁膜 3 2 を介して対向するように配置されている。

【 0 1 3 7 】

対向電極 8 に共通電位を供給する共通配線 9 1 は、第 1 導電膜を用いて対向電極 8 と一体的に形成されており、ソース配線 5 1 の下を通して図 3 3 の横方向 ( ゲート配線 4 1 の延在方向 ) に隣接する画素の対向電極 8 にも接続している。つまり、各画素の対向電極 8 は、共通配線 9 1 を介して横方向に連結されている。言い換えれば、対向電極 8 は共通配線 9 1 の一部としても機能している。

【 0 1 3 8 】

このように対向電極 8 を共通配線 9 1 の一部として用いることにより、対向電極 8 は画素部のほぼ全域に形成することができる。また、共通配線 9 1 が対向電極 8 と一体的に形成されるため、共通電極 9 に対向電極 8 との接続に用いる共通配線 9 1 を設ける必要がなく、その接続のためのコンタクトホール 1 4 ( 共通電極コンタクトホール ) も不要である。

【 0 1 3 9 】

一方、画素電極 7 は、同じく第 3 導電膜で形成されるドレイン電極 6 と一体的に形成されている。そのため、画素電極 7 とドレイン電極 6 とを接続させるためのコンタクトホール 1 3 ( 画素電極コンタクトホール ) も不要である。

【 0 1 4 0 】

また、実施の形態 4 の T F T 基板 2 0 0 では、実施の形態 2 ( 図 1 1 および図 1 2 ) と同様に、半導体チャネル膜 2 と同層の半導体膜 1 0 1 とゲート絶縁膜 3 1 と同層の第 1 絶縁膜 1 0 2 との積層構造が、第 1 導電膜 1 0 3 または第 2 導電膜 1 0 4 からなる各要素、すなわちゲート配線 4 1 、対向電極 8 、共通配線 9 1 、ゲート端子 4 2 、ソース端子 5 2 の下にも形成された構成となっている。

【 0 1 4 1 】

次に、実施の形態 4 に係る T F T 基板 2 0 0 の製造方法について、図 3 5 ~ 図 3 8 を参照しつつ説明する。図 3 5 および図 3 6 は T F T 基板 2 0 0 の製造方法の各工程を示す平面工程図であり、図 3 7 および図 3 8 は T F T 基板 2 0 0 の製造方法の各工程を示す断面工程図である。なお、図 3 5 および図 3 6 は、それぞれ図 3 7 および図 3 8 に対応した平面図となっている。これらの図において、図 3 3 および図 3 4 に示した要素に対応する要素には、それと同一符号を付してある。

【 0 1 4 2 】

まず、基板 1 の表面を洗浄液または純水を用いて洗浄する。そして洗浄された基板 1 上

10

20

30

40

50

に、半導体チャネル膜 2 の材料としての半導体膜 1 0 1 と、ゲート絶縁膜 3 1 の材料としての第 1 絶縁膜 1 0 2 と、ゲート電極 4 および対向電極 8 などの材料としての第 1 導電膜 1 0 3 および第 2 導電膜 1 0 4 とを、この順に積層した積層膜を形成する。

#### 【 0 1 4 3 】

本実施の形態においても、実施の形態 1 と同様に、半導体膜 1 0 1 には酸化物半導体である  $\text{InGaZnO}$  膜、第 1 絶縁膜 1 0 2 には酸化シリコン ( $\text{SiO}_2$ ) 膜、第 1 導電膜 1 0 3 には光透過性の  $\text{ITO}$  膜、第 2 導電膜 1 0 4 にはアルミニウム ( $\text{Al}$ ) 系合金である  $\text{Al}-3\text{mol}\%\text{Ni}$  膜をそれぞれ用いた。また、これらの厚さおよび形成手法も実施の形態 1 と同様でよい。

#### 【 0 1 4 4 】

その後、実施の形態 2 で図 1 5 ~ 図 2 1 を用いて説明したものと同様の方法、すなわち、ハーフトーン露光の技術を用いた 1 回目の写真製版工程によりレジストパターンを形成し、そのレジストパターンをマスクとするエッチングと当該レジストパターンのアッシング (薄膜化) を繰り返す方法により、上記の積層膜をパターンニングする。ただし、第 1 導電膜 1 0 3 を用いて画素電極 7 ではなく対向電極 8 を形成し、ゲート配線 4 1 と平行に延在する共通配線 9 1 を対向電極 8 と一体的に形成する。

#### 【 0 1 4 5 】

それにより、図 3 5 および図 3 7 のように、半導体チャネル膜 2、ゲート絶縁膜 3 1、ゲート電極 4、ゲート配線 4 1、対向電極 8、共通配線 9 1、ゲート端子 4 2 およびソース端子 5 2 が形成される。ゲート電極 4 およびゲート配線 4 1 は第 1 導電膜 1 0 3 および第 2 導電膜 1 0 4 の積層構造となり、対向電極 8、共通配線 9 1、ゲート端子 4 2 およびソース端子 5 2 は第 1 導電膜 1 0 3 の単層構造となる。また、ゲート配線 4 1、対向電極 8、共通配線 9 1、ゲート端子 4 2、ソース端子 5 2 の下には、半導体膜 1 0 1 および第 1 絶縁膜 1 0 2 が残る。

#### 【 0 1 4 6 】

以降の工程も、実施の形態 2 とほぼ同様である。ただし、第 3 導電膜を用いて対向電極 8 ではなく画素電極 7 を形成し、その画素電極 7 をドレイン電極 6 と一体的に形成する必要がある。また、コンタクトホール 1 3 (画素電極コンタクトホール) およびコンタクトホール 1 4 (共通電極コンタクトホール) は形成しない。

#### 【 0 1 4 7 】

すなわち、半導体チャネル膜 2、ゲート絶縁膜 3 1、ゲート電極 4、ゲート配線 4 1、対向電極 8、共通配線 9 1、ゲート端子 4 2 およびソース端子 5 2 の形成後、それらを覆うように、基板 1 上の全面に、第 2 絶縁膜を成膜して層間絶縁膜 3 2 を形成する。そして、2 回目の写真製版工程によりレジストパターンを形成し、それをマスクにするエッチングにより、図 3 6 および図 3 8 のように、層間絶縁膜 3 2 およびゲート絶縁膜 3 1 にコンタクトホール 1 1, 1 2, 1 5, 1 6 を形成する。

#### 【 0 1 4 8 】

続いて、層間絶縁膜 3 2 の上に、第 3 導電膜と第 4 導電膜をこの順に積層した積層膜を形成し、3 回目の写真製版工程によりレジストパターンを形成し、それをマスクにするエッチングにより、第 3 導電膜と第 4 導電膜をパターンニングして、ソース電極 5、ソース配線 5 1、ドレイン電極 6、画素電極 7、ゲート端子パッド 4 3 およびソース端子パッド 5 3 を形成する。この工程でも、ハーフトーン露光の技術を応用し、ドレイン電極 6、画素電極 7、ゲート端子パッド 4 3 およびソース端子パッド 5 3 の各形成領域では第 4 導電膜が除去され、ソース電極 5 およびソース配線 5 1 の各形成領域では第 4 導電膜が残存するようにする。つまり、ソース電極 5 およびソース配線 5 1 は、第 3 導電膜と第 4 導電膜とからなる積層構造となり、ドレイン電極 6、画素電極 7、ゲート端子パッド 4 3 およびソース端子パッド 5 3 は、第 3 導電膜の単層構造となる。

#### 【 0 1 4 9 】

その結果、図 3 3 および図 3 4 に示した構成の TFT 基板 2 0 0 が形成される。このように、実施の形態 4 の TFT 基板 2 0 0 は、3 回の写真製版工程で生産性良く形成するこ

10

20

30

40

50

とができる。

#### 【0150】

液晶表示パネルの組み立ての際は、完成したTFT基板200の表面に配向膜やスペーサを形成し、別途作成した対向基板をその上に貼り合わせる。そして、スペーサによってTFT基板200と対向基板との間に形成された隙間に液晶を注入して封止することによって、液晶表示パネルが形成される。最後に、液晶表示パネルの外側に偏光板、位相差板およびバックライトユニット等を配設することによってFFS方式のLCDが完成する。

#### 【0151】

実施の形態3に係るTFT基板200においても、実施の形態1, 2と同様の効果が得られる。また、対向電極8を第1導電膜で形成し、各画素の対向電極8を連結して共通配線91の一部として機能させているため、対向電極8と共通配線91を個別に配設する必要がない。そのため、対向電極8を画素部のほぼ全域に形成して、画素表示部の面積を広くすることができる。よって、より明るく表示品位の高いFFS方式のLCDを実現することができる。これにより、バックライトユニットの出射光を低減させても高輝度の表示が可能となるので、消費電力を低減化にも寄与できる。

#### 【0152】

##### <実施の形態4の変形例>

図39は、実施の形態4の変形例に係るTFT基板200の断面図である。実施の形態4のTFT基板200に対しては、図39に示すように、対向電極8上の一定の面積に、光を反射する反射対向電極81を設けることで半透過型のTFT基板200を作製することも可能である。

#### 【0153】

この反射対向電極81は、第2導電膜104（例えばAl-3mol%Ni膜などの金属膜）を用いて形成できるため、製造工程の増加は伴わない。すなわち、1回目の写真製版工程のハーフトーン露光において、反射対向電極81の形成領域に対応する部分に遮光領域T3を設ければよい。それにより、その領域に厚い第3レジスト部113が形成され、その部分の対向電極8上に反射対向電極81としての第1導電膜103を残存させることができる。

#### 【0154】

なお、対向電極8上に形成する反射対向電極81の面積あるいはパターン形状を変えることにより、半透過電極の透過光と反射光の割合を任意に設定できる。また、対向電極8のほぼ全面に反射対向電極81を形成すると、全反射型のTFT基板200を作製することもできる。

#### 【0155】

反射対向電極81は共通配線91の一部としても機能するため、反射対向電極81を形成する第2導電膜としては、Al系合金膜やAg（銀）系合金膜のような光反射率が高く（400nm～800nmの可視光領域で70%以上）、電気抵抗が低い（比抵抗値が10μcm以下）ものを使用することが望ましい。

#### 【0156】

また、図40のように、共通配線91上にも第2導電膜104を残存させることで、共通配線91を第1導電膜103と第2導電膜104との積層構造にし、且つ、共通配線91上の第2導電膜104と反射対向電極81とを一体的に形成して、反射対向電極81が横方向（ゲート配線41の延在方向）に連結するように構成すれば、さらに共通配線91を低抵抗化でき、大型パネルへ好適に適用することが可能になる。

#### 【0157】

この手法は、実施の形態3（図26, 図27）における共通配線91にも適用できる。すなわち、実施の形態3の共通配線91の上に第4導電膜を残存させ、共通配線91を第3導電膜と第4導電膜との積層構造にすれば、共通配線91を低抵抗化できる。この構成は、実施の形態3において、第3導電膜および第4導電膜からなる積層膜上に、ハーフトーン露光によってレジストパターンを形成する際、共通配線91の形成領域にレジストパ

10

20

30

40

50

ターンの厚い部分が形成されるようにすれば実現できる。

【0158】

<その他の変形例>

なお、以上の実施の形態1～4およびこれらの変形例においては、第2および第4導電膜として、Al-3mol%Ni膜を用いたが、これに限るものではない。例えば、一般的な金属膜として公知のCr、Ti、Mo、Ta、Cuおよびこれらの合金を幅広く用いることができる。本発明では、これらの金属膜をエッチング加工する場合に、TFTのチャネル層の表面が第1絶縁膜で覆われて保護された状態となっているので、これらの金属膜を酸系薬液を用いてエッチング加工する場合でも、従来のようにチャネル層が酸系薬液に暴露されることがない。したがって、TFTのチャネル層に酸系薬液に対する耐性が乏しい酸化物系の半導体膜を用いた場合でも、チャネル層がエッチングされて消失することがない。したがって、高性能な酸化物半導体膜をチャネル層に用いたTFT基板200を容易に実現することが可能である。

10

【0159】

また、半導体チャネル膜2として、InGaZnOからなる酸化物半導体を用いたが、これに限らず、例えば他にもInZnO系、InGaO系、InSnO系、InSnZnO系、InGaZnSnO系、InAlZnO系、InHf(ハフニウム)ZnO系、InZr(ジルコニウム)ZnO系、InMg(マグネシウム)ZnO系、InY(イットリウム)ZnO系、ZnSnO系のような酸化物半導体膜を用いることができる。これらの酸化物半導体材料を用いた場合でも、本実施例におけるInGaZnO系酸化物半導体膜と同様の効果を得ることができる。

20

【0160】

また、層間絶縁膜32を形成する第2絶縁膜として、樹脂からなる平坦化膜を適用してもよい。例えば図41は、実施の形態4のTFT基板200において層間絶縁膜32に平坦化膜を適用した変形例を示す断面図である。層間絶縁膜32の上面が概ね段差のない平坦な面となるため、その上に形成するソース電極5、ドレイン電極6および対向電極8(実施の形態1～3では画素電極7)が段差部で断線することを防止でき、製品の歩留りを向上させることができる。また、TFT基板200に水平な方向の電界(横電界電解)により配向するTFT-LCDの液晶の配向面を揃えることができるため、コントラストの高い高品質の表示特性が得られるという利点もある。

30

【0161】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

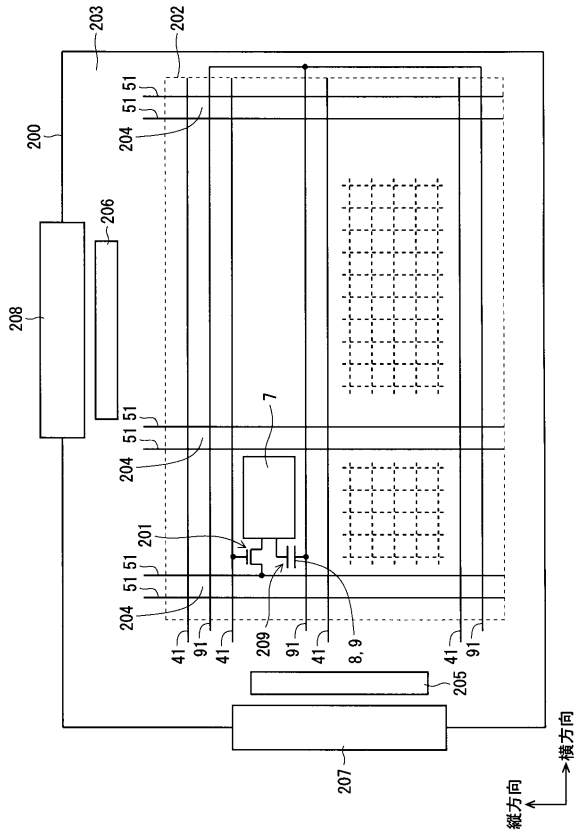
【符号の説明】

【0162】

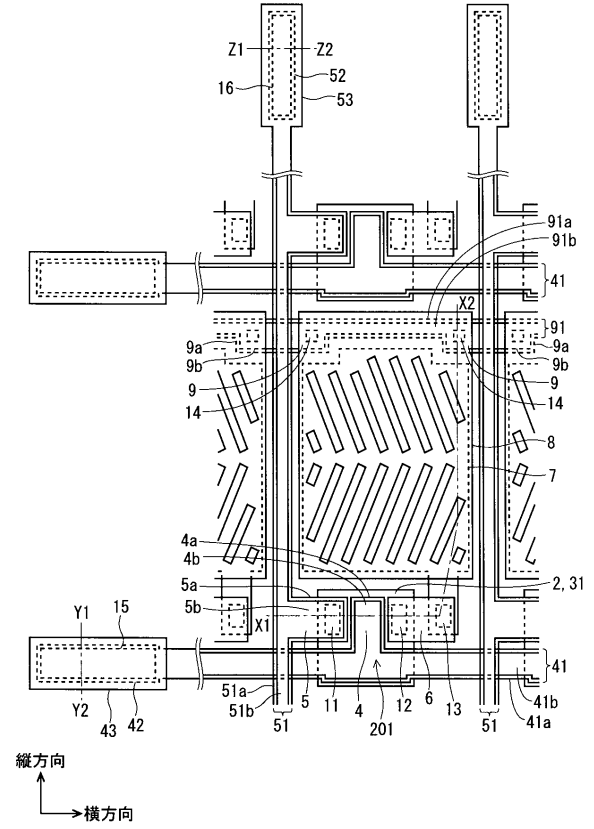
1 基板、2 半導体チャネル膜、31 ゲート絶縁膜、32 層間絶縁膜、4 ゲート電極、41 ゲート配線、42 ゲート端子、43 ゲート端子パッド、5 ソース電極、51 ソース配線、52 ソース端子、53 ソース端子パッド、6 ドレイン電極、8 対向電極、81 反射対向電極、7 画素電極、71 反射画素電極、9 共通電極、91 共通配線、11～16 コンタクトホール、101 半導体膜、102 第1絶縁膜、103 第1導電膜、104 第2導電膜、110 フォトレジスト、111 第1レジスト部、112 第2レジスト部、113 第3レジスト部、124 フォトマスク、200 TFT基板、201 TFT、202 表示領域、203 額縁領域、204 画素、205 走査信号駆動回路、206 表示信号駆動回路、207、208 外部配線、209 保持容量。

40

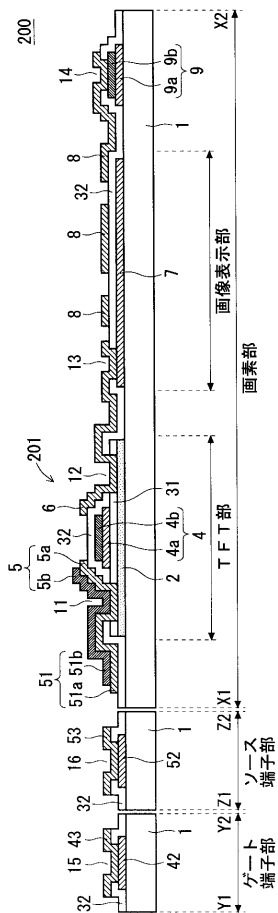
【図 1】



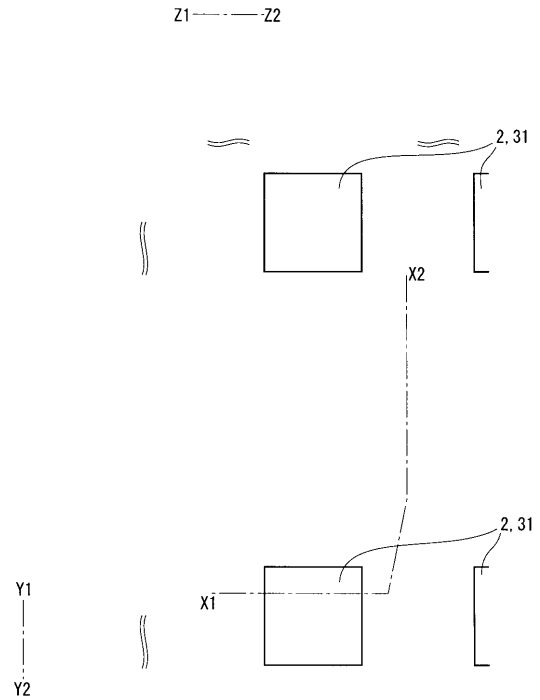
【図 2】



【図 3】

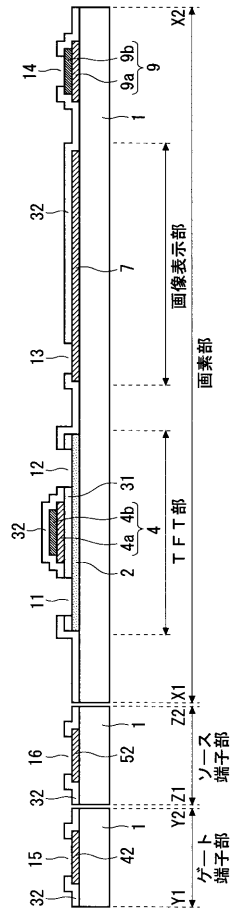


【図 4】

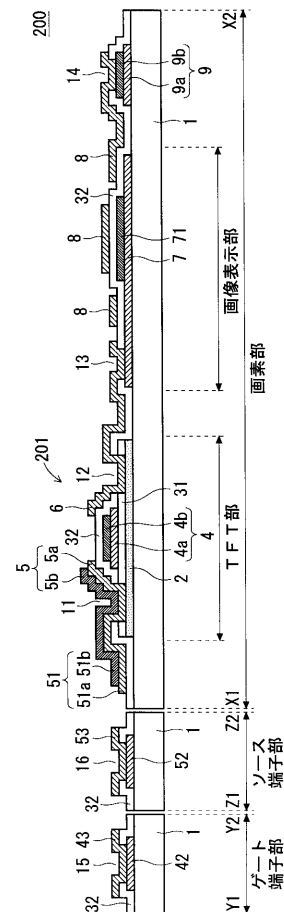




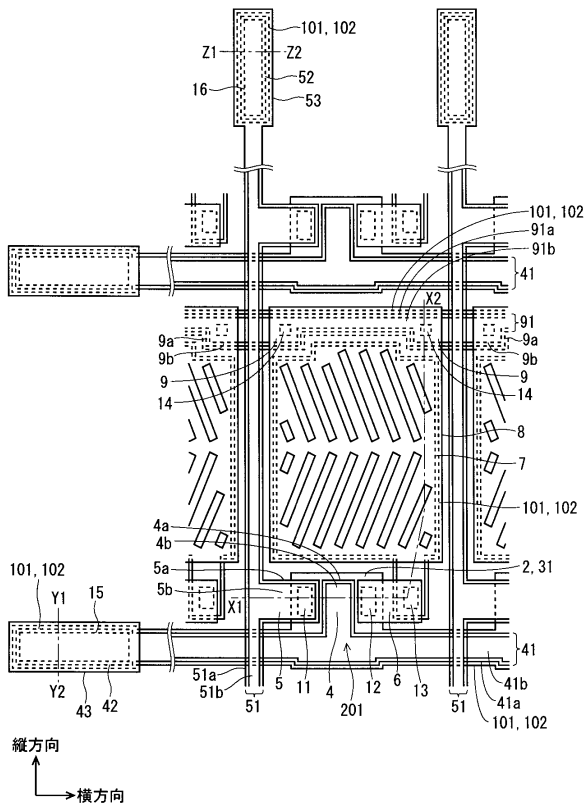
【図 9】



【図 10】

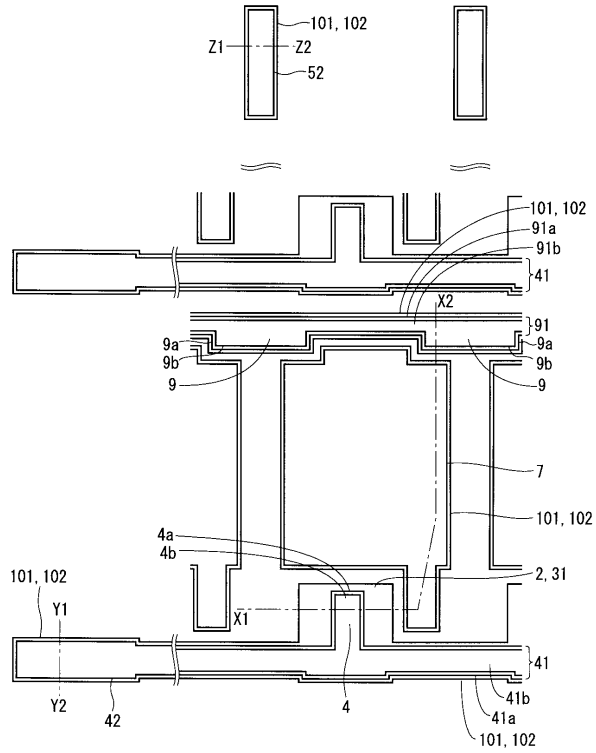


【図 11】

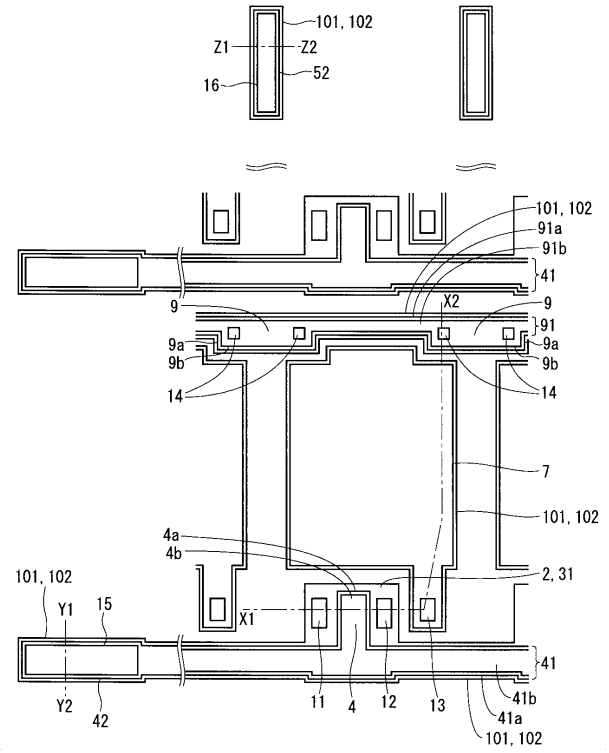




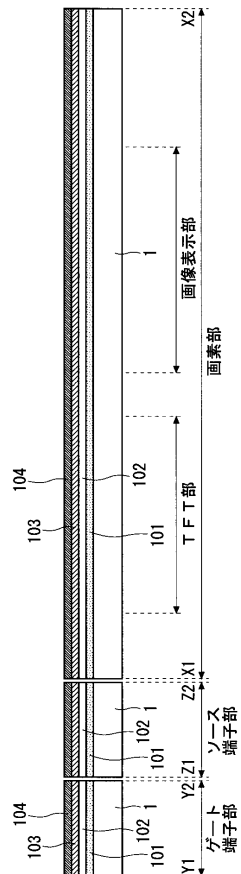
【図 13】



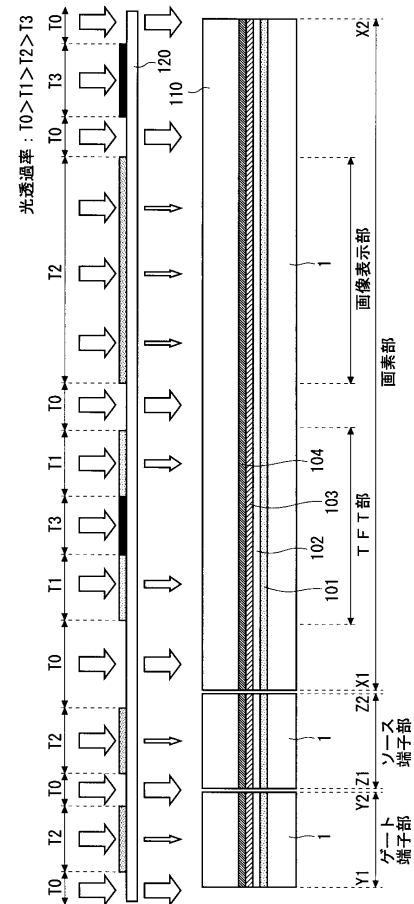
【図 14】



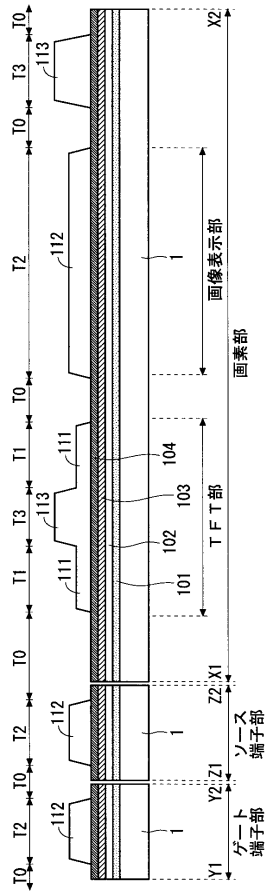
【図 15】



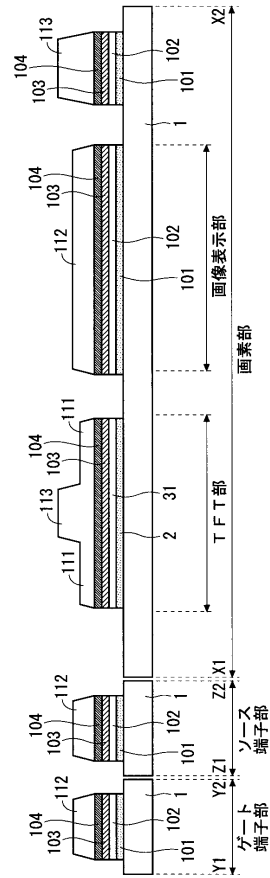
【図 16】



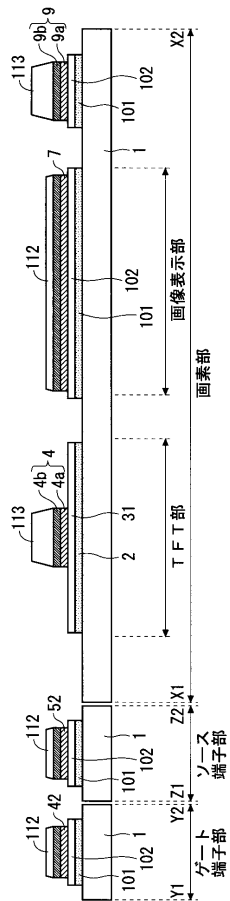
【図 17】



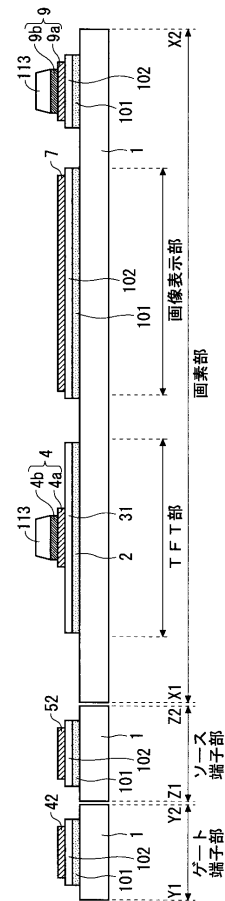
【図 18】



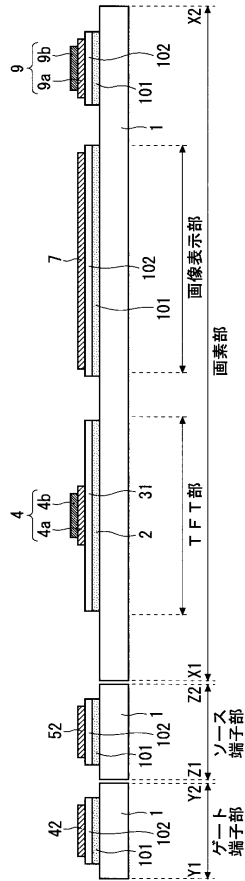
【図 19】



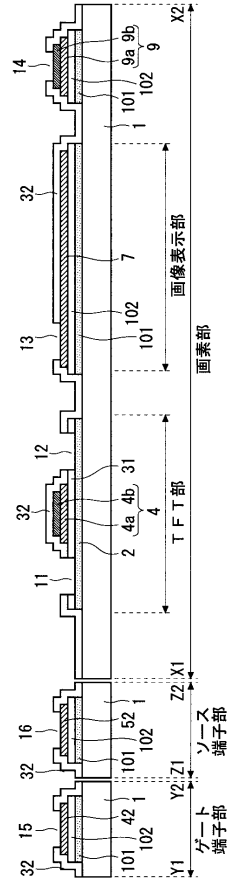
【図 20】



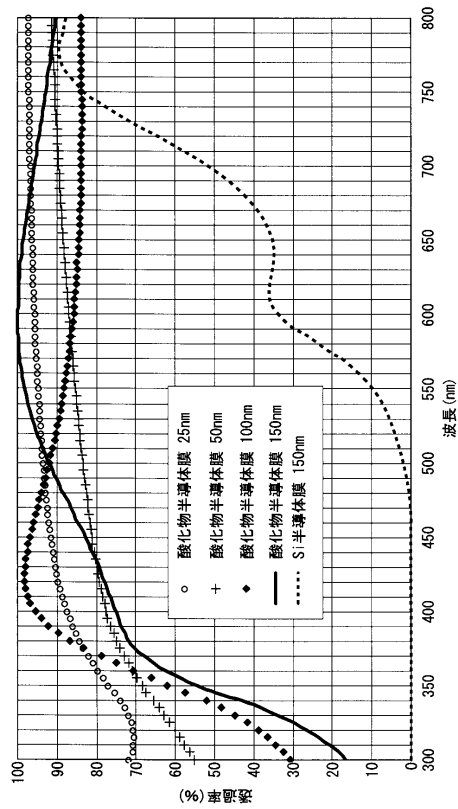
【図 2 1】



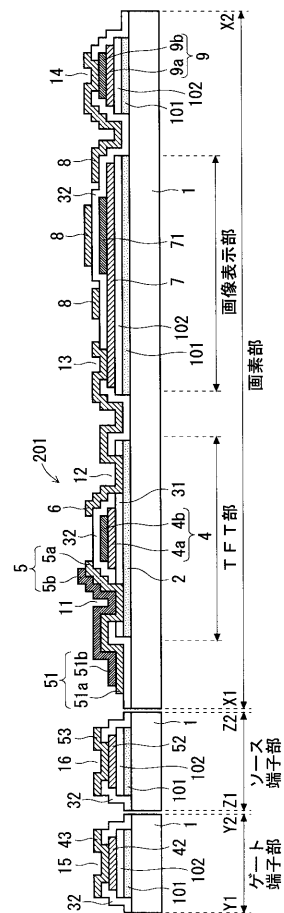
【図 2 2】



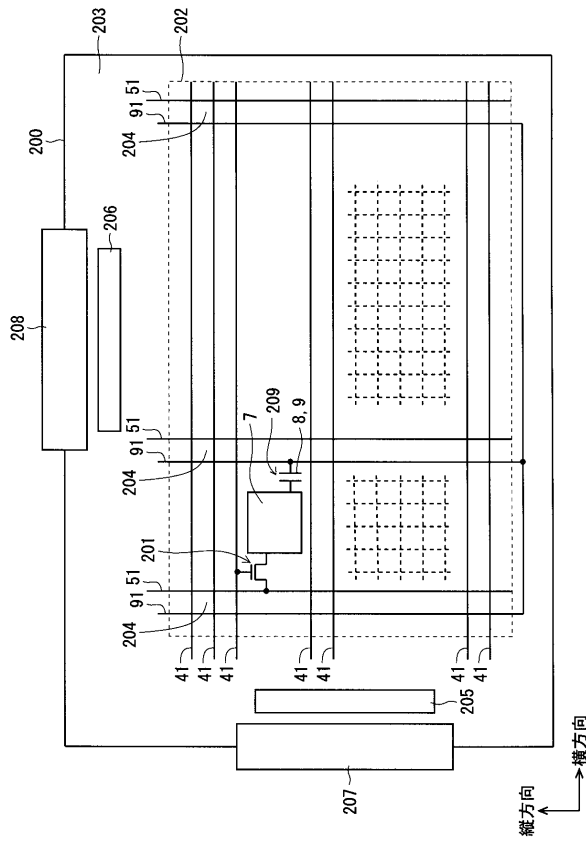
【図 2 3】



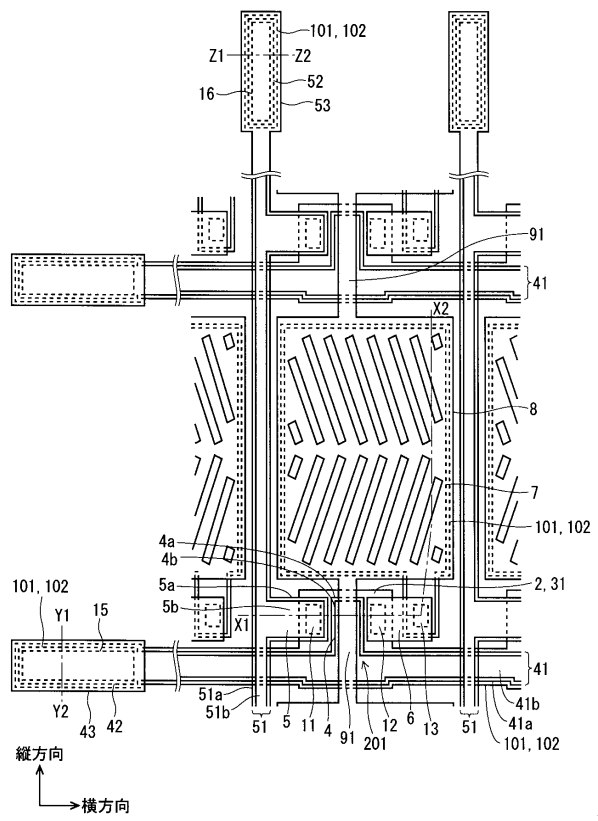
【図 2 4】



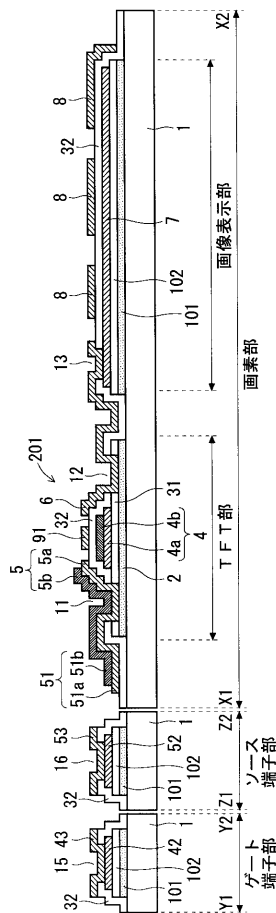
【図 25】



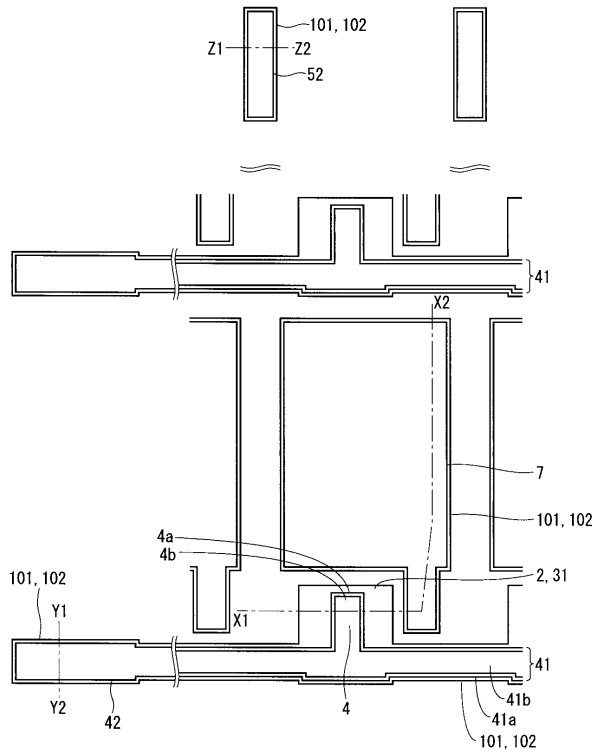
【図 26】



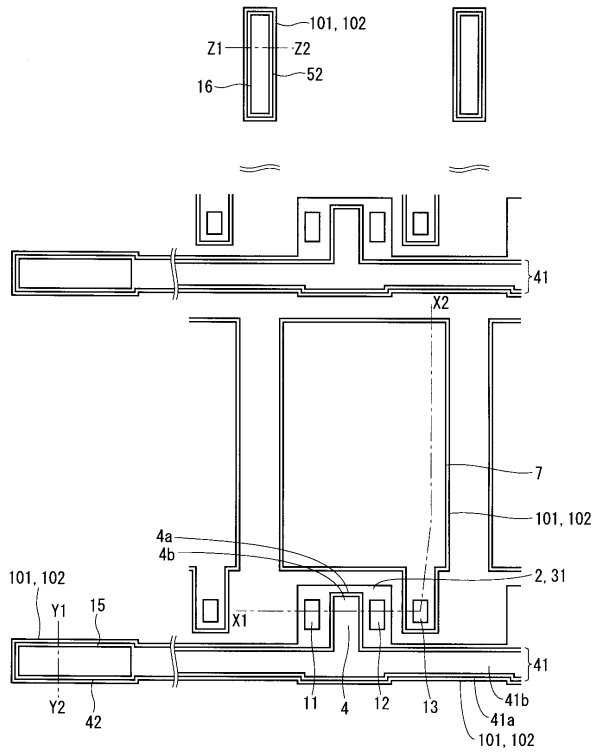
【図 27】



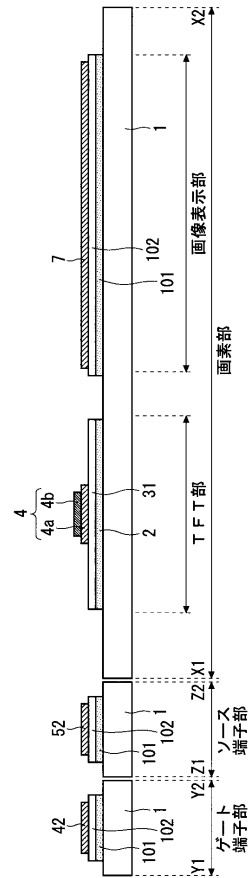
【図 28】



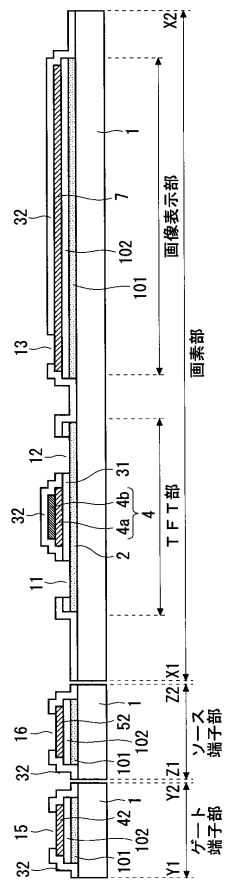
【図 29】



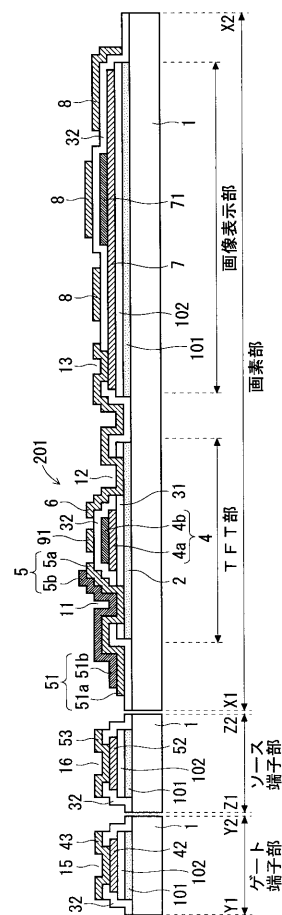
【図 30】



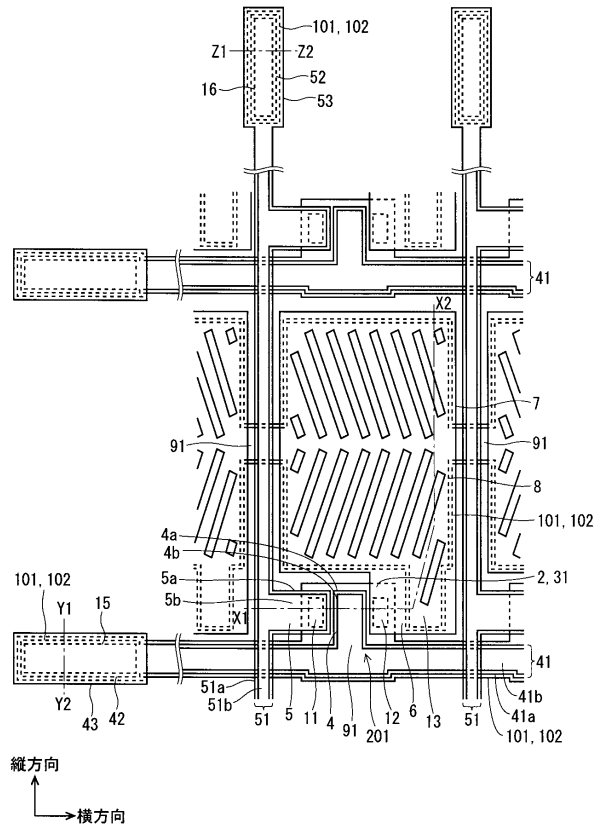
【図 31】



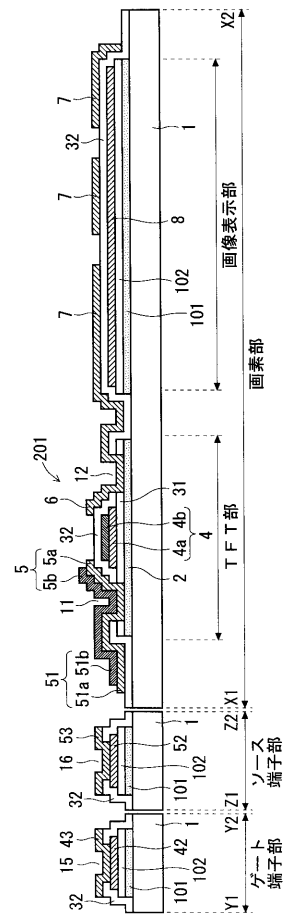
【図 32】



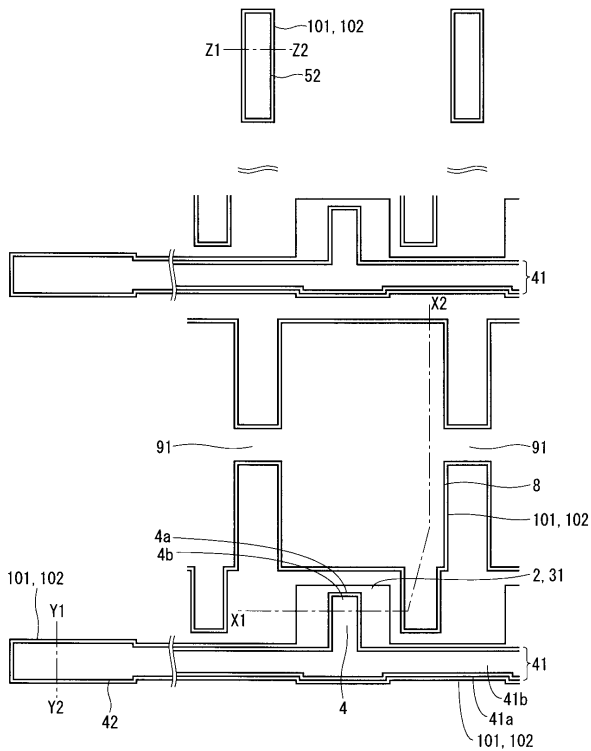
【図 3 3】



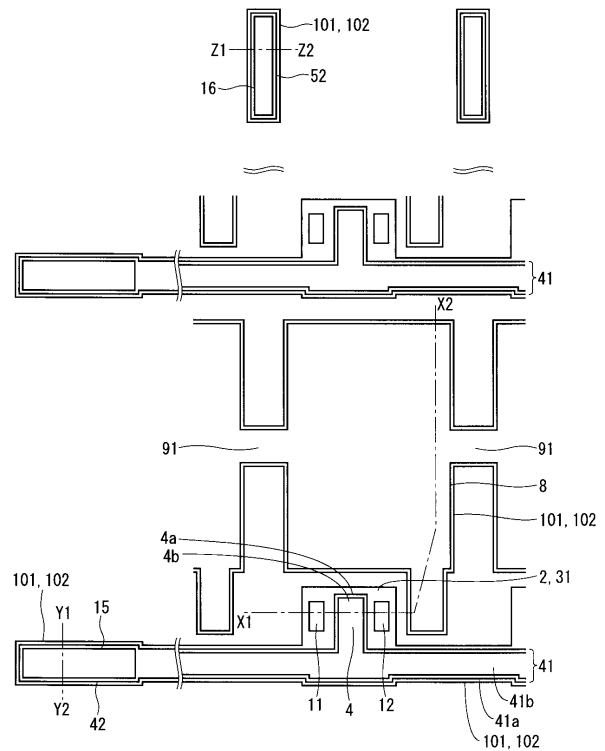
【図 3 4】



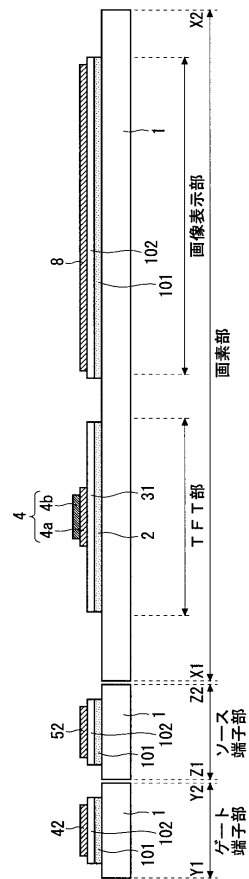
【図 3 5】



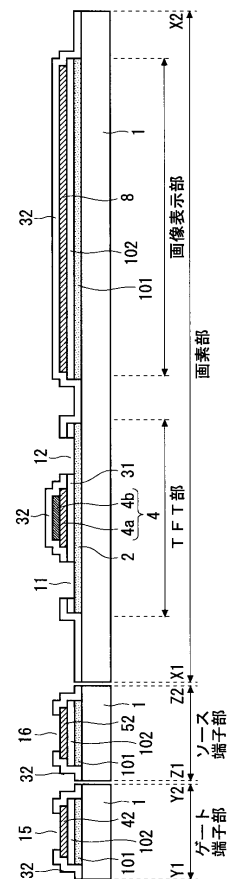
【図 3 6】



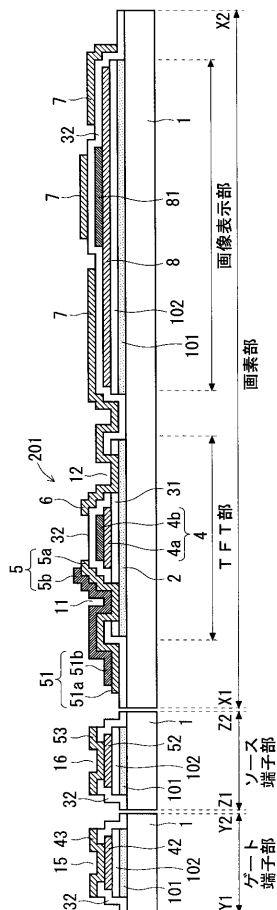
【図 37】



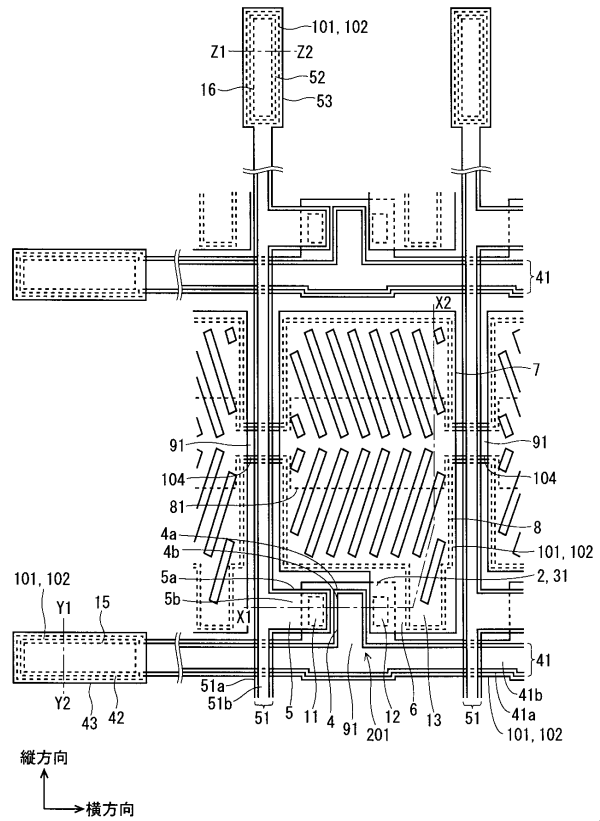
【図 38】



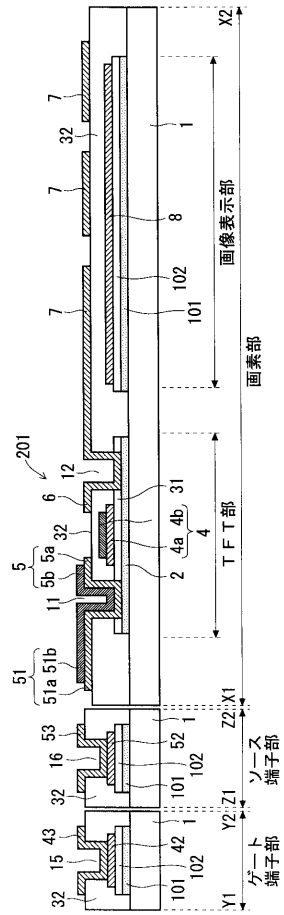
【図 39】



【図 40】



【図 4 1】





---

フロントページの続き

- (72)発明者 長山 顕祐  
熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内
- (72)発明者 津村 直樹  
熊本県合志市御代志 9 9 7 番地 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 廣田 かおり

- (56)参考文献 特開 2 0 1 0 - 1 5 6 9 6 3 ( J P , A )  
特開平 0 2 - 0 5 8 0 2 9 ( J P , A )  
特開 2 0 0 8 - 0 4 0 2 3 4 ( J P , A )  
特開 2 0 0 1 - 2 3 5 7 6 3 ( J P , A )  
特開 2 0 1 2 - 0 9 3 7 0 7 ( J P , A )  
特開 2 0 1 2 - 1 1 8 1 9 9 ( J P , A )  
米国特許出願公開第 2 0 1 2 / 0 1 3 3 8 5 6 ( U S , A 1 )  
特開 2 0 0 9 - 0 9 9 8 2 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8  
G 0 2 F 1 / 1 3 4 3