



(12) 发明专利申请

(10) 申请公布号 CN 105428362 A

(43) 申请公布日 2016. 03. 23

(21) 申请号 201410427086. 6

(22) 申请日 2014. 08. 27

(71) 申请人 旺宏电子股份有限公司

地址 中国台湾新竹科学工业园区力行路 16 号

(72) 发明人 刘光文

(74) 专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 任岩

(51) Int. Cl.

H01L 27/115(2006. 01)

H01L 21/8247(2006. 01)

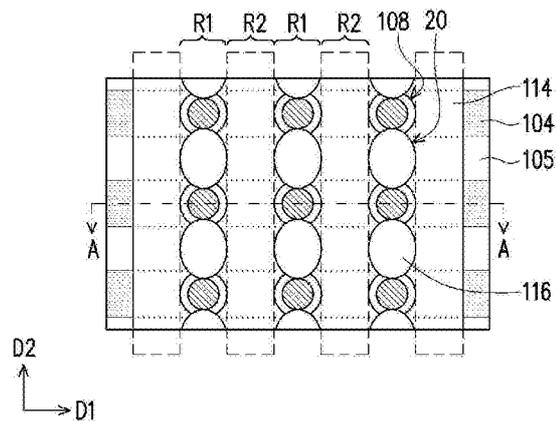
权利要求书2页 说明书6页 附图5页

(54) 发明名称

记忆元件及其制造方法

(57) 摘要

本发明是有关于一种记忆元件及其制造方法。该记忆元件包括多个栅极柱结构与多个介电柱沿着相同方向交替设置,且埋入于堆叠层中,将堆叠层分隔成多个堆叠结构。本发明利用个别的蚀刻工艺与沉积工艺,在堆叠层中嵌入多个栅极柱结构与多个介电柱,使得堆叠层被分隔成多个堆叠结构。因此,本发明的记忆元件及其制造方法可避免位元线通道的弯曲与字元线桥接的问题,提升产品的可靠度。



1. 一种记忆元件,其特征在于其包括:

多个栅极柱结构与多个介电柱沿着一相同方向交替设置,且埋入于一堆叠层中,将该堆叠层分隔成多个堆叠结构。

2. 根据权利要求 1 所述的记忆元件,其特征在于其还包括:

一基底,具有多个第一区与多个第二区,其中该些第一区与该些第二区沿着一第一方向相互交替;

多个字元线,位于该基底上,其中每一字元线沿着该第一方向延伸,且横越该些第一区与该些第二区;

多个隔离结构,位于相邻两个字元线之间的该基底上,其中每一隔离结构沿着该第一方向延伸,且横越该些第一区与该些第二区;

该些堆叠结构,位于该些第二区的该些字元线与该些隔离结构上,每一堆叠结构沿着一第二方向延伸,且横越该些字元线与该些隔离结构;

该些栅极柱结构,位于该些第一区内,每一栅极柱结构沿着一第三方向延伸,其中每一栅极柱结构包括:

一导体柱,每一导体柱的底部与所对应的该字元线电性连接;及

一电荷储存层,每一电荷储存层位于所对应的该导体柱周围,以电性隔离所对应的该堆叠结构以及该导体柱,其中该第一方向与该第二方向不同,且与该第三方向不同;以及

该些介电柱,位于该些第一区中的该些隔离结构上,该些介电柱沿着该第三方向延伸且与该些栅极柱结构沿着该第二方向相互交替,以电性隔离该些栅极柱结构与该些堆叠结构。

3. 根据权利要求 2 所述的记忆元件,其特征在于其中相邻两个第一区的该些栅极柱结构及该些介电柱之间的该第二区的该堆叠结构的侧壁的形状包括锯齿状或波浪状。

4. 根据权利要求 2 所述的记忆元件,其特征在于其中每一堆叠结构包括多个绝缘层与多个导体层,其中该些绝缘层与该些导体层沿着该第三方向交互堆叠。

5. 根据权利要求 1 所述的记忆元件,其特征在于其中每一堆叠结构两侧的该些栅极柱结构构成双栅极结构。

6. 一种记忆元件的制造方法,其特征在于其包括以下步骤:

提供一基底,该基底具有多个第一区与多个第二区,其中该些第一区与该些第二区沿着一第一方向相互交替;

在该基底上形成多个字元线,每一字元线沿着该第一方向延伸,且横越该些第一区与该些第二区;

在每一字元线之间的该基底上形成一隔离结构,每一隔离结构沿着该第一方向延伸,且横越该些第一区与该些第二区,其中该些字元线与该些隔离结构沿着一第二方向相互交替;

在该基底上形成一堆叠层;

在该些第一区的该些字元线上的该堆叠层中形成多个第一孔洞,以暴露该些字元线的顶面;

在每一第一孔洞中形成一栅极柱结构,每一栅极柱结构沿着一第三方向延伸,其中每一栅极柱结构包括:

一导体柱,每一导体柱的底部与所对应的该字元线电性连接;及

一电荷储存层,每一电荷储存层位于所对应的该导体柱周围,以电性隔离所对应的该堆叠层以及该导体柱,其中该第一方向与该第二方向不同,且与该第三方向不同;

在该些第一区的该些隔离结构上的该堆叠层中形成多个第二孔洞,以暴露出该些隔离结构的顶面,其中该些第二孔洞与该些栅极柱结构沿着该第二方向相互交替,

每一第二孔洞与其相邻的该栅极柱结构互相接触,使得该堆叠层在该些第二区中形成多个堆叠结构,其中该些堆叠结构沿着该第二方向延伸;以及

在每一第二孔洞中形成一介电柱,该些介电柱沿着该第三方向延伸,且与该些栅极柱结构沿着该第二方向相互交替,以电性隔离该些栅极柱结构与该些堆叠结构。

7. 根据权利要求6所述的记忆元件的制造方法,其特征在于其中在每一第一孔洞中形成所对应的该栅极柱结构的步骤包括:

在该基底上形成一电荷储存材料层,该电荷储存材料层覆盖该堆叠层的顶面、该些第一孔洞的侧壁以及该些字元线的顶面;

进行非等向性蚀刻工艺,移除部分该电荷储存材料层,以暴露该堆叠层与该些字元线的顶面,以在每一第一孔洞的侧壁上形成一电荷储存层;以及

在每一第一孔洞中形成一导体柱,使得每一电荷储存层位于所对应的该导体柱周围。

8. 根据权利要求6所述的记忆元件的制造方法,其特征在于其中在每一第二孔洞中形成所对应的该介电柱的步骤包括:

在该基底上形成一介电材料层,该介电材料层填入该些第二孔洞中;以及

对该介电材料层进行平坦化工艺,以暴露出该些栅极柱结构与该些堆叠结构的顶面。

9. 根据权利要求6所述的记忆元件的制造方法,其特征在于其中每一堆叠结构包括多个绝缘层与多个导体层,其中该些绝缘层与该些导体层沿着该第三方向交互堆叠。

10. 一种记忆元件的制造方法,其特征在于其包括以下步骤:

在一基底上形成一堆叠层;以及

将多个栅极柱结构与多个介电柱埋入于该堆叠层中,该些栅极柱结构与该些介电柱沿着一相同方向交替设置,将该堆叠层分隔成多个堆叠结构。

11. 根据权利要求10所述的记忆元件的制造方法,其特征在于其中将多个栅极柱结构与多个介电柱埋入于该堆叠层中的步骤包括:

在该堆叠层中形成多个第一孔洞;

在该些第一孔洞中形成该些栅极柱结构;

在该堆叠层中形成多个第二孔洞,其中该些第二孔洞与该些栅极柱结构沿着一相同方向互相交替;以及

在该些第二孔洞中形成该些介电柱。

12. 根据权利要求11所述的记忆元件的制造方法,其特征在于其中在该些第一孔洞中形成该些栅极柱结构的步骤包括:

在每一第一孔洞中形成一电荷储存层;以及

在每一第一孔洞中形成一导体柱,使该电荷储存层位于该导体柱周围。

## 记忆元件及其制造方法

### 技术领域

[0001] 本发明涉及一种半导体元件及其制造方法,特别是涉及一种记忆元件及其制造方法。

### 背景技术

[0002] 随着科技日新月异,电子元件的进步增加了对更大储存能力的需要。为了增加储存能力,记忆元件变得更小而且集成度更高。因此,三维记忆元件已逐渐受到业界的高度关注。

[0003] 然而,随着三维记忆元件的集成度提高,由于高高宽比(High aspect ratio)与复合膜堆叠(Complex film stack)所导致垂直栅极(Vertical gate)工艺上的缺陷也随之增加。上述缺陷包括位元线通道的弯曲(BL channel bending)与字元线桥接(WL bridge)的现象等等。因此,如何发展出一种高集成度的记忆元件及其制造方法,以避免位元线通道的弯曲与字元线桥接的现象已成为当前业界重要的研发课题之一。

### 发明内容

[0004] 本发明的目的在于,提供一种新的记忆元件及其制造方法,所要解决的技术问题是使其可以解决垂直栅极工艺上位元线通道的弯曲与字元线桥接的问题。

[0005] 本发明的另一目的在于,提供一种新的记忆元件及其制造方法,所要解决的技术问题是使其可以应用在电荷捕捉记忆体(Charge trapping memory)、非挥发记忆体(Non-volatile memory)以及嵌入式记忆体(Embedded memory)。

[0006] 本发明的目的及解决其技术问题是采用以下技术方案来实现的。依据本发明提出的一种记忆元件,包括多个栅极柱结构与多个介电柱沿着相同方向交替设置,且埋入于堆叠层中,将堆叠层分隔成多个堆叠结构。

[0007] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0008] 前述的记忆元件,还包括基底、多个字元线、多个隔离结构以及上述堆叠结构。其中,基底具有多个第一区与多个第二区,该些第一区与该些第二区沿着第一方向相互交替。多个字元线位于基底上,每一字元线沿着第一方向延伸,且横越该些第一区与该些第二区。多个隔离结构位于相邻两个字元线之间的基底上,每一隔离结构沿着第一方向延伸,且横越该些第一区与该些第二区。堆叠结构是位于第二区的该些字元线与该些隔离结构上,每一堆叠结构沿着第二方向延伸,且横越该些字元线与该些隔离结构。该些栅极柱结构是位于第一区内,每一栅极柱结构沿着第三方向延伸。每一栅极柱结构包括导体柱与电荷储存层。每一导体柱的底部与所对应的字元线电性连接。每一电荷储存层位于所对应的导体柱周围,以电性隔离所对应的堆叠结构以及导体柱。其中第一方向与第二方向不同,且与第三方向不同。该些介电柱是位于第一区中的隔离结构上。该些介电柱沿着第三方向延伸且与该些栅极柱结构沿着第二方向相互交替,以电性隔离栅极柱结构与堆叠结构。

[0009] 前述的记忆元件,其中相邻两个第一区的栅极柱结构及介电柱之间的第二区的堆

叠结构的侧壁的形状包括锯齿状或波浪状。

[0010] 前述的记忆元件,其中每一堆叠结构包括多个绝缘层与多个导体层,其中该些绝缘层与该些导体层沿着第三方向交互堆叠。

[0011] 前述的记忆元件,其中每一堆叠结构两侧的该些栅极柱结构构成为双栅极 (Dual Gate) 结构。

[0012] 本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明提出的一种记忆元件的制造方法,其步骤如下:提供基底,该基底具有多个第一区与多个第二区。该些第一区与该些第二区沿着第一方向相互交替。在基底上形成多个字元线。每一字元线沿着第一方向延伸,且横越该些第一区与该些第二区。在每一字元线之间的基底上形成隔离结构。每一隔离结构沿着第一方向延伸,且横越该些第一区与该些第二区。其中该些字元线与该些隔离结构沿着第二方向相互交替。在基底上形成堆叠层。在第一区的字元线上的堆叠层中形成多个第一孔洞,以暴露字元线的顶面。在每一第一孔洞中形成栅极柱结构。每一栅极柱结构沿着第三方向延伸。每一栅极柱结构包括导体柱与电荷储存层。每一导体柱的底部与所对应的字元线电性连接。每一电荷储存层位于所对应的导体柱周围,以电性隔离所对应的堆叠层以及导体柱。上述第一方向与第二方向不同,且与第三方向不同。在第一区的隔离结构上的堆叠层中形成多个第二孔洞,以暴露出隔离结构的顶面。该些第二孔洞与该些栅极柱结构沿着第二方向相互交替。每一第二孔洞与其相邻的栅极柱结构互相接触,使得堆叠层在第二区中形成多个堆叠结构。上述堆叠结构沿着第二方向延伸。在每一第二孔洞中形成介电柱。上述介电柱沿着第三方向延伸,且该些介电柱与该些栅极柱结构沿着第二方向相互交替,以电性隔离栅极柱结构与堆叠结构。

[0013] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0014] 前述的记忆元件的制造方法,其中在每一第一孔洞中形成所对应的栅极柱结构的步骤如下:在基底上形成电荷储存材料层。电荷储存材料层覆盖堆叠层的顶面、第一孔洞的侧壁以及字元线的顶面。进行非等向性蚀刻工艺,移除部分电荷储存材料层,以暴露堆叠层与字元线的顶面,以在每一第一孔洞的侧壁上形成电荷储存层。之后,在每一第一孔洞中形成导体柱,使得每一电荷储存层位于所对应的导体柱周围。

[0015] 前述的记忆元件的制造方法,其中在每一第二孔洞中形成所对应的介电柱的步骤如下:在基底上形成介电材料层。上述介电材料层填入第二孔洞中。之后,对介电材料层进行平坦化工艺,以暴露出栅极柱结构与堆叠结构的顶面。

[0016] 前述的记忆元件的制造方法,其中每一堆叠结构包括多个绝缘层与多个导体层。该些绝缘层与该些导体层沿着第三方向交互堆叠。

[0017] 本发明的目的及解决其技术问题另外再采用以下技术方案来实现。依据本发明提出的一种记忆元件的制造方法,包括在基底上形成堆叠层,将多个栅极柱结构与多个介电柱埋入于堆叠层中。该些栅极柱结构与该些介电柱沿着相同方向交替设置,将堆叠层分隔成多个堆叠结构。

[0018] 本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

[0019] 前述的记忆元件的制造方法,其中将多个栅极柱结构与多个介电柱埋入于该堆叠层中的步骤如下:在堆叠层中形成多个第一孔洞。在第一孔洞中形成栅极柱结构。在堆叠层中形成多个第二孔洞,其中该些第二孔洞与该些栅极柱结构沿着一相同方向互相交替。

在第二孔洞中形成介电柱。

[0020] 前述的记忆元件的制造方法,其中在第一孔洞中形成栅极柱结构的步骤包括:在每一第一孔洞中形成电荷储存层;以及在每一第一孔洞中形成导体柱,使该电荷储存层位于该导体柱周围。

[0021] 本发明与现有技术相比具有明显的优点和有益效果。借由上述技术方案,本发明记忆元件及其制造方法至少具有下列优点及有益效果:本发明利用个别的蚀刻工艺与沉积工艺,在堆叠层中嵌入多个栅极柱结构与多个介电柱,使得堆叠层被分隔成多个堆叠结构(例如是做为位元线)。因此,本发明的记忆元件及其制造方法可避免位元线通道的弯曲与字元线桥接的问题,提升产品的可靠度。

[0022] 上述说明仅是本发明技术方案的概述,为了能够更清楚了解本发明的技术手段,而可依照说明书的内容予以实施,并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂,以下特举较佳实施例,并配合附图,详细说明如下。

### 附图说明

[0023] 图 1A 至图 1E 是依照本发明实施例所绘示的记忆元件的制造流程的俯视示意图。

[0024] 图 2A 至图 2E 分别是沿图 1A 至图 1E 的 A-A 线的剖面示意图。

- |        |                |                |
|--------|----------------|----------------|
| [0025] | 10、20 :孔洞      | 100 :基底        |
| [0026] | 102 :隔离层       | 104 :字元线       |
| [0027] | 105 :隔离结构      | 106 :堆叠层       |
| [0028] | 106a、114b :导体层 | 106b、114a :绝缘层 |
| [0029] | 108 :栅极柱结构     | 110 :电荷储存层     |
| [0030] | 112 :导体柱       | 114 :堆叠结构      |
| [0031] | 116 :介电柱       | D1、D2、D3 :方向   |
| [0032] | R1、R2 :区       |                |

### 具体实施方式

[0033] 为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的记忆元件及其制造方法其具体实施方式、结构、方法、步骤、特征及其功效,详细说明如后。

[0034] 图 1A 至图 1E 是依照本发明实施例所绘示的记忆元件的制造流程的俯视示意图。图 2A 至图 2E 分别是沿图 1A 至图 1E 的 A-A 线的剖面示意图。

[0035] 请同时参阅图 1A 与图 2A 所示,基底 100 例如为半导体基底、半导体化合物基底或是绝缘层上有半导体基底 (Semiconductor Over Insulator, SOI)。半导体例如是 IVA 族的原子,例如硅或锗。半导体化合物例如是 IVA 族的原子所形成的半导体化合物,例如是碳化硅或是硅化锗,或是 IIIA 族原子与 VA 族原子所形成的半导体化合物,例如是砷化镓。基底 100 具有多个第一区 R1 与多个第二区 R2。第一区 R1 与第二区 R2 在第二方向 D2 延伸,且沿着第一方向 D1 相互交替。第二方向 D2 与第一方向 D1 不同。在一实施例中,第一方向 D1 与第二方向 D2 实质上垂直。

[0036] 接着,在基底 100 上形成多个字元线 104。每一字元线 104 沿着第一方向 D1 延伸,

且横越第一区 R1 与第二区 R2。具体来说,先在基底 100 上形成字元线材料层(未绘示)。之后,对字元线材料层进行微影工艺与蚀刻工艺,以在基底 100 上形成多个字元线 104。上述蚀刻工艺可例如是干式蚀刻工艺。干式蚀刻工艺可例如是反应性离子蚀刻法(Reactive Ion Etching, RIE)。字元线 104 的材料可包括多晶硅、金属硅化物、金属或其组合,其形成方法可利用化学气相沉积法来形成。金属硅化物可例如是硅化钨或硅化钴、硅化镍、硅化钛、硅化铜、硅化钼、硅化钽、硅化铌、硅化铪、硅化锆、或硅化铂。

[0037] 然后,在相邻的两个字元线 104 之间形成隔离结构 105。每一隔离结构 105 沿着第一方向 D1 延伸,且横越第一区 R1 与第二区 R2。具体地说,在基底 100 上形成隔离结构材料层(未绘示)。之后,对隔离结构材料层进行回蚀刻工艺,以在每一字元线 104 之间形成隔离结构 105。隔离结构 105 配置于相邻两个字元线 104 之间,且字元线 104 与隔离结构 105 沿着第二方向相互交替,其使得多条字元线 104 彼此电性隔离。隔离结构 105 的材料包括氧化硅或介电常数低于 4 的低介电常数材料层,其形成方法可利用化学气相沉积法来形成。

[0038] 请同时参阅图 1B 与图 2B 所示,在基底 100 上形成堆叠层 106。堆叠层 106 包括多个绝缘层 106a 与多个导体层 106b,其中绝缘层 106a 与导体层 106b 沿着第三方向 D3 交互堆叠。第三方向 D3 与第一方向 D1 不同,且与第二方向 D2 不同。在一实施例中,第三方向 D3 实质上垂直于第一方向 D1 与第二方向 D2,且第一方向 D1 实质上垂直于第二方向 D2。

[0039] 在一实施例中,导体层 106b 的数目可包括 8 层、16 层、32 层或更多层。同样地,绝缘层 106a 配置于相邻两个导体层 106b 之间,因此,绝缘层 106a 也可包括 8 层、16 层、32 层或更多层。在一实施例中,绝缘层 106a 的材料可包括氧化硅、氮化硅或其组合,其形成方法可利用化学气相沉积法来形成。导体层 106b 的材料可包括是掺杂多晶硅、非掺杂多晶硅或其组合,其形成方法可利用化学气相沉积法。

[0040] 请同时参阅图 1C 与图 2C 所示,对堆叠层 106 进行微影工艺与蚀刻工艺,以在第一区 R1 的字元线 104 上的堆叠层 106 中形成多个第一孔洞 10。第一孔洞 10 沿着第三方向延伸,暴露出在第一区 R1 的字元线 104。在一实施例中,第一孔洞 10 的形状可例如是圆形、方形、矩形或任意形状,只要在经过上述微影工艺与蚀刻工艺之后,能够贯穿堆叠层 106 至字元线 104 即可。每一第一孔洞 10 的尺寸可大于或等于所对应的字元线 104 的宽度,只要每一第一孔洞 10 不与另一第一孔洞 10 互相连通即可。上述蚀刻工艺可例如是干式蚀刻工艺。干式蚀刻工艺可例如是反应性离子蚀刻法。

[0041] 请同时参阅图 1D 与图 2D 所示,在每一第一孔洞 10 中形成一个栅极柱结构 108。每一栅极柱结构 108 沿着第三方向 D3 延伸。每一栅极柱结构 108 包括电荷储存层 110 与导体柱 112(例如是做为控制栅极)。每一导体柱 112 的底部与所对应的字元线 104 电性连接。因此,每一导体柱 112 可当作对所对应的字元线 104 的延伸,其具有字元线的作用。每一电荷储存层 110 位于所对应的导体柱 112 周围,以使所对应的堆叠层 106 的多个导体层 106b 以及导体柱 112 电性隔离。具体来说,在每一第一孔洞 10 中形成所对应的栅极柱结构 108 的步骤如下。首先,在基底 100 上形成电荷储存材料层(未绘示)。电荷储存材料层覆盖堆叠层 106 的顶面、第一孔洞 10 的侧壁以及字元线 104 的顶面。接着,进行非等向性蚀刻工艺,移除部分该电荷储存材料层,以暴露堆叠层 106 与字元线 104 的顶面,以在每一第一孔洞 10 的侧壁上形成电荷储存层 110。之后,在基底 100 上形成导体材料层,导体材料层覆盖堆叠层 106 的顶面,并填满第一孔洞 10。接着,进行化学机械研磨工艺,移除部

分导体材料层至暴露出堆叠层 106 的顶面,以在每一第一孔洞 10 中形成导体柱 112,使得每一电荷储存层 110 位于导体柱 112 周围。在一实施例中,电荷储存材料层的材料可包括氧化层、氮化层或其任意组合的复合层,此复合层可为三层或更多层,本发明并不限于此。电荷储存材料层的形成方法可以是化学气相沉积法、热氧化法等。举例来说,电荷储存材料层可包括氧化层 / 氮化层 / 氧化层 (ONO)、氧化层 / 氮化层 / 氧化层 / 氮化层 (ONON) 等复合层。在一实施例中,导体材料层的材料可包括多晶硅、金属硅化物、金属或其组合,其形成方法可利用化学气相沉积法来形成。金属硅化物可例如是硅化钨或硅化钴、硅化镍、硅化钛、硅化铜、硅化钼、硅化钽、硅化铪、硅化锆、或硅化铂。

[0042] 请同时参阅图 1E 与图 2E 所示,在第一区 R1 的隔离结构 105 上的堆叠层 106 中形成多个介电柱 116。介电柱 116 沿着第三方向 D3 延伸,且与栅极柱结构 108 沿着第二方向 D2 相互交替,以电性隔离栅极柱结构 108 与堆叠结构 114。

[0043] 具体来说,首先,对堆叠层 106 进行微影工艺与蚀刻工艺,以在第一区 R1 的隔离结构 105 上的堆叠层 106 中形成多个第二孔洞 20。第二孔洞 20 暴露出隔离结构 105 的表面,且沿着第三方向延伸。第二孔洞 20 与栅极柱结构 108 沿着第二方向 D2 相互交替。每一第二孔洞 20 的侧壁裸露出与其相邻的栅极柱结构 108。在一实施例中,第二孔洞 20 的形状可例如是圆形、方形、矩形或任意形状,只要在经过上述微影工艺与蚀刻工艺之后,能够贯穿堆叠层 106 至隔离结构 105 的顶面即可。每一第二孔洞 20 的尺寸可大于或等于所对应的隔离结构 105 的宽度,只要每一第二孔洞 20 可裸露出所对应的栅极柱结构 108 即可。在一实施例中,上述蚀刻工艺可例如是干式蚀刻工艺。干式蚀刻工艺可例如是反应性离子蚀刻法。

[0044] 接着,在基底 100 上形成介电材料层(未绘示),介电材料层填入第二孔洞 20 中。介电材料层的材料可包括氧化硅、氮化硅或其组合,其形成方法可利用化学气相沉积法来形成。然后,对介电材料层进行平坦化工艺,以暴露出栅极柱结构 108 与堆叠结构 114 的顶面,其使得第二孔洞 20 中形成多个介电柱 116。在一实施例中,平坦化工艺可例如是化学机械研磨 (Chemical-Mechanical Polishing, CMP) 工艺。

[0045] 换言之,藉由在第一区 R1 中的堆叠层 106 之中嵌入介电柱 116 与栅极柱结构 108,可将堆叠层 106 分隔成多个堆叠结构 114。堆叠结构 114 沿着第二方向 D2 延伸,位于相邻两个第一区 R1 中的介电柱 116 与栅极柱结构 108 之间,且横越多个字元线 104 与多个隔离结构 105。当介电柱 116 与栅极柱结构 108 任一者不是呈矩形且尺寸不同时,堆叠结构 114 的侧壁不是平面,其侧壁形状包括锯齿状或波浪状。

[0046] 请同时参阅图 1E 与图 2E 所示,本发明实施例的记忆元件包括基底 100、多个字元线 104、多个隔离结构 105、多个栅极柱结构 108、多个堆叠结构 114(例如是做为多个位元线)以及多个介电柱 116。

[0047] 基底 100 具有多个第一区 R1 与多个第二区 R2。第一区 R1 与第二区 R2 沿着第一方向 D1 相互交替。多个字元线 104 位于基底 100 上。每一字元线 104 沿着第一方向 D1 延伸,且横越第一区 R1 与第二区 R2。多个隔离结构 105 位于相邻两个字元线 104 之间的基底 100 上。每一隔离结构 105 沿着第一方向 D1 延伸,且横越第一区 R1 与第二区 R2。每一堆叠结构 114 沿着第二方向 D2 延伸,且横越位于第二区 R2 的字元线 104 与隔离结构 105。每一堆叠结构 114 包括多个绝缘层 114a 与多个导体层 114b。绝缘层 114a 与导体层 114b

沿着第三方向 D3 交互堆叠（如图 2E 所示）。

[0048] 多个栅极柱结构 108 位于第一区 R1 内。每一栅极柱结构 108 沿着第三方向 D3 延伸。每一栅极柱结构 108 包括电荷储存层 110 与导体柱 112（例如是做为控制栅极）。每一导体柱 112 的底部与所对应的字元线 104 电性连接。每一电荷储存层 110 位于所对应的导体柱 112 周围，以电性隔离所对应的堆叠结构 114 以及导体柱 112。第一方向 D1 与第二方向 D2 不同，且与第三方向 D3 不同。在一实施例中，第三方向 D3 实质上垂直于第一方向 D1 与第二方向 D2，且第一方向 D1 实质上垂直于第二方向 D2。多个介电柱 116 位于第一区 R1 中的隔离结构 105 上。介电柱 116 沿着第三方向 D3 延伸且与栅极柱结构 108 沿着第二方向 D2 相互交替，以电性隔离栅极柱结构 108 与堆叠结构 114。

[0049] 如图 1E 与图 2E 所示，由于导体柱 112 可视为字元线 104 的延伸，而且每一堆叠结构 114（例如是做为位元线）位于相邻两个导体柱 112（例如是做为控制栅极）之间。因此，字元线 104 可利用堆叠结构 114 的两侧面的栅极柱结构 108 当作双栅极结构 (Dual Gate) 来控制本发明的记忆元件的操作。比起单面控制来说，本发明的记忆元件利用堆叠结构 114 的两侧面的双面控制可使得记忆元件的操作更为精准。

[0050] 综上所述，本发明利用个别的蚀刻工艺与沉积工艺，在堆叠层中嵌入多个栅极柱结构与多个介电柱，将堆叠层分隔成多个堆叠结构（例如是做为位元线）。由于栅极柱结构与介电柱是分别藉由在堆叠层开孔的蚀刻工艺与回填材料层来形成，因此，在堆叠结构中开出第一孔洞之后，相邻的两个第一孔洞之间还有剩余的堆叠层可在第一方向与第二方向提供支撑。而在堆叠结构中开出第二孔洞时，栅极柱结构可以在第一方向提供支撑。而且介电柱可电性隔离栅极柱结构以及堆叠结构。如此一来，本发明实施例的记忆元件及其制造方法便可避免由于堆叠结构的高高宽比而导致位元线通道的弯曲与字元线桥接的问题，进而提升产品的可靠度。

[0051] 以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制，虽然本发明已以较佳实施例揭露如上，然而并非用以限定本发明，任何熟悉本专业的技术人员，在不脱离本发明技术方案范围内，当可利用上述揭示的方法及技术内容作出些许的更动或修饰为等同变化的等效实施例，但凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰，均仍属于本发明技术方案的范围。

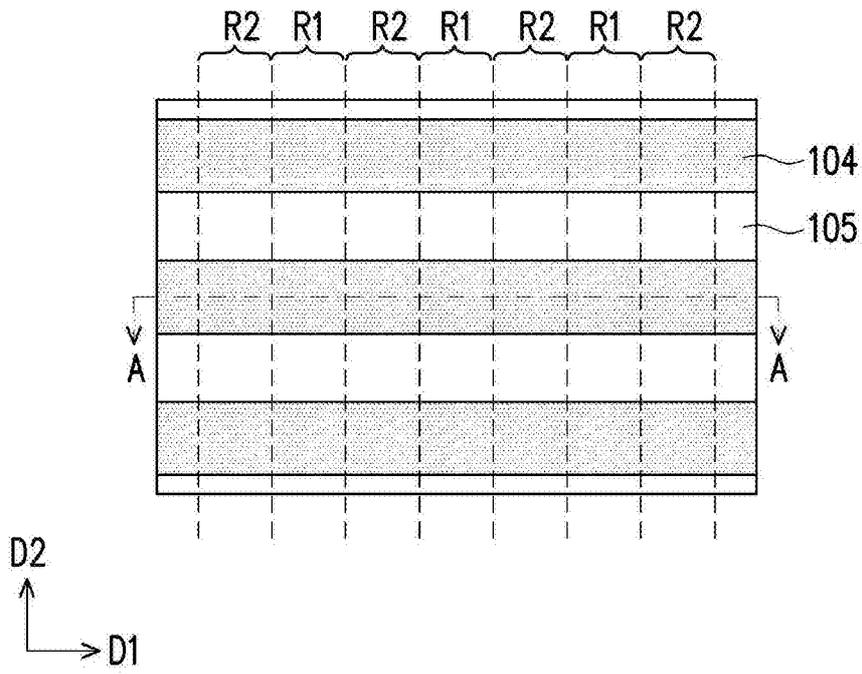


图 1A

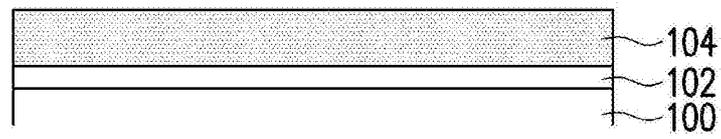


图 2A



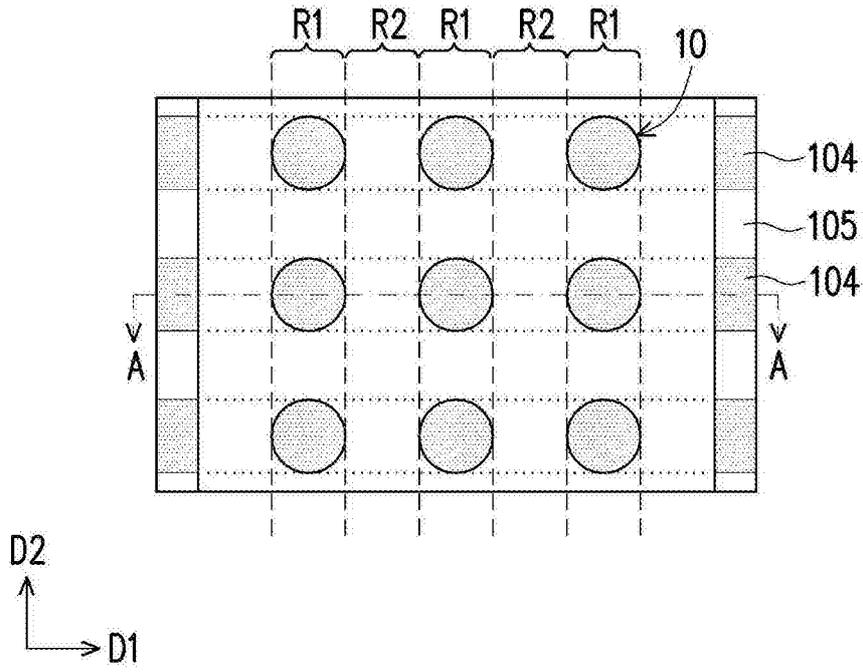


图 1C

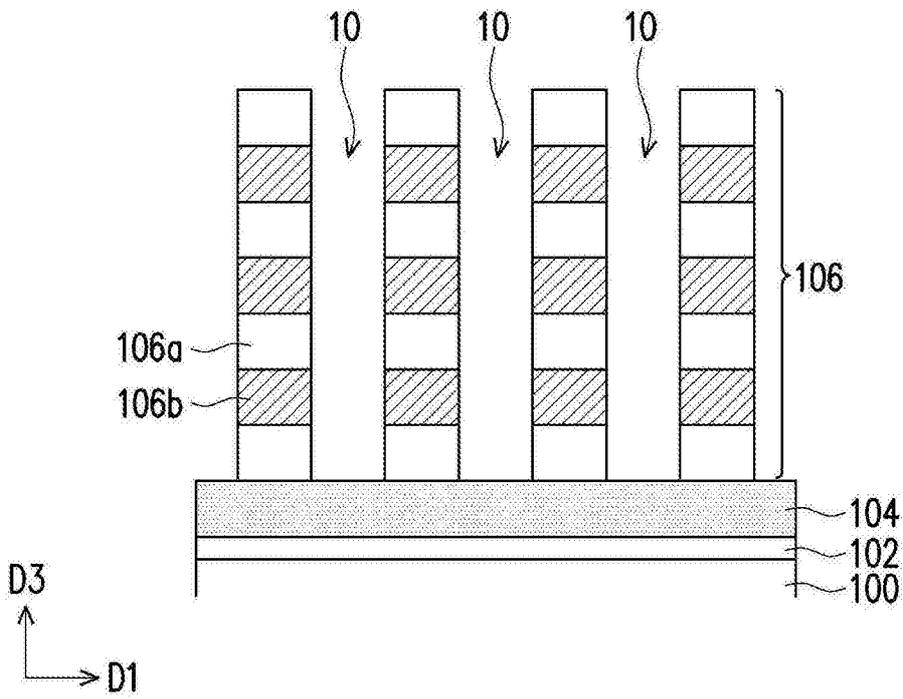


图 2C

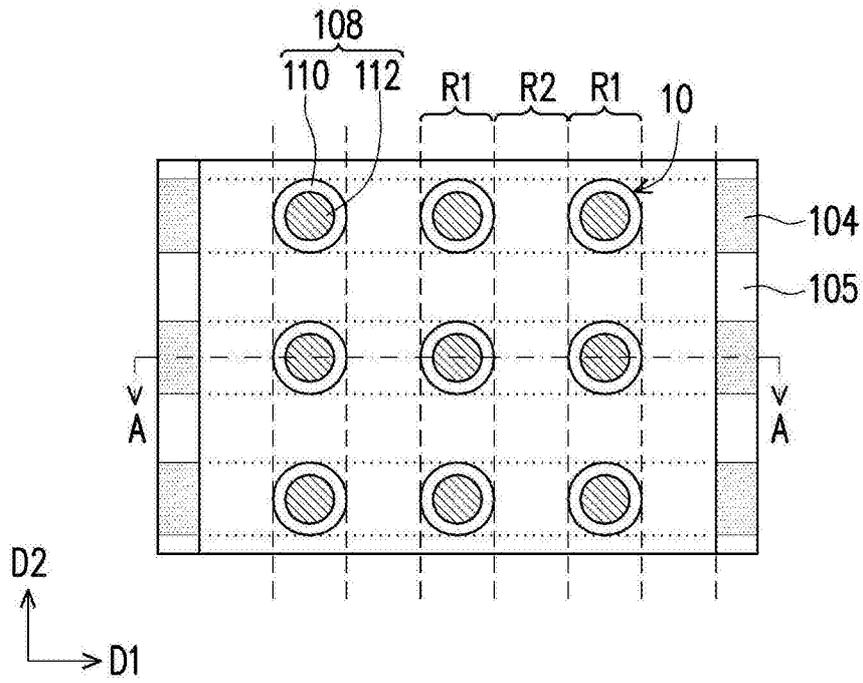


图 1D

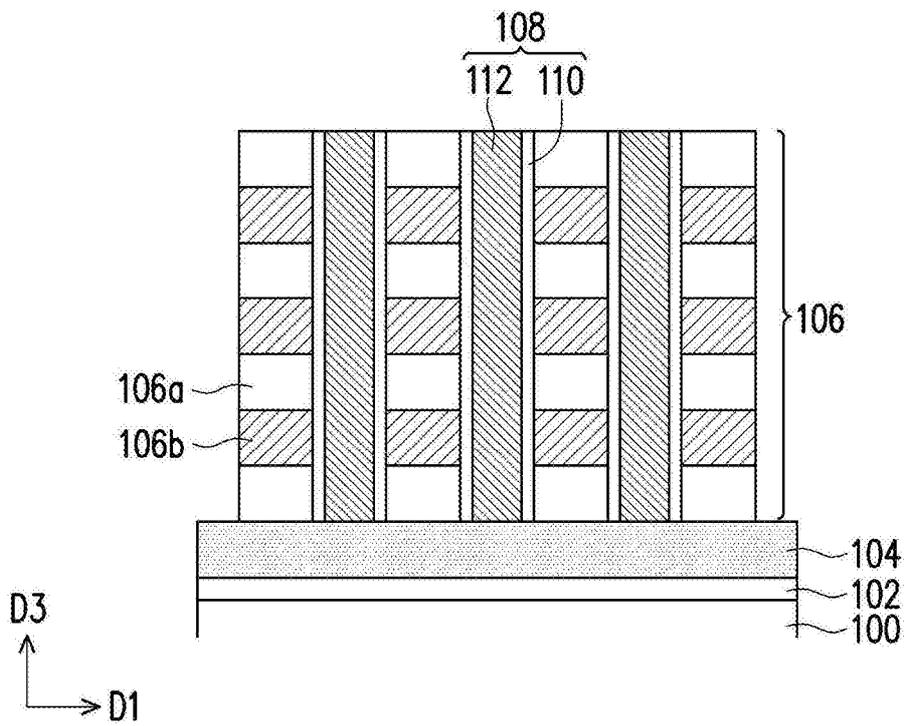


图 2D

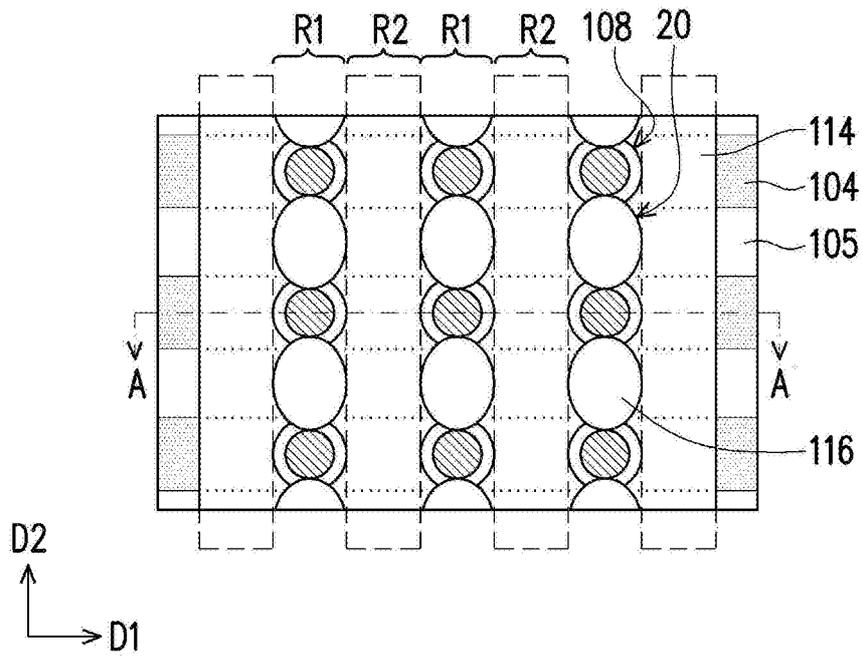


图 1E

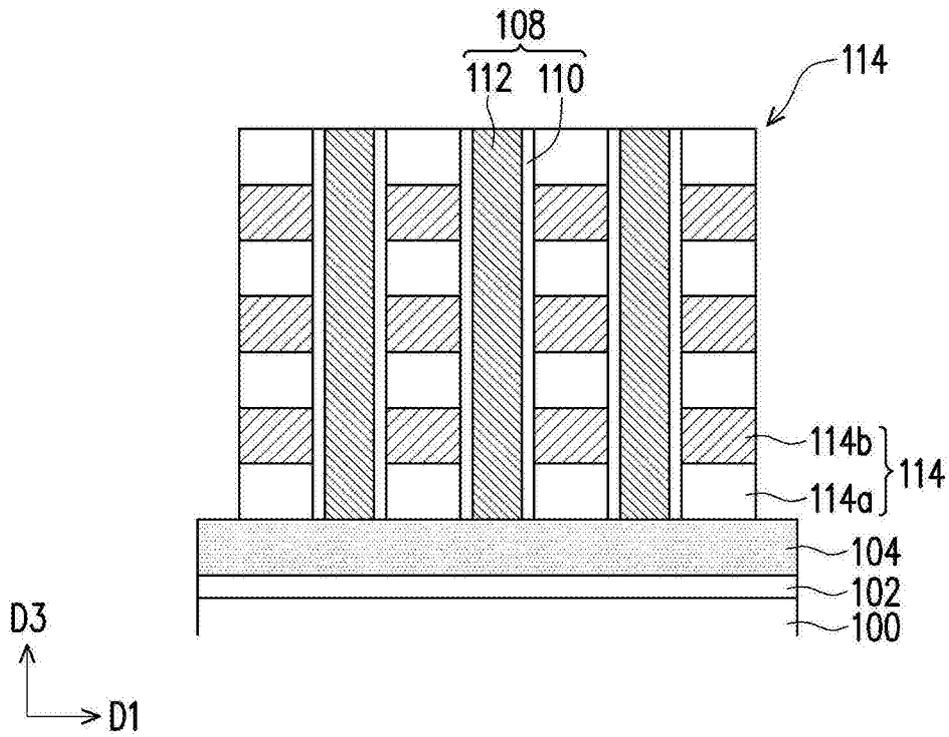


图 2E