

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7551061号
(P7551061)

(45)発行日 令和6年9月17日(2024.9.17)

(24)登録日 令和6年9月6日(2024.9.6)

(51)国際特許分類 F I
H 0 3 M 1/46 (2006.01) H 0 3 M 1/46

請求項の数 6 (全13頁)

(21)出願番号	特願2021-576414(P2021-576414)	(73)特許権者	000106276 サンケン電気株式会社 埼玉県新座市北野3丁目6番3号
(86)(22)出願日	令和2年11月12日(2020.11.12)	(72)発明者	林 秀樹 埼玉県新座市北野3丁目6番3号 サン ケン電気株式会社内
(86)国際出願番号	PCT/JP2020/042169	審査官	柳下 勝幸
(87)国際公開番号	WO2022/102035		
(87)国際公開日	令和4年5月19日(2022.5.19)		
審査請求日	令和5年7月20日(2023.7.20)		

最終頁に続く

(54)【発明の名称】 アナログデジタル変換回路

(57)【特許請求の範囲】

【請求項1】

変換データ生成器による変換データ生成動作と、容量DACによる電位生成動作と、比較器による比較動作とを分解能bit分繰り返すことで、アナログ入力をデジタル変換値に変換する逐次比較型のアナログデジタル変換回路であって、

前記容量DACで用いている容量と特性が等しい容量素子への充放電時間に基づいて、前記容量DACが生成する電位が静定する時刻を予測し、前記比較器に前記比較動作を開始させる比較器動作信号を生成する比較器動作信号生成回路を具備することを特徴とするアナログデジタル変換回路。

【請求項2】

前記比較器動作信号生成回路は、複数の注入電位でそれぞれ充電した前記容量素子のそれぞれ放電時間に基づいて、切り替えるbit毎に異なる前記容量DACの静定時間をそれぞれ予測することを特徴とする請求項1に記載のアナログデジタル変換回路。

【請求項3】

前記比較器動作信号生成回路は、注入電位で充電された前記容量素子の放電時間の繰り返しによって、切り替えるbit毎に異なる前記容量DACの静定時間をそれぞれ予測することを特徴とする請求項1に記載のアナログデジタル変換回路。

【請求項4】

前記容量素子は、放電スイッチを介して放電され、

前記放電スイッチは、前記容量DACで用いている容量と基準電位(Hight)もし

10

20

くは基準電位 (Low) とを接続するスイッチのオン抵抗と、同等のオン抵抗を有することを特徴とする請求項 2 又は 3 記載のアナログデジタル変換回路。

【請求項 5】

前記比較器動作信号生成回路は、注入電位で前記容量素子を充電する充電時間と、前記注入電位で充電された前記容量素子の放電時間との繰り返しによって、切り替える bit 毎に異なる前記容量 DAC の静定時間をそれぞれ予測することを特徴とする請求項 1 に記載のアナログデジタル変換回路。

【請求項 6】

前記容量素子は、充電スイッチ及び放電スイッチを介してそれぞれ充電及び放電され、前記充電スイッチ及び前記放電スイッチは、前記容量 DAC で用いている容量と基準電位 (High) もしくは基準電位 (Low) とを接続するスイッチのオン抵抗と、同等のオン抵抗を有することを特徴とする請求項 5 記載のアナログデジタル変換回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、逐次比較型のアナログデジタル変換回路 (以下、A/D変換回路と称す) に関するものである。

【背景技術】

【0002】

A/D変換回路は、入力したアナログ「電圧」を、デジタル処理を行う目的で「数値化」する装置であり、高速性、面積、消費電力のバランスが良い逐次比較型がよく使用される。

20

【0003】

逐次比較型の A/D 変換回路 1 は、図 7 を参照すると、アナログ入力した電位を基に容量 DAC 2 で生成した電位を比較器 3 で比較し、その結果を変換データ生成器 4 へフィードバックし、近似データ候補を容量 DAC 2 に伝える。この繰り返しを分解能 bit 分 (n ビット: n 回) 繰り返し、デジタル変換値を得る。

【先行技術文献】

【特許文献】

【0004】

【文献】特開昭 62 - 133821 号公報

【文献】特開昭 51 - 015363 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

容量 DAC 2 の容量 $C_0 \sim C_{(n-1)}$ は、切り替える bit ($n-1$) に対して $2^{(n-1)}$ のように重み付けされている。ここで、容量 DAC 2 が目標のレベルに達するまでの bit 毎の静定時間は、出力電位の変化量に比例し、出力電位の変化量は、容量 $C_0 \sim C_{(n-1)}$ に充放電される電荷量に比例し、容量 $C_0 \sim C_{(n-1)}$ に充放電される電荷量は、切り替える bit の容量に比例する。従って、容量 DAC 2 の静定時間は、切り替える bit に対して一様ではない。

40

【0006】

逐次比較型の A/D 変換回路 1 の分解能を (n) bit とした場合、1 つのアナログ値からデジタル値を得るために、変換データ生成器 4 による変換データ生成動作 [変換データ生成時間] と、容量 DAC 2 による電位生成動作 [容量 DAC 静定時間] と、比較器 3 による比較動作 [比較動作時間] とを n 回繰り返し、最後に変換データ生成器 4 による変換データ生成動作 [変換データ生成時間] を実行する。

【0007】

従って、変換時間は、
 {[変換データ生成時間] + [容量 DAC 静定時間] + [比較動作時間]} × n (回) + [変換データ生

50

成時間]

となる。

【0008】

この動作を等間隔の変換クロックを使って制御する場合、図8(a)に示すように、容量DAC2による電位生成動作に割り当てる[容量DAC静定時間]は、bit毎の静定時間のうち、最大になるケースを想定し、上位bitから下位bitにかけて同じ時間Tに設定される。図8には、分解能12bitの例が示されている。

【0009】

しかし、実際には、容量DAC2での静定時間は切り替えるbitに対して一様ではなく、下位bitになるほど短くなる傾向があるため、図8(b)に斜線で示す無駄な時間が[容量DAC静定時間]として割り当てられ、A/D変換回路1の高速化を妨げている。

10

【0010】

なお、下位ビットの決定時の変換クロックを上位ビット決定時の変換クロックに比べて早くする技術は、すでに提案されている(例えば、特許文献1、2参照)。

【0011】

しかかしながら、特許文献1、2では、変換クロックをシフトレジスタやカウンタを用いて変更させており、プロセス要因で容量値が変化することで容量DAC2の静定時間が変わることは考慮されていない。従って、想定される容量値の変化量をカバーする十分なマージンとして変換クロックの周期を設定する必要があり、このマージンが過剰な[容量DAC静定時間]の割り当てになってしまう。

20

【0012】

本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、過剰な[容量DAC静定時間]の割り当てをなくして、高速化を実現できるA/D変換回路を提供する点にある。

【課題を解決するための手段】

【0013】

本発明に係るA/D変換回路は、上記の目的を達成するため、次のように構成される。
本発明に係るA/D変換回路は、変換データ生成器による変換データ生成動作と、容量DACによる電位生成動作と、比較器による比較動作とを分解能bit分繰り返すことで、アナログ入力をデジタル変換値に変換する逐次比較型のアナログデジタル変換回路であって、前記容量DACで用いている容量と特性が等しい容量素子への充放電時間に基づいて、前記容量DACが生成する電位が静定する時刻を予測し、前記比較器に前記比較動作を開始させる比較器動作信号を生成する比較器動作信号生成回路を具備することを特徴とする。

30

【発明の効果】

【0014】

本発明のA/D変換回路は、容量DAC2で用いる容量と同じ特性の容量素子51を用いることで、真に必要な[容量DAC静定時間]を予測することができ、過剰な[容量DAC静定時間]の割り当てをなくして、高速化を実現できるという効果を奏する。

【図面の簡単な説明】

40

【0015】

【図1】本発明に係るA/D変換回路の第1の実施の形態の構成を示すブロック図である。

【図2】図1に示すA/D変換回路の動作説明図である。

【図3】図1に示す比較器動作信号生成回路の第1変形例を示す図である。

【図4】図1に示す比較器動作信号生成回路の第2変形例を示す図である。

【図5】図1に示す比較器動作信号生成回路の第3変形例を示す図である。

【図6】図1に示す比較器動作信号生成回路の第4変形例を示す図である。

【図7】従来のA/D変換回路の構成を示す図である。

【図8】従来のA/D変換回路の動作説明図である。

【発明を実施するための形態】

50

【 0 0 1 6 】

以下に、本発明の好適な実施の形態を添付図面に基づいて説明する。なお、実施の形態において、同様の機能を示す構成には、同一の符号を付して適宜説明を省略する。

【 0 0 1 7 】

本実施の形態の A / D 変換回路 1 0 は、逐次比較型であり、図 1 を参照すると、容量 D A C 2 と、比較器 3 と、変換データ生成器 4 0 と、比較器動作信号生成回路 5 とを備えている。

【 0 0 1 8 】

A / D 変換回路 1 0 は、アナログ入力した電位を基に容量 D A C 2 で生成した電位を比較器 3 で比較し、その結果を変換データ生成器 4 0 へフィードバックし、近似データ候補を容量 D A C 2 に伝える。この繰り返しを分解能 b i t 分 (n ビット : n 回) 繰り返し、デジタル変換値を得る。

10

【 0 0 1 9 】

容量 D A C 2 において、切り替える b i t (n - 1) に対して $2^{(n-1)}$ のように重み付けされている容量 $C_0 \sim C_{(n-1)}$ のそれぞれの一方端は、共通の比較配線 2 1 に接続され、比較配線 2 1 の電位が比較器 3 によって基準電位 V r e f と比較される。容量 $C_0 \sim C_{(n-1)}$ のそれぞれの他方端は、それぞれスイッチ 2 2 0 ~ 2 2 (n - 1) を介してアナログ入力 (電位) と、基準電位 (H i g h t) と、基準電位 (L o w) と、のいずれか 1 つが選択して接続される。なお、容量 C_a は、容量 C_0 容量値を有するダミーコンデンサであり、容量 C_a の一方端は、比較配線 2 1 に接続され、他方端は、スイッチ 2 2 a を介してアナログ入力 (電位) と、基準電位 (L o w) と、のいずれか 1 つが選択して接続される。

20

【 0 0 2 0 】

容量 D A C 2 では、切り替える b i t に応じて容量 $C_0 \sim C_{(n-1)}$ のいずれかをそれぞれスイッチ 2 2 0 ~ 2 2 (n - 1) を介して基準電位 (H i g h t) もしくは基準電位 (L o w) と接続することで、目標のレベルに到達させる。従って、スイッチ 2 2 0 ~ 2 2 (n - 1) を介して容量 $C_0 \sim C_{(n-1)}$ を基準電位 (H i g h t) に充電させる時間もしくは基準電位 (L o w) まで放電させる時間が静定時間となる。

【 0 0 2 1 】

比較器動作信号生成回路 5 は、変換データ生成器 4 0 が生成した変換データに基づいて容量 D A C 2 が生成する電位が静定する時刻を予測し、比較器 3 に比較動作を開始させる比較器動作信号を生成する。

30

【 0 0 2 2 】

比較器動作信号生成回路 5 は、容量 D A C 2 で用いている容量 $C_0 \sim C_{(n-1)}$ と特性が等しい容量素子 5 1 と、容量素子 5 1 への充放電スイッチ 5 2 と、容量素子 5 1 に充電する電位を切り換える電位切換スイッチ 5 3 と、容量素子 5 1 の電位が閾電位を下回ると比較開始信号を出力するインバータ回路 5 4 とを備えている。

【 0 0 2 3 】

容量素子 5 1 は、一方端が接地端子に接続され、他方端がインバータ回路 5 4 の入力端子と充放電スイッチ 5 2 の一方端とに接続されている。充放電スイッチ 5 2 は、容量素子 5 1 の他方端を電位切換スイッチ 5 3 の一方端と接続する充電スイッチ 5 2 1 と、容量素子 5 1 の他方端を接地端子に接続する放電スイッチ 5 2 2 とを備え、変換データ生成器 4 0 からの充放電指示信号によって充電スイッチ 5 2 1 及び放電スイッチ 5 2 2 のオンオフが制御される。例えば、充放電指示信号が L o w で充電スイッチ 5 2 1 がオン及び放電スイッチ 5 2 2 がオフに制御され、充放電指示信号が H i g h で充電スイッチ 5 2 1 がオフ及び放電スイッチ 5 2 2 がオンに制御される。

40

【 0 0 2 4 】

放電スイッチ 5 2 2 は、容量 $C_0 \sim C_{(n-1)}$ と基準電位 (H i g h t) もしくは基準電位 (L o w) との接続時におけるスイッチ 2 2 0 ~ 2 2 (n - 1) のオン抵抗と、同等のオン抵抗を有するものを用いられる。そして、充電スイッチ 5 2 1 は、オン抵抗が放電スイ

50

ツチ 5 2 2 よりも低くものが用いられ、急速充電に対応している。

【 0 0 2 5 】

電位切換スイッチ 5 3 は、容量素子 5 1 の他方端と分解能 $b i t$ 分の n 個の注入電位 ($n - 1$) ~ 注入電位 (0) とをそれぞれ接続する分解能 $b i t$ 分の n 個の接続スイッチ 5 3 1 ($n - 1$) ~ 5 3 1 (0) を備え、変換データ生成器 4 0 からの電位切換指示信号によって容量素子 5 1 に電荷を注入 (充電) する注入電位を注入電位 ($n - 1$) ~ 注入電位 (0) の中から選択して切り換える。

【 0 0 2 6 】

注入電位 ($n - 1$) ~ 注入電位 (0) は、容量 D A C 2 に注入又は排出する電荷量を模擬するための電位であり、容量素子 5 1 からの放電に際し、インバータ回路 5 4 の閾電位に到達するまでの時間が最上位 ~ 最下位 $b i t$ 毎の静定時間 (充電によって基準電位) の最大値になるようにそれぞれ設定されている。

10

【 0 0 2 7 】

次に、A / D 変換回路 1 0 の動作について図 2 を参照して詳細に説明する。

変換データ生成器 4 0 は、電位切換指示信号によって比較器動作信号生成回路 5 の電位切換スイッチ 5 3 に最上位 $b i t$ に対応する注入電位 ($n - 1$) への接続を指示すると共に、充放電指示信号を L o w にして容量素子 5 1 を注入電位 ($n - 1$) に充電させておき、変換開始信号が入力されると、変換データ生成動作を開始する。

【 0 0 2 8 】

次に、変換データ生成器 4 0 は、変換開始信号から所定時間後 (変換データ生成動作終了後) に生成される動作開始信号のタイミングで最上位 $b i t$ の容量 D A C 入力値を容量 D A C 2 に出力すると同時に、比較器動作信号生成回路 5 に充放電指示信号を H i g h に遷移させて容量素子 5 1 からの放電を指示する。

20

【 0 0 2 9 】

容量 D A C 2 は、電位生成動作によって最上位 $b i t$ を判断するための電位を生成し、比較器動作信号生成回路 5 は、放電によって容量素子 5 1 に充電された注入電位 ($n - 1$) がインバータ回路の閾電位を下回ると比較開始信号を比較器 3 と変換データ生成器 4 0 とに出力する。すなわち、比較器動作信号生成回路 5 は、容量 D A C 2 で用いている容量と特性が等しい容量素子 5 1 と、注入電位 (0) ~ 注入電位 ($n - 1$) とを用いて、切り替える $b i t$ 毎に異なる容量 D A C 2 の静定時間を予測し、静定時間が終了するタイミングで比較開始信号を出力する。

30

【 0 0 3 0 】

比較開始信号に入力によって比較器 3 は、容量 D A C 2 の電位生成動作によって生成された電位と基準電位とを比較し、比較結果を変換データ生成器 4 0 に出力する。また、比較開始信号に入力によって変換データ生成器 4 0 は、切換指示信号によって比較器動作信号生成回路 5 の電位切換スイッチ 5 3 に次の $b i t$ に対応する注入電位 ($n - 2$) への接続を指示し、充放電指示信号を L o w にして容量素子 5 1 に充電させる。また、変換データ生成器 4 0 は、比較開始信号から所定時間後 (変換比較動作終了後) に生成される変換信号のタイミングで比較器 3 の比較結果に基づいて最上位 $b i t$ の変換データ $D (n - 1)$ を生成する変換データ生成動作を開始する。

40

【 0 0 3 1 】

次に、変換データ生成器 4 0 は、変換開始信号から所定時間後 (変換データ生成動作終了後) に生成される動作開始信号のタイミングで、最上位 $b i t$ の変換データ (比較器 3 の比較結果) に基づいて次の $b i t$ の容量 D A C 入力値を容量 D A C 2 に出力すると同時に、比較器動作信号生成回路 5 に充放電指示信号を H i g h に遷移させて容量素子 5 1 からの放電を指示する。

【 0 0 3 2 】

容量 D A C 2 は、電位生成動作によって次の $b i t$ を判断するための電位を生成し、比較器動作信号生成回路 5 は、放電によって容量素子 5 1 の電位がインバータ回路 5 4 の閾電位を下回ると比較開始信号を比較器 3 と変換データ生成器 4 0 とに出力する。

50

【 0 0 3 3 】

比較開始信号に入力によって比較器 3 は、容量 D A C 2 の電位生成動作によって生成された電位と基準電位とを比較し、比較結果を変換データ生成器 4 0 に出力する。また、比較開始信号に入力によって変換データ生成器 4 0 は、切換指示信号によって比較器動作信号生成回路 5 の電位切換スイッチ 5 3 に次の b i t に対応する注入電位 (n - 3) への接続を指示し、充放電指示信号を L o w にして容量素子 5 1 に充電させる。また、変換データ生成器 4 0 は、比較開始信号から所定時間後 (変換比較動作終了後) に生成される変換信号のタイミングで比較器 3 の比較結果に基づいて次の b i t の変換データ D (n - 2) を生成する変換データ生成動作を開始する。

【 0 0 3 4 】

以下、分解能 b i t 分 (1 2 b i t 分) の比較を繰り返して最上位 b i t の変換データを生成されるまで上述の動作を繰り返し、変換データ生成器 4 0 は、変換データ D (n - 1) ~ D (0) を変換値として出力する。

【 0 0 3 5 】

これにより、容量 D A C 2 による電位生成動作に割り当てる [容量 D A C 静定時間] T₁ ~ T₁₂ は、b i t 毎の静定時間に応じて、上位 b i t から下位 b i t にかけて短くなるように設定され、高速化を実現できる。なお、下位 b i t になるほど静定時間に短くなるが、減少幅も小さくなる。従って、予め設定された複数の下位 b i t は、同一の注入電位で対応するようにしても良い。

【 0 0 3 6 】

次に、比較器動作信号生成回路 5 の第 1 変形例について図 3 を参照して詳細に説明する。第 1 変形例である比較器動作信号生成回路 5 a は、図 3 を参照すると、切り替える b i t 毎に異なる容量 D A C 2 の静定時間をそれぞれ予測し、静定時間が終了するタイミングで比較開始信号をそれぞれ出力する生成回路 5 0 (n - 1) ~ 生成回路 5 0 (0) と、生成回路 5 0 (n - 1) ~ 生成回路 5 0 (0) のいずれの比較開始信号を出力するかを選択する出力切換スイッチ 5 5 とを備えている。

【 0 0 3 7 】

生成回路 5 0 (n - 1) ~ 生成回路 5 0 (0) は、容量素子 5 1 と、充放電スイッチ 5 2 と、インバータ回路 5 4 とをそれぞれ備え、それぞれの容量素子 5 1 は、一方端が接地端子に接続され、他方端がインバータ回路 5 4 の入力端子と充放電スイッチ 5 2 の一方端とに接続されている。

【 0 0 3 8 】

生成回路 5 0 (n - 1) ~ 生成回路 5 0 (0) の充放電スイッチ 5 2 は、容量素子 5 1 の他方端を注入電位 (n - 1) ~ 注入電位 (0) とそれぞれ接続する充電スイッチ 5 2 1 と、容量素子 5 1 の他方端を接地端子に接続する放電スイッチ 5 2 2 とを備え、変換データ生成器 4 0 からの充放電指示信号によって充電スイッチ 5 2 1 及び放電スイッチ 5 2 2 のオンオフが制御される。

【 0 0 3 9 】

出力切換スイッチ 5 5 は、分解能 b i t 分の n 個の接続スイッチ 5 5 1 (n - 1) ~ 5 5 1 (0) を備え、変換データ生成器 4 0 からの出力切換指示信号によって生成回路 5 0 (n - 1) ~ 生成回路 5 0 (0) の中から比較開始信号を出力するものを選択して切り換える。

【 0 0 4 0 】

なお、比較器動作信号生成回路 5 a において、生成回路 5 0 (n - 1) ~ 生成回路 5 0 (0) の充放電スイッチ 5 2 を個別に放電に切り換え可能に構成した場合には、出力切換スイッチ 5 5 を省略することができる。

【 0 0 4 1 】

次に、比較器動作信号生成回路 5 の第 2 変形例について図 4 を参照して詳細に説明する。第 2 変形例である比較器動作信号生成回路 5 b は、図 4 を参照すると、容量 D A C 2 で用いている容量と特性が等しい容量素子 5 1 を用いて比較開始信号を出力するタイミングを生成する生成回路 5 0₁ が N 段に直列 (シリーズ) に接続され、いずれの比較開始信号

10

20

30

40

50

を比較器 3 に出力するかを選択する出力切換スイッチ 5 5 を備えている。N 個の生成回路 5 0₁ は、容量素子 5 1 と、充放電スイッチ 5 2 と、インバータ回路 5 4 とをそれぞれ備え、インバータ回路 5 4 から出力される比較開始信号が次段の充放電スイッチ 5 2 に放電指示信号として入力されるように接続されている。

【 0 0 4 2 】

生成回路 5 0₁ において、容量素子 5 1 は、一方端が接地端子に接続され、他方端がインバータ回路 5 4 の入力端子と充放電スイッチ 5 2 の一方端とに接続されている。そして、充放電スイッチ 5 2 は、容量素子 5 1 の他方端を注入電位とそれぞれ接続する充電スイッチ 5 2 1 と、容量素子 5 1 の他方端を接地端子に接続する放電スイッチ 5 2 2 とを備え、変換データ生成器 4 0 からの充電指示信号によって充電スイッチ 5 2 1 をオン、放電スイッチ 5 2 2 をオフして容量素子 5 1 に対して電荷を注入する。

10

【 0 0 4 3 】

全ての段の容量素子 5 1 に電荷が注入された状態で、1 段目の生成回路 5 0₁ に変換データ生成器 4 0 から充電指示信号が入力されると、1 段目の生成回路 5 0₁ において、充電スイッチ 5 2 1 がオフ、放電スイッチ 5 2 2 がオンされて容量素子 5 1 からの放電が開始される。放電によって容量素子 5 1 の電位がインバータ回路 5 4 の閾電位を下回ると比較開始信号が出力され、次段の充放電スイッチ 5 2 に放電指示信号として入力される。

【 0 0 4 4 】

これにより、出力切換スイッチ 5 5 (接続スイッチ (N - 1) ~ 5 5 1 (0)) を制御して放電指示信号する段を選択することで、切り替える bit 毎に異なる容量 DAC 2 の静定時間をそれぞれ予測し、静定時間が終了するタイミングで比較開始信号を比較器 3 に出力することができる。

20

【 0 0 4 5 】

次に、比較器動作信号生成回路 5 の第 3 変形例について図 5 を参照して詳細に説明する。

第 3 変形例である比較器動作信号生成回路 5 c は、図 5 を参照すると、容量 DAC 2 で用いている容量と特性が等しい容量素子 5 1 を用いて比較開始信号を出力するタイミングを生成する生成回路 5 0₁ が 2 段に接続され、いずれの比較開始信号を比較器 3 に出力するかを選択する出力切換スイッチ 5 5 を備えている。2 段の生成回路 5 0₁ は、容量素子 5 1 と、充放電スイッチ 5 2 と、インバータ回路 5 4 とをそれぞれ備え、インバータ回路 5 4 から出力される比較開始信号が他段の充放電スイッチ 5 2 に放電指示信号として入力されるように接続されている。

30

【 0 0 4 6 】

生成回路 5 0₁ において、容量素子 5 1 は、一方端が接地端子に接続され、他方端がインバータ回路 5 4 の入力端子と充放電スイッチ 5 2 の一方端とに接続されている。そして、充放電スイッチ 5 2 は、容量素子 5 1 の他方端を注入電位とそれぞれ接続する充電スイッチ 5 2 1 と、容量素子 5 1 の他方端を接地端子に接続する放電スイッチ 5 2 2 とを備え、変換データ生成器 4 0 からの充電指示信号によって充電スイッチ 5 2 1 をオン、放電スイッチ 5 2 2 をオフして容量素子 5 1 に対して電荷を注入する。

【 0 0 4 7 】

全ての段の容量素子 5 1 に電荷が注入された状態で、1 段目の生成回路 5 0₁ に変換データ生成器 4 0 から放電指示信号が入力されると 1 段目の生成回路 5 0₁ において、充電スイッチ 5 2 1 がオフ、放電スイッチ 5 2 2 がオンされて容量素子 5 1 からの放電が開始され、放電によって容量素子 5 1 の電位がインバータ回路 5 4 の閾電位を下回ると比較開始信号が出力される。1 段目の生成回路 5 0₁ から出力された比較開始信号は、2 段目の充放電スイッチ 5 2 に放電指示信号として入力されると共に、変換データ生成器 4 0 に完了信号として入力される。

40

【 0 0 4 8 】

これにより、2 段目の生成回路 5 0₁ において、充電スイッチ 5 2 1 がオフ、放電スイッチ 5 2 2 がオンされて容量素子 5 1 からの放電が開始されると共に、変換データ生成器 4 0 は、1 段目の生成回路 5 0₁ に充電指示信号を出力して容量素子 5 1 への充電を開始

50

させる。そして、放電によって1段目の生成回路50₁における容量素子51の電位がインバータ回路54の閾電位を下回ると比較開始信号が出力され、1段目の充放電スイッチ52に放電指示信号として入力されると共に、変換データ生成器40に完了信号として入力される。

【0049】

以下、繰り返しによって量子化された時刻で比較開始信号が出力され、変換データ生成器40は、入力される完了信号をカウントすることで所望のタイミングで出力切換スイッチ55に出力切換指示信号を出力し、出力切換スイッチ55の接続スイッチ55₁、55₂のいずれかをオンにして比較開始信号を比較器3に出力する。

【0050】

これにより、2段の生成回路50₁によって、切り替えるbit毎に異なる容量DAC2の静定時間をそれぞれ予測し、静定時間が終了するタイミングで比較開始信号を比較器3に出力することができる。

【0051】

次に、比較器動作信号生成回路5の第4変形例について図6を参照して詳細に説明する。

第4変形例である比較器動作信号生成回路5dは、図6を参照すると、容量素子51と、充放電スイッチ52aと、インバータ回路54と、容量素子51の電位が閾電位を上回ると比較開始信号を出力するバッファ回路56とを備えた生成回路50₂と、インバータ回路54とバッファ回路56とのいずれの比較開始信号を比較器3に出力するかを選択する出力切換スイッチ55aとを備えている。

【0052】

生成回路50₂において、容量素子51は、一方端が接地端子に接続され、他方端がインバータ回路54の入力端子とバッファ回路56の入力端子と充放電スイッチ52aの一方端とに接続されている。そして、充放電スイッチ52aは、容量素子51の他方端を注入電位とそれぞれ接続する充電スイッチ521aと、容量素子51の他方端を接地端子に接続する放電スイッチ522とを備え、容量DAC2への動作指示信号と同時に変換データ生成器40から出力される充電指示信号によって充電スイッチ521aをオン、放電スイッチ522をオフして容量素子51に対して電荷を注入する。

【0053】

充電スイッチ521a及び放電スイッチ522は、容量C₀~C_(n-1)と基準電位(High)もしくは基準電位(Low)との接続時におけるスイッチ22₀~22_(n-1)のオン抵抗と、同等のオン抵抗を有するもの用いられる。

【0054】

容量素子51の電位がバッファ回路56の閾電位を上回るとバッファ回路56から比較開始信号が出力される。バッファ回路56から出力された比較開始信号は、充放電スイッチ52aに放電指示信号として入力されると共に、変換データ生成器40に完了信号として入力される。

【0055】

バッファ回路56から放電指示信号が入力されると、充電スイッチ521aがオフ、放電スイッチ522がオンされて容量素子51からの放電が開始され、放電によって容量素子51の電位がインバータ回路54の閾電位を下回るとインバータ回路54から比較開始信号が出力される。インバータ回路54から出力された比較開始信号は、充放電スイッチ52aに充電指示信号として入力されると共に、変換データ生成器40に完了信号として入力される。

【0056】

以下、繰り返しによって量子化された時刻で比較開始信号が出力され、変換データ生成器40は、入力される完了信号をカウントすることで所望のタイミングで出力切換スイッチ55aに出力切換指示信号を出力し、出力切換スイッチ55の接続スイッチ55₁a、55₁bのいずれかをオンにして比較開始信号を比較器3に出力する。

【0057】

10

20

30

40

50

これにより、1個の生成回路50₂によって、切り替えるbit毎に異なる容量DAC2の静定時間をそれぞれ予測し、静定時間が終了するタイミングで比較開始信号を比較器3に出力することができる。

【0058】

以上説明したように、本実施の形態は、変換データ生成器40による変換データ生成動作と、容量DAC2による電位生成動作と、比較器3による比較動作とを分解能bit分繰り返すことで、アナログ入力をデジタル変換値に変換する逐次比較型のA/D変換回路10であって、容量DAC2で用いている容量C₀~C_(n-1)と特性が等しい容量素子51への充放電時間に基づいて、容量DAC2が生成する電位が静定する時刻を予測し、比較器3に比較動作を開始させる比較器動作信号を生成する比較器動作信号生成回路5を備えている。

10

この構成により、容量DAC2で用いる容量と同じ特性の容量素子51を用いることで、真に必要な[容量DAC静定時間]を予測することができ、過剰な[容量DAC静定時間]の割り当てをなくして、高速化を実現できる。

【0059】

さらに、本実施形態において、比較器動作信号生成回路5、5aは、複数の注入電位(n-1)~注入電位(0)でそれぞれ充電した容量素子51のそれぞれ放電時間に基づいて、切り替えるbit毎に異なる容量DAC2の静定時間をそれぞれ予測する。

【0060】

さらに、本実施形態において、比較器動作信号生成回路5b、5cは、注入電位で充電された容量素子51の放電時間の繰り返しによって、切り替えるbit毎に異なる容量DAC2の静定時間をそれぞれ予測する。

20

この構成により、複数の注入電位を用意することなく、[容量DAC静定時間]を予測できる。

【0061】

さらに、本実施形態において、容量素子51は、放電スイッチ522を介して放電され、放電スイッチ522は、容量C₀~C_(n-1)と基準電位(High)もしくは基準電位(Low)との接続時におけるスイッチ22₀~22_(n-1)のオン抵抗と、同等のオン抵抗を有する。

この構成により、より正確に静定時間を予測することができる。

30

【0062】

さらに、本実施形態において、比較器動作信号生成回路5dは、注入電位で容量素子51を充電する充電時間と、注入電位で充電された容量素子51の放電時間との繰り返しによって、切り替えるbit毎に異なる容量DAC2の静定時間をそれぞれ予測する。

この構成により、1つの容量素子51を用いるだけで、[容量DAC静定時間]を予測できる。

【0063】

さらに、本実施形態において、容量素子51は、充電スイッチ521a及び放電スイッチ522を介してそれぞれ充電及び放電され、充電スイッチ521a及び放電スイッチ522は、容量C₀~C_(n-1)と基準電位(High)もしくは基準電位(Low)との接続時におけるスイッチ22₀~22_(n-1)のオン抵抗と、同等のオン抵抗を有する。

40

この構成により、より正確に静定時間を予測することができる。

【0064】

なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変更され得ることは明らかである。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等に行うことができる。なお、同一構成要素には、各図において、同一符号を付している。

【符号の説明】

【0065】

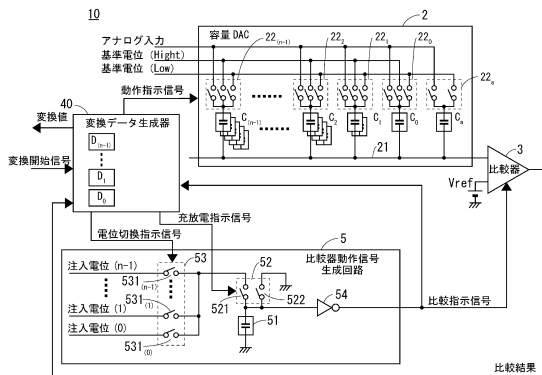
50

- 1、10 アナログデジタル変換回路 (A/D変換回路)
- 2 容量DAC
- 3 比較器
- 4、40 変換データ生成器
- 5、5 a、5 b、5 c、5 d 比較器動作信号生成回路
- 21 比較配線
- 22 スイッチ
- 50 生成回路
- 51 容量素子
- 52、52 a 充放電スイッチ
- 53 電位切換スイッチ
- 54 インバータ回路
- 55、55 a 出力切換スイッチ
- 56 バッファ回路
- 521、521 a 充電スイッチ
- 522 放電スイッチ
- 531、551 接続スイッチ

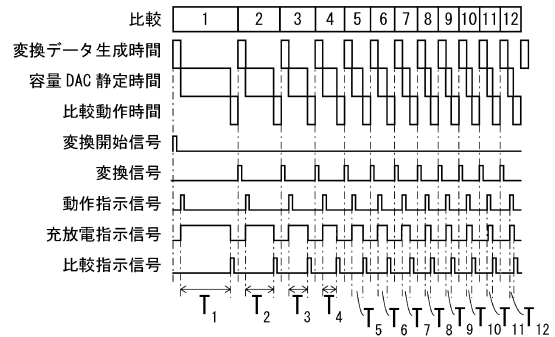
10

【図面】

【図1】



【図2】



20

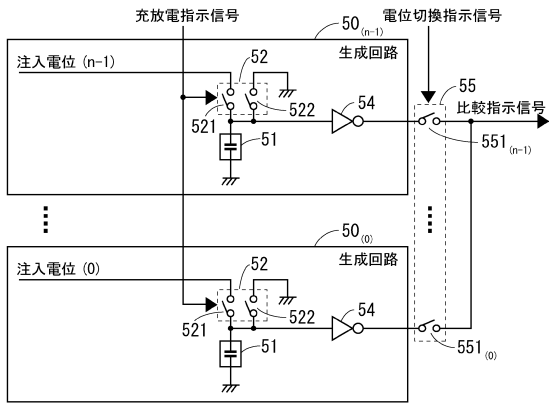
30

40

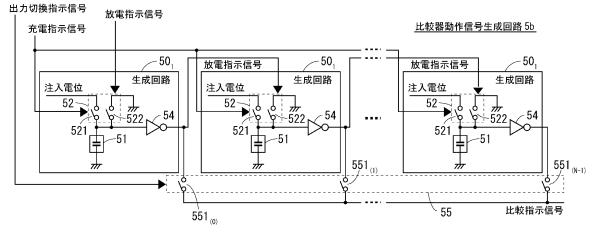
50

【 図 3 】

比較器動作信号生成回路 5a



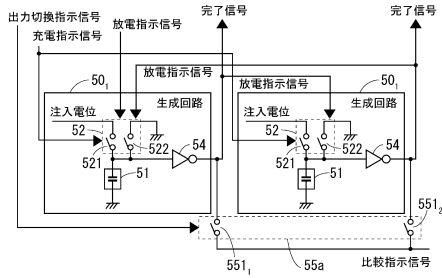
【 図 4 】



10

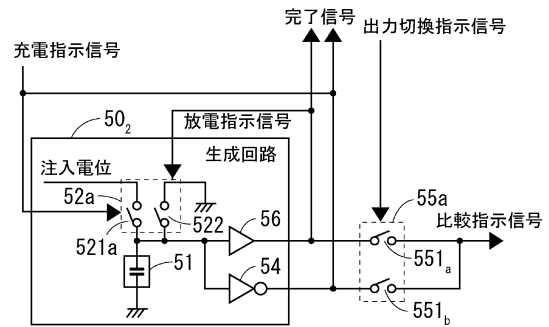
【 図 5 】

比較器動作信号生成回路 5c



【 図 6 】

比較器動作信号生成回路 5d



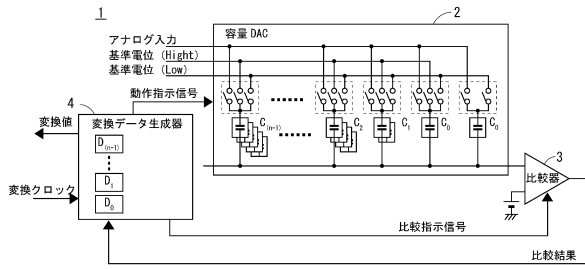
20

30

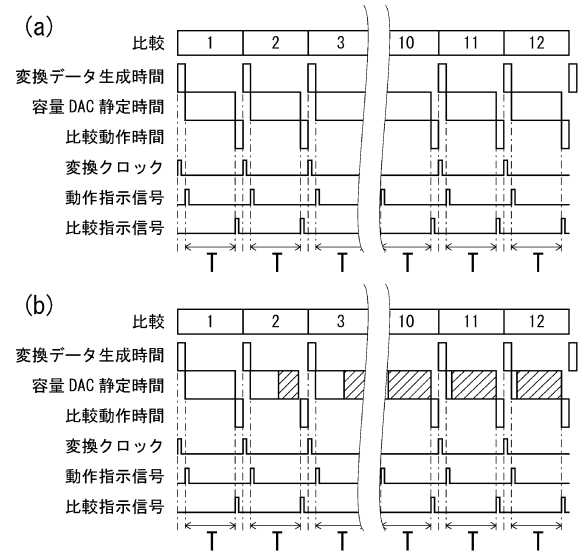
40

50

【 図 7 】



【 図 8 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開平 8 - 1 1 6 2 5 8 (J P , A)
特開平 5 - 1 2 2 0 7 6 (J P , A)
国際公開第 2 0 1 0 / 0 1 0 6 6 1 (W O , A 1)
特開 2 0 1 1 - 1 9 9 4 4 3 (J P , A)
特開昭 6 1 - 9 8 0 2 2 (J P , A)
特開 2 0 1 0 - 2 4 5 9 2 7 (J P , A)
特開 2 0 0 1 - 2 6 7 9 2 5 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 3 M 1 / 4 6