

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月10日(10.09.2020)



(10) 国際公開番号

WO 2020/179928 A1

(51) 国際特許分類:
G01J 1/42 (2006.01) H01L 31/107 (2006.01)
G01J 1/44 (2006.01) H01L 31/10 (2006.01)

(21) 国際出願番号: PCT/JP2020/009871

(22) 国際出願日: 2020年3月6日(06.03.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-041786 2019年3月7日(07.03.2019) JP
特願 2020-038225 2020年3月5日(05.03.2020) JP

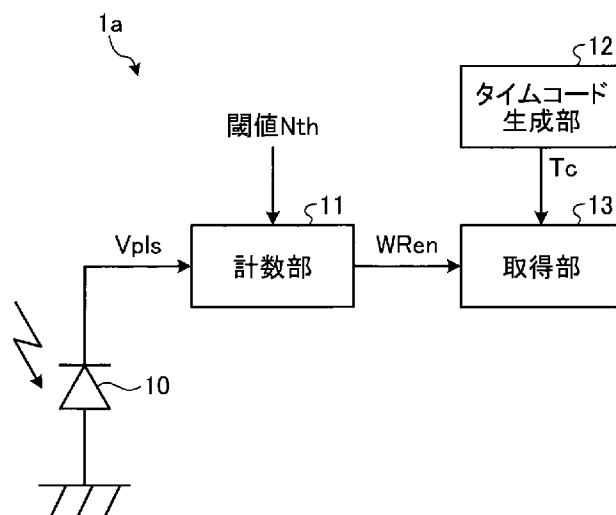
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 朱 弘博(ZHU, Hongbo); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 比津 和樹(HIZU, Kazuki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 高塚 拳文(TAKATSUKA, Takafumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大池 祐輔(OIKE, Yusuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 小木

(54) Title: LIGHT-RECEIVING DEVICE

(54) 発明の名称: 受光装置



11 Count unit
12 Time code generation unit
13 Acquisition unit
Nth Threshold value

(57) Abstract: A light-receiving device (1a) is provided with: a counting unit (11); a setting unit (12); and an acquisition unit (13). The counting unit measures a detection count which is the number of times a photon is detected entering into a light-receiving element within an exposure period, and outputs the measured value. The setting unit sets a cycle for updating time information in accordance with elapsed time during the exposure period. The acquisition unit acquires time information indicating the time when the measured value has reached a threshold value before the lapse of the exposure period.

(57) 要約: 受光装置(1a)は、計数部(11)と、設定部(12)と、取得部(13)と、を備える。計数部は、露光期間内で受光素子への光子の入射を検知した回数である検知回数を計数して計数値を出力する。設定部は、時間情報を更新する周期を露光期間における経過時間に応じて設定する。取得部は、露光期間が経過する前に計数値が閾値に到達した時間を示す時間情報を取得する。

[続葉有]



純(OGI, Jun); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 田代 睦聡 (TASHIRO, Yoshiaki); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人 酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

明 細 書

発明の名称 : 受光装置

技術分野

[0001] 本発明は、受光装置に関する。

背景技術

[0002] 光電変換素子に入射したフォトンのカウントを行うフォトン計測センサが知られている。また、フォトン計測センサにおいて、入射したフォトン毎にカウントを行う構成が知られている。このようなフォトン計測センサのダイナミックレンジを拡大する手法として、カウント数が閾値に達した時間を用いて輝度値を換算する手法が効果的であり、時間情報を利用した輝度値予測が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2012/0057059号明細書

特許文献2：米国特許出願公開第2015/0163429号明細書

発明の概要

発明が解決しようとする課題

[0004] しかしながら、フォトンのカウント数が閾値に達した時間に基づき予測を行う方法では、暗時における計測を可能とするためにシャッタ時間を長く取る必要がある。そのため、時間情報を保存するためのメモリのビット数が増加し、それに伴い回路面積が増大してしまう。

[0005] 本開示は、フォトン計測を行う際のビット数の削減が可能な受光装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示に係る受光装置は、露光期間内で受光素子への光子の入射を検知した回数である検知回数を計数して計数値を出力する計数部と、時間情報を更新する周期を露光期間における経過時間に応じて設定する設定部と、露光期

間が経過する前に計数値が閾値に到達した時間を示す時間情報を取得する取得部と、を備える。

図面の簡単な説明

[0007] [図1]第1の実施形態に係る受光装置の概略的な構成例を示す図である。

[図2A]第1の実施形態に適用可能な、フォトン数の予測について説明するための図である。

[図2B]第1の実施形態に適用可能な、フォトン数の予測について説明するための図である。

[図3]第1の実施形態に係るタイムコード生成部によるタイムコード T_c の生成を概略的に説明するための図である。

[図4]第1の実施形態に係る受光装置が適用された電子機器の一例の構成を概略的に示すブロック図である。

[図5]第1の実施形態に係る受光装置に適用可能なデバイスの構成の例を示す模式図である。

[図6]第1の実施形態に適用可能な受光チップの一例の構成を示す平面図である。

[図7]第1の実施形態に適用可能なロジックチップの一例の構成を示すブロック図である。

[図8]第1の実施形態に係る画素アレイ部および垂直制御部の一例の構成を示すブロック図である。

[図9]第1の実施形態に適用可能な信号処理部の一例の構成を示す図である。

[図10A]第1の実施形態に適用可能な、SPADとしての光電変換素子の構成の例を示す図である。

[図10B]第1の実施形態に適用可能な、フォトダイオードとしての光電変換素子の構成の例を示す図である。

[図11]第1の実施形態に係るTC生成部の一例の構成を示すブロック図である。

[図12]第1の実施形態に係るTC生成部の動作を説明するための一例のタイ

ミングチャートである。

[図13]第1の実施形態に係る、時間カウンタを駆動する周波数を可変とした場合のTC生成部の動作を説明するための一例のタイミングチャートである。

[図14]第1の実施形態に適用可能な、単純増加あるいは単純減少以外の値の例としてグレイコードをタイムコードT_cに適用した例を示すタイミングチャートである。

[図15]第1の実施形態に適用可能な、PLLを用いてタイムコードT_cを生成する構成の例を示すブロック図である。

[図16A]第1の実施形態に適用可能な第1の例のカウンタの一例の構成を示すブロック図である。

[図16B]第1の実施形態に適用可能な第1の例のカウンタの一例の構成を示すブロック図である。

[図17]第1の実施形態に適用可能な第2の例のカウンタの一例の構成を示すブロック図である。

[図18]第1の実施形態に適用可能な第3の例のカウンタの一例の構成を示すブロック図である。

[図19A]第1の実施形態に適用可能な第4の例のカウンタの一例の構成を示すブロック図である。

[図19B]第1の実施形態に適用可能な第4の例のカウンタの一例の構成を示すブロック図である。

[図20]第1の実施形態に適用可能な第5の例のカウンタの一例の構成を示すブロック図である。

[図21]第1の実施形態に適用可能な第6の例のカウンタの一例の構成を示す図である。

[図22]第1の実施形態に適用可能な第7の例のカウンタの一例の構成を示す図である。

[図23]第1の実施形態に適用可能なカウンタの一例の構成を示すブロック図

である。

[図24]第1の実施形態に適用可能な第8の例のカウンタの一例の構成を示すブロック図である。

[図25]第1の実施形態に適用可能な第9の例のカウンタの一例の構成を示すブロック図である。

[図26]第1の実施形態に適用可能な第10の例のカウンタの一例の構成を示すブロック図である。

[図27]第1の実施形態に係る第1の配置例に係るTC生成部および画素回路の配置例を示す図である。

[図28]第1の実施形態に係る第2の配置例に係るTC生成部および画素回路の配置例を示す図である。

[図29]第1の実施形態に係る第3の配置例に係るTC生成部および画素回路の配置例を示す図である。

[図30]第1の実施形態に係る第3の配置例を画素アレイ部に注目して示す図である。

[図31]第1の実施形態に係る第4の配置例に係るTC生成部および画素回路の配置例を示す図である。

[図32]第1の実施形態に係る第5の配置例に係るTC生成部および画素回路の配置例を示す図である。

[図33]第1の実施形態に係る第6の配置例に係るTC生成部および画素回路の配置例を示す図である。

[図34]第1の実施形態の第1の変形例に係る画素アレイ部および垂直制御部の一例の構成を示すブロック図である。

[図35]第1の実施形態の第2の変形例に係る画素アレイ部および垂直制御部の一例の構成を示すブロック図である。

[図36]第1の実施形態の第3の変形例に係る画素アレイ部および垂直制御部の一例の構成を示すブロック図である。

[図37A]第1の実施形態の第3の変形例に適用可能なデュアルモードカウンタ

の動作を説明するための図である。

[図37B]第1の実施形態の第3の変形例に適用可能なデュアルモードカウンタの動作を説明するための図である。

[図37C]第1の実施形態の第3の変形例に適用可能なデュアルモードカウンタの動作を説明するための図である。

[図38]第2の実施形態に係る受光装置の概略的な構成例を示す図である。

[図39]第2の実施形態に係る、フォトン数 P_n が閾値 N_{th} を達成する時間 T_{th} と、予測輝度値 L_{pre} との一例の関係を示す図である。

[図40]第2の実施形態に係る輝度値コード生成部による予測輝度値 L_{pre} の生成を概略的に説明するための図である。

[図41]第2の実施形態に係る画素アレイ部および垂直制御部の一例の構成を示すブロック図である。

[図42]第2の実施形態に適用可能なLC生成部の一例の構成を示すブロック図である。

[図43]第2の実施形態に係る第1の配置例に係るLC生成部および画素回路の配置例を示す図である。

[図44]第2の実施形態に係る第2の配置例に係るLC生成部および画素回路の配置例を示す図である。

[図45]第2の実施形態に係る第3の配置例に係るLC生成部および画素回路の配置例を示す図である。

[図46]第2の実施形態に係る第4の配置例に係るLC生成部および画素回路の配置例を示す図である。

[図47]第2の実施形態に係る第5の配置例に係る、LC生成部と、それぞれR、GおよびBのカラーフィルタが設けられた光電変換素子を含む画素回路と、の配置例を示す図である。

[図48]第2の実施形態に係る第6の配置例に係るLC生成部および画素回路の配置例を示す図である。

[図49]第2の実施形態の第1の変形例に係る画素アレイ部および垂直制御部

の一例の構成を示すブロック図である。

[図50]第2の実施形態の第2の変形例に係る画素アレイ部および垂直制御部の一例の構成を示すブロック図である。

[図51]第2の実施形態の第3の変形例に係る画素アレイ部および垂直制御部の一例の構成を示すブロック図である。

[図52]第2の実施形態の第4の変形例に係る輝度値コード生成部による予測輝度値 L_{pre} の生成を概略的に説明するための図である。

[図53]第3の実施形態に係る受光装置の概略的な構成例を示す図である。

[図54]第3の実施形態に適用可能な輝度値分解能と時間分解能との一例の関係を示す図である。

[図55]第3の実施形態に係る、高照度および中照度の場合の輝度値コード L_c 生成について説明するための図である。

[図56]第3の実施形態に係る、低照度の場合の輝度値コード L_c 生成について説明するための図である。

[図57]第4の実施形態に係る第1の例の分割露光を説明するための図である。
。

[図58]第4の実施形態に係る第2の例の分割露光を説明するための図である。
。

[図59]第4の実施形態の第2の例に適用可能な画素回路の一例の構成を示すブロック図である。

[図60]第4の実施形態に係る第3の例の分割露光を説明するための図である。
。

[図61]第4の実施形態に係る第4の例の分割露光を説明するための図である。
。

[図62]第4の実施形態に係る第5の例の分割露光を説明するための図である。
。

[図63]第4の実施形態に係る第6の例の分割露光を説明するための図である。
。

[図64]第5の実施形態に係る受光装置の概略的な構成例を示す図である。

[図65]第5の実施形態に係る計数部の構成の例を概略的に示すブロック図である。

[図66]第5の実施形態に適用可能な、フォトン数の予測について説明するための図である。

[図67]第5の実施形態に係る画素回路の一例の構成を示すブロック図である。

[図68]第5の実施形態に適用可能なカウンタの一例の構成を示すブロック図である。

[図69A]第5の実施形態の第1の変形例に係る計数部の構成の例を概略的に示すブロック図である。

[図69B]第5の実施形態の第1の変形例に適用可能な1ビットカウンタの動作例を示すシーケンス図である。

[図70]第5の実施形態の第2の変形例に係る計数部の構成の例を概略的に示すブロック図である。

[図71]第5の実施形態の第2の変形例に適用可能な、フォトン数の予測について説明するための図である。

[図72A]負パルスを出力する光電変換素子の接続方法を説明するための図である。

[図72B]正パルスを出力する光電変換素子の接続方法を説明するための図である。

[図73A]第5の実施形態の第2の変形例に適用可能な合成部の構成の第1の例について説明するための図である。

[図73B]第5の実施形態の第2の変形例に適用可能な合成部の構成の第1の例について説明するための図である。

[図74A]第5の実施形態の第2の変形例に適用可能な合成部の構成の第2の例について説明するための図である。

[図74B]第5の実施形態の第2の変形例に適用可能な合成部の構成の第2の例

について説明するための図である。

[図75A]第5の実施形態の第2の変形例に適用可能な合成部の構成の第3の例について説明するための図である。

[図75B]第5の実施形態の第2の変形例に適用可能な合成部の構成の第3の例について説明するための図である。

[図76A]第5の実施形態の第2の変形例に適用可能な合成部の構成の第4の例について説明するための図である。

[図76B]第5の実施形態の第2の変形例に適用可能な合成部の構成の第4の例について説明するための図である。

[図77A]第5の実施形態の第2の変形例に適用可能な合成部の構成の第5の例について説明するための図である。

[図77B]第5の実施形態の第2の変形例に適用可能な合成部の構成の第5の例について説明するための図である。

[図78]第5の実施形態の第2の変形例に適用可能な合成部の構成の第6の例について説明するための図である。

[図79A]第5の実施形態の第2の変形例に適用可能な合成部の構成の第7の例について説明するための図である。

[図79B]第5の実施形態の第2の変形例に適用可能な合成部の構成の第7の例について説明するための図である。

[図80]第5の実施形態の第2の変形例に適用可能な合成部の構成の第8の例について説明するための図である。

[図81]第6の実施形態に係る測距装置の一例の構成を示すブロック図である。

[図82]第6の実施形態に適用可能なT o F型センサの一例の動作タイミングを示すタイミングチャートである。

[図83]第7の実施形態による、第1～第5の実施形態およびその各変形例に係る受光装置を使用する使用例を示す図である。

[図84]本開示に係る技術が適用され得る移動体制御システムの一例である車

両制御システムの概略的な構成例を示すブロック図である。

[図85]撮像部の設置位置の例を示す図である。

発明を実施するための形態

[0008] 以下、本開示の実施形態について、図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することにより、重複する説明を省略する。

[0009] 以下、本開示の実施形態について、下記の順序に従って説明する。

1. 第1の実施形態

1-1. 第1の実施形態の概略

1-2. 第1の実施形態に適用可能な構成

1-3. 第1の実施形態に係るタイムコードTC生成処理

1-4. 第1の実施形態に適用可能なカウンタの構成例

1-4-1. カウンタの第1の例

1-4-2. カウンタの第2の例

1-4-3. カウンタの第3の例

1-4-4. カウンタの第4の例

1-4-5. カウンタの第5の例

1-4-6. カウンタの第6の例

1-4-7. カウンタの第7の例

1-4-8. カウンタの第8の例

1-4-9. カウンタの第9の例

1-4-10. カウンタの第10の例

1-5. 第1の実施形態に適用可能なTC生成部および画素回路の配置

1-5-1. 第1の実施形態に係る第1の配置例

1-5-2. 第1の実施形態に係る第2の配置例

1-5-3. 第1の実施形態に係る第3の配置例

1-5-4. 第1の実施形態に係る第4の配置例

1-5-5. 第1の実施形態に係る第5の配置例

- 1－5－6．第1の実施形態に係る第6の配置例
- 1－6．第1の実施形態の第1の変形例
- 1－7．第1の実施形態の第2の変形例
- 1－8．第1の実施形態の第3の変形例
- 1－9．第1の実施形態および各変形例に適用可能なデータ処理
- 2．第2の実施形態
 - 2－1．第2の実施形態に適用可能な構成の概略
 - 2－2．第2の実施形態の原理的な説明
 - 2－3．第2の実施形態に適用可能なLC生成部および画素回路の配置
 - 2－3－1．第2の実施形態に係る第1の配置例
 - 2－3－2．第2の実施形態に係る第2の配置例
 - 2－3－3．第2の実施形態に係る第3の配置例
 - 2－3－4．第2の実施形態に係る第4の配置例
 - 2－3－5．第2の実施形態に係る第5の配置例
 - 2－3－6．第2の実施形態に係る第6の配置例
 - 2－4．第2の実施形態の第1の変形例
 - 2－5．第2の実施形態の第2の変形例
 - 2－6．第2の実施形態の第3の変形例
 - 2－7．第2の実施形態の第4の変形例
- 3．第3の実施形態
- 4．第4の実施形態
 - 4－1．第4の実施形態に係る第1の例
 - 4－2．第4の実施形態に係る第2の例
 - 4－3．第4の実施形態に係る第3の例
 - 4－4．第4の実施形態に係る第4の例
 - 4－5．第4の実施形態に係る第5の例
 - 4－6．第4の実施形態に係る第6の例
- 5．第5の実施形態

5-1. 第5の実施形態の第1の変形例

5-2. 第5の実施形態の第2の変形例

5-2-1. 光電変換素子の出力について

5-2-2. 合成部の構成の第1の例

5-2-3. 合成部の構成の第2の例

5-2-4. 合成部の構成の第3の例

5-2-5. 合成部の構成の第4の例

5-2-6. 合成部の構成の第5の例

5-2-7. 合成部の構成の第6の例

5-2-8. 合成部の構成の第7の例

5-2-9. 合成部の構成の第8の例

6. 第6の実施形態

7. 第7の実施形態

[0010] [1. 第1の実施形態]

(1-1. 第1の実施形態の概略)

本開示の第1の実施形態について説明する。図1は、第1の実施形態に係る受光装置の概略的な構成例を示す図である。図1において、第1の実施形態に係る受光装置1aは、画素10と、計数部11と、タイムコード生成部12と、取得部13と、を含む。受光装置1aは、指定された露光期間 T_{sh} （例えばシャッタ期間）内に画素10に入射された光子（光子）の数を計数する。計数された光子数に基づき、露光期間 T_{sh} における照度を求めることが可能である。

[0011] 画素10は、入射された光を光電変換により電気信号に変換して出力する。より具体的には、画素10は、光電変換により光を電荷に変換する光電変換素子と、光電変換素子から電荷を読み出して電気信号として出力する信号処理回路と、を含む。本開示においては、画素10は、光電変換素子に入射された光子（光子）を電気信号に変換し、光子の入射に応じたパルス V_{pls} を出力する。本開示では、画素10が含む光電変換素子として、

単一光子アバランシェダイオードを用いる。以下、単一光子アバランシェダイオードを、SPAD (Single Photon Avalanche Diode) と呼ぶ。SPAD は、カソードにアバランシ増倍が発生する大きな負電圧を加えておくと、1 フォトンの入射に応じて発生した電子がアバランシ増倍を生じ、大電流が流れる特性を有する。SPAD のこの特性を利用することで、1 フォトンの入射を高感度で検知することができる。

[0012] なお、以下では、特に記載の無い限り、「画素 10 が含む光電変換素子にフォトンが入射する」ことを、「画素 10 にフォトンが入射する」のように記述する。

[0013] 計数部 11 は、画素 10 から出力されたパルス V_{pls} を、指定された露光期間 T_{sh} 内において計数する。計数部 11 は、例えば露光期間 T_{sh} の開始時点でパルス V_{pls} の計数を開始する。計数部 11 は、計測されたパルス V_{pls} の数 N_{cnt} の書き込みを指示する書き込み信号 WR_{en} を、所定のタイミングで出力する。例えば、計数部 11 は、当該数 N_{cnt} が露光期間 T_{sh} の終了する前に閾値 N_{th} を超えた場合に、書き込みを指示する書き込み信号 WR_{en} を出力する。また例えば、計数部 11 は、当該数 N_{cnt} が露光期間 T_{sh} を終了しても閾値 N_{th} を超えない場合に、当該露光期間 T_{sh} の終了時点において、書き込みを指示する書き込み信号 WR_{en} を出力する。

[0014] 以下では、書き込みを指示する書き込み信号 WR_{en} を、書き込み信号 $WR_{en} (W)$ として説明を行う。

[0015] 書き込み信号 WR_{en} は、取得部 13 に供給される。例えば、書き込み信号 WR_{en} は、デフォルトがロー (Low) 状態であり、ロー状態からハイ (High) 状態に移行することで、取得部 13 に対して書き込みを指示する。

[0016] 一方、タイムコード生成部 12 は、露光期間 T_{sh} の開始タイミングで初期化され、指定されるサンプリング周波数の周期で値が変化するタイムコード T_c を生成する。例えば、タイムコード生成部 12 は、値「0」を初期値

として、当該周期毎に1ずつ値が増加するタイムコード T_c を生成する。タイムコード生成部12で生成されたタイムコード T_c は、取得部13に供給される。

[0017] タイムコード T_c が生成される、指定されるサンプリング周波数の周期は、換言すれば、タイムコード T_c が更新される周期である。以下では、この周期を、更新周期と呼ぶ。

[0018] 取得部13は、例えばメモリを含み、書き込み信号 WR_{en} がロー状態からハイ状態に移行したタイミングで、タイムコード生成部12から供給されたタイムコード T_c を取得し、取得したタイムコード T_c をメモリに書き込む。

[0019] このタイムコード T_c と、閾値 N_{th} とに基づき、画素10に対して露光期間 T_{sh} に入射されるフォトン数を予測できる。図2Aおよび図2Bは、第1の実施形態に適用可能な、フォトン数の予測について説明するための図である。図2Aは、フォトン数のカウント値と時間との関係の例を示す図である。露光期間 T_{sh} 内での照度が一定の場合、カウント値は、時間に対して一次関数の関係で変化する。図2Aにおいて、中程度の照度（中照度）の場合のカウント値の時間推移を示す直線 C_{tm} を考える。照度が中照度よりも高い場合（高照度）のカウント値の時間推移を示す直線 C_{th} は、傾きが直線 C_{tm} より大きくなる。一方、照度が中照度よりも低い場合（低照度）のカウント値の時間推移を示す直線 C_{tl} は、傾きが直線 C_{tm} より小さくなる。

[0020] 図2Bは、上述した図2Aに対して閾値 N_{th} を追加した場合の例を示す図である。図2Bにおいて、高照度および中照度において、カウント値が閾値 N_{th} に達した時間が、それぞれ時間 T_{th_h} および時間 T_{th_m} となる。カウント値は、時間に対して一次関数の関係にあるので、閾値 N_{th} と、時間 T_{th_h} および時間 T_{th_m} と、に基づき、露光期間 T_{sh} における高照度および中照度のカウント値を予測することができる。以下では、高照度および中照度に対して予測されたカウント値を、それぞれ予測カウ

ント値 N_{pre_h} および N_{pre_m} とする。

[0021] 原理として、カウント値が、露光期間 T_{sh} の開始時点から時間 T_{th} 後に閾値 N_{th} に達した場合の予測カウント値 N_{pre} は、下記の式 (1) にて算出できる。

$$N_{pre} = N_{th} \times (T_{sh} / T_{th}) \quad \dots (1)$$

[0022] したがって、上述した高照度および中照度の場合の予測カウント値 N_{pre_h} および N_{pre_m} は、下記の式 (2) および (3) にて算出できる。

$$N_{pre_h} = N_{th} \times (T_{sh} / T_{th_h}) \quad \dots (2)$$

$$N_{pre_m} = N_{th} \times (T_{sh} / T_{th_m}) \quad \dots (3)$$

[0023] 一方、図 2 B の例では、直線 C_{t_l} は、露光期間 T_{sh} 内において閾値 N_{th} に到達していない。この場合、露光期間 T_{sh} の終了時点におけるカウント値を、直線 C_{t_l} に基づく予測カウント値 N_{pre_l} と見做すことができる。

[0024] また、図 2 B の状態において、カウント値が閾値 N_{th} に到達した時点で、計数部 11 によるカウントを中止することができる。図 2 B の例では、直線 $C_{t_h'}$ および $C_{t_m'}$ において点線で示されるように、それぞれカウント値が閾値 N_{th} に達した時間以降の計数部 11 によるカウントを中止する。

[0025] なお、図 2 A および図 2 B において、Y 軸（カウント値の軸）と直線 C_{t_h} との間の領域（直線 C_{t_h} を含む）の照度を高照度、直線 C_{t_h} と直線 C_{t_m} との間の領域（直線 C_{t_m} を含む）の照度を中照度、直線 C_{t_m} と X 軸（時間の軸）との間の領域の照度を低照度とする。

[0026] この場合、図 2 A における直線 C_{t_h} 、および、図 2 B における時間 T_{th_h} は、高照度と中照度の境界を示し、図 2 A における直線 C_{t_m} 、および、図 2 B における時間 T_{th_m} は、中照度と低照度との境界を示す。上述および以下では、高照度を直線 C_{t_h} または時間 T_{th_h} により代表して示し、中照度を直線 C_{t_m} および時間 T_{th_m} により代表して

示すものとする。また同様に、予測カウント値 N_{pre_h} および N_{pre_m} は、それぞれ高照度および中照度における予測カウント値 N_{pre} を代表して示している。

[0027] すなわち、図 2 B において、露光期間 T_{sh} の開始時点から時間 T_{th_h} 以内にカウント値が閾値 N_{th} に達した場合、高照度であるとする。露光期間 T_{sh} の開始時点から時間 T_{th_h} が経過した後、時間 T_{th_h} を超え時間 T_{th_m} 以内にカウント値が閾値 N_{th} に達した場合、中照度であるとする。また、露光期間 T_{sh} の開始時点から時間 T_{th_m} が経過した後、時間 T_{th_m} を超え露光期間 T_{sh} の終了時点までにカウント値が閾値 N_{th} に達したか、または、露光期間 T_{sh} の終了時点になってもカウント値が閾値 N_{th} に達しない場合、低照度であるとする。

[0028] 取得部 13 は、タイムコード生成部 12 から、時間 T_{th_h} や時間 T_{th_m} をタイムコード T_c として取得しメモリに書き込んでおく。閾値 N_{th} および露光期間 T_{sh} は、例えば指定された値であり、固定値であるので、メモリから時間 T_{th_h} や時間 T_{th_m} を読み出して、上述の式 (1) に従い計算を実行することで、予測カウント値 N_{pre_h} や予測カウント値 N_{pre_m} を算出することができる。

[0029] ここで、高照度では、画素 10 に入射するフォトン単位時間当たりの数が、低照度の場合に比べて多い。したがって、タイムコード生成部 12 において、高照度の場合に画素 10 に入射するフォトン単位時間当たりの数に応じて更新周期を決めることが考えられる。これにより、高照度の場合のフォトン数の計数を高精度に実行することができる。

[0030] ところで、図 2 B に示されるように、低照度の場合は露光期間 T_{sh} が終了するまでフォトン数の計数を行う必要がある。一方、高照度の場合は、露光期間 T_{sh} が終了する前の時間 T_{th_h} で、計数されたフォトン数が閾値 N_{th} に達するため、時間 T_{th_h} 以降の計数を中止させることができる。したがって、露光期間 T_{sh} を通して低照度と高照度とで同一の更新周期に従いフォトン数の計数を行うと、特に低照度の場合に無駄な計数を行う

ことになる。例えば取得部13が有する、タイムコードTcを書き込むためのメモリのビット数が大きくなってしまう。

[0031] そこで、第1の実施形態では、タイムコード生成部12がタイムコードTcを生成するための更新周期を可変とし、露光期間Tshにおける経過時間に応じて更新周期を変化させる。より具体的には、タイムコード生成部12は、露光期間Tshの開始時点において最も短い更新周期を設定し、当該開始時点から露光期間Tshの終了時点に向けて、時間の経過に伴い更新周期を長くする。これにより、タイムコードTcが変化する時間間隔を、露光期間Tshにおける時間の経過に連れて長くすることができる。

[0032] 図3は、第1の実施形態に係るタイムコード生成部12によるタイムコードTcの生成を概略的に説明するための図である。図3において、上段から、時間の経過、低照度の場合のカウント値の例、高照度の場合のカウント値の例、等間隔の場合のタイムコードTcの例、および、可変間隔の場合のタイムコードTcの例、をそれぞれ示している。なお、ここでは、説明のため、計数部11が有するカウンタが3ビットカウンタであって、閾値Nth=8であるものとする。すなわち、画素10に検知されるフォトン数が8個に達すると、計数部11のカウンタがオーバーフローする。

[0033] 低照度の場合、カウント値は、露光期間Tsh内に閾値Nthを超えない可能性がある。図3の例では、低照度において、露光期間Tsh内に4個のフォトンPh(1)~Ph(4)、がカウントされ、カウント値が閾値Nthに達していない。

[0034] 一方、図3において、高照度の場合、露光期間Tsh内に、7個のフォトンPh(11)、Ph(12)、…、Ph(17)がカウントされ、次に8個目のフォトンPh(18)が検知された時点で、カウンタがオーバーフローしている。したがって、8個目のフォトンPh(18)が検知されたタイミングが、カウント値が閾値Nthを超えた時間Tthとなる。計数部11は、カウンタがオーバーフローすると、書き込み信号Wrenにより、取得部13に対してタイムコード生成部12で生成されたタイムコードTcの書

き込みを指示する。

[0035] ここで、タイムコード生成部 12 が一定の更新周期に従い等間隔でタイムコード T_c を生成する場合について考える。図 3 の例では、露光期間 T_{sh} の開始時点でタイムコード T_c がリセットされ、露光期間 T_{sh} の経過に伴い等間隔でタイムコード T_c が生成され、露光期間 T_{sh} の終了時点で値「2047」のタイムコード T_c が生成されている。すなわち、計数部 11 は、11 ビットを計数可能なカウンタを有する。

[0036] この場合において、高照度の場合、時間 T_{th} に対応するタイムコード T_c が値「11」となっており、この値「11」が取得部 13 によりメモリに書き込まれる。一方、露光期間 T_{sh} 内にカウント値が閾値 N_{th} に達しない低照度の場合には、露光期間 T_{sh} の終了時点までカウントを継続する必要がある。この場合、露光期間 T_{sh} の終了時点のタイムコード T_c の値「2047」が取得部 13 によりメモリに書き込まれることになる。したがって、図 3 の例においてタイムコード生成部 12 が等間隔でタイムコード T_c を生成する場合、取得部 13 は、11 ビットのビット幅を持つメモリが必要となる。

[0037] これに対して、第 1 の実施形態では、タイムコード生成部 12 は、露光期間 T_{sh} の経過に伴い更新周期を変化させて、可変間隔でタイムコード T_c を生成する。このとき、タイムコード生成部 12 は、露光期間 T_{sh} の開始時点において、露光期間 T_{sh} 内で最も短い更新周期によりタイムコード T_c を生成する。露光期間 T_{sh} の経過に伴い更新周期を長くし、露光期間 T_{sh} の終了時点で、露光期間 T_{sh} 内で最も長い更新周期によりタイムコード T_c を生成する。

[0038] より具体的には、第 1 の実施形態に係るタイムコード生成部 12 は、照度を例えば高照度、中照度および低照度の 3 段階に分類し、それぞれ異なる更新周期に従った間隔でタイムコード T_c を生成する。すなわち、高照度、中照度および低照度に対応する更新周期をそれぞれ更新周期 f_h 、 f_m および f_l とすると、これら更新周期 f_h 、 f_m および f_l の関係は、 $f_h > f_m > f_l$ となる。

[0039] タイムコード生成部12は、高照度の更新周期 f_h に従った間隔のタイムコード T_c を、露光期間 T_{sh} の開始時点から、露光期間 T_{sh} の第1の時点まで生成する。タイムコード生成部12は、中照度の更新周期 f_m に従った間隔のタイムコード T_c を、当該第1の時点から所定時間が経過した第2の時点まで生成する。さらに、タイムコード生成部12は、低照度の更新周期 f_l に従った間隔のタイムコード T_c を、当該第2の時点から露光期間 T_{sh} の終了時点まで生成する。

[0040] 図3の例では、第1の実施形態に係るタイムコード生成部12は、露光期間 T_{sh} の開始時点でタイムコード T_c をリセットし、タイムコード T_c の値「1」～「8」を高照度、値「9」～「16」を中照度、値「17」～「31」を低照度に割り当てている。このように、タイムコード T_c を生成するための更新周期 f を可変とすることで、取得部13が有するメモリは、例えば5ビットのビット幅を持っていればよい。

[0041] すなわち、図3の例では、高照度の場合、時間 T_{th} に対するタイムコード T_c が値「8」となっており、この値「8」が取得部13によりメモリに書き込まれる。一方、低照度の場合には、露光期間 T_{sh} の終了時点までカウントが継続されるが、タイムコード T_c の間隔が高照度の場合に比べて長くなっているため、露光期間 T_{sh} の終了時点のタイムコード T_c の値「31」が取得部13のメモリに書き込まれる。

[0042] ここで、上述の式(1)によれば、予測カウント値 N_{pre} は、露光期間 T_{sh} の開始時点からの経過時間である時間 T_{th} が0に近づくに連れ急激に増大し、さらに時間 T_{th} が0の場合には無限大となる。したがって、時間 T_{th} が極めて短い期間では、予測カウント値 N_{pre} が極めて大きな値となり、当該期間内の予測カウント値 N_{pre} は、現実的に意味をなさない値となる。これは、当該期間におけるタイムコード T_c が不要であることを意味している。そのため、タイムコード生成部12は、露光期間 T_{sh} の開始時点から所定時間が経過した時点において最も短い更新周期を設定し、当該時点から露光期間 T_{sh} の終了時点に向けて、時間の経過に伴い更新周期

を長くすると、好ましい。更新周期を設定するための所定時間は、例えば、露光期間 T_{sh} の開始後、所定の照度（例えば所望する最大照度）に対応する予測カウント値 N_{pre} が得られると推測される時間とすることができる。

[0043] 図3の例では、例えばタイムコード生成部12は、最下段に示される可変間隔のタイムコード T_c において、タイムコード $T_c = 「5」$ より小さい値のタイムコード T_c を無視している。これに限らず、タイムコード生成部12は、このタイムコード $T_c = 「5」$ の位置からタイムコード T_c の生成を開始してもよい。例えば、タイムコード生成部12は、露光期間 T_{sh} の開始時点から上述した所定時間が経過した時点において最も短い更新周期を設定し、当該時点から露光期間 T_{sh} の終了時点に向けて、時間の経過に伴い更新周期を長くする。

[0044] このように、第1の実施形態に係る受光装置1aでは、露光期間 T_{sh} 内において画素10にて検知された光子数が閾値 N_{th} に達した場合に取得するタイムコード T_c を、露光期間 T_{sh} の経過に伴い変化する更新周期に従った間隔で生成する。そのため、タイムコード T_c を書き込むメモリのビット幅を小さく抑えることができる。これにより、回路面積を削減することが可能である。

[0045] (1-2. 第1の実施形態に適用可能な構成)

次に、第1の実施形態に係る受光装置1aに適用可能な構成の例について説明する。図4は、第1の実施形態に係る受光装置1aが適用された電子機器の一例の構成を概略的に示すブロック図である。図4において、電子機器1000は、レンズ1001を含む光学系と、受光装置1aと、記憶部1002と、制御部1003と、を含む。光学系は、レンズ1001に入射した光を受光装置1aにおける画素10の受光面に導く。

[0046] 記憶部1002は、メモリなどデータを記憶する記憶媒体と、記憶媒体に対する読み書きを制御する制御部とを含む。記憶部1002は、受光装置1aから出力される出力データを記憶する。

[0047] 制御部1003は、受光装置1aを制御して、受光装置1aに対して上述の出力データを出力させる動作を実行させる。例えば、制御部1003は、露光期間 T_{sh} の開始時点と終了時点（露光期間 T_{sh} の長さ）とを、受光装置1aに指示することができる。また例えば、制御部1003は、受光装置1aに対して、タイムコード T_c を生成するための更新周期に対する基準信号を出力することができる。さらに例えば、制御部1003は、タイムコード T_c の間隔を高照度、中照度および低照度で切り替えるためのタイミングを、受光装置1aに対して指示することができる。

[0048] 図5は、第1の実施形態に係る受光装置1aに適用可能なデバイスの構成の例を示す模式図である。図5において、受光装置1aは、それぞれ半導体チップからなる受光チップ2000と、ロジックチップ2010とが積層されて構成される。なお、図5では、説明のため、受光チップ2000とロジックチップ2010とを分離した状態で示している。

[0049] 受光チップ2000は、複数の画素10に1対1に含まれる複数の光電変換素子110が例えば2次元格子状に配置されてなる画素アレイ部2001を含む。ロジックチップ2010は、光電変換素子110によって取得された信号を処理する信号処理部を含むロジックアレイ部2011が設けられる。受光チップ2000に含まれる各回路と、ロジックチップ2010に含まれる各回路と、は、CCC(Copper-Copper Connection)などにより電氣的に接続される。ロジックチップ2010に対して、さらに、当該ロジックアレイ部2011と近接して、光電変換素子110によって取得された信号を記憶する記憶部2012と、受光装置1aとしての動作を制御する素子制御部2013と、を設けることができる。

[0050] ここで、CCCは、受光チップ2000の配線層に含まれる一部の配線と、ロジックチップ2010の配線層に含まれる一部の配線と、が直接接合されることにより、受光チップ2000とロジックチップ2010とが電氣的に接続される接続形態である。この場合の配線は、銅を一例として、金属などの導電材料で形成することができる。

- [0051] 受光チップ2000とロジックチップ2010との接続形態は、CCCに限定されない。例えば、受光チップ2000とロジックチップ2010とを、バンプ接続や貫通電極などにより接続することも可能である。
- [0052] この受光チップ2000とロジックチップ2010との間の電氣的な接続は、例えば、受光チップ2000で生成された画素信号のロジックチップ2010への伝送や、外部から印加された電源の受光チップ2000内、ロジックチップ2010内への供給などを目的とする。
- [0053] 一例として、外部から印加された電源は、例えば受光チップ2000において画素アレイ部2001の外部に設けられるボンディングパッド（引き出し電極）を介して受光チップ2000の配線層に供給される。受光チップ2000の配線層と、ロジックチップ2010の配線層とを、上述したCCCなどの接続部により直接接続し、電源を受光チップ2000からロジックチップ2010に供給する。
- [0054] また、上述では、この受光チップ2000とロジックチップ2010との間で電氣的な接続を行う接続部が、1つの画素10に対して1つ、設けられるように説明したが、これはこの例に限定されない。例えば、複数の画素10に対して1つの接続部が設けられる構成や、1つの画素10に対して複数の接続部が設けられる構成であってもよい。
- [0055] なお、素子制御部2013は、ロジックアレイ部2011の制御以外にも、例えば光電変換素子110の近傍に、他の駆動や制御の目的で配置することができる。素子制御部2013は、図5に示した配置以外にも、受光チップ2000およびロジックチップ2010の任意の領域に、任意の機能を有するように設けることができる。
- [0056] なお、上述では、画素10に含まれる各要素のうち光電変換素子110のみが受光チップ2000に配置されるように説明したが、これはこの例に限定されない。すなわち、受光チップ2000に対して、光電変換素子110から読み出した電荷を電気信号に変換する信号処理回路をさらに配置してもよい。さらにまた、受光チップ2000に対して、当該信号処理回路から出

力された電気信号に対して他の信号処理を施す回路を配置してもよい。

[0057] 次に、図6および図7を用いて、受光チップ2000およびロジックチップ2010のより具体的な構成例について説明する。図6は、第1の実施形態に適用可能な受光チップ2000の一例の構成を示す平面図である。この受光チップ2000には、画素アレイ部2001が設けられ、画素アレイ部2001には、2次元格子状に複数の光電変換素子110が設けられる。光電変換素子110の詳細については後述する。

[0058] 図7は、第1の実施形態に適用可能なロジックチップ2010の一例の構成を示すブロック図である。図7の例では、ロジックチップ2010には、垂直制御部2013a、ロジックアレイ部2011、水平制御部2013b、信号処理部2013cおよび記憶部2012が配置される。これらのうち、垂直制御部2013a、水平制御部2013bおよび信号処理部2013cは、素子制御部2013に含まれる構成とすることができる。また、ロジックアレイ部2011には、光電変換素子110毎に、論理回路2014が配列される。これらの論理回路2014のそれぞれは、対応する光電変換素子110と信号線を介して接続されている。光電変換素子110と、当該光電変換素子110に対応する論理回路2014とからなる回路は、1つの画素10による画素信号を生成する画素回路として機能する。

[0059] 例えば制御部1003から出力された垂直同期信号および水平同期信号が、垂直制御部2013aおよび水平制御部2013bにそれぞれ供給される。また、制御部1003から出力された露光制御信号が、ロジックアレイ部2011および信号処理部2013cにそれぞれ供給される。

[0060] ここで、2次元格子の所定方向（例えば図6および図7における横方向）を行方向とし、行に垂直の方向を列方向とする。すなわち、画素回路（光電変換素子110および論理回路2014）は、画素アレイ部2001およびロジックアレイ部2011に対して、行方向および列方向それぞれに整列されて配置される。以下では、特に記載の無い限り、画素回路の行方向の集合を「行」と呼び、画素回路の列方向の集合を「列」と呼ぶ。

- [0061] 垂直制御部2013aは、垂直同期信号に同期して行を順に選択する。論理回路2014は、図1を用いて説明した計数部11および取得部13を含み、取得部13のメモリに記憶されたタイムコードTcを出力することができる。各論理回路2014から出力されたタイムコードTcは、信号処理部2013cに供給される。水平制御部2013bは、水平同期信号に同期して列を順に選択して画素信号を出力させる。
- [0062] 信号処理部2013cは、さらに、制御部1003から、露光期間Tshを示す情報（露光開始タイミング、露光時間など）が入力される。信号処理部2013cは、各論理回路2014から供給された各タイムコードTcに基づき、例えば上述した式（1）に従い予測カウント値Npreを算出する。信号処理部2013cは、算出した各予測カウント値Npreを出力する。信号処理部2013cから出力された各予測カウント値Npreは、記憶部2012に供給され、記憶される。
- [0063] 図8は、第1の実施形態に係る画素アレイ部2001および垂直制御部2013aの一例の構成を示すブロック図である。また、図8において、画素アレイ部2001に対して、画素回路のより具体的な構成が示されている。
- [0064] 図8に例示されるように、画素アレイ部2001は、複数の画素回路100aを含む。なお、図8では、画素アレイ部2001に2次元格子状に配列される各画素回路100aのうち、1行に含まれる各画素回路100aを抜粋して示している。
- [0065] 図8において、画素回路100aは、光電変換素子110と、信号処理部111aと、カウンタ112と、閾値判定部113aと、メモリ114と、を含む。
- [0066] 光電変換素子110は、フォトンの入射に応じて信号Vphを出力する。上述した図5の構成の場合、信号Vphは、例えばCCCによる結合部を介して受光チップ2000からロジックチップ2010に伝送され、ロジックチップ2010に配される信号処理部111aに供給される。信号処理部111aは、光電変換素子110から出力された信号Vphを整形し、フォト

ンの入射に応じたパルス V_{pls} として出力する。パルス V_{pls} の出力タイミングは、後述する TC 生成部 120 から供給される信号 SH_ON に従い制御される。カウンタ 112 は、信号処理部 111a から出力されたパルス V_{pls} の数をカウントし、カウント結果をフォトン情報 $PhInfo$ として出力する。

[0067] 閾値判定部 113a は、カウンタ 112 から出力されたフォトン情報 $PhInfo$ に対して、閾値 Nth に基づく判定を行う。閾値判定部 113a は、フォトン情報 $PhInfo$ に基づき、光電変換素子 110 に入射されたフォトン数が閾値 Nth を超えたと判定した場合、書き込み信号 $Wren$ (W) を出力する。カウンタ 112 および閾値判定部 113a により、図 1 の計数部 11 が構成される。

[0068] メモリ 114 は、図 1 の取得部 13 に対応するもので、書き込み信号 $Wren$ に応じて、後述する TC 生成部 120 から信号線 142 を介して供給されるタイムコード Tc を記憶する。なお、メモリ 114 は、メモリ 114 自身へのデータの書き込みと、メモリ 114 からのデータの読み出しを制御するメモリ制御部を含む。

[0069] 一方、図 8 において、垂直制御部 2013a は、行毎に、TC (タイムコード) 生成部 120 を含む。TC 生成部 120 は、図 1 に示したタイムコード生成部 12 と対応するものである。TC 生成部 120 は、制御部 1003 の制御に従い、露光期間 Tsh の経過に伴い変化する更新周期を生成し、この更新周期に基づきタイムコード Tc を生成する。例えば、制御部 1003 は、基準のタイミング信号を生成して TC 生成部 120 に供給する。TC 生成部 120 は、この基準タイミング信号に基づき、所定の更新周期でタイムコード Tc を生成する。図 8 の例では、TC 生成部 120 で生成されたタイムコード Tc は、信号線 142 を介して各画素回路 100a、100a、…に入力され、各画素回路 100a、100a、…が有するメモリ 114 にそれぞれ供給され記憶される。

[0070] 各画素回路 100a、100a、…がそれぞれ有するメモリ 114 に記憶

された各タイムコード T_c は、信号線142を介して、各メモリ114から読み出される。

[0071] なお、制御部1003は、例えば、露光期間 T_{sh} の開始タイミングをTC生成部120に指示すると共に、露光期間 T_{sh} の長さを示す情報をTC生成部120に供給する。

[0072] また、TC生成部120は、信号処理部111aがパルス V_{pls} を出力するタイミングを指示する信号 SH_ON を生成する。TC生成部120は、例えば、所定のクロック信号に基づき信号 SH_ON を生成する。図8の例では、TC生成部120で生成された信号 SH_ON は、信号線141を介して各画素回路100a、100a、…に入力され、信号処理部111aに供給される。

[0073] 図9は、第1の実施形態に適用可能な信号処理部111aの一例の構成を示す図である。図9において、信号処理部111aは、抵抗1101と、インバータ1102と、アンプ1103と、スイッチ1104と、を含む。

[0074] 図9において、例えばSPADである光電変換素子110は、カソードが抵抗1101を介して電源電位 V_{DD} の端子に接続され、アノードが電源電位 V_{DD} よりも電位が低い電位 $GND(1)$ の端子に接続される。電位 $GND(1)$ の端子は、例えば接地端子である。これにより、光電変換素子110には、逆バイアスが印加される。また、光電流は、光電変換素子110のカソードからアノードに向けた方向に流れる。

[0075] なお、光電変換素子110は、SPADに限定されない。光電変換素子110としてアバランシェフォトダイオード(APD)や、通常の写真電導素子を適用することも可能である。

[0076] 抵抗1101の一端が電源電位 V_{DD} に接続され、他端が光電変換素子110のカソードに接続される。光電変換素子110においてフォトンが入射が検出される毎に抵抗1101に光電流が流れ、光電変換素子110のカソード電位が、電源電位 V_{DD} より低い初期状態の値に降下する(クエンチング動作)。

[0077] 抵抗1101と光電変換素子110のカソードとの接続点から取り出された信号が、インバータ1102に入力される。インバータ1102は、入力された、光電変換素子110のカソード電位の信号を反転し、反転出力信号Vsigをスイッチ1104を介してアンプ1103に供給する。アンプ1103は、反転出力信号Vsigを整形して、パルスVplsとして出力する。また、インバータ1102およびアンプ1103が接続される接地側の電位GND(2)は、光電変換素子110のアノードが接続される接地側の電位GND(1)と異なる。

[0078] なお、図9において、光電変換素子110は、受光チップ2000上に形成される。また、抵抗1101、インバータ1102、アンプ1103およびスイッチ1104は、ロジックチップ2010上に形成される。光電変換素子110のカソードが、例えばCCCによる結合部1105aを介して、抵抗1101とインバータ1102の入力端とが接続される接続点に接続される。また、光電変換素子110のアノードが、例えばCCCによる結合部1105bを介して、ロジックチップ2010上に配される接地側の電位(1)を供給する供給線に接続される。

[0079] 図10Aおよび図10Bを用いて、第1の実施形態に適用可能な光電変換素子110の構成の例について説明する。図10Aは、第1の実施形態に適用可能な、SPADとしての光電変換素子110の構成の例を示す図である。図10において、光電変換素子110は、SPADを用いたSPAD画素としての増倍領域と光電変換を行う光電変換部(N-領域)840を備え、光電変換部840の裏面側の最表面は、光が照射される光照射部とされている。

[0080] 図10Aにおいて、図示されないアノード電極がP型半導体領域760と電氣的に接続されている。P型半導体領域760は、下層ほど不純物濃度が低くなるように構成されている。また、P型半導体領域760から、金属層830を含む画素分離部831に沿ってP型半導体領域700、P-型半導体領域710が形成され、P型半導体領域760からアバランシュ部720

までが電氣的に接続されている。アバランシュ部 720 は P + 型半導体領域 730 と N + 型半導体領域 740 が接合されて構成されている。P 型半導体領域 700 は、アバランシュ部 720 で読み出したい電荷（電子）が通過するように、逆の電荷（ホール）を蓄積させることで構成されている。P - 型半導体領域 710 は、アバランシュ部 720 に電荷が通過するよう、中央の電位を高くするため、低濃度の領域とすることが望ましい。

[0081] N + 型半導体領域 740 は、N + 型半導体領域 750 を介して電極 801 と接続されている。また、P + 型半導体領域 730 と N + 型半導体領域 740 の側面には、N - 型半導体領域 780 が形成されている。また、N + 型半導体領域 740 および N - 型半導体領域 780 と電氣的に接続される P + 型半導体領域 790 が設けられ、P + 型半導体領域 790 は電極 800 を介して接地（GND）されている。

[0082] 画素分離部 831 の側面と P 型半導体領域 760 の上層には、固定電荷膜 810 が設けられている。P 型半導体領域 760 の上層において、固定電荷膜 810 上に、絶縁膜 821 を介してカラーフィルタ 822 が設けられる。カラーフィルタ 822 のさらに上に、オンチップレンズ 820 が設けられる。なお、カラーフィルタ 822 は、用途に応じて設けられる。

[0083] 図 10B は、第 1 の実施形態に適用可能な、フォトダイオードとしての光電変換素子 110 を含む受光部 20010 の構成の例を示す図である。図 10B において、フォトダイオードである光電変換素子 110 が、半導体基板 20018 の裏面（図 10B では上面）側から入射する入射光 20001 を受光する。光電変換素子 110 の上方には、平坦化膜 20013、カラーフィルタ 20012、マイクロレンズ 20011 が設けられており、各部を順次介して入射した入射光 20001 を、受光面 20017 で受光して光電変換が行われる。

[0084] 例えば、光電変換素子 110 は、N 型半導体領域 20020 が、電荷（電子）を蓄積する電荷蓄積領域として形成されている。光電変換素子 110 においては、N 型半導体領域 20020 は、半導体基板 20018 の P 型半導

体領域 20016、20041 の内部に設けられている。N 型半導体領域 20020 の、半導体基板 20018 の表面（下面）側には、裏面（上面）側よりも不純物濃度が高い P 型半導体領域 20041 が設けられている。つまり、光電変換素子 110 は、HAD (Hole-Accumulation Diode) 構造になっており、N 型半導体領域 20020 の上面側と下面側との各界面において、暗電流が発生することを抑制するように、P 型半導体領域 20016、20041 が形成されている。

[0085] 半導体基板 20018 の内部には、複数の受光部 20010 の間を電氣的に分離する画素分離部 20030 が設けられており、この画素分離部 20030 で区画された領域に、光電変換素子 110 が設けられている。図中、上面側から、固体撮像装置を見た場合、画素分離部 20030 は、例えば、複数の受光部 20010 の間に介在するように格子状に形成されており、光電変換素子 110 は、この画素分離部 20030 で区画された領域内に形成されている。

[0086] 各光電変換素子 110 では、アノードが接地されており、受光部 20010 において、光電変換素子 110 が蓄積した信号電荷（例えば、電子）は、例えば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) による図示せぬ転送トランジスタなどを介して読み出され、電気信号として、図示せぬ VSL（垂直信号線）へ出力される。

[0087] 配線層 20050 は、半導体基板 20018 のうち、遮光膜 20014、カラーフィルタ 20012、マイクロレンズ 20011 等の各部が設けられた裏面（上面）とは反対側の表面（下面）に設けられている。

[0088] 配線層 20050 は、配線 20051 と絶縁層 20052 とを含み、絶縁層 20052 内において、配線 20051 が各素子に電氣的に接続するように形成されている。配線層 20050 は、いわゆる多層配線の層になっており、絶縁層 20052 を構成する層間絶縁膜と配線 20051 とが交互に複数回積層されて形成されている。ここでは、配線 20051 としては、転送 Tr 等の光電変換素子 110 から電荷を読み出すためのトランジスタへの配

線や、VSLなどの各配線が、絶縁層20052を介して積層されている。

[0089] 配線層20050の、光電変換素子110が設けられている側に対して反対側の面には、支持基板20061が設けられている。例えば、厚みが数百 μm のシリコン半導体からなる基板が、支持基板20061として設けられている。

[0090] 遮光膜20014は、半導体基板20018の裏面（図では上面）の側に設けられている。遮光膜20014は、半導体基板20018の上方から半導体基板20018の裏面へ向かう入射光20001の一部を、遮光するように構成されている。

[0091] 遮光膜20014は、半導体基板20018の内部に設けられた画素分離部20030の上方に設けられている。ここでは、遮光膜20014は、半導体基板20018の裏面（上面）上において、シリコン酸化膜などによる絶縁膜20015を介して、凸形状に突き出るように設けられている。これに対して、半導体基板20018の内部に設けられた光電変換素子110の上方においては、光電変換素子110に入射光20001が入射するように、遮光膜20014は、設けられておらず、開口している。

[0092] つまり、図10B中、上面側から受光部20010を見た場合、遮光膜20014の平面形状は、複数の受光部20010を区画する格子状になっており、入射光20001が受光面20017へ通過する開口が形成されている。

[0093] 遮光膜20014は、光を遮光する遮光材料で形成されている。例えば、チタン（Ti）膜とタングステン（W）膜とを、順次、積層することで、遮光膜20014が形成されている。この他に、遮光膜20014は、例えば、窒化チタン（TiN）膜とタングステン（W）膜とを、順次、積層することで形成することができる。遮光膜20014は、平坦化膜20013によって被覆されている。平坦化膜20013は、光を透過する絶縁材料を用いて形成されている。

[0094] 画素分離部20030は、溝部20031、固定電荷膜20032および

絶縁膜 20033 を有する。

[0095] 固定電荷膜 20032 は、半導体基板 20018 の裏面（上面）の側において、複数の受光部 20010 の間を区画している溝部 20031 を覆うように形成されている。具体的には、固定電荷膜 20032 は、半導体基板 20018 において裏面（上面）側に形成された溝部 20031 の内側の面を一定の厚みで被覆するように設けられている。そして、その固定電荷膜 20032 で被覆された溝部 20031 の内部を埋め込むように、絶縁膜 20033 が設けられている（充填されている）。

[0096] ここでは、固定電荷膜 20032 は、半導体基板 20018 との界面部分において正電荷（ホール）蓄積領域が形成されて暗電流の発生が抑制されるように、負の固定電荷を有する高誘電体を用いて形成されている。固定電荷膜 20032 が負の固定電荷を有するように形成されていることで、その負の固定電荷によって、半導体基板 20018 との界面に電界が加わり、正電荷（ホール）蓄積領域が形成される。

[0097] 固定電荷膜 20032 は、例えば、ハフニウム酸化膜（ HfO_2 膜）で形成することができる。また、固定電荷膜 20032 は、その他、例えば、ハフニウム、ジルコニウム、アルミニウム、タンタル、チタン、マグネシウム、イットリウム、ランタノイド元素等の酸化物の少なくとも 1 つを含むように形成することができる。

[0098] （1-3. 第 1 の実施形態に係るタイムコード TC 生成処理）

図 11 および図 12 を用いて、第 1 の実施形態に係る TC 生成部 120 の動作について説明する。図 11 は、第 1 の実施形態に係る TC 生成部 120 の一例の構成を示すブロック図である。また、図 12 は、第 1 の実施形態に係る TC 生成部 120 の動作を説明するための一例のタイミングチャートである。

[0099] 図 11 において、第 1 の実施形態に係る TC 生成部 120 は、時間カウンタ 121 と、分周設定値記憶部 122 と、周波数判定部 123 と、コード生成部 124 と、を含む。

- [0100] 時間カウンタ 121 は、一定周波数で駆動され、例えば制御部 1003 から供給される基準クロック信号のカウントを行う。時間カウンタ 121 は、例えば露光期間 T_{sh} の開始時点でカウント値が「0」に初期化され、基準クロック信号の立ち上がりまたは立ち下がりによってカウント値を「1」ずつ増加させ、基準クロック信号のカウントを行う。ここでは、説明のため、露光期間 T_{sh} は、基準クロック信号の 128 カウント分の長さを有するものとする。この場合、時間カウンタ 121 のカウント値は、露光期間 T_{sh} の開始時点で「0」、終了時点で「127」となる。
- [0101] 分周設定値記憶部 122 は、複数の周波数分周値が予め記憶され、周波数判定部 123 の要求に応じて、記憶される複数の周波数分周値から要求される周波数分周値を出力する。一例として、分周設定値記憶部 122 は、周波数分周値として値「31」、「63」および「127」を記憶する。
- [0102] 周波数判定部 123 は、時間カウンタ 121 のカウント値と、分周設定値記憶部 122 から出力された周波数分周値とが入力される。周波数判定部 123 は、入力されたカウント値および周波数分周値に基づき、周波数情報を出力する。ここでは、周波数情報の初期値を「1」とする。
- [0103] より具体的には、周波数判定部 123 は、入力されたカウント値と周波数分周値とが一致するか否かを判定する。若し、カウント値と周波数分周値とが一致し、且つ、現在入力されている周波数分周値が最大値ではないと判定された場合、周波数判定部 123 は、周波数情報に 1 を加算して出力する。それと共に、周波数判定部 123 は、分周設定値記憶部 122 に対して、現在入力されている周波数分周値より 1 つ大きい値の周波数分周値を要求する。
- [0104] コード生成部 124 は、基準クロック信号と、周波数判定部 123 から出力された周波数情報とに基づき、タイムコード T_c を出力する。このとき、コード生成部 124 は、周波数情報に応じた回数で基準クロック信号を分周して更新周期を変更し、タイムコード T_c の時間間隔を制御する。例えば、コード生成部 124 は、周波数情報の値が「1」で基準クロック信号を 1 回

分周し、基準クロック信号の $1/2$ の更新周期に応じてタイムコード T_c を生成する。また例えば、コード生成部 124 は、周波数情報の値が「2」で基準クロック信号を2回分周し、基準クロック信号の $1/4$ の更新周期に応じてタイムコード T_c を生成する。

[0105] 図12のタイミングチャートを用いて、TC生成部120の動作について、より具体的に説明する。図12において、クロックは、時間カウンタ121により基準クロック信号をカウントしたカウント値を示す。図12の例では、クロックの値は、露光期間 T_{sh} の開始時点で「0」、終了時点で「127」とされている。露光期間 T_{sh} の開始時点において、周波数判定部123は、分周設定値記憶部122から周波数分周値の初期値である値「31」を取得すると共に、周波数情報の初期値である値「1」を出力する。

[0106] コード生成部124は、値「1」の周波数情報に基づき基準クロック信号を1回分周し、基準クロック信号の $1/2$ の周波数（更新周期）に応じて1ずつ値が増加するタイムコード T_c を生成する。

[0107] 周波数判定部123は、クロックの値が周波数分数値「31」と一致したと判定した場合、分周設定値記憶部122に対して、現在の周波数分数値「31」より1つ大きい値の周波数分周値「63」を要求する。それと共に、周波数判定部123は、周波数情報の値「1」に「1」を加算して値「2」とする。コード生成部124は、周波数情報の値「2」に応じて基準クロック信号を2回分周し、基準クロック信号の $1/4$ の周波数に応じて1ずつ値が増加するタイムコード T_c を生成する。

[0108] 図12の例では、コード生成部124は、周波数情報が値「1」の期間（クロックの値「0」～「31」）に、基準クロック信号の $1/2$ の周波数に従い、値「0」から値「15」まで1ずつ増加するタイムコード T_c を順次に生成する。コード生成部124は、周波数情報が値「1」から値「2」に切り替わると、基準クロック信号の $1/4$ の周波数に従い、次の値「16」から1ずつ増加するタイムコード T_c を生成する。

[0109] このように、第1の実施形態に係るTC生成部120によれば、クロック

の値が周波数分周値と一致する毎に、基準クロック信号を分周する分周比を大きくすると共に、周波数分周値を更新している。そのため、露光期間 T_{sh} における時間の経過に応じて更新周期が順次に長くなり、タイムコード T_c の時間間隔が順次に長くなる。

[0110] ここで、露光期間 T_{sh} 内において時間間隔が固定の時間間隔で生成されたタイムコード T_c' を用いた場合について考える。ここでは、タイムコード T_c' は、基準クロック信号の周波数の $1/2$ の周波数に従い生成されるものとする。この場合、露光期間 T_{sh} の終了時点でのタイムコード T_c' は、値「63」となり、6ビットのデータとなる。これに対して、第1の実施形態では、タイムコード T_c の時間間隔を時間の経過に伴い長くすることで、露光期間 T_{sh} の終了時点でのタイムコード T_c は、値「31」となり、5ビットのデータとなる。

[0111] このように、タイムコード T_c の時間間隔を可変とすることで、タイムコード T_c のビット数を少なくすることができ、タイムコード T_c により取得される時間 T_{th} を格納するメモリのサイズの削減が可能となる。

[0112] 基準クロック信号に対する分周比が最も小さい ($1/2$) 期間は、タイムコード T_c が最も短い更新周期に応じて生成される期間であり、入射された光子数が閾値 N_{th} に達した時間 T_{th} を、最も高い精度で取得できる。一方、当該分周比が大きくなるに連れ、タイムコード T_c を生成するための更新周期が長くなり、時間 T_{th} の取得精度が低くなる。

[0113] 高照度の場合は、露光期間 T_{sh} の開始時点から短時間に多数の光子が入射されると考えられる。この場合、光子入射の平均時間間隔 T_a が短くなるため、時間 T_{th} の取得に高い精度が要求される。一方、低照度の場合は、露光期間 T_{sh} の開始時点から長時間にわたり少数の光子が入射されと考えられる。この場合、光子入射の平均時間間隔 T_a が長くなる。そのため、時間 T_{th} の取得に高い精度は要求されないと考えられる。

[0114] したがって、露光期間 T_{sh} の開始時点においてタイムコード T_c の時間間隔を最も短くし、露光期間 T_{sh} の経過に伴いタイムコード T_c の時間間

隔を順次長くしていくことで、時間 T_{th} を効率良く取得可能となる。また、高照度、中照度および低照度において、それぞれ適切なタイムコード T_c の時間間隔を設定できるため、量子化ノイズを抑制することも可能である。

[0115] 図12の例では、時間カウンタ121が一定周波数で駆動されて基準クロック信号をカウントしているが、これはこの例に限定されない。例えば、時間カウンタ121を駆動する周波数を可変としてもよい。図13は、第1の実施形態に係る、時間カウンタ121を駆動する周波数を可変とした場合のTC生成部120の動作を説明するための一例のタイミングチャートである。なお、図13のタイミングチャートの各部の意味は、上述した図12のタイミングチャートと同様であるので、ここでの説明を省略する。

[0116] 図13の例では、時間カウンタ121を、クロックの値が「32」以降で、それ以前の1/2の周波数で駆動している。これに伴い、分周設定値記憶部122に記憶される周波数分周値を、値「31」、「47」および「63」としている。周波数判定部123およびコード生成部124の動作は、上述した図12の例と同様である。この場合であっても、タイムコード T_c の時間間隔を周波数分周値および周波数情報に基づき可変にでき、タイムコード T_c のビット数を少なくすることが可能となる。

[0117] また、上述では、タイムコード T_c として1ずつ増加する数値を適用しているが、これはこの例に限定されない。すなわち、タイムコード T_c の増加幅は1に限定されない。さらには、値が重複しなければ、単純増加あるいは単純減少以外の値をタイムコード T_c に用いてもよい。

[0118] 図14は、第1の実施形態に適用可能な、単純増加あるいは単純減少以外の値の例としてグレイコードをタイムコード T_c に適用した例を示すタイミングチャートである。なお、図14のタイミングチャートの各部の意味は、上述した図12のタイミングチャートと同様であるので、ここでの説明を省略する。また、図14では、図12における周波数分周値が値「31」の期間を抜粋して示している。

[0119] グレイコードは、前後に隣接する符号間のハミング距離が必ず1であるコ

ードであって、ある値から隣接する値に変化する際に、常に１ビットしか変化しない特性を持つ。このように、タイムコードＴｃにグレイコードを適用することで、ＴＣ生成部１２０におけるタイムコードＴｃの発行に要する電力を、例えば一般的なバイナリを用いた場合に比べて削減することが可能である。また、グレイコードは、値が隣接する値に変化する際のビットの変化が一般的なバイナリを用いた場合に比べて小さいので、フォトン数の予測に係る不安定要素を抑制することも可能である。例えば、タイムコードＴｃとしてグレイコードを用いることで、ＴＣ生成部１２０における周波数設計を緩和できる効果も有する。

[0120] 図１１に示したＴＣ生成部１２０は、周波数判定部１２３が周波数分周値と時間カウンタ１２１のカウント値とに基づき、コード生成部１２４がタイムコードＴｃを生成するための周波数情報を生成しているが、これはこの例に限定されない。例えば、ＰＬＬ(Phase Locked Loop)を用いて周波数情報を生成してもよい。

[0121] 図１５は、第１の実施形態に適用可能な、ＰＬＬを用いてタイムコードＴｃを生成する構成の例を示すブロック図である。図１５において、ＴＣ生成部１２０'は、分周設定値記憶部１２２と、クロック生成部１２５と、ＰＬＬ回路１２６と、コード生成部１２７と、を含む。分周設定値記憶部１２２は、図１１に示したＴＣ生成部１２０と同様に、複数の周波数分周値（例えば値「３１」、「６３」および「１２７」）が予め記憶される。

[0122] クロック生成部１２５は、例えば制御部１００３から供給される基準クロック信号に基づき、周波数が安定的とされたクロック信号を生成する。ＰＬＬ回路１２６は、クロック生成部１２５で生成されたクロック信号と、ＰＬＬ回路１２６の要求に応じて分周設定値記憶部１２２から出力された周波数分周値とが入力される。ＰＬＬ回路１２６は、入力されたクロック信号に基づき周波数分周値に応じた周波数のクロック信号を生成する。ＰＬＬ回路１２６で生成されたクロック信号は、コード生成部１２７に供給される。

[0123] コード生成部１２７は、例えばカウンタと比較部とを含む。カウンタは、

PLL回路126から供給されたクロック信号をカウントする。比較部は、カウンタによりカウントされたカウント値と閾値Nthとを比較する。コード生成部127は、カウント値が閾値Nth以上になったと判定した場合、当該カウント値をタイムコードTcとして出力する。

[0124] また、コード生成部127は、カウント値が閾値Nth以上になり、且つ、現在入力されている周波数分周値が最大値ではないと判定した場合、分周設定値記憶部122に対して、現在入力されている周波数分周値より1つ大きい周波数分周値を要求する。これにより、PLL回路126が生成するクロック信号の周波数を下げることができる。このとき、タイムコードTcを生成するためのクロック信号をPLL回路126により制御することで、タイムコードTcのより細かな制御が可能となる。

[0125] (1-4. 第1の実施形態に適用可能なカウンタの構成例)

次に、第1の実施形態に適用可能なカウンタ112(図8参照)の構成例について説明する。

[0126] (1-4-1. カウンタの第1の例)

まず、第1の実施形態に適用可能なカウンタ112の第1の例について説明する。図16Aおよび図16Bは、第1の実施形態に適用可能な第1の例のカウンタ112aの一例の構成を示すブロック図である。なお、以下では、特に記載の無い限り、閾値Nthを10進数表記で値「31」、2進数表記で値「0b11111」とする。なお、2進数表記において、先頭の文字列「0b」は、後続する文字列(この例では「11111」)が2進数表記による値であることを示している。

[0127] 図16Aにおいて、第1の例に係るカウンタ112aは、それぞれ1ビットのカウントを行う複数のカウンタ1120、1120、…を含む。カウンタ1120、1120、…は、図16Bに例示されるように、T(トグル)フリップフロップ(以下、TFFと略称する)が直列接続された構成となっている。

[0128] TFFは、入力端子Tに立ち下がりエッジが入力される毎に、出力端子

Qの値が反転する。したがって、各カウンタ1120を、カウンタ1120の出力端子Qと次段のカウンタ1120の入力端子Tとを接続した直列接続とすることで、各カウンタ1120がビットをカウントするカウンタ112aを構成できる。図16Aの例では、カウンタ112aにおいて、5個のカウンタ1120が直列接続されているので、カウンタ112aは、ビット「0」(Bit(0))～ビット「4」(Bit(4))までの5ビットのカウンタとして動作する。

[0129] 各カウンタ1120が値「1」の状態でパルスVp1sの立ち下がリエッジが入力されると、カウンタ112aがオーバーフローして、MSB(Most Significant Bit)のカウンタ1120から値「1」が出力される。この値「1」は、フォトン情報Ph1nf0として、図8の閾値判定部113aに対応する閾値判定部113a(a)に入力される。閾値判定部113a(a)は、例えば1ビットのカウンタ1130を含み、カウンタ112aから値「1」が入力されると、カウンタ1130において1ビットが出力され、入射されたフォトン数が閾値Nthに達したとして、メモリ114への書き込み信号WRen(W)を出力する。

[0130] (1-4-2. カウンタの第2の例)

次に、第1の実施形態に適用可能なカウンタ112の第2の例について説明する。図17は、第1の実施形態に適用可能な第2の例のカウンタ112bの一例の構成を示すブロック図である。

[0131] 図17において、第2の例に係るカウンタ112bは、それぞれT-FFによるカウンタ1120、1120、…が直列に接続される。カウンタ112bは、各カウンタ1120、1120、…の出力端子Qから出力が取り出され、取り出された各ビットがビット列として出力される。図17の例では、カウンタ112bが5個のカウンタ1120を含むため、5ビットのビット列として出力される。カウンタ112b出力されたビット列は、フォトン情報Ph1nf0として閾値判定部113a(b)に供給される。

[0132] 閾値判定部113a(b)は、図8の閾値判定部113aに対応するもの

で、比較回路 1131 を含む。閾値判定部 113a (b) に供給されたフォトン情報 $PhInfo$ は、比較回路 1131 に入力される。比較回路 1131 は、入力されたフォトン情報 $PhInfo$ と、閾値 Nth とを比較して、フォトン情報 $PhInfo$ が示す値と、閾値 Nth とが一致した場合に、メモリ 114 への書き込み信号 $Wren$ (W) を出力する。

[0133] この第2の例のカウンタ 112b および閾値判定部 113a (b) によれば、閾値 Nth として、カウンタ 1120 の数に対応するビット数の範囲内の任意の値を設定することが可能である。

[0134] (1-4-3. カウンタの第3の例)

次に、第1の実施形態に適用可能なカウンタ 112 の第3の例について説明する。図 18 は、第1の実施形態に適用可能な第3の例のカウンタ 112c の一例の構成を示すブロック図である。

[0135] 図 18 において、第3の例に係るカウンタ 112c は、それぞれ T-FF によるカウンタ 1120、1120、…が直列に接続される。カウンタ 112c は、MSB に対応するカウンタ 1120 の入力および出力と、カウンタ 112c に入力されるパルス $Vpls$ との、3つの信号がフォトン情報 $PhInfo$ として出力される。カウンタ 112c から出力されたフォトン情報 $PhInfo$ は、図 8 の閾値判定部 113a に対応する閾値判定部 113a (c) に供給される。

[0136] 閾値判定部 113a (c) は、3入力の AND 回路 1132 を含む。閾値判定部 113a (c) に入力されたフォトン情報 $PhInfo$ に含まれる3つの信号は、それぞれ AND 回路 1132 の3つの入力端に入力される。閾値判定部 113a (c) は、フォトン情報 $PhInfo$ に含まれる3つの値が「1」になった場合に、メモリ 114 への書き込み信号 $Wren$ (W) を出力する。カウンタ 112c に入力されるパルス $Vpls$ を論理積による判定条件に用いているため、パルス $Vpls$ の入力に同期して、書き込み信号 $Wren$ を出力できる。

[0137] (1-4-4. カウンタの第4の例)

次に、第1の実施形態に適用可能なカウンタ112の第4の例について説明する。図19Aおよび図19Bは、第1の実施形態に適用可能な第4の例のカウンタ112dの一例の構成を示すブロック図である。

[0138] 図19Aにおいて、カウンタ112dは、それぞれ非同期型TFF（以下、SRTFF）であるカウンタ1120'、1120'、…が直列に接続される。SRTFFは、外部からの制御信号で初期状態を決定できるようにしたものである。それぞれSRTFFである各カウンタ1120'は、図19Bに示されるように、入力端子Tに加え、端子Sおよび端子Rを有する。図19Bの例では、例えば信号SETが端子Rに入力されると共に、反転されて端子Sに入力される。この接続の場合、信号SET=0で値「1」が書き込まれ（Q=1）、信号SET=1で値「0」が書き込まれる（Q=0）。

[0139] 図19Aの例では、LSB(Least Significant Bit)側の3つのカウンタ1120'（Bit(0)、Bit(1)およびBit(2)）に対して、信号RST_CNTが上述の信号SETとして入力される。また、MSB側の2つのカウンタ1120'（Bit(3)およびBit(4)）に対して、信号SET_CNTが上述の信号SETとして入力される。例えば、カウンタ112dに含まれる各カウンタ1120'、1120'、…をリセットする際に、初期化処理として、信号RST_CNTを値「0」とし、信号SET_CNTを値「1」とする。これにより、LSB側の3つのカウンタ1120'（Bit(0)、Bit(1)およびBit(2)）にそれぞれ「0」が書き込まれ、MSB側の2つのカウンタ1120'（Bit(3)およびBit(4)）に値「1」が書き込まれる。

[0140] このように各カウンタ1120'、1120'、…を初期化することで、閾値Nthを制御することができる。上述の例では、MSB側の2つのカウンタ1120'（Bit(3)およびBit(4)）の値が既に「1」とされているので、パルスVplsが8個入力されることで、カウンタ112dがオーバーフローして、値「1」の光子情報Phinfoが出力される。すなわち、この場合、閾値Nthが値「8」に制御される。

[0141] (1-4-5. カウンタの第5の例)

次に、第1の実施形態に適用可能なカウンタ112の第5の例について説明する。図20は、第1の実施形態に適用可能な第5の例のカウンタ112eの一例の構成を示すブロック図である。

[0142] 図20において、カウンタ112eは、それぞれ非同期型TFF（以下、SRTFF）であるカウンタ1120'、1120'、…が直列に接続される。各カウンタ1120'、1120'、…に対して、5ビットの信号INIT_CNT_DATAの各ビットが、それぞれ図19Bを用いて説明した信号SETとして、それぞれスイッチ1121、1121、…を介して入力される。各スイッチ1121は、1ビットの信号INIT_CNTによりオン（閉）およびオフ（開）を同時に制御される。

[0143] 信号INIT_CNT_DATAの各ビットを例えば値「0」とし、信号INIT_CNTにより所定のタイミングで各スイッチ1121をオンとすることで、各カウンタ1120'、1120'、…に値「0」が書き込まれ、各カウンタ1120'、1120'、…をリセットすることができる。

[0144] (1-4-6. カウンタの第6の例)

次に、第1の実施形態に適用可能なカウンタ112の第6の例について説明する。カウンタ112の第6の例は、カウンタ112を構成する各カウンタ1120、1120、…（または1120'、1120'、…）の配置を工夫した例である。図21は、第1の実施形態に適用可能な第6の例のカウンタ112f₁、112f₂および112f₃の一例の構成を示す図である。なお、これらカウンタ112f₁、112f₂および112f₃は、上述したカウンタ112a～112eの何れを適用してもよい。

[0145] 図21の例では、3つの光電変換素子110₁、110₂および110₃が示されている。なお、図21では、煩雑さを避けるため、図10に示した構成のうち、画素分離部831および光電変換部840を抜粋して示している。

[0146] 図5を参照し、これら光電変換素子110₁、110₂および110₃は、受光チップ2000上に配置される。一方、各カウンタ112f₁、112f₂およ

び $112f_3$ は、ロジックチップ 2010 上に配置される。受光チップ 2000 上の光電変換素子 110_1 、 110_2 および 110_3 は、電極 801' を介して受光チップ 2000 における接続部 850a に接続される。接続部 850a は、例えば CCC によりロジックチップ 2010 における接続部 850b と接続される。一方、各カウンタ $112f_1$ 、 $112f_2$ および $112f_3$ は、それぞれ対応する電極 851 を介して各接続部 850b に接続される。すなわち、光電変換素子 110_1 、 110_2 および 110_3 がフォトン入射に応じて出力した各信号 V_{ph} は、電極 801' と、接続部 850a および 850b と、電極 851 と、を介して、各カウンタ $112f_1$ 、 $112f_2$ および $112f_3$ に供給される。

[0147] ここで、説明のため、各カウンタ $112f_1$ 、 $112f_2$ および $112f_3$ として図 16A に示したカウンタ $112a$ が適用されるものとする。また、カウンタ $112f_1$ 、 $112f_2$ および $112f_3$ は、それぞれ 6 個のカウント 1120 (Bit(0)) ~ 1120 (Bit(5)) を含む 6 ビットカウンタであるものとする。

[0148] また、以下では、特に記載の無い限り、各カウンタ $112f_1$ 、 $112f_2$ および $112f_3$ に含まれる 6 個のカウント 1120 (Bit(0)) ~ 1120 (Bit(5)) のうち、LSB 側の各カウンタ 1120 (Bit(0))、 1120 (Bit(1))、 1120 (Bit(2)) および 1120 (Bit(3)) をそれぞれ纏めてカウンタ $1120a_1$ 、 $1120a_2$ および $1120a_3$ と記述する。同様に、各カウンタ $112f_1$ 、 $112f_2$ および $112f_3$ に含まれる 6 個のカウント 1120 (Bit(0)) ~ 1120 (Bit(5)) のうち、MSB 側の各カウンタ 1120 (Bit(4)) および 1120 (Bit(5)) をそれぞれ纏めてカウンタ $1120b_1$ 、 $1120b_2$ および $1120b_3$ と記述する。

[0149] 例えばカウンタ $112f_1$ が含む LSB 側の各カウンタ $1120a_1$ は、MSB 側の各カウンタ $1120b_1$ と比較して、高速にカウントが行われる。そこで、カウンタ $112f_1$ に含まれる LSB 側の各カウンタ $1120a_1$ を、ロジックチップ 2010 上の、対応する光電変換素子 110_1 の直下に対応する位

置に配置する。カウンタ 1 1 2 f_2 および 1 1 2 f_3 についても同様に、各カウンタ 1 1 2 f_2 および 1 1 2 f_3 に含まれる L S B 側のカウンタ 1 1 2 0 a_2 および 1 1 2 0 a_3 を、ロジックチップ 2 0 1 0 上の、それぞれ対応する光電変換素子 1 1 0₂ および 1 1 0₃ の直下に対応する位置に配置する。

[0150] 一方、各カウンタ 1 1 2 f_1 、1 1 2 f_2 および 1 1 2 f_3 が含む M S B 側の各カウンタ 1 1 2 0 b_1 、1 1 2 0 b_2 および 1 1 2 0 b_3 は、ロジックチップ 2 0 1 0 上に位置を纏めて配置する。このとき、図 2 1 に示されるように、各カウンタ 1 1 2 0 b_1 、1 1 2 0 b_2 および 1 1 2 0 b_3 は、対応する L S B 側の各カウンタ 1 1 2 0 a_1 、1 1 2 0 a_2 および 1 1 2 0 a_3 と近接していなくても構わない。

[0151] このように、入射フォトン数の平均時間間隔 T_a が長く、カウントの速度が遅い各カウンタ 1 1 2 0 b_1 ~ 1 1 2 0 b_3 を纏めて配置すると、カウント速度と回路面積とのトレードオフができる。これにより、カウンタ 1 1 2 f_1 ~ 1 1 2 f_3 の性能を維持しつつ、回路面積を削減することが可能となる。

[0152] なお、図 2 1 では、3 つの光電変換素子 1 1 0₁ ~ 1 1 0₃ について、M S B 側のカウンタ 1 1 2 0 b_1 ~ 1 1 2 0 b_3 を纏めているが、これはこの例に限定されず、2 つの光電変換素子 1 1 0 や、4 以上の光電変換素子 1 1 0 について、M S B 側のカウンタ 1 1 2 0 を纏めて配置してもよい。

[0153] (1-4-7. カウンタの第 7 の例)

次に、第 1 の実施形態に適用可能なカウンタ 1 1 2 の第 7 の例について説明する。カウンタ 1 1 2 の第 7 の例は、上述した第 6 の例において、M S B 側の各カウンタ 1 1 2 0 b_1 ~ 1 1 2 0 b_3 を共有化した例である。図 2 2 は、第 1 の実施形態に適用可能な第 7 の例のカウンタ 1 1 2 g_1 、1 1 2 g_2 および 1 1 2 g_3 の一例の構成を示す図である。なお、これらカウンタ 1 1 2 g_1 、1 1 2 g_2 および 1 1 2 g_3 は、上述したカウンタ 1 1 2 a ~ 1 1 2 e の何れを適用してもよい。

[0154] 図 2 2 に示されるように、各カウンタ 1 1 2 g_1 ~ 1 1 2 g_3 において、L S B 側の各カウンタ 1 1 2 0 a_1 ~ 1 1 2 0 a_3 は、上述した第 6 の例と同様に、

ロジックチップ2010上の、それぞれ対応する光電変換素子110₁~110₃の直下に対応する位置に配置される。一方、各カウンタ112g₁~112g₃に含まれるMSB側の各カウンタ1120 (Bit(4)) および1120 (Bit(5)) は、各カウンタ112g₁~112g₃で纏められて、カウンタ1120cとしてロジックチップ2010上に配置される。

[0155] 図23は、第1の実施形態に適用可能なカウンタ1120cの一例の構成を示すブロック図である。図23において、カウンタ1120cは、メモリ1122₁、1122₂および1122₃と、加算回路1123と、結果メモリ1124と、を含む。

[0156] 例えばメモリ1122₁は、光電変換素子110₁に対応するLSB側のカウンタ1120a₁の出力が供給される。メモリ1122₁は、カウンタ1120a₁から供給された出力値をそれぞれ記憶する。すなわち、メモリ1122₁は、カウンタ1120a₁においてオーバーフローした値をそれぞれ記憶する。これにより、メモリ1122₁は、MSB側のビットをカウントするカウンタとして機能する。

[0157] メモリ1122₂および1122₃も同様に、それぞれ光電変換素子110₂および110₃に対応するLSB側のカウンタ1120a₂および1120a₃においてオーバーフローした値をそれぞれ記憶する。

[0158] メモリ1122₁、1122₂および1122₃に記憶された値は、加算回路1123により加算され、結果メモリ1124に記憶される。結果メモリ1124から読み出された値は、光子情報PhInfoとして出力され、例えば閾値判定部113aに供給される。

[0159] (1-4-8. カウンタの第8の例)

次に、第1の実施形態に適用可能なカウンタ112の第8の例について説明する。上述したカウンタ112の第1~第7の例では、光電変換素子110に対する光子の入射に応じたパルスVplsを、値「0」および「1」の2値でカウントするデジタルカウンタを用いてカウントしていた。この第8の例では、アナログカウンタを用いてパルスVplsをカウントする。

[0160] 図24は、第1の実施形態に適用可能な第8の例のカウンタ112hの一例の構成を示すブロック図である。図24において、カウンタ112hは、アナログカウンタ1125aを含む。アナログカウンタ1125aは、例えばキャパシタを有し、入力されたパルス V_{pls} の電圧に応じた電荷をキャパシタに蓄積する。キャパシタの容量 C と、蓄積される電荷 Q と、キャパシタから取り出される電圧 V との間には、 $V = Q / C$ の関係があるので、アナログカウンタ1125aは、入力されたパルス V_{pls} の数に応じた電圧を取り出すことができる。アナログカウンタ1125aにおいて取り出された電圧は、フォトン情報 $Phlno$ として、図8の閾値判定部113aに対応する閾値判定部113a(d)に供給される。

[0161] 閾値判定部113a(d)は、比較器1133を含み、比較器1133により、カウンタ112hから供給されたフォトン情報 $Phlno$ と、電圧値として供給される閾値 Nth とを比較する。比較器1133は、例えば、フォトン情報 $Phlno$ の電圧値が閾値 Nth の電圧値よりも高い場合に、書き込み信号 $Wren$ (W)を出力する。

[0162] (1-4-9. カウンタの第9の例)

次に、第1の実施形態に適用可能なカウンタ112の第9の例について説明する。この第9の例では、アナログカウンタと、値「0」および「1」の2値でカウントするデジタルカウンタと、を用いてパルス V_{pls} をカウントする例である。

[0163] 図25は、第1の実施形態に適用可能な第9の例のカウンタ112iの一例の構成を示すブロック図である。図25において、カウンタ112iは、アナログカウンタ1125bと、当該アナログカウンタ1125bに直列に接続されるデジタルカウンタ112jと、を含む。デジタルカウンタ112jは、上述したカウンタ112a～112eの何れを適用してもよい。

[0164] 第9の例に適用されるアナログカウンタ1125bは、例えば、上述したアナログカウンタ1125aと同様にキャパシタを有し、入力されたパルス V_{pls} の電圧に応じた電荷をキャパシタに蓄積する。第9の例に係るアナ

ログカウンタ 1125b は、さらに、キャパシタに蓄積される電荷量を監視し、キャパシタに所定量以上の電荷が蓄積された場合にパルスを出力するように構成されている。例えば、アナログカウンタ 1125b は、キャパシタに蓄積される電荷量を所定階調（例えば 16 階調）で検出し、階調毎にパルスを出力する。例えば、アナログカウンタ 1125b において、1つのパルス V_{pls} の入力に応じて 1 階調が検出される。アナログカウンタ 1125b は、キャパシタに蓄積された電荷量が所定階調に達すると、カウンタをリセットする。

[0165] デジタルカウンタ 112j は、アナログカウンタ 1125b から出力されるパルスをカウントし、カウント値をフォトン情報 $Phinfo$ として出力する。フォトン情報 $Phinfo$ は、例えばデジタルカウンタ 112j が上述したカウンタ 112a に対応する場合、閾値判定部 113a に供給される。

[0166] (1-4-10. カウンタの第 10 の例)

次に、第 1 の実施形態に適用可能なカウンタ 112 の第 10 の例について説明する。この第 9 の例では、デジタルカウンタと、アナログカウンタと、メモリと加算器とで構成されるカウンタと、を用いてパルス V_{pls} をカウントする例である。

[0167] 図 26 は、第 1 の実施形態に適用可能な第 10 の例のカウンタ 112k の一例の構成を示すブロック図である。図 26 において、カウンタ 112k は、デジタルカウンタ 1126 と、当該デジタルカウンタ 1126 に直列に接続されるアナログカウンタ 1125c と、メモリ 1127 と、加算器 1128 と、を含む。デジタルカウンタ 1126 は、例えば 1 ビットカウンタであって、1 個の TFF を用いて構成できる。また、アナログカウンタ 1125c は、上述したアナログカウンタ 1125b を適用するものとする。

[0168] デジタルカウンタ 1126 は、パルス V_{pls} の入力に応じて値「1」を示す電圧を出力する。この電圧は、アナログカウンタ 1125c に供給され、キャパシタに蓄積される。アナログカウンタ 1125c は、キャパシタに

蓄積される電荷量を所定階調（例えば１６階調）で検出し、階調毎にパルス
を出力する。

[0169] 加算器１１２８は、第１および第２の入力端を有し、第１の入力端に入力
された信号と第２の入力端に入力された信号とを加算して出力する。加算器
１１２８の出力は、メモリ１１２７に入力され、記憶される。メモリ１１２
７から読み出された信号は、フォトン情報 $PhInfo$ として出力されると
共に、加算器１１２８の第２の入力端に供給される。このように、加算器１
１２８およびメモリ１１２７により、カウンタを構成することができる。な
お、この第１０の例の場合、メモリ１１２７はキャパシタを用いて構成する
ことが可能である。

[0170] メモリ１１２７から出力されたフォトン情報 $PhInfo$ は、図８の閾値
判定部１１３ａに対応する閾値判定部１１３ａ（ｄ）に供給される。閾値判
定部１１３ａ（ｄ）は、例えば図２４を用いて説明した閾値判定部１１３ａ
（ｄ）と同様の構成を適用できる。すなわち、閾値判定部１１３ａ（ｄ）は
、比較器１１３３により、カウンタ１１２ｋから供給されたフォトン情報 $PhInfo$
と、電圧値として供給される閾値 Nth とを比較し、比較結果に
応じて書き込み信号 $Wren$ （ W ）を出力する。

[0171] （１－５．第１の実施形態に適用可能なＴＣ生成部および画素回路の配置）

次に、第１の実施形態に係るＴＣ生成部１２０および画素回路１００ａの
配置の例について説明する。なお、以下では、便宜上、画素回路１００ａを
画素回路１００として説明を行う。また、以下の図２７～図３３において、
ＴＣ生成部１２０から出力される信号 SH_ON の記載を省略している。

[0172] （１－５－１．第１の実施形態に係る第１の配置例）

まず、第１の実施形態に係るＴＣ生成部１２０および画素回路１００の第
１の実施形態に係る第１の配置例について説明する。図２７は、第１の実施
形態に係る第１の配置例に係るＴＣ生成部１２０および画素回路１００の配
置例を示す図である。

[0173] 第１の実施形態に係る第１の配置例では、図２７に示すように、ＴＣ生成

部 120 が画素回路 100 毎に設けられている。すなわち、垂直制御部 2013a は、画素アレイ部 2001 に含まれる画素回路 100 の数に対応する数の TC 生成部 120 を含む。各 TC 生成部 120 は、対応する画素回路 100 に対してそれぞれ信号 SH_ON およびタイムコード Tc を供給する。

[0174] この第 1 の実施形態に係る第 1 の配置例によれば、タイムコード Tc の発行速度（時間間隔）を画素回路 100 毎に制御できる。そのため、画素回路 100 毎のバラツキを抑制可能である。例えば、各画素回路 100 がライン上に配置されるラインセンサにこの第 1 の実施形態に係る第 1 の配置例による配置を適用し、各画素回路 100 の特性を均一化することが考えられる。

[0175] (1-5-2. 第 1 の実施形態に係る第 2 の配置例)

次に、第 1 の実施形態に係る TC 生成部 120 および画素回路 100 の第 1 の実施形態に係る第 2 の配置例について説明する。図 28 は、第 1 の実施形態に係る第 2 の配置例に係る TC 生成部 120 および画素回路 100 の配置例を示す図である。第 1 の実施形態に係る第 2 の配置例では、図 28 に示すように、画素アレイ部 2001 に 2 次元格子状に配列される各画素回路 100 の行毎に TC 生成部 120 を設けている。すなわち、第 1 の実施形態に係る第 2 の配置例は、上述した図 8 に対応する構成を有する。TC 生成部 120 は、2 次元格子の対応する行に配置される各画素回路 100 に対して共通してタイムコード Tc および信号 SH_ON を供給する。

[0176] この第 1 の実施形態に係る第 2 の配置例による構成は、既存のセンサとの相性が良い。また、上述した第 1 の実施形態に係る第 1 の配置例による構成と比較して配線を削減することが可能である。

[0177] (1-5-3. 第 1 の実施形態に係る第 3 の配置例)

次に、第 1 の実施形態に係る TC 生成部 120 および画素回路 100 の第 1 の実施形態に係る第 3 の配置例について説明する。図 29 は、第 1 の実施形態に係る第 3 の配置例に係る TC 生成部 120 および画素回路 100 の配置例を示す図である。第 1 の実施形態に係る第 3 の配置例では、図 29 に示すように、画素アレイ部 2001 に 2 次元格子状に配列される各画素回路 1

00の2行毎にTC生成部120を設けている。TC生成部120は、2次元格子の対応する2行に配置される各画素回路100に対して共通してタイムコードTcおよび信号SH_ONを供給する。

[0178] 図30は、第1の実施形態に係る第3の配置例を画素アレイ部2001に注目して示す図である。図30に示されるように、画素アレイ部2001において2次元格子状に配列される各画素回路100は、2次元格子の2行毎に纏められたグループ150を単位に扱うことができる。すなわち、TC生成部120がグループ150毎に設けられ、グループ150に含まれる各画素回路100に対して、対応するTC生成部120からのタイムコードTcおよび信号SH_ONが供給される。

[0179] この第1の実施形態に係る第3の配置例による構成は、上述した第1の実施形態に係る第2の配置例による構成と比較して配線を削減することが可能である。

[0180] (1-5-4. 第1の実施形態に係る第4の配置例)

次に、第1の実施形態に係るTC生成部120および画素回路100の第1の実施形態に係る第4の配置例について説明する。図31は、第1の実施形態に係る第4の配置例に係るTC生成部120および画素回路100の配置例を示す図である。

[0181] 第1の実施形態に係る第4の配置例では、図31に示すように、画素アレイ部2001内の領域毎にTC生成部120が設けられる例である。各領域に含まれる各画素回路100に対して、当該領域に対応するTC生成部120から共通してタイムコードTcおよび信号SH_ONが供給される。換言すれば、第1の実施形態に係る第4の配置例では、画素アレイ部2001に設けた領域に含まれる各画素回路100によるグループ150に対して、1つのTC生成部120からタイムコードTcおよび信号SH_ONが供給される。

[0182] この第1の実施形態に係る第4の配置例によれば、例えば各画素回路100のバイアス条件などを領域毎に制御することができる。一例として、光電

変換素子 110 に入射される光子数が閾値 N_{th} に達した時間 T_{th} に基づき予測カウント値 N_{pre} を求める際のバイアス条件を、画素アレイ部 2001 の領域毎に補正したい場合がある。この場合において、第 1 の実施形態に係る第 4 の配置例を適用することで、当該バイアス条件を補正する機能を、各 TC 生成部 120 に持たせることが可能である。

[0183] (1-5-5. 第 1 の実施形態に係る第 5 の配置例)

次に、第 1 の実施形態に係る TC 生成部 120 および画素回路 100 の第 1 の実施形態に係る第 5 の配置例について説明する。この第 1 の実施形態に係る第 5 の配置例は、各画素回路 100 に含まれる光電変換素子 110 にカラーフィルタが設けられる場合の例である。第 1 の実施形態に係る第 5 の配置例では、画素アレイ部 2001 の各行において、同色のカラーフィルタが設けられる光電変換素子 110 を含む画素回路 100 を纏めてグループとし、このグループ毎に TC 生成部 120 を設ける。

[0184] 図 32 は、第 1 の実施形態に係る第 5 の配置例に係る TC 生成部 120 および画素回路 100R、100G および 100B の配置例を示す図である。なお、画素回路 100R、100G および 100B は、それぞれ、R (赤色)、G (緑色) および B (青色) のカラーフィルタが設けられた光電変換素子 110 を含んでいる。ここでは、各画素回路 100R、100G および 100B は、ベイヤ配列に従い配置される。すなわち、各画素回路 100R、100G および 100B は、 2×2 の配列に、それぞれ 1 個の画素回路 100R および 100B と、2 個の画素回路 100G とが、同色の画素回路が互いに隣接しないように配置される。

[0185] 図 32 において、例えば上から第 1 行目に、画素回路 100R および 100G が交互に配置される。この第 1 行目に配置される各画素回路 100R を含むグループ 150R₁ に対して、TC 生成部 120R₁ からタイムコード $T_{c_{R_1}}$ および信号 $SH_ON_{R_1}$ (図示しない) が供給される。また、当該第 1 行目に配置される各画素回路 100G を含むグループ 150G₁₁ に対して、TC 生成部 120G₁₁ からタイムコード $T_{c_{G11}}$ および信号 SH_ON_{G11} (図示しない)

が供給される。

[0186] 第2行目に配置される各画素回路100Gを含むグループ150G₁₂に対して、TC生成部120G₁₂からタイムコードTc_{G12}および信号SH__ON_{G12}（図示しない）が供給される。また、当該第2行目に配置される各画素回路100Bを含むグループ150B₁に対して、TC生成部120B₁からタイムコードTc_{B1}および信号SH__ON_{B1}（図示しない）が供給される。

[0187] 同様に、ベイヤ配列に従い、例えば第3行目および第4行目において、第3行目に配置される各画素回路100Rを含むグループ150R₂に対して、TC生成部120R₂からタイムコードTc_{R2}および信号SH__ON_{R2}（図示しない）が供給される。また、当該第3行目に配置される各画素回路100Gを含むグループ150G₂₁に対して、TC生成部120G₂₁からタイムコードTc_{G21}および信号SH__ON_{G21}（図示しない）が供給される。

[0188] 第4行目に配置される各画素回路100Gを含むグループ150G₂₂に対して、TC生成部120G₂₂からタイムコードTc_{G22}および信号SH__ON_{G22}（図示しない）が供給される。また、当該第4行目に配置される各画素回路100Bを含むグループ150B₂に対して、TC生成部120B₂からタイムコードTc_{B2}および信号SH__ON_{B2}（図示しない）が供給される。

[0189] 以下同様に、それぞれベイヤ配列に従い、第5行目および第6行目、第7行目および第8行目、…について、各行毎に、同色のカラーフィルタが設けられる画素回路が同一のグループに纏められて、共通のTC生成部からタイムコードTcおよび信号SH__ONを供給される。

[0190] R色、G色およびB色のカラーフィルタが設けられた各光電変換素子110は、入射される光子に対する感度が異なる。この第5の配置によれば、各画素回路100R、100Gおよび100Bに対して、カラーフィルタの色毎に纏めてTC生成部120を設けている。そのため、光電変換素子110の、カラーフィルタの色に応じて異なる感度を、予測カウント値Npreに基づく光子数予測の制御により補正することが可能である。

[0191] (1-5-6. 第1の実施形態に係る第6の配置例)

次に、第1の実施形態に係るTC生成部120および画素回路100の第1の実施形態に係る第6の配置例について説明する。この第1の実施形態に係る第6の配置例は、各画素回路100に含まれる光電変換素子110にカラーフィルタが設けられ、且つ、1つのTC生成部120を、画素アレイ部2001に含まれる全ての画素回路100に共通して設ける例である。

[0192] 図33は、第1の実施形態に係る第6の配置例に係るTC生成部120、ならびに、画素回路100R、100G₁、100G₂および100Bの配置例を示す図である。なお、画素回路100G₁および100G₂は、ベイヤ配列に含まれる2つのG画素にそれぞれ対応する。図33において、画素アレイ部2001に含まれる全ての画素回路100R、100G₁、100G₂および100Bが1つのグループ150RGBに含まれる。グループ150RGBに含まれる全ての画素回路100R、100G₁、100G₂および100Bに対して、1つのTC生成部120RGBにより、タイムコードT_c_{RGB}および信号SH__ON_{RGB}（図示しない）が共通して供給される。

[0193] このように、画素アレイ部2001に含まれる全ての画素回路100R、100G₁、100G₂および100Bに対して共通のTC生成部120RGBを設けることで、グローバルシャッタに対応することが容易となる。

[0194] なお、第1の実施形態の第6および第7の配置例において、各画素回路100R、100Gおよび100B、ならびに、各画素回路100R、100G₁、100G₂および100Bの配置は、ベイヤ型に限定されない。また、画素回路100に設けるカラーフィルタは、R、G、Bの3色による原色系フィルタに限らず、例えばC（シアン）、M（マゼンタ）、Y（イエロー）およびGの4色による、補色系フィルタであってもよい。

[0195] さらに、各画素回路100に対して、R、Gおよび色、あるいは、C、M、YおよびGの補色系フィルタに加え、さらに他の種類の光学フィルタを設けてもよい。

[0196] 例えば、各画素回路100に対して、R、GおよびBのカラーフィルタに加え、赤外領域の光を選択的に透過するためIRフィルタを設けてもよい。

一例として、ベイヤ配列におけるGのカラーフィルタが設けられた画素回路100のうち一方の画素回路100に対してIRフィルタを設けることが考えられる。

[0197] また、各画素回路100に対して、R、GおよびBのカラーフィルタに加え、例えばR、GおよびBそれぞれの波長帯域を含む広い波長帯域の光を透過させる透明フィルタを設けてもよい。この場合においても、上述のIRフィルタと同様に、ベイヤ配列におけるGのカラーフィルタが設けられた画素回路100のうち一方の画素回路100に対して透明フィルタを設けることが考えられる。

[0198] さらに、ベイヤ型配列と異なるカラーフィルタ配列の例として、4分割ベイヤ型RGB配列がある。4分割ベイヤ型RGB配列は、それぞれ2×2に配列され光電変換素子110が1対1に設けられる4つずつのRのカラーフィルタ、Gのカラーフィルタ、Bのカラーフィルタを、当該2×2の単位でベイヤ配列に倣って配列したものである。R、GおよびBのカラーフィルタがそれぞれ設けられた各画素回路100の配列を、この4分割ベイヤ型RGB配列としてもよい。

[0199] (1-6. 第1の実施形態の第1の変形例)

次に、第1の実施形態の第1の変形例について説明する。図34は、第1の実施形態の第1の変形例に係る画素アレイ部2001および垂直制御部2013aの一例の構成を示すブロック図である。

[0200] 図34において、垂直制御部2013aは、上述した図8における垂直制御部2013aと共通の構成であるので、ここでの説明を省略する。

[0201] 画素アレイ部2001において、画素回路100bは、図8に示した画素回路100aと同様に、光電変換素子110と、信号処理部111bと、カウンタ112と、閾値判定部113a-1と、メモリ114と、を含む。画素回路100bにおいて、閾値判定部113から出力される書き込み信号WRenは、メモリ114に供給されると共に、信号処理部111bに供給される。

[0202] 信号処理部 111b は、カウントされたフォトン数が露光期間 T_{sh} 内に閾値 N_{th} を超え、書き込み信号 WR_{en} がタイムコード T_c の書き込みを指示する状態となった場合に、光電変換素子 110 の動作を制限する。例えば、信号処理部 111b は、書き込み信号 WR_{en} (W) に応じて、光電変換素子 110 に対する電源電位 VDD への接続を切断し、露光期間 T_{sh} の開始時点で、光電変換素子 110 に対する電源電位 VDD への接続を回復させることが考えられる。

[0203] 書き込み信号 WR_{en} に応じて光電変換素子 110 の動作を制限することで、画素回路 100b における消費電力を削減することができる。

[0204] (1-7. 第 1 の実施形態の第 2 の変形例)

次に、第 1 の実施形態の第 2 の変形例について説明する。図 35 は、第 1 の実施形態の第 2 の変形例に係る画素アレイ部 2001 および垂直制御部 2013a の一例の構成を示すブロック図である。

[0205] 図 35 において、垂直制御部 2013a は、上述した図 8 における垂直制御部 2013a と共通の構成であるので、ここでの説明を省略する。また、画素アレイ部 2001 において、画素回路 100c は、図 34 の画素回路 100b と比較して、信号処理部 111b' および閾値判定部 113a-2 の機能が変更されている。

[0206] 第 1 の実施形態の第 2 の変形例では、上述した第 1 の実施形態の第 1 の変形例と同様に、閾値判定部 113a-2 による閾値 N_{th} の検出に応じて、光電変換素子 110 の動作を制限する。このとき、第 1 の実施形態の第 2 の変形例に係る閾値判定部 113a-2 は、書き込み信号 WR_{en} とは別に、光電変換素子 110 の動作を制限するための信号 $PhGating$ を生成し、生成した信号 $PhGating$ を信号処理部 111b' に供給する。

[0207] 信号処理部 111b' は、信号 $PhGating$ に応じて光電変換素子 110 の動作を制限する。例えば、信号処理部 111b' は、信号 $PhGating$ に応じて、光電変換素子 110 に対する電源電位 VDD への接続を切断し、露光期間 T_{sh} の開始時点で、光電変換素子 110 に対する電源電位

VDDへの接続を回復させることが考えられる。

[0208] 信号 $PhGating$ に応じて光電変換素子 110 の動作を制限することで、画素回路 100c における消費電力を削減することができる。

[0209] (1-8. 第1の実施形態の第3の変形例)

次に、第1の実施形態の第3の変形例について説明する。第1の実施形態の第3の変形例では、光電変換素子 110 に対するフォトンの入射に応じたパルス V_{pls} をカウントするカウンタとして、カウント動作と記憶動作とを切り替え可能とされたデュアルモードカウンタを用いる。デュアルモードカウンタを用いることで、例えば図8に示した画素回路 100a におけるメモリ 114 を省略することができ、回路面積を削減することが可能となる。

[0210] 図36は、第1の実施形態の第3の変形例に係る画素アレイ部 2001 および垂直制御部 2013a の一例の構成を示すブロック図である。

[0211] 図36において、垂直制御部 2013a は、上述した図8における垂直制御部 2013a と共通の構成であるので、ここでの説明を省略する。また、画素アレイ部 2001 において、画素回路 100d は、図8の画素回路 100a と比較して、閾値判定部 113a-3 の機能が変更されると共に、メモリ 114 が省略され、カウンタ 112 の代わりにデュアルモードカウンタ 115 が設けられている。

[0212] 図36において、光電変換素子 110 に対するフォトンの入射に応じたパルス V_{pls} がデュアルモードカウンタ 115 に入力される。また、TC生成部 120 から出力されたタイムコード T_c がデュアルモードカウンタ 115 に入力される。

[0213] デュアルモードカウンタ 115 は、動作モードとしてカウント動作モードと、記憶動作モードとを有する。また、記憶動作モードは、書き込み動作モードと、保持動作モードとを含む。デュアルモードカウンタ 115 は、これらの動作モードが、閾値判定部 113'' から供給される信号 $WRen_CNT$ に応じて切り替えられる。デュアルモードカウンタ 115 は、信号 $WRen_CNT$ がカウント動作を示している場合、動作モードをカウント動作モ

ードに切り替えて、信号処理部111aから供給されるパルスVpIsをカウントし、カウント結果を示す光子情報PhInfoを出力する。また、デュアルモードカウンタ115は、信号WRen__CNTが記憶動作を示している場合、動作モードを記憶動作モードに切り替えて、入力されたタイムコードTcを記憶する。

[0214] 例えば、閾値判定部113a-3は、露光期間Tshの開始時点で、カウント動作を示す信号WRen__CNTを出力する。この信号WRen__CNTに応じて、デュアルモードカウンタ115は、動作モードがカウント動作モードに切り替わる。デュアルモードカウンタ115は、カウント動作モードにおいて、信号処理部111aから供給されるパルスVpIsをカウントし、カウント結果を光子情報PhInfoとして出力する。

[0215] 閾値判定部113a-3は、デュアルモードカウンタ115から出力された光子情報PhInfoに基づき、例えば露光期間Tsh内に光電変換素子110に入射された光子数が閾値Nthに達したと判定した場合、記憶動作を示す信号WRen__CNTを出力する。デュアルモードカウンタ115は、この信号WRen__CNTに従い動作モードを記憶動作モードに切り替えて、パルスVpIsのカウントを中止すると共に、タイムコードTcを記憶する。

[0216] 図37A～図37Cは、第1の実施形態の第3の変形例に適用可能なデュアルモードカウンタ115の動作を説明するための図である。図37Aは、カウント動作モード時のデュアルモードカウンタ115の状態を示す図である。図37Bは、記憶動作モードにおける書き込み動作モード時の、デュアルモードカウンタ115の状態を示す図である。図37Cは、記憶動作モードにおける保持動作モード時の、デュアルモードカウンタ115の状態を示す図である。

[0217] 以下では、デュアルモードカウンタ115は、5ビットのカウンタであるものとする。

[0218] 図37Aを用いて、デュアルモードカウンタ115の構成例について説明

する。第1の実施形態の第3の変形例に適用可能なデュアルモードカウンタ115は、カウントするビット数に対応する5個のDFF（Dフリップフロップ）1140₀、1140₁、1140₂、1140₃および1140₄を含む。各DFF1140₀、1140₁、1140₂、1140₃および1140₄は、タイムコードT_cの各ビットが、それぞれ信号W_{Ren}__CNTに従い制御される各スイッチ1141₀、1141₁、1141₂、1141₃および1141₄を介して、端子Dに入力される。

[0219] また、例えばDFF1140₀は、端子Dと端子QBとが、信号W_{Ren}__CNTに従い制御されるスイッチ1142₀を介して接続される。なお、端子QBは、図において「Q」上にオーバーラインが付されている端子を示している。他のDFF1140₁、1140₂、1140₃および1140₄においても同様に、端子Dと端子QBとが、それぞれ信号W_{Ren}__CNTに従い制御される各スイッチ1142₁、1142₂、1142₃および1142₄を介して接続される。

[0220] さらに、例えばDFF1140₀の端子CKに対して、信号W_{Ren}__CNTに従い制御されるスイッチ1143₀の共通選択端が接続される。スイッチ1143₀の第1選択端にパルスV_pl_sが入力され、第2および第3選択端に、それぞれロー（Low）レベルの電位と、ハイ（High）レベルの電位とが接続される。他のDFF1140₁、1140₂、1140₃および1140₄は、各端子CKに対し、それぞれ、第1選択端に前段の端子QBが接続され、第2および第3選択端にそれぞれローレベルの電位とハイレベルの電位とが接続される、信号W_{Ren}__CNTに従い制御されるスイッチ1143₁、1143₂、1143₃および1143₄の共通選択端が接続される。

[0221] また、各DFF1140₀、1140₁、1140₂、1140₃および1140₄は、それぞれ出力端子Qから各ビット（Bit(0)、Bit(1)、Bit(2)、Bit(3)およびBit(4)）が出力される。また、最終段のDFF1140₄の出力端子QBから、フォトン情報P_hl_nf_oが出力される。

[0222] デュアルモードカウンタ115の動作モードがカウント動作モード、書き

込み動作モードおよび保持動作モードの場合の動作例について説明する。なお、各 $DFF1140_0 \sim 1140_4$ 、各スイッチ $1141_0 \sim 1141_4$ 、各スイッチ $1142_0 \sim 1142_4$ 、および、各スイッチ $1143_0 \sim 1143_4$ は、各動作モードにおいてそれぞれ同一の状態に制御される。そのため、以下では、特に記載の無い限り、 $DFF1140_0$ と、当該 $DFF1140_0$ に接続されるスイッチ 1141_0 、 1142_0 および 1143_0 を例にとって説明を行う。

[0223] デュアルモードカウンタ 115 の動作モードがカウント動作モードの場合、図 37A に示されるように、スイッチ 1141_0 がオフ（開）状態、スイッチ 1142_0 がオン（閉）状態に制御され、スイッチ 1143_0 が共通選択端を第 1 選択端に接続するように制御される。これにより、 $DFF1140_0$ は、出力端子 Q B と端子 D とが接続されると共に、端子 CK にパルス V_{pls} が入力され、出力端子 Q および Q B から、入力されたパルス V_{pls} の立ち下がり毎に反転する出力が取り出される。

[0224] $DFF1140_0$ の端子 Q B の出力は、次段の $DFF1140_1$ の端子 CK に入力される。 $DFF1140_1$ は、上述と同様にして、出力端子 Q および Q B から、 $DFF1140_0$ の端子 Q B の出力の立ち下がり毎に反転する出力が取り出される。次段の $DFF1140_2$ 以降も同様である。このような動作により、デュアルモードカウンタ 115 は、カウント動作モードにおいて、パルス V_{pls} をカウントするカウンタとして動作する。

[0225] デュアルモードカウンタ 115 の動作が書き込み動作モードの場合、図 37B に示されるように、スイッチ 1141_0 がオン状態、スイッチ 1142_0 がオフ状態に制御され、スイッチ 1143_0 が共通選択端を第 3 選択端に接続するように制御される。これにより、タイムコード T_c の所定のビットがスイッチ 1141_0 を介して $DFF1140_0$ の端子 D に入力されると共に、端子 CK がハイ状態とされ、 $DFF1140_0$ の端子 D に当該タイムコード T_c の所定のビットの値が書き込まれる。

[0226] その後、デュアルモードカウンタ 115 の動作が保持動作モードに移行さ

れ、図37Cに示されるように、各スイッチ1141₀および1142₀がオフ状態に制御され、スイッチ1143₀が共通選択端を第2選択端に接続するように制御される。これにより、端子CKがロー状態とされ、DFF1140₀において、端子Dに書き込まれた値が保持される。また、この保持動作モードでは、各DFF1140₀~1140₄の出力端子Qそれぞれから、各DFF1140₀~1140₄の端子Dに書き込まれ保持された値を取り出すことができる。

[0227] (1-9. 第1の実施形態および各変形例に適用可能なデータ処理)

次に、第1の実施形態およびその各変形例に適用可能な、予測カウント値Npreに対するデータ処理について説明する。まず、予測カウント値Npreに対するデータ処理の第1の例として、予測カウント値Npreに対する圧縮処理について説明する。図2Bを用いて説明したように、第1の実施形態および各変形例では、フォトン数のカウント値が閾値Nthに到達した時間Tthに対応するタイムコードTcに基づき、予測カウント値Npreを算出する。

[0228] ここで、カウント値が閾値Nthに達した時間Tthに基づき予測された予測カウント値Npreが15ビットの値であり、閾値Nthが9ビットの値であるものとする。この場合、予測カウント値Npreの有効数字は、9ビットの値となる。すなわち、予測カウント値Npreの15ビットのうち、6ビット分は、無効数字となる。また、この場合、予測カウント値NpreのLSB側のビットは、重要度が低いと考えられる。そのため、予測カウント値Npreの15ビットの値を、LSB側の所定ビットを無視することで、予測カウント値Npreのビット数を削減することができる。

[0229] 一例として、15ビットの予測カウント値Npreを、8ビットの有効数字と3ビットのシフト量と、で表すことが考えられる。具体的な数値として、露光期間Tsh=1000、カウント値が閾値Nthを達成した時間Tth=25とした場合、予測カウント値Npreは、上述した式(1)を参照し、次式(4)として求められる。

$$N_{pre} = N_{th} \times (T_{sh} / T_{th}) = 512 \times (1000 / 25) = 20480 \quad \dots (4)$$

[0230] 10進数表記の値「20480」は、2進数表記では、15ビットの値「0b1010000000000000」となる。この15ビットの値に3ビットのシフト量「0b111」を適用すると、次式(5)のようになる。

$$0b1010000000000000 = 0b10100000 \times 2^{(0b111)} \quad \dots (5)$$

[0231] したがって、15ビットの予測カウント値 N_{pre} を、8ビットの値「0b10100000」と、3ビットのシフト量「0b111」とを用いて、例えば11ビットの値「0b11110100000」のように表現できる。ここで、先頭の3ビットは、シフト量を示している。このように、予測カウント値 N_{pre} のビット数を、15ビットから11ビットに削減可能である。

[0232] 受光装置1aにおいて、信号処理部2013c(図7参照)は、例えば各画素回路100aのメモリ114から読み出したタイムコード T_c に基づき予測カウント値 N_{pre} を算出する際に、上述の式(5)を適用し、算出される予測カウント値 N_{pre} のビット数を削減する。これにより、例えば、信号処理部2013c内での処理およびメモリ容量や、算出された予測カウント値 N_{pre} を外部に出力する際のトラフィックの削減が可能となる。

[0233] 次に、予測カウント値 N_{pre} に対するデータ処理の第2の例として、予測カウント値 N_{pre} を、当該予測カウント値 N_{pre} に相關する値(相關予測カウント値 $N_{pre_related}$ と呼ぶ)に変換する処理について説明する。次式(6)は、予測カウント値 N_{pre} にオフセット値 N_{offset} を加算して相關予測カウント値 $N_{pre_related}$ を算出する例である。

$$N_{pre_related} = N_{pre} + N_{offset} \quad \dots (6)$$

[0234] 次式(7)に示すように、式(4)および(5)を用いて説明した、ビット数を削減された予測カウント値 N_{pre_reduce} に基づき相關予測

カウント値 $N_{pre_related}$ を算出することもできる。

$$N_{pre_related} = N_{pre_reduce} + N_{offset}$$

… (7)

[0235] 受光装置 1 a において、信号処理部 2013 c は、例えば各画素回路 100 a のメモリ 114 から読み出したタイムコード T_c に基づき予測カウント値 N_{pre} を算出する際に、上述の式 (6) を適用し、算出される予測カウント値 N_{pre} に対応する相関予測カウント値 $N_{pre_related}$ を算出する。これにより、例えば、信号処理部 2013 c 内での処理や、外部における予測カウント値 N_{pre} に対する処理の負荷を低減可能である。

[0236] なお、ここでは、予測カウント値 N_{pre} に対する変換処理を、オフセット値を加算する処理であるように説明したが、これはこの例に限定されない。すなわち、例えば信号処理部 2013 c において、予測カウント値 N_{pre} に対して、その用途などに応じて様々な変換処理を施すことが可能である。この変換処理には、例えばグレイコードのような、データの形式を変換する処理も含むことができる。

[0237] [2. 第2の実施形態]

(2-1. 第2の実施形態に適用可能な構成の概略)

次に、本開示の第2の実施形態について説明する。第2の実施形態は、光電変換素子 110 に入射された光子数を輝度値に変換するようにした例である。図38は、第2の実施形態に係る受光装置の概略的な構成例を示す図である。図38において、第2の実施形態に係る受光装置 1 b は、画素 10 と、計数部 11 と、輝度値コード生成部 20 と、取得部 13 と、を含む。画素 10 は、図1の説明と同様に、光電変換により光を電荷に変換する光電変換素子と、光電変換素子から電荷を読み出して電気信号として出力する信号処理回路と、を含む。画素 10 が含む光電変換素子としては、上述した第1の実施形態と同様に、SPADを適用できる。受光装置 1 b は、指定された露光期間 T_{sh} 内に画素 10 に入射された光子の数に応じて輝度値を予測し、予測した輝度値に対応する、輝度値コード生成部 20 により生成さ

れた輝度値コード L_c を、取得部13により取得する。

[0238] 計数部11は、画素10から出力されたパルス V_{pls} を、指定された露光期間 T_{sh} 内において計数し、計数されたパルス V_{pls} の数 N_{cnt} が露光期間 T_{sh} の終了する前に閾値 N_{th} を超えた場合に、書き込み信号 WR_{en} (W) を出力する。書き込み信号 WR_{en} は、取得部13に供給される。

[0239] 一方、輝度値コード生成部20は、露光期間 T_{sh} の開始時点から書き込み信号 WR_{en} (W) により書き込みが指示された時点までの経過時間に応じて、露光期間 T_{sh} の終了時点での輝度値を予測し、予測した輝度値を示す輝度値コード L_c を生成する。輝度値コード生成部20で生成された輝度値コード L_c は、取得部13に供給される。

[0240] 取得部13は、例えばメモリを含み、書き込み信号 WR_{en} (W) により書き込みが指示されたタイミング、すなわち、書き込み信号 WR_{en} がロー状態からハイ状態に移行したタイミングで、輝度値コード生成部20から供給された輝度値コード L_c を取得し、取得した輝度値コード L_c をメモリに書き込む。

[0241] この第2の実施形態に係る受光装置1bは、上述した第1の実施形態に係る受光装置1aと同様に、図5を用いて説明した、それぞれ半導体チップからなる受光チップ2000と、ロジックチップ2010とを積層した構成を適用することができる。

[0242] (2-2. 第2の実施形態の原理的な説明)

ここで、第2の実施形態に係るフォトン数の輝度値への変換について、原理的な説明を行う。ある画素（光電変換素子110）に対する輝度（輝度値）と、その画素に入射するフォトンの平均の入射間隔である平均フォトン到達間隔 T_a と、は反比例の関係にある。

[0243] 例えば、光電変換素子110に入射されるフォトン数 P_n と輝度値 L_x とが、所定の係数 k を用いて、 $L_x = P_n \times k$ の関係にあるものとする。また、ある時間 T （例えば露光期間 T_{sh} ）を考え、この時間 T 内に平均フォト

ン到達間隔 T_a で入射されるフォトン数 P_n は、 $P_n = T / T_a$ で表される。したがって、平均フォトン到達間隔 T_a と輝度値 L_x とは、次式 (8) に示されるように、反比例の関係を有する。

$$L_x = (T \times k) / T_a \quad \cdots (8)$$

[0244] この平均フォトン到達間隔 T_a を用いると、入射されるフォトン数 P_n が閾値 N_{th} (図 2 B 参照) を達成するために期待される期待時間 $T_{th_{ev}}$ は、次式 (9) で表される。

$$T_{th_{ev}} = N_{th} \times T_a \quad \cdots (9)$$

[0245] 式 (8) および式 (9) から、光電変換素子 110 に入射されるフォトン数 P_n が閾値 N_{th} を達成することが期待される期待時間 $T_{th_{ev}}$ と、閾値 N_{th} を達成した際に期待される輝度値 L_x とが、次式 (10) に示されるように、反比例の関係にあることが分かる。

$$T_{th_{ev}} = \{N_{th} \times (T \times k)\} / L_x \quad \cdots (10)$$

[0246] この式 (10) における輝度値 L_x は、上述のように、光電変換素子 110 に入射されるフォトン数 P_n が閾値 N_{th} を達成した際に期待される値であって、閾値 N_{th} において予測される予測輝度値 L_{pre} である。

[0247] 図 39 は、第 2 の実施形態に係る、フォトン数 P_n が閾値 N_{th} を達成する時間 T_{th} と、予測輝度値 L_{pre} との一例の関係を示す図である。図 39 において、上述した式 (10) における輝度値 L_x を予測輝度値 L_{pre} として示している。ここで、期待時間 $T_{th_{ev}}$ は、光電変換素子 110 に入射したフォトン数 P_n が閾値 N_{th} を達成した時間 T_{th} を用いることができる。図 39 において、例えば式 (10) に従った曲線 L_T を時間 T_{th_0} に基づき参照することで、露光期間 T_{sh} における予測輝度値 L_{pre} を求めることができる。

[0248] なお、上述の式 (10) において、閾値 N_{th} 、時間 T (露光期間 T_{sh}) および係数 k は、予め与えられる定数である。例えば、輝度値コード生成部 20 は、曲線 L_T を、予測輝度値 L_{pre} と時間 T_{th} とが関連付けられたテーブルとして予め記憶しておくことができる。この場合、当該テーブル

は、予測輝度値 L_{pre} を、離散的な値である輝度値コード L_c として、対応する時間 T_{th} と対応付けて記憶する。

[0249] これに限らず、輝度値コード生成部 20 は、これら計測された時間 T_{th} に基づき、これら閾値 N_{th} 、時間 T （露光期間 T_{sh} ）および係数 k を用いて予測輝度値 L_{pre} を算出してもよい。この場合においても、算出された予測輝度値 L_{pre} は、離散的な値に処理されて輝度値コード L_c とされる。

[0250] 図 40 は、第 2 の実施形態に係る輝度値コード生成部 20 による予測輝度値 L_{pre} の生成を概略的に説明するための図である。図 40 において、上段から、時間の経過、低照度の場合のカウント値の例、高照度の場合のカウント値の例、等間隔のタイムコード T_c の例、および、予測輝度値 L_{pre} の例、をそれぞれ示している。これらのうち、時間の経過、低照度の場合のカウント値の例、高照度の場合のカウント値の例、等間隔のタイムコード T_c の例、は、上述した図 3 における対応部分と同様であるので、ここでの説明を省略する。また、図 40 では、説明のため、高照度の場合のカウント値の例、および、等間隔のタイムコード T_c の例において、図 3 と比べて時間のスケールを長く取っている。

[0251] 図 40 の最下段には、予測輝度値 L_{pre} が、時間の経過と共に、時間 T_{th} と反比例の関係で減少していく様子を模式的に示している。より具体的には、図 40 の例では、予測輝度値 L_{pre} は、露光期間 T_{sh} の開始時点 t_0 に近い側では、短い間隔で値が「22」、「17」、「14」、…と、値が急速に減少していく。一方、露光期間 T_{sh} の終了時点の近くでは、時間に対する予測輝度値 L_{pre} の変化が小さくなり、変化の間隔も長くなる。

[0252] 図 40 において、高照度の場合、露光期間 T_{sh} 内に $Ph(21)$ 、 $Ph(22)$ 、…、 $Ph(27)$ がカウントされ、次に 8 個目のフォトン $Ph(28)$ が検知された時点で、カウンタがオーバーフローしている。したがって、8 個目のフォトン $Ph(28)$ が検知されたタイミングが、カウント値が閾値 N_{th} を超えた時間 T_{th} となる。図 40 の例では、この時間 T_{th}

に対応するタイムコード T_c の値「11」となっている。これに対して、予測輝度値 L_{pre} は、値が「10」となっている。

[0253] なお、上述の式(10)によれば、予測輝度値 L_{pre} は、時間 T_{th} が0に近づくに連れ急激に増大し、さらに時間 T_{th} が0の場合には無限大となる。したがって、時間 T_{th} が極めて短い期間では、予測輝度値 L_{pre} が極めて大きな値となり、当該期間内の予測輝度値 L_{pre} は、現実的に意味をなさない値となる。これは、当該期間における予測輝度値 L_{pre} が不要であることを意味している。そのため、例えば、予測輝度値 L_{pre} と時間 T_{th} とが関連付けられたテーブルにおいて、時間 T_{th} は、露光期間 T_{sh} の開始時点から所定時間が経過した時点以降の時間のみを対象とし、当該時点以前の予測輝度値 L_{pre} をテーブルにおいて定義しないことができる。

[0254] 図40の例では、例えば輝度値コード生成部20は、最下段に示される予測輝度値において、予測輝度値 L_{pre} ＝「22」以前の時間における値、すなわち予測輝度値 L_{pre} ＝「22」を超える値を無視している。例えば、輝度値コード生成部20は、予測輝度値 L_{pre} ＝「22」に対応する時間 T_{th} より前の時間 T_{th} および予測輝度値 L_{pre} を、テーブルにおいて定義しない。

[0255] このように、第2の実施形態では、露光期間 T_{sh} において予測される予測輝度値 L_{pre} を、光電変換素子110に入射する光子数 P_n が閾値 N_{th} を達成した時間 T_{th} に基づき、直接的に求めることができる。これにより、第2の実施形態に係る受光装置1bは、第1の実施形態に係る受光装置1aと比較して、タイムコード T_c を輝度値に変換する処理の負荷を軽減することが可能である。

[0256] 例えば、第1の実施形態に係る受光装置1aでは、例えば信号処理部2013c(図7参照)が、ロジックアレイ部2011(図7参照)に含まれる各論理回路2014から読み出された各タイムコード T_c を、それぞれ輝度値に変換する処理を実行する。すなわち、第1の実施形態に係る受光装置1

aにおいて、信号処理部2013cは、例えば、少なくとも、ロジックアレイ部2011に含まれる1行分の論理回路2014から読み出されるタイムコードTcそれぞれを輝度値に変換する処理を、1水平同期期間内に終了させる必要がある。

[0257] これに対して、第2の実施形態に係る受光装置1bは、ロジックアレイ部2011に含まれる各論理回路2014それぞれにおいて、入射光子数が閾値Nthを達成した時間Tthを輝度値に変換する処理を実行している。時間情報の輝度値への変換処理が、各論理回路2014に分散して実行されるため、それぞれの変換処理が小さい処理で済むと共に、信号処理部2013cにおける処理を軽減することが可能である。

[0258] 図41は、第2の実施形態に係る画素アレイ部2001および垂直制御部2013aの一例の構成を示すブロック図である。また、図41において、画素アレイ部2001に対して、画素回路のより具体的な構成が示されている。なお、図41において、上述した図8と共通する部分には同一の符号を付して、詳細な説明を省略する。

[0259] 図41に例示されるように、画素アレイ部2001は、図8を用いて説明した画素アレイ部2001と対応する構成を有し、それぞれ図8の画素回路100aに対応する複数の画素回路100a'を含む。なお、図41では、画素アレイ部2001に2次元格子状に配列される各画素回路100a'のうち、1行に含まれる各画素回路100a'を抜粋して示している。

[0260] 図41において、画素回路100a'は、光電変換素子110と、信号処理部111aと、カウンタ112と、閾値判定部113bと、メモリ114と、を含む。これらのうち、光電変換素子110、信号処理部111a、カウンタ112および閾値判定部113bは、図8における光電変換素子110、信号処理部111a、カウンタ112および閾値判定部113aと同様の機能を有するため、ここでの説明を省略する。例えば、図41における光電変換素子110は、上述した第1の実施形態と同様に、SPADを適用できる。メモリ114は、閾値判定部113bから供給される書き込み信号W

R e n (W) に応じて、後述する L C 生成部 2 0 0 から供給される、予測輝度値 L p r e としての輝度値コード L c を記憶する。

[0261] 一方、図 4 1 において、垂直制御部 2 0 1 3 a' は、図 8 の垂直制御部 2 0 1 3 a と対応するもので、行毎に、L C (輝度値コード) 生成部 2 0 0 を含む。また、各行に共通して、タイマ 2 1 0 を含む。L C 生成部 2 0 0 は、上述した輝度値コード生成部 2 0 と対応するものである。L C 生成部 2 0 0 は、例えばタイマ 2 1 0 から供給される時間情報に基づき、図 3 9 および図 4 0 を用いて説明した、露光期間 T s h の開始時点からの経過時間に対して反比例の関係で変化する輝度値コード L c を生成する。

[0262] タイマ 2 1 0 は、例えば、クロック信号に基づき、図 4 0 を用いて説明した予測輝度値 L p r e の変化毎に、当該変化のタイミングを示す時間情報を生成する。

[0263] 図 4 2 は、第 2 の実施形態に適用可能な L C 生成部 2 0 0 の一例の構成を示すブロック図である。ここでは、輝度値コード L c は、時間 T t h と関連付けられたテーブルとして記憶されるものとする。L C 生成部 2 0 0 は、R O M (Read Only Memory) 2 0 1 と、コード生成制御部 2 0 2 と、を含む。R O M 2 0 1 は、輝度値コード L c と時間 T t h とが関連付けられたテーブルを予め記憶する。

[0264] コード生成制御部 2 0 2 は、外部、例えばタイマ 2 1 0 から供給される時間情報に対応する輝度値コード L c を、R O M 2 0 1 から読み出す。図 4 1 の例では、コード生成制御部 2 0 2 により R O M 2 0 1 から読み出された輝度値コード L c は、画素アレイ部 2 0 0 1 に含まれる各画素回路 1 0 0 a'、1 0 0 a'、…に入力され、各メモリ 1 1 4 に供給される。

[0265] なお、制御部 1 0 0 3 (図 7 参照) は、例えば、露光期間 T s h の開始タイミングを L C 生成部 2 0 0 に指示すると共に、露光期間 T s h の長さを示す情報を L C 生成部 2 0 0 に供給する。

[0266] また、L C 生成部 2 0 0 は、信号処理部 1 1 1 a がパルス V p l s を出力するタイミングを指示する信号 S H _ O N を生成する。L C 生成部 2 0 0 は

、例えば、所定のクロック信号に基づき信号SH__ONを生成する。図41の例では、LC生成部200で生成された信号SH__ONは、各画素回路100a'、100a'、…に入力され、信号処理部111aに供給される。

[0267] なお、図16Aおよび図16B、図17、図18、図19Aおよび図19B、図20～図26を用いて説明した各カウンタ112a～112iおよびデジタルカウンタ112jは、上述した画素回路100aと同様に、第2の実施形態に係る画素回路100a'にも適用可能である。

[0268] (2-3. 第2の実施形態に適用可能なLC生成部および画素回路の配置)
次に、第1の実施形態に係るLC生成部200および画素回路100a'の配置の例について説明する。なお、以下では、便宜上、画素回路100a'を画素回路100'として説明を行う。また、以下の図43～図48において、タイマ210の記載、および、LC生成部200から出力される信号SH__ONの記載を省略している。

[0269] (2-3-1. 第2の実施形態に係る第1の配置例)

まず、第2の実施形態に係るLC生成部200および画素回路100'の第2の実施形態に係る第1の配置例について説明する。図43は、第2の実施形態に係る第1の配置例に係るLC生成部200および画素回路100'の配置例を示す図である。

[0270] 第2の実施形態に係る第1の配置例は、図27を用いて説明した第1の実施形態に係る第1の配置例に対応するもので、図43に示すように、LC生成部200が画素回路100'毎に設けられている。すなわち、垂直制御部2013a'は、画素アレイ部2001に含まれる画素回路100'の数に対応する数のLC生成部200を含む。各LC生成部200は、対応する画素回路100'に対してそれぞれ信号SH__ONおよび輝度値コードLcを供給する。

[0271] この第2の実施形態に係る第1の配置例によれば、輝度値コードLcの発行速度(時間間隔)を画素回路100'毎に制御できる。そのため、画素回路100'毎のバラツキを抑制可能である。例えば、各画素回路100'が

ライン上に配置されるラインセンサにこの第2の実施形態に係る第1の配置例による配置を適用し、各画素回路100'の特性を均一化することが考えられる。

[0272] (2-3-2. 第2の実施形態に係る第2の配置例)

次に、第2の実施形態に係るLC生成部200および画素回路100'の第2の実施形態に係る第2の配置例について説明する。図44は、第2の実施形態に係る第2の配置例に係るLC生成部200および画素回路100'の配置例を示す図である。第2の実施形態に係る第2の配置例は、図28を用いて説明した第1の実施形態に係る第2の配置例に対応するもので、図44に示すように、垂直制御部2013a"に対し、画素アレイ部2001に2次元格子状に配列される各画素回路100'の行毎にLC生成部200を設けている。すなわち、第2の実施形態に係る第2の配置例は、上述した図41に対応する構成を有する。LC生成部200は、2次元格子の対応する行に配置される各画素回路100'に対して共通して輝度値コードLcおよび信号SH_ONを供給する。

[0273] この第2の実施形態に係る第2の配置例による構成は、既存のセンサとの相性が良い。また、上述した第2の実施形態に係る第1の配置例による構成と比較して配線を削減することが可能である。

[0274] (2-3-3. 第2の実施形態に係る第3の配置例)

次に、第2の実施形態に係るLC生成部200および画素回路100'の第2の実施形態に係る第3の配置例について説明する。図45は、第2の実施形態に係る第3の配置例に係るLC生成部200および画素回路100'の配置例を示す図である。第2の実施形態に係る第3の配置例は、図29を用いて説明した第1の実施形態に係る第3の配置例に対応するもので、図45に示すように、画素アレイ部2001に2次元格子状に配列される各画素回路100'の2行毎にLC生成部200を設けている。LC生成部200は、2次元格子の対応する2行に配置される各画素回路100'に対して共通して輝度値コードLcおよび信号SH_ONを供給する。

[0275] この第2の実施形態に係る第3の配置例による構成は、上述した第2の実施形態に係る第2の配置例による構成と比較して配線を削減することが可能である。

[0276] (2-3-4. 第2の実施形態に係る第4の配置例)

次に、第2の実施形態に係るLC生成部200および画素回路100'の第2の実施形態に係る第4の配置例について説明する。図46は、第2の実施形態に係る第4の配置例に係るLC生成部200および画素回路100'の配置例を示す図である。

[0277] 第2の実施形態に係る第4の配置例は、図31を用いて説明した第1の実施形態に係る第4の配置例に対応するもので、図46に示すように、画素アレイ部2001内の領域毎にLC生成部200が設けられる例である。各領域に含まれる各画素回路100'に対して、当該領域に対応するLC生成部200から共通して輝度値コードLcおよび信号SH_ON（図示しない）が供給される。換言すれば、第2の実施形態に係る第4の配置例では、画素アレイ部2001に設けた領域に含まれる各画素回路100'によるグループ150'に対して、1つのLC生成部200から輝度値コードLcおよび信号SH_ONが供給される。

[0278] この第2の実施形態に係る第4の配置例によれば、例えば各画素回路100'のバイアス条件などを領域毎に制御することができる。

[0279] (2-3-5. 第2の実施形態に係る第5の配置例)

次に、第2の実施形態に係るLC生成部200および画素回路100'の第2の実施形態に係る第5の配置例について説明する。この第2の実施形態に係る第5の配置例は、図32を用いて説明した第1の実施形態に係る第5の配置例に対応するもので、各画素回路100'に含まれる光電変換素子110にカラーフィルタが設けられる場合の例である。第2の実施形態に係る第5の配置例では、画素アレイ部2001の各行において、同色のカラーフィルタが設けられる光電変換素子110を含む画素回路100'を纏めてグループとし、このグループ毎にLC生成部200を設ける。

- [0280] 図47は、第2の実施形態に係る第5の配置例に係る、LC生成部200と、それぞれ、R（赤色）、G（緑色）およびB（青色）のカラーフィルタが設けられた光电変換素子110を含む画素回路100R'、100G'および100B'と、の配置例を示す図である。
- [0281] 図47において、例えば上から第1行目に配置される各画素回路100R'を含むグループ150R₁'に対して、LC生成部200R₁から輝度値コードLc_{R1}および信号SH__ON_{R1}（図示しない）が供給される。また、当該第1行目に配置される各画素回路100G'を含むグループ150G₁₁'に対して、LC生成部200G₁₁から輝度値コードLc_{G11}および信号SH__ON_{G11}（図示しない）が供給される。
- [0282] 第2行目に配置される各画素回路100G'を含むグループ150G₁₂'に対して、LC生成部200G₁₂から輝度値コードLc_{G12}および信号SH__ON_{G12}（図示しない）が供給される。また、当該第2行目に配置される各画素回路100B'を含むグループ150B₁'に対して、LC生成部200B₁から輝度値コードLc_{B1}および信号SH__ON_{B1}（図示しない）が供給される。
- [0283] 同様に、ベイヤ配列に従い、例えば第3行目および第4行目において、第3行目に配置される各画素回路100R'を含むグループ150R₂'に対して、LC生成部200R₂から輝度値コードLc_{R2}および信号SH__ON_{R2}（図示しない）が供給される。また、当該第3行目に配置される各画素回路100G'を含むグループ150G₂₁'に対して、LC生成部200G₂₁から輝度値コードLc_{G21}および信号SH__ON_{G21}（図示しない）が供給される。
- [0284] 第4行目に配置される各画素回路100G'を含むグループ150G₂₂'に対して、LC生成部200G₂₂から輝度値コードLc_{G22}および信号SH__ON_{G22}（図示しない）が供給される。また、当該第4行目に配置される各画素回路100B'を含むグループ150B₂'に対して、LC生成部200B₂から輝度値コードLc_{B2}および信号SH__ON_{B2}（図示しない）が供給される。
- [0285] 以下同様に、それぞれベイヤ配列に従い、第5行目および第6行目、第7行目および第8行目、…について、各行毎に、同色のカラーフィルタが設け

られる画素回路が同一のグループに纏められて、共通のLC生成部から輝度値コードLcおよび信号SH_ONを供給される。

[0286] R色、G色およびB色のカラーフィルタが設けられた各光電変換素子110は、入射される光子に対する感度が異なる。この第5の配置によれば、各画素回路100R'、100G'および100B'に対して、カラーフィルタの色毎に纏めてLC生成部200を設けている。そのため、光電変換素子110の、カラーフィルタの色に応じて異なる感度を、閾値Nthの達成の時間Tthに基づく予測輝度値Lpreの制御（例えばROM201に記憶されるテーブル値の調整）により補正することが可能である。

[0287] なお、この第2の実施形態の第5および第6の配置例においても、上述した第1の実施形態の第6および第7の配置例と同様に、各画素回路100R'、100G'および100B'、ならびに、各画素回路100R'、100G₁'、100G₂'および100B'の配置は、ベイヤ型に限定されない。また、画素回路100'に設けるカラーフィルタは、R、G、Bの3色による原色系フィルタに限らず、例えばC（シアン）、M（マゼンタ）、Y（イエロー）およびGの4色による、補色系フィルタであってもよい。

[0288] さらに、各画素回路100に対して、R、Gおよび色、あるいは、C、M、YおよびGの補色系フィルタに加え、IRフィルタや透明フィルタといった他の種類の光学フィルタを設けてもよい。さらにまた、R、GおよびBのカラーフィルタがそれぞれ設けられた各画素回路100'の配列を、上述した4分割ベイヤ型RGB配列としてもよい。

[0289] （2-3-6. 第2の実施形態に係る第6の配置例）

次に、第2の実施形態に係るLC生成部200および画素回路100'の第2の実施形態に係る第6の配置例について説明する。この第2の実施形態に係る第6の配置例は、図33を用いて説明した第1の実施形態に係る第6の配置例に対応するもので、各画素回路100'に含まれる光電変換素子110にカラーフィルタが設けられ、且つ、1つのLC生成部200を、画素アレイ部2001に含まれる全ての画素回路100'に共通して設ける例で

ある。

[0290] 図48は、第2の実施形態に係る第6の配置例に係るLC生成部200、
ならびに、画素回路100R'、100G₁'、100G₂'および100B'
の配置例を示す図である。図48において、画素アレイ部2001に含まれる
全ての画素回路100R'、100G₁'、100G₂'および100B'が
1つのグループ150RGB'に含まれる。グループ150RGB'に含まれる
全ての画素回路100R'、100G₁'、100G₂'および100B'に
対して、1つのLC生成部200RGBにより、輝度値コードLc_{RGB}および信号
SH__ON_{RGB}（図示しない）が共通して供給される。

[0291] このように、画素アレイ部2001に含まれる全ての画素回路100R'
、100G₁'、100G₂'および100B'に対して共通のLC生成部200
RGBを設けることで、グローバルシャッタに対応することが容易となる
。

[0292] (2-4. 第2の実施形態の第1の変形例)

次に、第2の実施形態の第1の変形例について説明する。図49は、第2
の実施形態の第1の変形例に係る画素アレイ部2001および垂直制御部2
013a'の一例の構成を示すブロック図である。

[0293] 図49において、垂直制御部2013a'は、上述した図41における垂
直制御部2013aと共通の構成であるので、ここでの説明を省略する。

[0294] 画素アレイ部2001において、画素回路100b'は、図34を用いて
説明した第1の実施形態の第1の変形例に係る画素回路100bに対応する
もので、光電変換素子110と、信号処理部111bと、カウンタ112と
、閾値判定部113b-1と、メモリ114と、を含む。画素回路100b
'において、閾値判定部113b-1から出力される、書き込み信号WRen
(W)は、メモリ114および信号処理部111bに供給される。

[0295] 信号処理部111bは、カウントされたフォトン数が露光期間Tsh内に
閾値Nthを超え、書き込み信号WRenが輝度値コードLcの書き込みを
指示する状態となった場合に、光電変換素子110の動作を制限する。光電

変換素子 110 の動作の制限は、上述した第 1 の実施形態の第 1 の変形例と同様の手法が適用できるので、ここでの説明を省略する。

[0296] 書き込み指示の書き込み信号 WR_{en} に応じて光電変換素子 110 の動作を制限することで、画素回路 100b' における消費電力を削減することができる。

[0297] (2-5. 第 2 の実施形態の第 2 の変形例)

次に、第 2 の実施形態の第 2 の変形例について説明する。図 50 は、第 2 の実施形態の第 2 の変形例に係る画素アレイ部 2001 および垂直制御部 2013a' の一例の構成を示すブロック図である。

[0298] 図 50 において、垂直制御部 2013a' は、上述した図 41 における垂直制御部 2013a' と共通の構成であるので、ここでの説明を省略する。また、画素アレイ部 2001 において、画素回路 100c' は、図 49 の画素回路 100b' と比較して、信号処理部 111b' および閾値判定部 113b-2 の機能が変更されている。

[0299] 第 2 の実施形態の第 2 の変形例は、図 35 を用いて説明した第 1 の実施形態の第 2 の変形例に係る画素回路 100c に対応するもので、閾値判定部 113b-2 による閾値 N_{th} の検出に応じて、光電変換素子 110 の動作を制限する。光電変換素子 110 の動作の制限は、上述した第 1 の実施形態の第 2 の変形例と同様の手法が適用できるので、ここでの説明を省略する。

[0300] 信号 $PhGating$ に応じて光電変換素子 110 の動作を制限することで、画素回路 100c' における消費電力を削減することができる。

[0301] (2-6. 第 2 の実施形態の第 3 の変形例)

次に、第 2 の実施形態の第 3 の変形例について説明する。第 2 の実施形態の第 3 の変形例は、図 36 を用いて説明した第 1 の実施形態の第 3 の変形例に係る画素回路 100d に対応するもので、光電変換素子 110 に対するフォトン入射に応じたパルス V_{pls} をカウントするカウンタとして、デュアルモードカウンタを用いることで、例えば図 41 に示した画素回路 100a におけるメモリ 114 を省略することができ、回路面積を削減することが

可能となる。

[0302] 図51は、第2の実施形態の第3の変形例に係る画素アレイ部2001および垂直制御部2013a'の一例の構成を示すブロック図である。図51において、垂直制御部2013a'は、上述した図41における垂直制御部2013a'と共通の構成であるので、ここでの説明を省略する。また、画素アレイ部2001において、画素回路100d'は、図41の画素回路100aと比較して、閾値判定部113b-3の機能が変更されると共に、メモリ114が省略され、カウンタ112の代わりにデュアルモードカウンタ115が設けられている。

[0303] 図51において、光電変換素子110に対するフォトンの入射に応じたパルスV_{pls}がデュアルモードカウンタ115に入力される。また、TC生成部120から出力された輝度値コードL_cがデュアルモードカウンタ115に入力される。デュアルモードカウンタ115の構成および動作は、図37A～図37Cを用いて説明したデュアルモードカウンタ115の構成および動作と同様であるので、ここでの説明を省略する。

[0304] 上述したように、デュアルモードカウンタ115は、動作モードを、閾値判定部113b-3から供給される信号WR_{en}__CNTに応じてカウント動作モードと、記憶動作モードとで切り替える。また、記憶動作モードは、書き込み動作モードと、保持動作モードとを含む。デュアルモードカウンタ115は、信号WR_{en}__CNTがカウント動作を示している場合、動作モードをカウント動作モードに切り替えて、信号処理部111a'から供給されるパルスV_{pls}をカウントし、カウント結果を示すフォトン情報P_hl_nf_oを出力する。また、デュアルモードカウンタ115は、信号WR_{en}__CNTが記憶動作を示している場合、動作モードを記憶動作モードに切り替えて、入力された輝度値コードL_cを記憶する。

[0305] デュアルモードカウンタ115に係る詳細な動作は、上述した第1の実施形態の第1の変形例と同様であるので、ここでの説明を省略する。

[0306] なお、式(5)および式(6)を用いて説明した、予測カウント値N_pr

eに対する圧縮処理、および、式(7)を用いて説明した、予測カウント値 N_{pre} に対する相関値への変換処理は、この第2の実施形態および各変形例にも適用可能である。この場合、式(5)、(6)および(7)における予測カウント値 N_{pre} を、予測輝度値 L_{pre} に読み替える。

[0307] (2-7. 第2の実施形態の第4の変形例)

次に、第2の実施形態の第4の変形例について説明する。上述した第2の実施形態では、図40に示されるように、予測輝度値 L_{pre} の更新周期を可変としていた。すなわち、図40の例では、露光期間 T_{sh} の開始時点 t_0 に近い側では、更新周期を短くし、開始時点 t_0 から時間が経過するに連れ、更新周期を長くしている。これに対して、第2の実施形態の第4の変形例では、予測輝度値 L_{pre} の更新周期を固定的とする。

[0308] 図52は、第2の実施形態の第4の変形例に係る輝度値コード生成部20による予測輝度値 L_{pre} の生成を概略的に説明するための図である。図52において、上段から、時間の経過、低照度の場合のカウント値の例、高照度の場合のカウント値の例、等間隔のタイムコード T_c の例、および、予測輝度値 L_{pre} の例、をそれぞれ示している。これらのうち、時間の経過、低照度の場合のカウント値の例、高照度の場合のカウント値の例、等間隔のタイムコード T_c の例、は、上述した図40における対応部分と同様であるので、ここでの説明を省略する。

[0309] 図52の最下段に示されるように、例えば輝度値コード生成部20は、同じ時間間隔で予測輝度値 L_{pre} を更新している。より具体的には、図52の例では、輝度値コード生成部20は、上述した図40において更新周期が最短の予測輝度値 $L_{pre} = 「22」$ の周期に従い、予測輝度値 L_{pre} を更新している。この場合、開始時点 t_0 からの時間の経過に伴い、時間に対する予測輝度値 L_{pre} の変化が小さくなる。そのため、輝度値コード生成部20は、開始時点 t_0 からの時間の経過に伴い、連続する複数回の更新を同じ予測輝度値 L_{pre} を用いて行う。図52の例では、輝度値コード生成部20は、予測輝度値 $L_{pre} = 「11」$ 、 $「10」$ 、 $「9」$ 、…により、それ

ぞれ、2回連続、3回連続、5回連続、…のように、同じ値を複数回連続して用いて、一定周期で予測輝度値 L_{pre} の更新を行っている。

[0310] このように、一定周期で予測輝度値 L_{pre} を更新することで、輝度値コード生成部20による予測輝度値 L_{pre} の更新処理をより容易とすることが可能となる。

[0311] [3. 第3の実施形態]

次に、本開示の第3の実施形態について説明する。第3の実施形態は、光電変換素子110に対して入射される光子数に基づき予測輝度値 L_{pre} を求めると共に、予測輝度値 L_{pre} を取得するための更新周期を可変とする。また、取得された予測輝度値 L_{pre} を示す輝度値コード L_c の変化も、可変とする。

[0312] 図53は、第3の実施形態に係る受光装置の概略的な構成例を示す図である。図53において、第3の実施形態に係る受光装置1cは、画素10と、計数部11と、輝度値コード生成部20'と、取得部13と、を含む。画素10は、図1の説明と同様に、光電変換により光を電荷に変換する光電変換素子と、光電変換素子から電荷を読み出して電気信号として出力する信号処理回路と、を含む。受光装置1cは、指定された露光期間 T_{sh} 内に画素10に入射された光子の数に応じて輝度値を予測し、予測した輝度値に対応する、輝度値コード生成部20'により生成された輝度値コード L_c を、取得部13により取得する。

[0313] 第3の実施形態についてより具体的に説明する。第2の実施形態において説明したように、予測輝度値 L_{pre} は、光子数 P_n が閾値 N_{th} を達成する時間 T_{th} に対して反比例の関係で変化する（図39参照）。この場合、単位時間当たりの予測輝度値 L_{pre} の変化量は、露光期間 T_{sh} の開始時点からの時間の経過に連れて小さくなる。ここで、単位時間が時間に対する分解能を示しているものとする、単位時間当たりの予測輝度値 L_{pre} の変化量は、予測輝度値 L_{pre} の分解能を示すことになる。

[0314] 図54は、第3の実施形態に適用可能な、予測輝度値 L_{pre} の分解能（

輝度値分解能)と、時間の分解能(時間分解能)との一例の関係を示す図である。図54から、時間分解能を一定とした場合、輝度値分解能は、露光期間 T_{sh} の開始時点からの時間の経過に従い低くなることが分かる。換言すれば、輝度値分解能を一定とした場合、時間分解能は、露光期間 T_{sh} の開始時点からの時間の経過に従い低くなる、ともいえる。例えば、時間分解能は、例えば露光期間 T_{sh} の開始時点の近傍における時間分解能に対して、当該開始時点からの時間の経過に従いより低い時間分解能で足りることになる。

[0315] そこで、第3の実施形態に係る受光装置1cは、輝度値コード生成部20'が輝度値コード L_c を生成する時間間隔を、露光期間 T_{sh} の開始時点からの時間の経過に従い変化させる。それと共に、受光装置1cは、輝度値コード生成部20'が生成する輝度値コード L_c の変化を、露光期間 T_{sh} の開始時点からの時間の経過に従い制御する。

[0316] 図55および図56を用いて、第3の実施形態に係る輝度値コード生成部20'による輝度値コード L_c の生成について説明する。図55は、第3の実施形態に係る、高照度および中照度の場合の輝度値コード L_c 生成について説明するための図である。図55において、上段から、時間の経過、中照度の場合のカウント値の例、高照度の場合のカウント値の例、時間値、および、輝度値コード L_c の例、をそれぞれ示している。

[0317] なお、ここでは、説明のため、計数部11が有するカウンタが3ビットカウンタであって、閾値 $N_{th}=8$ であるものとする。すなわち、画素10に検知されるフォトン数が8個に達すると、計数部11のカウンタがオーバーフローする。

[0318] 図55において、時間値は、所定の時間毎にインクリメントされる値であり、例えばタイマから供給される。一方、輝度値コード L_c は、照度を例えば高照度、中照度および低照度の3段階に分類し、それぞれ異なる更新周期に従った間隔で、輝度値コード生成部20'により生成される。ここで、露光期間 T_{sh} に対して、高照度の期間と、中照度の期間と、低照度の期間と

、を割り当てる。例えば、高照度の期間は、露光期間 T_{sh} の開始時点から所定時間までとし、当該所定時間から別の所定時間までを中照度の期間とする。さらに、当該別の所定期間から露光期間 T_{sh} の終了時点までを、低照度の期間とする。

[0319] 輝度値コード生成部 20' は、これら高照度、中照度および低照度の各期間のうち、高照度の期間に対して、最も高い更新周期に従った間隔で輝度値コード L_c を生成する。また、輝度値コード生成部 20' は、高照度の期間において、不連続な値で輝度値コード L_c を生成する。例えば、輝度値コード生成部 20' は、高照度の期間において、露光期間 T_{sh} の開始時点に最も近い位置から遠い位置に向けて、段階的に値を小さくした輝度値コード L_c を生成する（図 55 の例では、値「28」、「22」、「17」、「13」）。

[0320] この第 3 の実施形態においても、上述した第 2 の実施形態と同様に、時間 T_{th} が極めて短い期間では、予測輝度値 L_{pre} が極めて大きな値となり、当該期間内の予測輝度値 L_{pre} は、現実的に意味をなさない値となる。これは、当該期間における輝度値コード L_c が不要であることを意味している。そのため、輝度値コード生成部 20' は、例えば、高照度の期間において、当該期間の開始時点から所定時間が経過した時点において最も大きな値の輝度値コード L_c を設定し、当該時点以前の期間においては、輝度値コード L_c を設定しないことができる。図 55 の例では、例えば輝度値コード生成部 20' は、最下段に示される輝度値コード L_c において、輝度値コード $L_c = 「28」$ 以前の時間における値、すなわち、値「28」を超える輝度値コード L_c を設定していない。

[0321] 輝度値コード生成部 20' は、中照度および低照度の期間において、連続的な値で輝度値コード L_c を生成する。例えば、輝度値コード生成部 20' は、中照度の期間において、露光期間 T_{sh} の開始時点に最も近い位置から遠い位置に向けて、「1」ずつ値を小さくした輝度値コード L_c を生成する（図 55 の例では、値「11」、「10」、「9」）。具体例は後述するが

、低照度の期間においても中照度の期間と同様に、連続的な値で輝度値コード L_c を生成する。

[0322] また、この例では、中照度の期間において、各輝度値コード L_c に対応する期間は、上述の第2の実施形態において式(6)などを用いて説明した、期待時間 $T_{th_{ev}}$ と輝度値 L_x との反比例の関係に従い、露光期間 T_{sh} の開始時点から遠ざかるに連れ長くなるように設定される。これは、高照度および低照度の期間においても同様に適用できる。なお、高照度の期間においては、各輝度値コード L_c の値が段階的に変化しているので、各輝度値コード L_c に対応する期間を同じ長さとすることもできる。

[0323] 図55において、中照度の場合、露光期間 T_{sh} 内に、7個のフォトン $Ph(31)$ 、 $Ph(32)$ 、…、 $Ph(37)$ がカウントされ、次に8個目のフォトン $Ph(38)$ が検知された時点で、カウンタがオーバーフローしている。したがって、8個目のフォトン $Ph(38)$ が検知されたタイミングが、カウント値が閾値 N_{th} を超えた時間 T_{th_m} となる。計数部11は、カウンタがオーバーフローすると、書き込み信号 WR_{en} により、取得部13に対して、輝度値コード生成部20'で生成された輝度値コード L_c の書き込みを指示する。図55の例では、時間 T_{th_m} に対応する輝度値コード L_c の値「9」が、書き込み信号 WR_{en} に従い取得部13に取得されメモリに書き込まれる。

[0324] 高照度の場合も同様に、露光期間 T_{sh} 内に、7個のフォトン $Ph(41)$ 、 $Ph(42)$ 、…、 $Ph(47)$ がカウントされ、次に8個目のフォトン $Ph(48)$ が検知された時点で、カウンタがオーバーフローしている。したがって、8個目のフォトン $Ph(38)$ が検知されたタイミングが、カウント値が閾値 N_{th} を超えた時間 T_{th_h} となる。計数部11は、カウンタがオーバーフローすると、書き込み信号 WR_{en} により、取得部13に対して、輝度値コード生成部20'で生成された輝度値コード L_c の書き込みを指示する。図55の例では、時間 T_{th_h} に対応する輝度値コード L_c の値「13」が、書き込み信号 WR_{en} に従い取得部13に取得されメモ

りに書き込まれる。

[0325] なお、高照度の場合の時間 T_{th_h} 、および、中照度の場合の時間 T_{th_m} に対応する時間値は、それぞれ値「11」および「127」であるものとする。

[0326] 図56は、第3の実施形態に係る、低照度の場合の輝度値コード L_c 生成について説明するための図である。図56において、上段から、時間の経過、低照度の場合のカウント値の例、時間値、および、輝度値コード L_c の例、をそれぞれ示している。

[0327] 図56において、露光期間 T_{sh} 内に、7個のフォトン $P_h(51)$ 、 $P_h(52)$ 、…、 $P_h(57)$ がカウントされ、次に8個目のフォトン $P_h(58)$ が検知された時点で、カウンタがオーバーフローしている。したがって、8個目のフォトン $P_h(58)$ が検知されたタイミングが、カウント値が閾値 N_{th} を超えた時間 T_{th_l} となる。計数部11は、カウンタがオーバーフローすると、書き込み信号 WR_{en} により、取得部13に対して、輝度値コード生成部20'で生成された輝度値コード L_c の書き込みを指示する。図56の例では、時間 T_{th_l} に対応する輝度値コード L_c の値「7」が、書き込み信号 WR_{en} に従い取得部13に取得されメモリに書き込まれる。

[0328] ここで、低照度の場合、平均フォトン到達間隔 T_a が例えば上述の高照度や中照度の場合と比べて非常に長く、8個目のフォトン $P_h(38)$ が検知されカウンタがオーバーフローする時点における時間値が非常に大きな値となる。図56の例では、当該時間値が11ビットを要する値「1234」となっている。さらに、低照度の場合、露光期間 T_{sh} の終了時点までフォトン数が閾値 N_{th} に達しない場合もあり、この場合、時間値は、露光期間 T_{sh} の終了時点までカウントした、さらに大きな値となる。すなわち、一定の周波数で時間をカウントし、このカウント値を取得部13が取得する場合、低照度に対応するためには、取得部13は、非常に大きなビット幅のメモリを持つ必要があり、メモリ回路に大きな面積を要する。

[0329] これに対して、予測輝度値 L_{pre} に基づく輝度値コード L_c は、露光期間 T_{sh} の開始時点から時間を経過するほど、小さな値となる。そのため、露光期間 T_{sh} の終了時点において輝度値コード L_c を取得した場合であっても、取得した輝度値コード L_c の値が大きな値にはならず、メモリのビット幅を抑えることができ、メモリ回路の面積を削減可能である。

[0330] また、第3の実施形態でも、上述した第2の実施形態と同様に、露光期間 T_{sh} において予測される予測輝度値 L_{pre} を、光電変換素子 110 に入射する光子数 P_n が閾値 N_{th} を達成した時間 T_{th} に基づき、直接的に求めることができる。これにより、第3の実施形態に係る受光装置 1c は、第1の実施形態に係る受光装置 1a と比較して、タイムコード T_c を輝度値に変換する処理の負荷を軽減することが可能である。

[0331] なお、この第3の実施形態は、上述した第2の実施形態およびその各変形例に係る各画素回路 100a' ~ 100d' の構成や、図43~図48を用いて説明した各配置例を適用することができる。

[0332] [4. 第4の実施形態]

次に、本開示の第4の実施形態について説明する。第4の実施形態は、光子数のカウントを、上述した第1乃至第3の実施形態とは異なる期間において実行するようにしている。

[0333] なお、第4の実施形態は、上述した第1乃至第3の実施形態の何れにも適用可能なものである。以下では、説明のため、第1の実施形態に係る受光装置 1a に対して、第4の実施形態を適用させたものとする。また、この場合において、受光装置 1a は、図8に示す画素回路 100a を含むものとする。

[0334] 上述した第1乃至第3の実施形態、例えば、第1の実施形態では、図2A および図2B、ならびに、図3を用いて説明したように、露光期間 T_{sh} の開始時点からの光子数のカウント値が閾値 N_{th} に到達した時間 T_{th} に基づき、露光期間 T_{sh} 内における光子数の予測値である予測カウント値 N_{pre} を求める。このように、照度に応じて光子数をカウントす

る時間が異なるため、例えば高速に移動する物体に対しては、予測カウント値 N_{pre} を正しく求めることが困難となるおそれがある。

[0335] 一例として、高速に移動する物体において、高照度の部分と低照度の部分とが存在する場合、高照度の部分は短時間（時間 T_{th_h} ）にカウント値が閾値 N_{th} に達する一方で、低照度の部分では、例えば露光期間 T_{sh} の終了時点までフォトン数のカウントが行われる。したがって、高照度の部分においてカウント値が閾値 N_{th} に達した時間 T_{th_h} から、露光期間 T_{sh} の終了時点までの間に物体が大きく移動すると、当該物体内の各部における計測結果に大きな差が生じてしまう。これは、当該物体に対して適切な計測結果が得られないおそれがあることを意味する。

[0336] そこで、第4の実施形態では、フォトン数のカウントを、上述した第1乃至第3の実施形態とは異なる期間において実行するようにしている。より具体的には、上述した第1乃至第3の実施形態では、フォトン数のカウントを1つの露光期間 T_{sh} に基づき行っていた。これに対して、第4の実施形態では、露光期間 T_{sh} を分割した分割露光期間 T_{sh_div} に基づきフォトン数のカウントを実行する。

[0337] 露光期間 T_{sh} の分割などの処理は、例えば、制御部 1003 の指示に応じた垂直制御部 2013a の制御に従い実行することができる。

[0338] （4-1. 第4の実施形態に係る第1の例）

第4の実施形態に係る第1の例について説明する。図57は、第4の実施形態に係る第1の例の分割露光を説明するための図である。図57において、露光期間 T_{sh} を1フレーム（Frame）とし、露光期間 T_{sh} を5等分に分割し、分割されたそれぞれを分割露光期間 T_{sh_div} とする。閾値判定部 113a は、各分割露光期間 T_{sh_div} において、露光期間 T_{sh} に対する閾値 N_{th} の $1/5$ の値の閾値 N_{th_div} に基づきフォトン情報 P_{hinfo} に対する判定を行う。

[0339] したがって、中照度の場合に入射フォトン数が閾値 N_{th_div} を達成する時間は、露光期間 T_{sh} における時間 T_{th_m} の $1/5$ の、時間 T_{th}

$h_m/5$ となる。同様に、高照度の場合に入射光子数が閾値 N_{th_div} を達成する時間は、露光期間 T_{sh} における時間 T_{th_h} の $1/5$ の、時間 $T_{th_h}/5$ となる。閾値判定部113aは、各分割露光期間 T_{sh_div} において、これら時間 $T_{th_m}/5$ 、時間 $T_{th_h}/5$ で書き込み信号 $WR_{en}(W)$ を出力し、メモリ114にタイムコード T_c を書き込む。

[0340] また、例えば低照度の状態など、各分割露光期間 T_{sh_div} において光電変換素子110に入射された光子数が閾値 N_{th_div} に達しない場合も生じうる。この場合には、閾値判定部113aは、各分割露光期間 T_{sh_div} の終了時点 T_{read_1} 、 T_{read_2} 、 T_{read_3} 、 T_{read_4} および T_{read_5} において、書き込み信号 $WR_{en}(W)$ を出力し、メモリ114に対してタイムコード T_c を書き込む。

[0341] すなわち、第4の実施形態に係る第1の例では、画素回路100aは、露光期間 T_{sh} において、露光期間 T_{sh} の $1/5$ の時間の分割露光期間 T_{sh_div} で露光を5回行う。

[0342] 上述したように、画素回路100aから信号線142を介して読み出されたタイムコード T_c は、信号処理部2013cに供給される。信号処理部2013cは、画素回路100aから供給されたタイムコード T_c に基づき、予測カウント値 N_{pre} を算出する。このとき、信号処理部2013cは、各分割露光期間 T_{sh_div} でそれぞれ読み出されたタイムコード T_{c_1} 、 T_{c_2} 、 T_{c_3} 、 T_{c_4} および T_{c_5} に対して、例えば式(1)に基づき、それぞれ予測カウント値 N_{pre_1} 、 N_{pre_2} 、 N_{pre_3} 、 N_{pre_4} および N_{pre_5} を算出する。

[0343] 信号処理部2013cは、次式(11)に従い、予測カウント値 N_{pre_1} 、 N_{pre_2} 、 N_{pre_3} 、 N_{pre_4} および N_{pre_5} に基づき露光期間 T_{sh} 全体での予測カウント値 N_{pre} を算出する。

$$N_{pre} = N_{pre_1} + N_{pre_2} + N_{pre_3} + N_{pre_4} + N_{pre_5} \quad \cdots (11)$$

[0344] このように、露光期間 T_{sh} を分割した各分割露光期間 T_{sh_div} 毎に露光を行いタイムコード T_c を読み出すことで、露光期間 T_{sh} 内に移動する物体内の各部において発生する計測結果の差を抑制することが可能となる。

[0345] (4-2. 第4の実施形態に係る第2の例)

次に、第4の実施形態に係る第2の例について説明する。第4の実施形態に係る第2の例は、光電変換素子110に入射する光子数による照度に応じて分割露光を行うか否かを判定する例である。

[0346] 図58は、第4の実施形態に係る第2の例の分割露光を説明するための図である。図58において、図57を用いて説明した第1の例と同様に、露光期間 T_{sh} を5等分に分割する。このとき、画素回路100aは、照度が所定より低い場合は、露光期間 T_{sh} の分割を行わずに、露光期間 T_{sh} 内に入射された光子数によるタイムコード T_c を取得する。

[0347] 図58の例では、照度が低照度であれば、露光期間 T_{sh} の分割を行わず、照度が中照度および高照度の場合に、露光期間 T_{sh} を5つの分割露光期間 T_{sh_div} に分割している。

[0348] 換言すれば、第4の実施形態に係る第2の例では、画素回路100aは、光電変換素子110に対して入射する光子の平均時間間隔 T_a が所定以下の場合に、露光期間 T_{sh} を複数に分割した各分割露光期間 T_{sh_div} 毎にタイムコード T_c の取得を行う、ということができる。

[0349] 図59は、第4の実施形態の第2の例に適用可能な画素回路の一例の構成を示すブロック図である。図59において、画素回路100c'は、図35を用いて説明した画素回路100cに対応するもので、閾値判定部113a(c)の判定結果に従い信号処理部111cを制御して、光電変換素子110の動作を制限する。

[0350] 画素回路100c'において、閾値判定部113a(c)から出力される書き込み信号 WR_{en} がメモリ114に供給されると共に、AND回路117の一方の入力端に入力される。AND回路117の他方の入力端には、信

号READOUT__enが供給される。また、タイムコードTcが伝送される信号線142は、スイッチ116を介してメモリ114に接続される。スイッチ116は、AND回路117の出力に従いオン（閉）およびオン（開）状態を制御される。

[0351] ここで、書き込み信号WRenは、ハイ状態で書き込み指示を示すものとする。また、スイッチ116は、AND回路117からの出力が「1」（ハイ）でオン、「0」（ロー）でオフに制御されるものとする。信号READOUT__enは、例えば、信号処理部2013c（図7参照）による予測カウンタ値Npreに基づく制御部1003からの指示に従い、垂直制御部2013aから供給される。

[0352] 一例として、例えば制御部1003は、垂直制御部2013aに対して、信号READOUT__enをデフォルトでハイ状態とするよう指示する。これにより、閾値判定部113aから書き込み信号WRen（W）が出力されることで、スイッチ116がオン状態とされて、信号線142から供給されるタイムコードTcがメモリ114に書き込まれる。

[0353] 一方、制御部1003は、露光期間Tshの開始時点から例えば最初の分割露光期間Tsh__divまでの間に光電変換素子110に入射されたフォトン数が閾値Nth__divに達しない場合、低照度であるとして、信号READOUT__enをロー状態に移行させるよう、垂直制御部2013aに指示する。そして、制御部1003は、例えば、露光期間Tshの最後の分割点である、分割露光期間Tsh__div₄の終了時点Tread₄において、信号READOUT__enをロー状態からハイ状態に移行させるよう、垂直制御部2013aに指示する。これにより、低照度の場合のタイムコードTcをメモリ114に書き込むことが可能となる。

[0354] （4－3．第4の実施形態に係る第3の例）

次に、第4の実施形態に係る第3の例について説明する。第4の実施形態に係る第3の例は、露光期間Tshを複数の分割露光期間Tsh__divに分割する際に、異なる長さの分割露光期間Tsh__divを含ませる例であ

る。

[0355] 図60は、第4の実施形態に係る第3の例の分割露光を説明するための図である。図60の例では、露光期間 T_{sh} を、第1の時間 T_1 を有する2つの分割露光期間 $T_{sh_div300_1}$ および 300_2 と、第1の時間 T_1 より短い第2の時間 T_2 を有する1つの分割露光期間 T_{sh_div301} と、に分割している。

[0356] 各分割露光期間 $T_{sh_div300_1}$ 、 300_2 および 301 の長さは、特に限定されないが、例えば、各分割露光期間 $T_{sh_div300_1}$ および 300_2 の長さを、分割露光期間 T_{sh_div301} の2倍とすることが考えられる。

[0357] 図60の例では、フォトン数を予測する予測カウント値 N_{pre} の算出回数と、メモリ114からのタイムコード T_c の読み出し回数がそれぞれ3回となり、例えば当該各回数が5回の上述した第4の実施形態の第1の例に対して各処理の回数を減らすことができる。このように、露光期間 T_{sh} を複数の分割露光期間 T_{sh_div} に分割する際に、異なる長さの分割露光期間 T_{sh_div} を含ませることで、予測カウント値 N_{pre} の算出処理や、メモリ114からの読み出し処理に係る消費電力の削減が可能である。

[0358] (4-4. 第4の実施形態に係る第4の例)

次に、第4の実施形態に係る第4の例について説明する。第4の実施形態に係る第4の例は、露光期間 T_{sh} を長さが等しい複数の分割露光期間 T_{sh_div} に分割し、各分割露光期間 T_{sh_div} における閾値 N_{th} の値を異ならせる例である。

[0359] 図61は、第4の実施形態に係る第4の例の分割露光を説明するための図である。図61の例では、露光期間 T_{sh} を、それぞれ長さが等しい5つの分割露光期間 $T_{sh_div302_1}$ 、 302_2 、 302_3 、 302_4 および 302_5 に分割している。そして、分割露光期間 $T_{sh_div302_1}$ 、 302_3 および 302_5 に対して閾値 N_{th_1} を設定し、分割露光期間 $T_{sh_div302_2}$ および 302_4 に対して、閾値 N_{th_1} より小さい値の閾値 N_{th_2} を設定す

る。

[0360] 上述したように、画素回路100aから信号線142を介して読み出されたタイムコード T_c は、信号処理部2013cに供給される。信号処理部2013cは、画素回路100aから供給されたタイムコード T_c に基づき、予測カウント値 N_{pre} を算出する。このとき、信号処理部2013cは、各分割露光期間 $T_{sh_div302_1} \sim 302_5$ でそれぞれ読み出されたタイムコード $T_{c_{11}}$ 、 $T_{c_{12}}$ 、 $T_{c_{13}}$ 、 $T_{c_{14}}$ および $T_{c_{15}}$ に対して、例えば式(1)に基づき、それぞれ予測カウント値 $N_{pre_{11}}$ 、 $N_{pre_{12}}$ 、 $N_{pre_{13}}$ 、 $N_{pre_{14}}$ および $N_{pre_{15}}$ を算出する。

[0361] ここで、予測カウント値 $N_{pre_{11}}$ 、 $N_{pre_{13}}$ および $N_{pre_{15}}$ は、閾値 N_{th_1} による判定結果に基づき算出された値である。一方、予測カウント値 $N_{pre_{12}}$ および $N_{pre_{14}}$ は、閾値 N_{th_1} と異なる値の閾値 N_{th_2} による判定結果に基づき算出された値である。閾値 N_{th_1} と閾値 N_{th_2} とが、所定の係数 k を用いて $N_{th_1} = k \times N_{th_2}$ の関係にある場合、信号処理部2103cは、露光期間 T_{sh} 全体での予測カウント値 N_{pre} を、次式(12)に従い算出する。

$$N_{pre} = N_{pre_{11}} + k \times N_{pre_{12}} + N_{pre_{13}} + k \times N_{pre_{14}} + N_{pre_{15}} \quad \dots (12)$$

[0362] このように、露光期間 T_{sh} を分割した各分割露光期間 $T_{sh_div302_1} \sim 302_5$ に対して、異なる値の閾値 N_{th_1} および N_{th_2} を設定することで、異なる露光条件による多重露光を実現できる。

[0363] (4-5. 第4の実施形態に係る第5の例)

次に、第4の実施形態に係る第5の例について説明する。第4の実施形態に係る第5の例は、露光期間 T_{sh} を複数の分割露光期間 T_{sh_div} に分割する際に、異なる長さの分割露光期間 T_{sh_div} を含ませる例である。このとき、第4の実施形態に係る第5の例では、各分割露光期間 T_{sh_div} の長さが露光期間 T_{sh} の開始時点から終了時点に向けて順次所定倍(例えば2倍)になるように、露光期間 T_{sh} を分割する。

[0364] 図62は、第4の実施形態に係る第5の例の分割露光を説明するための図である。図62の例では、露光期間 T_{sh} を、露光期間 T_{sh} の開始時点から順に、3つの分割露光期間 $T_{sh_div303_1}$ 、 303_2 および 303_3 に分割している。これら3つの分割露光期間 $T_{sh_div303_1} \sim 303_3$ は、先頭の分割露光期間 $T_{sh_div303_1}$ の長さを時間 T_s としたとき、次の分割露光期間 $T_{sh_div303_2}$ の長さを時間 $T_s \times 2$ とする。また、露光期間 T_{sh} の終了時点側の分割露光期間 $T_{sh_div303_3}$ の長さを時間 $T_s \times 4$ とする。

[0365] この第4の実施形態に係る第5の例による露光期間 T_{sh} の分割方法は、照度差の大きな環境化において明瞭に映像を得ることを可能とするハイダイナミックレンジ（HDR）機能を実現する方式の一つである、デジタルオーバーラップに適用することができる。デジタルオーバーラップは、撮像の場合、例えば電荷の蓄積時間（露光時間）の異なる複数フレームの情報を用いて、ダイナミックレンジの拡大を図る技術である。

[0366] 3つの分割露光期間 $T_{sh_div303_1}$ 、 303_2 および 303_3 において、画素アレイ部2001（およびロジックアレイ部2011）に2次元格子状に配列される複数の画素回路100aから読み出したタイムコード T_c に基づき、露光時間 T_s に基づく予測カウント値 $N_{pre_{Ts}}$ を算出する。同様に、当該複数の画素回路100aから読み出したタイムコード T_c に基づき、露光時間 $T_s \times 2$ に基づく予測カウント値 $N_{pre_{Ts2}}$ と、露光時間 $T_s \times 4$ に基づく予測カウント値 $N_{pre_{Ts4}}$ と、を算出する。これら予測カウント値 $N_{pre_{Ts}}$ 、 $N_{pre_{Ts2}}$ および $N_{pre_{Ts4}}$ に対してデジタルオーバーラップの技術による処理を適用することで、入射光子検出に係るダイナミックレンジの拡大を図ることが可能である。

[0367] （4－6．第4の実施形態に係る第6の例）

次に、第4の実施形態に係る第6の例について説明する。第4の実施形態に係る第6の例は、上述した第4の実施形態に係る第5の例における各分割露光期間 $T_{sh_div303_1}$ 、 303_2 および 303_3 の順序を変更した例で

ある。

[0368] 図63は、第4の実施形態に係る第6の例の分割露光を説明するための図である。図62を用いて説明した第4の実施形態に係る第5の例では、露光期間 T_{sh} の開始時点から、各分割露光期間 $T_{sh_div303_1} \sim 303_3$ が長さの単調増加の順に並べられていた。

[0369] これに対して、図63に示す第4の実施形態に係る第6の例では、長さの単調増加または単調減少の順とは異なる順序で、各分割露光期間 $T_{sh_div303_1} \sim 303_3$ が並べられている。すなわち、図63の例では、それぞれ長さが時間 T_s 、時間 $T_s \times 2$ 、時間 $T_s \times 4$ の3つの分割露光期間 $T_{sh_div303_1} \sim 303_3$ が、露光期間 T_{sh} の開始時点から、分割露光期間 $T_{sh_div303_2}$ 、分割露光期間 $T_{sh_div303_1}$ 、分割露光期間 $T_{sh_div303_3}$ の順に並べられている。

[0370] このように、第4の実施形態の第6の例では、それぞれ長さが時間 T_s 、時間 $T_s \times 2$ 、時間 $T_s \times 4$ の3つの分割露光期間 $T_{sh_div303_1} \sim 303_3$ が長さの単調増加または単調減少の順とは異なる順序で並べられている。この場合であっても、分割露光期間 $T_{sh_div303_1} \sim 303_3$ において算出された予測カウント値 $N_{pre_{Ts}}$ 、 $N_{pre_{Ts2}}$ および $N_{pre_{Ts4}}$ に対してデジタルオーバーラップの技術による処理を適用することができ、これにより、入射フォトン検出に係るダイナミックレンジの拡大を図ることが可能である。

[0371] [5. 第5の実施形態]

次に、本開示の第5の実施形態について説明する。図64は、第5の実施形態に係る受光装置の概略的な構成例を示す図である。図64において、受光装置1dは、画素10と、計数部11と、タイムコード生成部12と、を含む。

[0372] 受光装置1dにおいて、計数部11は、露光期間 T_{sh} が開始されると、画素10から出力されたパルス V_{pls} を計数する。計数部11は、計数されたパルス V_{pls} の数が例えば時間 t_x にて閾値 N_{th} に達すると、係数の

対象をパルス V_{pls} からタイムコード T_c に切り替える。計数部 11 は、露光期間 T_{sh} が終了すると、時間 t_x から計数されたタイムコードの数であるタイムコード数 $C_{nt_Tc}(t_x)$ を出力する。

[0373] タイムコード生成部 12 が生成するタイムコード T_c の更新周期は既知であるので、このタイムコード数 $C_{nt_Tc}(t_x)$ から時間 t_x を求めることができ、求めた時間 t_x に基づき、露光期間 T_{sh} 内に入射されるフォトン数を予測することができる。

[0374] この第 5 の実施形態の構成によれば、タイムコード T_c そのものを記憶する必要が無く、したがって、タイムコード T_c を書き込むメモリを省略できる。図 64 の例では、受光装置 1d は、上述した受光装置 1a ~ 1c が有する、当該メモリを含む取得部 13 が省略されている。また、第 5 の実施形態の構成によれば、タイムコード T_c も、時系列に沿って変化する値を含む必要が無く、例えばタイムコード T_c として更新周期毎のパルスを用いることができる。この場合、タイムコード数 $C_{nt_Tc}(t_x)$ は、当該パルス数を計数した計数値となる。

[0375] 以下、特に記載の無い限り、タイムコード T_c が更新周期毎のパルスであるものとして説明を行う。

[0376] なお、タイムコード数 $C_{nt_Tc}(t_x)$ に基づくフォトン数の予測は、後段の回路、例えば信号処理部 2013c (図 7 参照) にて行われる。これに限らず、フォトン数の予測を受光装置 1d の内部で行ってもよいし、受光装置 1d の外部で行ってもよい。

[0377] 図 65 は、第 5 の実施形態に係る計数部 11 の構成の例を概略的に示すブロック図である。図 65 において、計数部 11 は、カウンタ 112 と、閾値判定部 113c と、セレクタ 400 と、を含む。

[0378] セレクタ 400 は、一方の入力端に画素 10 から出力されたパルス V_{pls} が入力され、他方の入力端にタイムコード生成部 12 により生成されたタイムコード T_c が入力される。セレクタ 400 は、閾値判定部 113c から出力される選択信号 SEL に従い、入力されたパルス V_{pls} およびタイム

コードT cから一方を選択して出力する。セレクタ4 0 0の出力は、カウンタ1 1 2に入力される。カウンタ1 1 2は、セレクタ4 0 0から入力されたパルスV p l sまたはタイムコードT cの数をカウントし、カウント結果をフォトン情報P h l n f oとして出力する。

[0379] 閾値判定部1 1 3 cは、カウンタ1 1 2から出力されたフォトン情報P h l n f oに対して、閾値N t hに基づく判定を行う。より具体的には、閾値判定部1 1 3 cは、フォトン情報P h l n f oに含まれるカウント結果、すなわちパルスV p l sまたはタイムコードT cの数が閾値N t hに達したか否かを判定する。

[0380] なお、閾値N t hおよびタイムコードT cの値は、例えば露光期間T s hの開始から終了まで通してタイムコードT cをカウントした場合であっても、カウントされたタイムコードT cの数が閾値N t h未満となるように設定される。したがって、閾値判定部1 1 3 cは、パルスV p l sまたはタイムコードT cのうちパルスV p l sの数に対して閾値N t hに対する判定を行うことになる。

[0381] 閾値判定部1 1 3 cは、セレクタ選択信号S E Lおよびイネーブル信号E Nを出力する。閾値判定部1 1 3 cは、カウント数が閾値N t hに達したと判定した場合、選択信号S E Lおよびイネーブル信号E Nを、それぞれ所定の状態に遷移させる。

[0382] 以下、カウント数が閾値N t hに達した場合の選択信号S E Lおよびイネーブル信号E Nを、それぞれ選択信号S E L (N t h)、イネーブル信号E N (N t h)とし、選択信号S E Lおよびイネーブル信号E Nをそれぞれ選択信号S E L (N t h)、イネーブル信号E N (N t h)に遷移させることを、選択信号S E L (N t h)、イネーブル信号E N (N t h)を出力する、などと記述する。

[0383] セレクタ4 0 0は、選択信号S E L (N t h)に応じて、入力されたパルスV p l sおよびタイムコードT cのうちタイムコードT cを選択する。すなわち、閾値判定部1 1 3 cによりパルスV p l sのカウント数が閾値N t h

に達すると、セクタ400からカウンタ112に入力される情報がパルスVp1sからタイムコードTcに切り替わる。カウンタ112は、入力されたタイムコードTcの数をカウントする。

[0384] また、画素10は、イネーブル信号EN(Nth)に応じて、光電変換素子110の動作を停止させる。例えば、図9を参照し、抵抗1101の少なくとも一方の端の側に、イネーブル信号ENにより開閉を制御されるスイッチを挿入する。より具体的には、抵抗1101と電源電位VDDとの間、および、抵抗1101と光電変換素子110およびインバータ1102とが接続される接続点との間、とのうち少なくとも一方に、当該スイッチを挿入する。これに限らず、当該スイッチを、光電変換素子110の少なくとも一方の端の側に挿入してもよい、

[0385] 画素10は、イネーブル信号EN(Nth)に応じてこのスイッチを開状態として、光電変換素子110に対する電源電位VDDの電圧の印加を停止させる。画素10は、次の露光期間Tshの開始時にイネーブル信号ENを出力し、このスイッチを閉状態とし、光電変換素子110に対する電源電位VDDの印加を開始する。これにより、光電変換素子110の消費電力を削減することが可能である。

[0386] 図66は、第5の実施形態に適用可能な、フォトン数の予測について説明するための図である。図66において、横軸は露光期間Tshの開始からの時間の経過を示す。縦軸は、直線Ct₁~Ct₃に対しては、フォトン数すなわちパルスVp1sの数を示し、折れ線Tcについては、タイムコードTcの変化を示している。

[0387] なお、タイムコード生成部120は、一例として、図12に示した更新周期でタイムコードTcの更新を行うものとする。すなわち、露光期間Tshを128クロック分(0クロック~127クロック)の長さとし、露光期間Tshの開始から32クロック分の期間(0クロック~31クロック)は、2クロックを更新周期としてタイムコードTcを更新する。次の32クロック分の期間(32クロック~63クロック)は、4クロックを更新周期、さ

らに次の64クロック分の期間（64クロック～127クロック）は、8クロックを更新周期として、それぞれタイムコードT_cを更新する。

[0388] 図66の例では、露光期間T_{sh}の開始から時間t₁₀までが2クロックを更新周期とし、時間t₁₀～t₁₁の間が4クロックを、時間t₁₁～露光期間T_{sh}の終了までが8クロックを、それぞれ更新周期としている。

[0389] 図66において、直線C_{t1}は、カウントされたフォトン数が時間t₁で閾値N_{th}を達成したことを示している。また、直線C_{t2}は、カウントされたフォトン数が時間t₁より後の時間t₂で閾値N_{th}を達成したことを示している。ここで、露光期間T_{sh}の終了時における、露光期間T_{sh}の開始時点からのタイムコードT_cの更新回数は既知であり、タイムコードT_cの各時点における更新周期も既知であるため、各時間t₁およびt₂からそれぞれカウントされたタイムコード数C_{nt}__T_c(t₁)およびC_{nt}__T_c(t₂)に基づき、逆算により、時間t₁およびt₂それぞれを求めることができる。

[0390] ここで、時間t_xから露光期間T_{sh}の終了時点（時間T_{sh}とする）までの時間を時間ΔT_c__s_h(t_x)とする。この場合、時間t_xは、下記の式（13）により表される。

$$t_x = T_{sh} - \Delta T_{c_sh}(t_x) \quad \dots (13)$$

[0391] 時間ΔT_c__s_h(t_x)は、時間t_xからカウントされたタイムコード数C_{nt}__T_c(t_x)に基づき求める。すなわち、タイムコードT_cの更新周期が図12に示すものである場合、時間ΔT_c__s_h(t_x)は、タイムコード数C_{nt}__T_c(t_x)の値に基づき、下記の各式（14）～（16）にて求められる。なお、各式において、「:（コロン）」は、その前の記述がタイムコード数C_{nt}__T_c(t_x)に対する条件であることを表している。また、[C_k]は、直前の数値がクロック数であることを表している。

$$[0392] \quad C_{nt_Tc}(t_x) \leq 8 : \Delta T_{c_sh}(t_x) = C_{nt_Tc}(t_x) \times 8 \quad [C_k] \quad \dots (14)$$

$$8 < C_{nt_Tc}(t_x) \leq 16 : \Delta T_{c_sh}(t_x) = 64 \quad [C_k] + (C_{nt_Tc}(t_x) - 8 \quad [T_c]) \times 4 \quad [C_k] \quad \dots (15)$$

$$C n t_T c(t_x) > 16 : \Delta T c_s h(t_x) = 96 [C k] + (C n t_T c(t_x) - 16 [T c]) \times 2 [C k] \quad \dots (16)$$

[0393] 例えば信号処理部2013cは、カウンタ112から出力されたタイムコード数 $C n t_T c(t_x)$ に基づき上述した式(13)～(16)の計算を実行し、フォトン数が閾値 $N t h$ に達した時間 t_x を求める。そして、上述した式(1)に従い、時間 t_x を式(1)の時間 $T t h$ として用いて、予測カウント値 $N p r e$ を求める。

[0394] なお、図66に直線 $C t_3$ として示されるように、低照度であり、露光期間 $T s h$ が経過してもフォトン数が閾値 $N t h$ に達しない場合、選択信号 $S E L(N t h)$ が出力されず、セクタ400においてタイムコード $T c$ が入力として選択されない。したがって、タイムコード数 $C n t_T c(t_x)$ のカウントが行われず、タイムコード数 $C n t_T c(t_x) = 0$ となる。この場合には、露光期間 $T s h$ が経過した時点でカウントされたフォトン数を、予測カウント値 $N p r e$ として用いることができる。

[0395] 図67は、第5の実施形態に係る画素回路の一例の構成を示すブロック図である。なお、図67において、垂直制御部2013aは、図8を用いて説明した垂直制御部2013aと同等の構成を適用できるので、ここでの説明を省略する。図67において、画素アレイ部2001は、複数の画素回路100eを含む。なお、図67では、図8の例と同様に、画素アレイ部2001に2次元格子状に配列される各画素回路100eのうち、1行に含まれる各画素回路100eを抜粋して示している。

[0396] 画素回路100eは、光電変換素子110と、信号処理部111aと、セクタ400と、カウンタ112と、閾値判定部113cと、を含む。なお、以下では、上述した図8と異なる部分に注目して説明を行う。

[0397] 光電変換素子110は、閾値判定部113cから出力されるイネーブル信号 $E N$ に従い、動作を制御される。光電変換素子110は、フォトンの入射に応じて信号 $V p h$ を出力し、信号処理部111aは、光電変換素子110から出力された信号 $V p h$ を整形してパルス $V p l s$ として出力する。パル

ス V_{pls} は、セクタ 400 の一方の入力端に入力される。セクタ 400 の他方の入力端には、タイムコード生成部 120 で生成されたタイムコード T_c が入力される。

[0398] セクタ 400 は、閾値判定部 113c から出力される選択信号 SEL に従い、一方の入力端に入力されたパルス V_{pls} と、他方の入力端に入力されたタイムコード T_c のうち一方を出力する。セクタ 400 の出力は、カウンタ 112 に入力される。

[0399] カウンタ 112 は、露光期間 T_{sh} を示す信号、例えば露光期間 T_{sh} においてハイ状態とされ、その他の期間においてロー状態とされる信号が入力される。カウンタ 112 は、セクタ 400 から出力されたパルス V_{pls} またはタイムコード T_c を、露光期間 T_{sh} においてカウントし、カウント値（フォトン数またはタイムコード数 $Cnt_Tc(t_x)$ ）を、フォトン情報 $PhInfo$ として出力する。

[0400] 閾値判定部 113c は、カウンタ 112 から出力されたフォトン情報 $PhInfo$ に基づき閾値判定を行う。また、閾値判定部 113c は、選択信号 SEL およびイネーブル信号 EN を出力する。閾値判定部 113c は、フォトン情報 $PhInfo$ に基づきフォトン数が閾値 N_{th} に達したと判定した場合、選択信号 SEL を選択信号 $SEL(N_{th})$ に遷移させると共に、イネーブル信号 EN をイネーブル信号 $EN(N_{th})$ に遷移させる。さらに、閾値判定部 113c は、露光期間 T_{sh} の終了時に、カウンタ 112 から供給されたカウント値（例えばタイムコード数 $Cnt_Tc(t_x)$ ）を出力し、例えば信号処理部 2013c に供給する。

[0401] 図 68 は、第 5 の実施形態に適用可能なカウンタ 112 および閾値判定部 113c の一例の構成を示すブロック図である。ここでは、カウンタ 112 として、図 17 を用いて説明した、ビット列を出力可能なカウンタ 112b を適用している。なお、カウンタ 112b における基本的なカウント動作は、図 17 を用いて説明したカウンタ 112b と同様であるので、ここでの説明を省略する。

- [0402] カウンタ 112 から出力された光子情報 $PhInfo$ は、閾値判定部 113c に入力される。閾値判定部 113c は、比較回路 1131' を含むと共に、選択信号 SEL およびイネーブル信号 EN を出力する。比較回路 1131' は、光子情報 $PhInfo$ と、閾値 Nth とを比較し、光子情報 $PhInfo$ が示す値と閾値 Nth とが一致した場合に、選択信号 SEL およびイネーブル信号 EN を、それぞれ選択信号 $SEL(Nth)$ およびイネーブル信号 $EN(Nth)$ の状態に遷移させる。
- [0403] 閾値判定部 113c に含まれるスイッチ 401 は、一端が、カウンタ 112 からビット列が入力される入力経路に接続され、他端が外部（例えば垂直信号線）に接続される。ここで、垂直信号線は、画素アレイ部 2001 に 2 次元格子状に配列される各画素回路 100e のうち、列方向に整列される各画素回路 100e に接続される信号線であって、例えば水平制御部 2013b を介して信号処理部 2013c に接続される。
- [0404] スイッチ 401 は、露光期間 Tsh を示す信号により開閉が制御される。例えば、スイッチ 401 は、当該信号により露光期間 Tsh 内では開状態に制御され、露光期間 Tsh が終了するタイミングで開状態から閉状態に制御される。これにより、カウンタ 112 から閾値判定部 113c に入力されるカウント値（例えばタイムコード数 $Cnt_Tc(t_x)$ が、閾値判定部 113c から外部に出力される。
- [0405] このように、第 5 の実施形態に係る受光装置 1d は、カウントした光子数が閾値 Nth に達した場合に、カウントの対象を光子数からタイムコード Tc に切り替える。そして、露光期間 Tsh の終了時点でのタイムコード数 $Cnt_Tc(t_x)$ に基づき、予測カウント値 $Npre$ を求めるようにしている。そのため、タイムコード Tc を記憶するためのメモリを省略できる。
- [0406] なお、当該受光装置 1d は、閾値判定部 113c から出力されるタイムコード数 $Cnt_Tc(t_x)$ に基づき、光子数が閾値 Nth に達した時間 t_x を求めている。したがって、タイムコード数 $Cnt_Tc(t_x)$ は、光子

数が閾値 N_{th} に達した時間 t_x に到達した時間を示す時間情報であり、閾値判定部 113c は、当該時間情報を取得する取得部として機能する。

[0407] (5-1. 第5の実施形態の第1の変形例)

次に、第5の実施形態の第1の変形例について説明する。第5の実施形態の第1の変形例は、第5の実施形態のセクタ400の、パルス V_{pls} が入力される一方の入力端に1ビットカウンタを設けた例である。図69Aおよび図69Bを用いて、第5の実施形態の第1の変形例に係る計数部11について説明する。

[0408] 図69Aは、第5の実施形態の第1の変形例に係る計数部11の構成の例を概略的に示すブロック図である。図69Aの例では、図65の構成に対して画素10とセクタ400の一方の入力端との間に1ビットカウンタ402（図では1bカウンタ402と表記）が挿入されている。この構成において、画素10から出力されたパルス V_{pls} が1ビットカウンタ402に入力され、1ビットカウンタ402の出力がセクタ400の一方の入力端に入力される。セクタ400の他方の入力端には、タイムコード T_c が入力される。

[0409] 図69Aの例では、1ビットカウンタ402は、1つの入力端を有し、当該入力端に入力される入力信号の立ち上がり毎に、出力信号の状態を反転させる。図69Bは、第5の実施形態の第1の変形例に適用可能な1ビットカウンタの動作例を示すシーケンス図である。図69Bの例では、パルス V_{pls} の立ち上がり毎に、1ビットカウンタ402の出力（図では1bカウンタ出力と表記）がハイ状態およびロー状態の間で遷移している。すなわち、1ビットカウンタ402は、パルス V_{pls} の2パルス毎に1カウントを行う。また、1ビットカウンタ402の出力は、初期状態と同一の状態でも偶数のカウント値、初期状態に対して反転された状態で奇数のカウント値をそれぞれ示す。そのため、パルス V_{pls} のカウント値の解像度は、1ビットカウンタ402を用いない場合と変わらない。

[0410] このような1ビットカウンタ402は、例えばフリップフロップ回路を用

いて構成することができる。

[0411] このように、パルス V_{pls} を 1 ビットカウンタ 402 でカウントした出力をカウンタ 112 に入力することで、カウンタ 112 におけるパルス V_{pls} のカウント動作が、1 ビットカウンタ 402 を用いない場合に比べて $1/2$ となり、カウンタ 112 における消費電力を削減することが可能である。また、1 ビットカウンタ 402 を用いることによる解像度の低下も生じない。

[0412] なお、第 5 の実施形態の第 1 の変形例におけるフォトン数の予測は、図 6 を用いて説明した第 5 の実施形態による予測方法を適用することができるため、ここでの説明を省略する。

[0413] (5-2. 第 5 の実施形態の第 2 の変形例)

次に、第 5 の実施形態の第 2 の変形例について説明する。第 5 の実施形態の第 2 の変形例では、画素 10 から出力されたパルス V_{pls} と、タイムコード生成部 120 から供給されるタイムコード T_c とを合成した合成パルス $SynPls$ を、カウンタ 112 で計数する。なお、ここでは、上述したように、タイムコード T_c を、更新周期毎のパルスであるものとして説明を行う。露光期間 T_{sh} 内におけるタイムコード T_c の数および更新周期は既知なので、カウンタ 112 が合成パルス $SynPls$ を計数したカウント値から、カウント期間内に含まれるタイムコード T_c の数を減算することで、当該カウント期間内のパルス V_{pls} 数を得ることができる。

[0414] 図 70 は、第 5 の実施形態の第 2 の変形例に係る計数部 11 の構成の例を概略的に示すブロック図である。図 70 において、計数部 11 は、合成部 410 と、カウンタ 112 と、閾値判定部 113d と、を含む。このように、第 5 の実施形態の第 2 の変形例に係る計数部 11 は、上述した第 5 の実施形態および第 5 の実施形態の第 1 の変形例と異なり、セレクタ 400 を含まない。

[0415] また、第 5 の実施形態の第 2 の変形例に係る閾値判定部 113d は、基準クロックに基づくクロック C_k が供給されると共に、カウンタ 112 にカウ

ントされたカウント値が閾値 N_{th} を達成した際に、イネーブル信号 $EN(N_{th})$ を出力する。また、閾値判定部 113d は、カウント値が閾値 N_{th} を達成した時間 t_x を示す情報が出力される。この時間 t_x を示す情報は、例えば基準クロックに基づくクロック Ck を単位として表すことができる。

[0416] 画素 10 から出力されたパルス V_{pls} と、タイムコード生成部 120 により生成されたタイムコード Tc と、が合成部 410 に入力される。合成部 410 は、これらパルス V_{pls} とタイムコード Tc を合成し、合成パルス $SynPls$ を出力する。カウンタ 112 は、この合成パルス $SynPls$ を計数し、計数された合成パルス数 $CntSp$ をフォトン情報 $PhInfo$ として出力する。

[0417] 閾値判定部 113d は、フォトン情報 $PhInfo$ すなわち合成パルス数 $CntSp$ が閾値 N_{th} に達したか否かを判定する。閾値判定部 113d は、合成パルス数 $CntSp$ が閾値 N_{th} を達成したと判定した場合、イネーブル信号 $EN(N_{th})$ を出力して光電変換素子 110 の動作を停止させる。また、閾値判定部 113d は、合成パルス数 $CntSp$ が閾値 N_{th} を達成した時間 t_x を示す情報を出力する。この時間 t_x を示す情報は、閾値判定部 113d から例えば信号処理部 2013c に供給される。

[0418] なお、この第 5 の実施形態の第 2 の変形例において、合成部 410 に対して、パルス V_{pls} を、第 5 の実施形態の第 1 の変形例で説明した 1 ビットカウンタ 402 を介して入力するように構成してもよい。

[0419] 図 71 は、第 5 の実施形態の第 2 の変形例に適用可能な、フォトン数の予測について説明するための図である。なお、図 71 の各部の意味は、上述した図 66 と同様であるので、ここでの説明を省略する。

[0420] 図 71 において、直線 Ct_4 は、時間 t_4 で閾値 N_{th} を達成した合成パルス数 $CntSp(t_4)$ を示している。この合成パルス数 $CntSp(t_4)$ は、パルス V_{pls} の数であるパルス数 $CntV_{pls}(t_x)$ の他に、時間 t_4 までのタイムコード数 $CntTc(t_4)$ を含んでいる。そのため、正しくフォトン数の予測を行うためには、図 71 中に矢印にて示されるように、この合成パルス

数 $CntSp(t_4)$ すなわち閾値 Nth からタイムコード数 $CntTc(t_4)$ を減じて、パルス数 $CntVpls(t_x)$ を求める必要がある。

[0421] 第5の実施形態の第2の変形例では、次式(17)に従い、この閾値 Nth を達成した合成パルス数 $CntSp(t_x)$ からタイムコード数 $CntTc(t_x)$ を減じた値 Nth' を式(1)の閾値 Nth として用いる。また、時間 t_x を式(1)の時間 Tth として用いる。これにより、予測カウント値 $Npre$ を求める。なお、時間 t_x は、露光期間 Tsh 内において合成パルス数 $CntSp$ が閾値 Nth を達成した時間を示している。

$$Npre = Nth' \times (Tsh / t_x) \quad \dots (17)$$

[0422] ここで、時間 t_x におけるタイムコード数 $CntTc(t_x)$ は、下記の各式(18)～(20)にて求めることができる。なお、ここでは、上述した式(14)～(16)と同様に、タイムコード Tc の更新周期が図12に示すものであり、時間 t_x が露光期間 Tsh の開始時点からクロック(Ck とする)単位で計測されるものとする。式(18)～(20)において、 $Cnt(t_x)$ は、時間 t_x を示す情報であって、時間 t_x におけるクロック Ck のカウント数とする。なお、各式(18)～(20)において、小数点以下は切り捨て処理を行うものとする。

[0423] $0 [Ck] < Cnt(t_x) \leq 31 [Ck] : CntTc(t_x) = Cnt(t_x) / 2$
 $\dots (18)$

$$31 [Ck] < Cnt(t_x) \leq 63 [Ck] : CntTc(t_x) = 32 [Ck] / 2 + (Cnt(t_x) - 32 [Ck]) / 4 \quad \dots (19)$$

$$63 [Ck] < Cnt(t_x) \leq 127 [Ck] : CntTc(t_x) = 32 [Ck] / 2 + 32 [Ck] / 4 + (Cnt(t_x) - 64 [Ck]) / 8 \quad \dots (20)$$

[0424] 例えば信号処理部2013cは、閾値判定部113dから供給された時間 t_x に基づき上述した式(18)～(20)によりタイムコード数 $CntTc(t_x)$ を算出する。信号処理部2013cは、さらに、このようにして算出されたタイムコード数 $CntTc(t_x)$ を、次式(21)のように閾値 Nth から減じて、値 Nth' を求める。

$$N t h' = N t h - C n t T c(t_x) \quad \dots (21)$$

[0425] 信号処理部2013cは、式(21)により求めた値 $N t h'$ を上述の式(17)に適用して、予測カウント値を求める。

[0426] このように、第5の実施形態の第2の変形例では、タイムコード $T c$ そのものを記憶する必要が無く、したがって、タイムコード $T c$ を書き込むメモリを省略できる。

[0427] (5-2-1. 光電変換素子の出力について)

次に、第5の実施形態の第2の変形例に適用可能な合成部410の構成例について説明する。第5の実施形態の第2の変形例に係る合成部410は、論理回路を用いて構成することが可能である。

[0428] ここで、画素10は、画素10に含まれる光電変換素子110の接続方法により、正パルスおよび負パルスの何れかによるパルス $V p l s$ を出力する。図72Aおよび図72Bは、負パルスおよび正パルスとしてのパルス $V p l s$ を出力する光電変換素子110の接続方法を説明するための図である。なお、図72Aおよび図72Bでは、光電変換素子110と、クエンチング動作のための抵抗1101の接続に注目し、信号処理部111aの記載が省略されている。

[0429] 図72Aは、上述した図9と対応する図であって、負パルスとしてのパルス $V p l s$ を出力する光電変換素子110の接続方法の例を示している。図72Aに示されるように、光電変換素子110のカソードが抵抗1101を介して電源電位 $V D D$ に接続され、アノードが例えば接地電位である電位 $G N D(1)$ に接続されている。光電変換素子110のカソードと抵抗1101との接続点から出力を取り出すことで、パルス部分がロー状態、非パルス部分がハイ状態である負パルスとしてのパルス $V p l s$ が出力される。

[0430] 一方、図72Bは、正パルスとしてのパルス $V p l s$ を出力する光電変換素子110の接続方法の例を示している。図72Bに観されるように、光電変換素子110のカソードが電源電位 $V D D$ に接続され、アノードが抵抗1101を介して例えば接地電位である電位 $G N D(1)$ に接続されている、

光電変換素子 110 のアノードと抵抗 1101 との接続点から出力を取り出すことで、パルス部分がハイ状態、非パルス部分がロー状態である正パルスとしてのパルス V_{pls} が出力される。

[0431] なお、タイムコード T_c は、画素 10 の外部のタイムコード生成部 120 により生成される。そのため、正パルスおよび負パルスの何れによりタイムコード T_c を生成するかは、タイムコード生成部 120 の設計により選択することが可能である。

[0432] (5-2-2. 合成部の構成の第1の例)

図 73A および図 73B は、第5の実施形態の第2の変形例に適用可能な合成部 410 の構成の第1の例について説明するための図である。なお、図 73A および図 73B、ならびに、以下の同様の図において、各信号に付与される記号 (+) は、その信号が正パルスによる信号であることを示し、記号 (-) は、その信号が負パルスによる信号であることを示している。

[0433] 図 73A に示されるように、第1の例による合成部 410a は、AND 回路 4100 を用いて構成される。AND 回路 4100 の一方の入力端に、負パルスによるタイムコード T_c (-) が入力され、他方の入力端に、負パルスによるパルス V_{pls} (-) が入力される。AND 回路 4100 は、図 73B に示されるように、タイムコード T_c (-) とパルス V_{pls} (-) とで非パルス部分が一致する期間が負パルスとなる合成パルス $SynPls$ (-) を出力する。カウンタ 112 は、この負パルスをカウントする。

[0434] (5-2-3. 合成部の構成の第2の例)

図 74A および図 74B は、第5の実施形態の第2の変形例に適用可能な合成部 410 の構成の第2の例について説明するための図である。図 74A に示されるように、第2の例による合成部 410b は、XNOR (eXclusive NOR) 回路 4101 を用いて構成される。図 74B は、XNOR 回路 4101 の真理値表を示す。図 74B に示されるように、XNOR 回路 4101 は、2つの入力 $Input_A$ および $Input_B$ の入力値が一致する場合に出力 $Output$ が「1」となり、 $Input_A$ および $Input_B$ の入力値が一致し

ない場合に、出力Outputが「0」となる。

[0435] このXNOR回路4101の入力Input_AおよびInput_Bの一方にタイムコードTc(−)を入力し、他方にパルスVpls(−)を入力する。これにより、合成部410bは、図73Aおよび図73Bを用いて説明した、第1の例によるAND回路4100を用いた合成部410aとほぼ同様の、負パルスによる合成パルスSynPls(−)を得ることができる。

[0436] (5-2-4. 合成部の構成の第3の例)

図75Aおよび図75Bは、第5の実施形態の第2の変形例に適用可能な合成部410の構成の第3の例について説明するための図である。図75Aに示されるように、第3の例による合成部410cは、NAND回路4102を用いて構成される。NAND回路4102の一方の入力端に、負パルスによるタイムコードTc(−)が入力され、他方の入力端に、負パルスによるパルスVpls(−)が入力される。NAND回路4102は、図75Bに示されるように、タイムコードTc(−)とパルスVpls(−)とで非パルス部分とパルス部分とが重なる期間が正パルスとなる合成パルスSynPls(+)を出力する。カウンタ112は、この正パルスをカウントする。

[0437] (5-2-5. 合成部の構成の第4の例)

図76Aおよび図76Bは、第5の実施形態の第2の変形例に適用可能な合成部410の構成の第4の例について説明するための図である。図76Aに示されるように、第4の例による合成部410dは、XOR(exclusive OR)回路4103を用いて構成される。図76Bは、XOR回路4103の真理値表を示す。図76Bに示されるように、XOR回路4103は、2つの入力Input_AおよびInput_Bの入力値が一致する場合に出力Outputが「0」となり、Input_AおよびInput_Bの入力値が一致しない場合に、出力Outputが「1」となる。

[0438] このXOR回路4103の入力Input_AおよびInput_Bの一方にタイムコードTc(−)を入力し、他方にパルスVpls(−)を入力する。こ

れにより、合成部410dは、図75Aおよび図75Bを用いて説明した、第3の例によるNAND回路4102を用いた合成部410cとほぼ同様の、正パルスによる合成パルスSynPls(+)を得ることができる。

[0439] (5-2-6. 合成部の構成の第5の例)

図77Aおよび図77Bは、第5の実施形態の第2の変形例に適用可能な合成部410の構成の第5の例について説明するための図である。図77Aに示されるように、第5の例による合成部410eは、OR回路4104を用いて構成される。OR回路4104の一方の入力端に、正パルスによるタイムコードTc(+)が入力され、他方の入力端に、正パルスによるパルスVpl s(+)が入力される。OR回路4104は、図77Bに示されるように、タイムコードTc(+)およびパルスVpl s(+)の少なくとも一方が正パルスになる期間が正パルスとなる合成パルスSynPls(+)を出力する。カウンタ112は、この正パルスをカウントする。

[0440] (5-2-7. 合成部の構成の第6の例)

図78は、第5の実施形態の第2の変形例に適用可能な合成部410の構成の第6の例について説明するための図である。図78に示されるように、第6の例による合成部410fは、XOR回路4103を用いて構成される。合成部410fにおいて、XOR回路4103の入力Input_AおよびInput_Bの一方にタイムコードTc(+)を入力し、他方にパルスVpl s(+)を入力する。これにより、合成部410fは、図77Aおよび図77Bを用いて説明した、第5の例によるOR回路4104を用いた合成部410eとほぼ同様の、正パルスによる合成パルスSynPls(+)を得ることができる。

[0441] (5-2-8. 合成部の構成の第7の例)

図79Aおよび図79Bは、第5の実施形態の第2の変形例に適用可能な合成部410の構成の第7の例について説明するための図である。図79Aに示されるように、第7の例による合成部410gは、NOR回路4105を用いて構成される。NOR回路4105の一方の入力端に、正パルスによ

るタイムコード T_c (+) が入力され、他方の入力端に、正パルスによるパルス V_{pls} (+) が入力される。NOR回路4105は、図79Bに示されるように、タイムコード T_c (+) およびパルス V_{pls} (+) の少なくとも一方が正パルスなる期間が負パルスとなる合成パルス $SynPls$ (-) を出力する。カウンタ112は、この負パルスをカウントする。

[0442] (5-2-9. 合成部の構成の第8の例)

図80は、第5の実施形態の第2の変形例に適用可能な合成部410の構成の第8の例について説明するための図である。図80に示されるように、第8の例による合成部410hは、XNOR回路4101を用いて構成される。合成部410hにおいて、XNOR回路4101の入力 $Input_A$ および $Input_B$ の一方にタイムコード T_c (+) を入力し、他方にパルス V_{pls} (+) を入力する。これにより、合成部410hは、図79Aおよび図79Bを用いて説明した、NOR回路4105を用いた第7の例による合成部410gとほぼ同様の、負パルスによる合成パルス $SynPls$ (-) を得ることができる。

[0443] このように、第5の実施形態の第2の変形例では、論理回路により構成される合成部410によりタイムコード T_c とパルス V_{pls} とを合成した合成パルス $SynPls$ に基づき予測カウント値を求めている。そのため、第5の実施形態の第2の変形例に係る計数部11は、上述した第5の実施形態および第5の実施形態の第1の変形例における計数部11に含まれるセクタ400を省略でき、回路面積を削減可能である。

[0444] [6. 第6の実施形態]

次に、本開示の第6の実施形態について説明する。第6の実施形態は、上述した第1～第4の実施形態に係る各受光装置1a～1dを、距離を測定する装置（測距装置）に適用した場合の例である。

[0445] 図81は、第6の実施形態に係る測距装置の一例の構成を示すブロック図である。図81において、測距装置3000は、光パルス送信機3010と、光パルス受信機3011と、RSフリップフロップ3012と、を含む。

[0446] 距離を測定する方法として、T o F (Time of Flight) 方式を用いた場合を例に挙げて説明する。T o F 型センサは、当該T o F 型センサに近接する位置から発せられた光が対象物3020に照射され、当該光が対象物3020により反射して帰って来るまでの時間を計測することで、対象物3020までの距離を計測する。

[0447] 図82は、第6の実施形態に適用可能なT o F 型センサの一例の動作タイミングを示すタイミングチャートである。図82を参照して、測距装置3000の動作について説明する。

[0448] 光パルス送信機3010は、供給されるトリガパルスに基づき、光を発光する（光送信パルス）。光パルス受信機3011は、この発光された光が対象物3020に照射され、当該光が対象物3020により反射されてきた反射光を受信する。光パルス受信機3011として、上述した受光装置1a、1bおよび1cの何れかを適用することができる。ここでは、便宜上、光パルス受信機3011として受光装置1aを適用するものとして説明を行う。

[0449] 送信光パルスが発光された時刻と、受信光パルスが受信された時刻との差分が、対象物との距離に応じた時間、すなわち光飛行時間T o F に相当する。

[0450] トリガパルスは、光パルス送信機3010とRSフリップフロップ3012とに供給される。トリガパルスが光パルス送信機3010に供給されることで、短時間、光パルスが送信される。また、RSフリップフロップ3012は、トリガパルスによりリセットされる。

[0451] 光パルス受信機3011に受光装置1aを適用した場合、受光装置1aが有する光電変換素子110に受信光パルスが受信（入射）されると、光電変換素子110においてフォトンが発生する。その発生したフォトンに基づく例えばパルスV_{pls}により、RSフリップフロップ3012がリセットされる。

[0452] このような動作により、RSフリップフロップ3012において、光飛行時間T o F に相当するパルス幅を持ったゲート信号を生成することができる。

。この生成されるゲート信号を、クロック信号などを用いてカウントすることで、光飛行時間 T_{OF} を算出することができる。算出された光飛行時間 T_{OF} は、距離を示す距離情報のデジタル信号として、測距装置300から出力される。

[0453] [7. 第7の実施形態]

次に、本開示の第7の実施形態として、本開示の第1～4の実施形態および各変形例に係る受光装置の適用例について説明する。図83は、第7の実施形態による、上述の第1～第4の実施形態およびその各変形例に係る受光装置1a、1bおよび1cを使用する使用例を示す図である。

[0454] 上述した受光装置1a、1bおよび1cは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0455] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置。

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置。

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置。

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置。

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置。

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置。

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置。

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置。

[0456] [本開示に係る技術のさらなる適用例]

(移動体への適用例)

本開示に係る技術は、さらに、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボットといった各種の移動体に搭載される装置に対して適用されてもよい。

[0457] 図84は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0458] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図84に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、および統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、および車載ネットワークI/F（インタフェース）12053が図示されている。

[0459] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、および、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0460] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この

場合、ボディ系制御ユニット１２０２０には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット１２０２０は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0461] 車外情報検出ユニット１２０３０は、車両制御システム１２０００を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット１２０３０には、撮像部１２０３１が接続される。車外情報検出ユニット１２０３０は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。車外情報検出ユニット１２０３０は、例えば、受信した画像に対して画像処理を施し、画像処理の結果に基づき物体検出処理や距離検出処理を行う。

[0462] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0463] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0464] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆

動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むＡＤＡＳ(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0465] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0466] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で取得される車外の情報に基づいて、ボディ系制御ユニット１２０２０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0467] 音声画像出力部１２０５２は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声および画像のうちの少なくとも一方の出力信号を送信する。図８４の例では、出力装置として、オーディオスピーカ１２０６１、表示部１２０６２およびインストルメントパネル１２０６３が例示されている。表示部１２０６２は、例えば、オンボードディスプレイおよびヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0468] 図８５は、撮像部１２０３１の設置位置の例を示す図である。図８５では、車両１２１００は、撮像部１２０３１として、撮像部１２１０１、１２１０２、１２１０３、１２１０４および１２１０５を有する。

[0469] 撮像部１２１０１、１２１０２、１２１０３、１２１０４および１２１０５は、例えば、車両１２１００のフロントノーズ、サイドミラー、リアバン

パ、バックドアおよび車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 および車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 および 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0470] なお、図 85 には、撮像部 12101～12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112 および 12113 は、それぞれサイドミラーに設けられた撮像部 12102 および 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101～12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0471] 撮像部 12101～12104 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101～12104 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0472] 例えば、マイクロコンピュータ 12051 は、撮像部 12101～12104 から得られた距離情報を基に、撮像範囲 12111～12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0 km/h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車

間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に抛らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0473] 例えば、マイクロコンピュータ12051は、撮像部12101～12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0474] 撮像部12101～12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101～12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101～12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101～12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0475] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 12031 に適用され得る。具体的には、上述した本開示の第 1～4 の実施形態および各変形例に係る受光装置 1a～1c を撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、走行する車両からの測距をより高精度に実行することが可能となる。

[0476] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また他の効果があってもよい。

[0477] なお、本技術は以下のような構成も取ることができる。

(1)

露光期間内で受光素子への光子の入射を検知した回数である検知回数を計数して計数値を出力する計数部と、

時間情報を更新する周期を前記露光期間における経過時間に応じて設定する設定部と、

前記露光期間が経過する前に前記計数値が閾値に到達した時間を示す前記時間情報を取得する取得部と、

を備える

受光装置。

(2)

前記設定部は、

前記周期の設定を前記露光期間の開始時から所定時間が経過した時点から開始し、当該時点での該周期を、該露光期間内において最も短い周期に設定する

前記(1)に記載の受光装置。

(3)

前記設定部は、

前記周期に応じて変化するコードを前記時間情報として出力する

前記(1)または(2)に記載の受光装置。

(4)

前記取得部は、

前記計数値が前記閾値に到達した場合に、前記時間情報を取得する、
前記(1)乃至(3)の何れかに記載の受光装置。

(5)

前記取得部は、

前記計数値が前記閾値に到達した時点から前記露光期間の終了の時点までの時間に基づき、前記計数値が前記閾値に到達した時間を示す前記時間情報を取得する、

前記(1)乃至(3)の何れかに記載の受光装置。

(6)

前記計数部は、

前記計数値が前記閾値に到達した時点から前記露光時間の終了の時点までの間、前記時間情報が更新される回数である更新回数を計数し、

前記取得部は、

前記更新回数に基づき前記計数値が閾値に到達した時間を示す前記時間情報を取得する、

前記(5)に記載の受光装置。

(7)

前記計数部は、

前記時間情報が更新される回数である更新回数と前記検知回数と、を合成部により合成した回数を計数した合成計数値を出力し、

前記取得部は、

前記合成計数値が前記閾値に到達した時間に基づき、前記合成計数値から前記更新回数を減じて、該時間における前記検知回数を求める、

前記(5)に記載の受光装置。

(8)

前記計数部は、

1つの入力端に入力される複数のパルス入力毎に計数を行うカウンタにより前記検知回数を計数された値に基づき前記計数値を出力する、
前記（５）乃至（７）の何れかに記載の受光装置。

（９）

前記合成部は、
論理回路を用いて前記更新回数と前記検知回数とを合成する、
前記（７）に記載の受光装置。

（１０）

前記計数部は、
前記露光期間を分割した分割露光期間毎に前記計数を行い、
前記取得部は、
前記分割露光期間それぞれにおいて前記計数値が前記閾値に到達した場合に、前記閾値に到達した各時間を、該分割露光期間毎の前記時間情報としてそれぞれ取得する
前記（１）乃至（９）の何れかに記載の受光装置。

（１１）

前記計数部は、
前記露光期間を長さが異なる期間を含んで分割した前記分割露光期間毎に前記計数を行う
前記（１０）に記載の受光装置。

（１２）

前記計数部は、
前記受光素子への前記光子が入射する平均時間間隔が所定以下の場合に、前記分割露光期間毎の前記計数を行う
前記（１０）または（１１）に記載の受光装置。

（１３）

前記取得部は、
前記分割露光期間のうち少なくとも２つの前記分割露光期間で異なる前記

閾値を用いて前記時間情報を取得する

前記（１０）乃至（１２）の何れかに記載の受光装置。

（１４）

前記取得部は、

前記露光期間が経過する前に前記計数値が前記閾値に到達した場合に、前記受光素子による前記検知の動作を停止させる

前記（１）乃至（１３）の何れかに記載の受光装置。

（１５）

前記計数部は、

前記取得部による前記時間情報の取得の機能を含み、前記計数の機能と、該取得の機能と、を切り替えて実行する

前記（１）乃至（４）の何れかに記載の受光装置。

（１６）

前記受光素子は、２次元格子状に配列され、

前記設定部は、

前記２次元格子状に配列された前記受光素子毎に設けられる

前記（１）乃至（１５）の何れかに記載の受光装置。

（１７）

前記受光素子は、２次元格子状に配列され、

前記設定部は、

前記２次元格子状の配列において複数の前記受光素子を含むグループ毎に設けられる

前記（１）乃至（１５）の何れかに記載の受光装置。

（１８）

前記設定部は、

前記配列の行単位の前記グループ毎に設けられる

前記（１７）に記載の受光装置。

（１８）

前記設定部は、

前記配列の複数の行を含む前記グループ毎に設けられる
前記（１７）に記載の受光装置。

（１９）

前記設定部は、

前記配列の行方向に複数に分割された領域による前記グループ毎に設けられる
前記（１７）に記載の受光装置。

（２０）

前記受光素子は、カラーフィルタが設けられ、

前記設定部は、

同色の前記カラーフィルタが設けられた前記受光素子を含む前記グループ
毎に設けられる
前記（１７）に記載の受光装置。

（２１）

前記設定部は、

前記２次元格子状に配列された全ての前記受光素子を含む前記グループに
対して設けられる
前記（１７）に記載の受光装置。

（２２）

前記受光素子は、単一光子アバランシェダイオードである

前記（１）乃至（２１）の何れかに記載の受光装置。

（２３）

前記計数部は、

それぞれ各ビットの計数を行う複数のカウンタを有し、

該複数のカウンタのうち所定ビット以上の各ビットの計数を行う各カウン
タを、複数の前記受光素子で共有する
前記（１）乃至（２２）の何れかに記載の受光装置。

(24)

第1の基板と、該第1の基板に積層される第2の基板とを含み、

前記第1の基板に前記受光素子が配置され、

前記第2の基板に、少なくとも前記計数部が配置され、

前記計数部は、

前記複数のカウンタのうち所定ビット未満の各ビットの計数を行う各カウンタが、前記第2の基板における前記受光素子と対応する位置に配置される前記(23)に記載の受光装置。

(25)

前記設定部は、

前記時間情報をグレイコード用いて表現する

前記(1)乃至(4)の何れかに記載の受光装置。

(26)

露光期間内で受光素子への光子の入射を検知した回数を計数して計数値を出力する計数部と、

輝度値を更新する輝度値更新部と、

前記露光期間が経過する前に前記計数値が閾値に到達した場合に、該閾値に到達した到達時間に対応する前記輝度値を取得する取得部と、

を備える

受光装置。

(27)

前記取得部は、

前記露光期間開始時から所定時間が経過した時点から、該露光期間の終了時までに入射される前記光子による輝度を前記到達時間に基づき予測した値を前記輝度値として取得する

前記(26)に記載の受光装置。

(28)

前記輝度値更新部は、

前記露光期間における照度および前記露光期間の開始時からの経過時間に
応じて前記輝度値を更新する

前記（２６）または（２７）に記載の受光装置。

（２９）

前記輝度値更新部は、

前記輝度値の更新を周期毎に行うと共に、前記露光期間の開始時から所定
時間が経過した時点で開始し、該時点において該露光期間内で最も短い周期
で前記輝度値の更新を行う

前記（２８）に記載の受光装置。

（３０）

前記計数部は、

前記露光期間を分割した分割露光期間毎に前記計数を行い、

前記取得部は、

前記分割露光期間それぞれにおいて前記計数値が前記閾値に到達した場合
に、該分割露光期間それぞれにおける前記到達時間に対応する前記輝度値そ
れぞれを、該分割露光期間毎の前記時間情報としてそれぞれ取得する

前記（２６）乃至（２９）の何れかに記載の受光装置。

（３１）

前記計数部は、

前記露光期間を長さが異なる期間を含んで分割した前記分割露光期間毎に
前記計数を行う

前記（３０）に記載の受光装置。

（３２）

前記計数部は、

前記受光素子への前記光子が入射する平均時間間隔が所定以下の場合に、
前記分割露光期間毎の前記計数を行う

前記（３０）に記載の受光装置。

（３３）

前記取得部は、

前記分割露光期間のうち少なくとも2つの前記分割露光期間で異なる前記閾値を用いて前記時間情報を取得する

前記(30)乃至(32)の何れかに記載の受光装置。

(34)

前記取得部は、

前記露光期間が経過する前に前記計数値が前記閾値に到達した場合に、前記受光素子による前記検知の動作を停止させる

前記(26)乃至(33)の何れかに記載の受光装置。

(35)

前記計数部は、

前記取得部による前記輝度値の取得の機能を含み、前記計数の機能と、該取得の機能と、を切り替えて実行する

前記(26)乃至(34)の何れかに記載の受光装置。

(36)

前記受光素子は、2次元格子状に配列され、

前記輝度値更新部は、

前記2次元格子状に配列された前記受光素子毎に設けられる

前記(26)乃至(35)の何れかに記載の受光装置。

(37)

前記受光素子は、2次元格子状に配列され、

前記輝度値更新部は、

前記2次元格子状の配列において複数の前記受光素子を含むグループ毎に設けられる

前記(26)乃至(35)の何れかに記載の受光装置。

(38)

前記輝度値更新部は、

前記配列の行単位の前記グループ毎に設けられる

前記（３７）に記載の受光装置。

（３９）

前記輝度値更新部は、

前記配列の複数の行を含む前記グループ毎に設けられる

前記（３７）に記載の受光装置。

（４０）

前記輝度値更新部は、

前記配列の行方向に複数に分割された領域による前記グループ毎に設けられる

前記（３７）に記載の受光装置。

（４１）

前記受光素子は、カラーフィルタが設けられ、

前記輝度値更新部は、

同色の前記カラーフィルタが設けられた前記受光素子を含む前記グループ毎に設けられる

前記（３７）に記載の受光装置。

（４２）

前記輝度値更新部は、

前記２次元格子状に配列された全ての前記受光素子を含む前記グループに対して設けられる

前記（３７）に記載の受光装置。

（４３）

前記受光素子は、単一光子アバランシェダイオードである

前記（２６）乃至（４２）の何れかに記載の受光装置。

（４４）

前記計数部は、

それぞれ各ビットの計数を行う複数のカウンタを有し、

該複数のカウンタのうち所定ビット以上の各ビットの計数を行う各カウン

タを、複数の前記受光素子で共有する

前記（２６）乃至（４３）の何れかに受光装置。

（４５）

第１の基板と、該第１の基板に積層される第２の基板とを含み、

前記第１の基板に前記受光素子が配置され、

前記第２の基板に、少なくとも前記計数部が配置され、

前記計数部は、

前記複数のカウンタのうち所定ビット未満の各ビットの計数を行う各カウンタが、前記第２の基板における前記受光素子と対応する位置に配置される前記（４４）に記載の受光装置。

符号の説明

[0478] １ a, １ b, １ c, １ d 受光装置

１ ０ 画素

１ １ 計数部

１ ２ タイムコード生成部

１ ３ 取得部

２ ０, ２ ０' 輝度値コード生成部

１ ０ ０, １ ０ ０ a, １ ０ ０ b, １ ０ ０ c, １ ０ ０ d, １ ０ ０ a', １ ０ ０ b', １ ０ ０ c', １ ０ ０ d', １ ０ ０ R, １ ０ ０ G, １ ０ ０ G₁, １ ０ ０ G₂, １ ０ ０ B, １ ０ ０', １ ０ ０ R', １ ０ ０ G', １ ０ ０ G₁', １ ０ ０ G₂', １ ０ ０ B' 画素回路

１ １ ０ 光電変換素子

１ １ １ a, １ １ １ b, １ １ １ b', １ １ １ c 信号処理部

１ １ ２, １ １ ２ a, １ １ ２ b, １ １ ２ c, １ １ ２ d, １ １ ２ e, １ １ ２ f₁, １ １ ２ f₂, １ １ ２ f₃, １ １ ２ g, １ １ ２ h, １ １ ２ i, １ １ ２ k, １ １ ２ ０, １ １ ２ ０', １ １ ２ ０ a₁, １ １ ２ ０ a₂, １ １ ２ ０ a₃, １ １ ２ ０ b₁, １ １ ２ ０ b₂, １ １ ３ ０ カウンタ

１ １ ２ j デジタルカウンタ

113a, 113a-1, 113a-2, 113a-3, 113a(a),
113a(b), 113a(c), 113a(d), 113b, 113b-
1, 113b-2, 113b-3, 113c 閾値判定部

114 メモリ

120, 120' TC生成部

121 時間カウンタ

122 分周設定値記憶部

123 周波数判定部

124, 127 コード生成部

125 クロック生成部

126 PLL回路

141, 142 信号線

150, 150', 150R₁, 150G₁₁, 150G₁₂, 150G₂₁, 150
G₂₂, 150B₁, 150B₂, 150R₁', 150G₁₁', 150G₁₂', 15
0G₂₁', 150G₂₂', 150B₁', 150B₂' グループ

200 LC生成部

300₁, 300₂, 301, 302₁, 302₂, 302₃, 302₄, 302₅,
303₁, 303₂, 303₃ 分割露光期間Tsh__div

400 セレクタ

402 1ビットカウンタ

410, 410a, 410b, 410c, 410d, 410e, 410f,
410g, 410h 合成部

1003 制御部

1125a, 1125b アナログカウンタ

1126 デジタルカウンタ

1131, 1131' 比較回路

1132 AND回路

2000 受光チップ

- 2001 画素アレイ部
- 2010 ロジックチップ
- 2011 ロジックアレイ部
- 2013 素子制御部
- 2013 a, 2013 a', 2013 a'' 垂直制御部
- 2013 b 水平制御部
- 2013 c 信号処理部
- 2014 論理回路

請求の範囲

- [請求項1] 露光期間内で受光素子への光子の入射を検知した回数である検知回数を計数して計数値を出力する計数部と、
時間情報を更新する周期を前記露光期間における経過時間に応じて設定する設定部と、
前記露光期間が経過する前に前記計数値が閾値に到達した時間を示す前記時間情報を取得する取得部と、
を備える
受光装置。
- [請求項2] 前記設定部は、
前記周期の設定を前記露光期間の開始時から所定時間が経過した時点から開始し、当該時点での該周期を、該露光期間内において最も短い周期に設定する
請求項1に記載の受光装置。
- [請求項3] 前記設定部は、
前記周期に応じて変化するコードを前記時間情報として出力する
請求項1に記載の受光装置。
- [請求項4] 前記取得部は、
前記計数値が前記閾値に到達した場合に、前記時間情報を取得する、
請求項1に記載の受光装置。
- [請求項5] 前記取得部は、
前記計数値が前記閾値に到達した時点から前記露光期間の終了の時点までの時間に基づき、前記計数値が前記閾値に到達した時間を示す前記時間情報を取得する、
請求項1に記載の受光装置。
- [請求項6] 前記計数部は、
前記計数値が前記閾値に到達した時点から前記露光期間の終了の時

点までの間、前記時間情報が更新される回数である更新回数を計数し、

前記取得部は、

前記更新回数に基づき前記計数値が閾値に到達した時間を示す前記時間情報を取得する、
請求項 5 に記載の受光装置。

[請求項 7]

前記計数部は、

前記時間情報が更新される回数である更新回数と前記検知回数と、
を合成部により合成した回数を計数した合成計数値を出力し、

前記取得部は、

前記合成計数値が前記閾値に到達した時間に基づき、前記合成計数値から前記更新回数を減じて、該時間における前記検知回数を求める、
請求項 5 に記載の受光装置。

[請求項 8]

前記計数部は、

1 つの入力端に入力される複数のパルス入力毎に計数を行うカウンタにより前記検知回数を計数された値に基づき前記計数値を出力する、
請求項 5 に記載の受光装置。

[請求項 9]

前記合成部は、

論理回路を用いて前記更新回数と前記検知回数とを合成する、
請求項 7 に記載の受光装置。

[請求項 10]

前記計数部は、

前記露光期間を分割した分割露光期間毎に前記計数を行い、

前記取得部は、

前記分割露光期間それぞれにおいて前記計数値が前記閾値に到達した場合に、前記閾値に到達した各時間を、該分割露光期間毎の前記時間情報としてそれぞれ取得する

請求項 1 に記載の受光装置。

[請求項11]

前記計数部は、

前記露光期間を長さが異なる期間を含んで分割した前記分割露光期間毎に前記計数を行う

請求項 10 に記載の受光装置。

[請求項12]

前記取得部は、

前記露光期間が経過する前に前記計数値が前記閾値に到達した場合に、前記受光素子による前記検知の動作を停止させる

請求項 1 に記載の受光装置。

[請求項13]

前記計数部は、

前記取得部による前記時間情報の取得の機能を含み、前記計数の機能と、該取得の機能と、を切り替えて実行する

請求項 1 に記載の受光装置。

[請求項14]

前記受光素子は、2次元格子状に配列され、

前記設定部は、

前記2次元格子状の配列において複数の前記受光素子を含むグループ毎に設けられる

請求項 1 に記載の受光装置。

[請求項15]

前記受光素子は、カラーフィルタが設けられ、

前記設定部は、

同色の前記カラーフィルタが設けられた前記受光素子を含む前記グループ毎に設けられる

請求項 14 に記載の受光装置。

[請求項16]

前記設定部は、

前記2次元格子状に配列された全ての前記受光素子を含む前記グループに対して設けられる

請求項 14 に記載の受光装置。

[請求項17]

前記受光素子は、単一光子アバランシェダイオードである

請求項 1 に記載の受光装置。

[請求項18] 露光期間内で受光素子への光子の入射を検知した回数を計数して計数値を出力する計数部と、
輝度値を更新する輝度値更新部と、
前記露光期間が経過する前に前記計数値が閾値に到達した場合に、
該閾値に到達した到達時間に対応する前記輝度値を取得する取得部と、
を備える
受光装置。

[請求項19] 前記取得部は、
前記露光期間の開始時から所定時間が経過した時点から、該露光期間の終了時までに入射される前記光子による輝度を前記到達時間に基づき予測した値を前記輝度値として取得する
請求項 1 8 に記載の受光装置。

[請求項20] 前記輝度値更新部は、
前記露光期間における照度および前記露光期間の開始時からの経過時間に応じて前記輝度値を更新する
請求項 1 8 に記載の受光装置。

[請求項21] 前記輝度値更新部は、
前記輝度値の更新を周期毎に行うと共に、前記露光期間の開始時から所定時間が経過した時点で開始し、該時点において該露光期間内で最も短い周期で前記輝度値の更新を行う
請求項 2 0 に記載の受光装置。

[請求項22] 前記計数部は、
前記露光期間を分割した分割露光期間毎に前記計数を行い、
前記取得部は、
前記分割露光期間それぞれにおいて前記計数値が前記閾値に到達した場合に、該分割露光期間それぞれにおける前記到達時間に対応する

前記輝度値それぞれを、該分割露光期間毎の前記輝度値としてそれぞれ取得する

請求項 18 に記載の受光装置。

[請求項23] 前記取得部は、

前記露光期間が経過する前に前記計数値が前記閾値に到達した場合に、前記受光素子による前記検知の動作を停止させる

請求項 18 に記載の受光装置。

[請求項24] 前記受光素子は、2次元格子状に配列され、

前記輝度値更新部は、

前記2次元格子状の配列において複数の前記受光素子を含むグループ毎に設けられる

請求項 18 に記載の受光装置。

[請求項25] 前記輝度値更新部は、

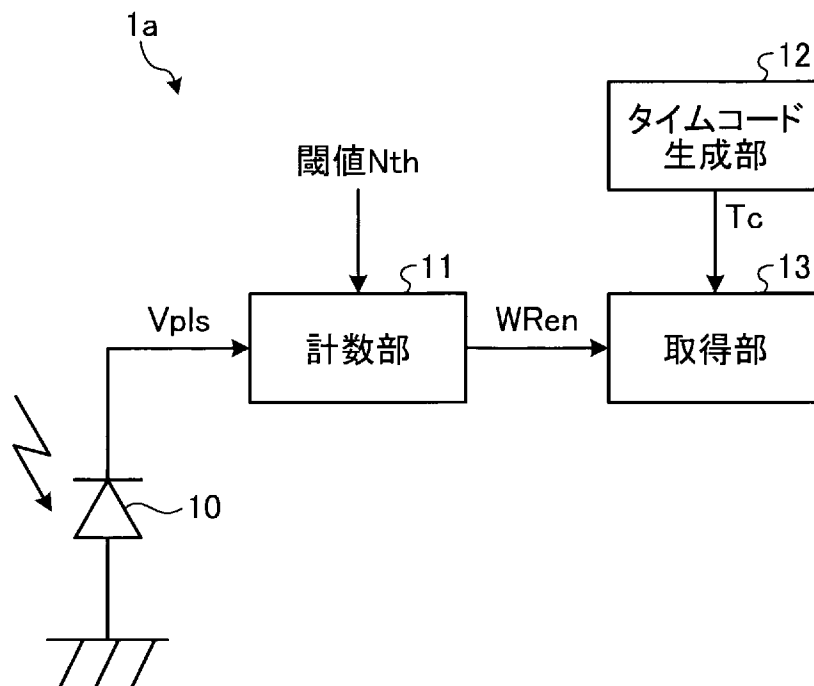
前記2次元格子状に配列された全ての前記受光素子を含む前記グループに対して設けられる

請求項 24 に記載の受光装置。

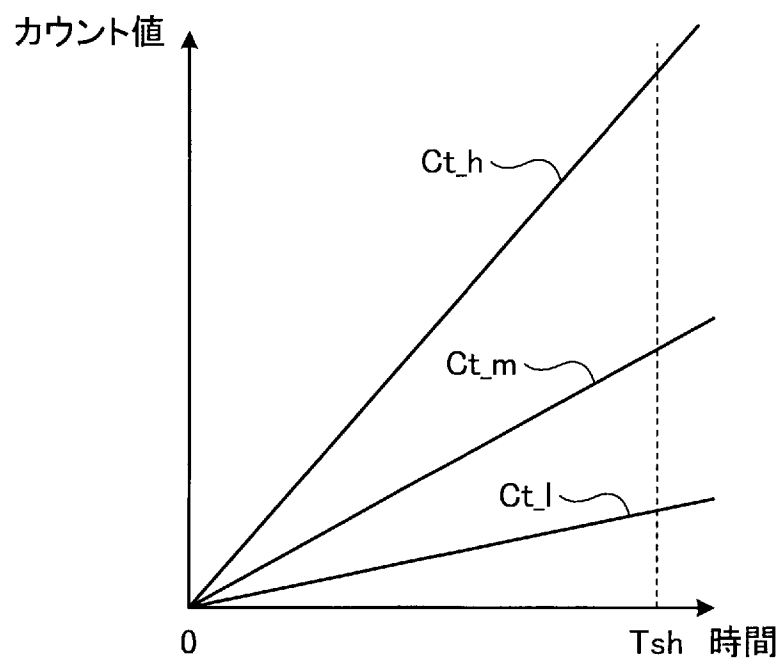
[請求項26] 前記受光素子は、単一光子アバランシェダイオードである

請求項 18 に記載の受光装置。

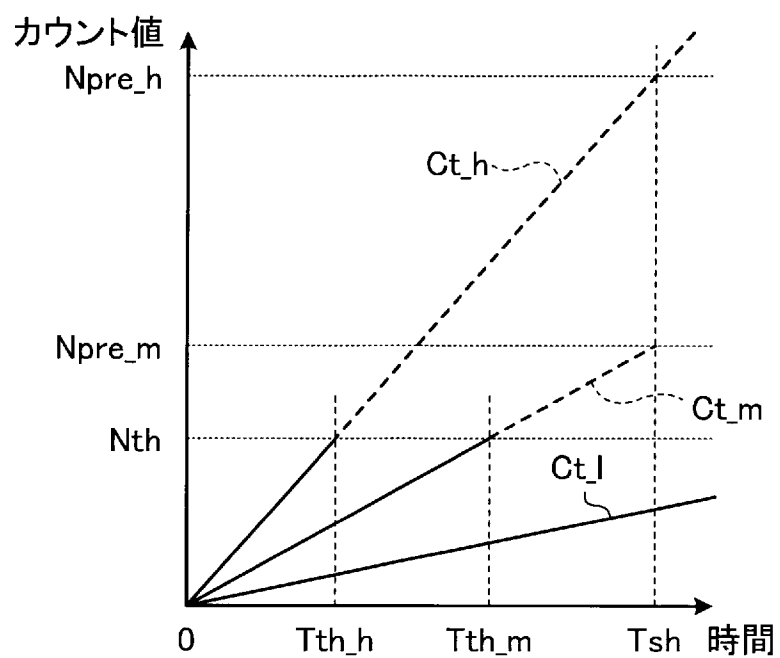
[図1]



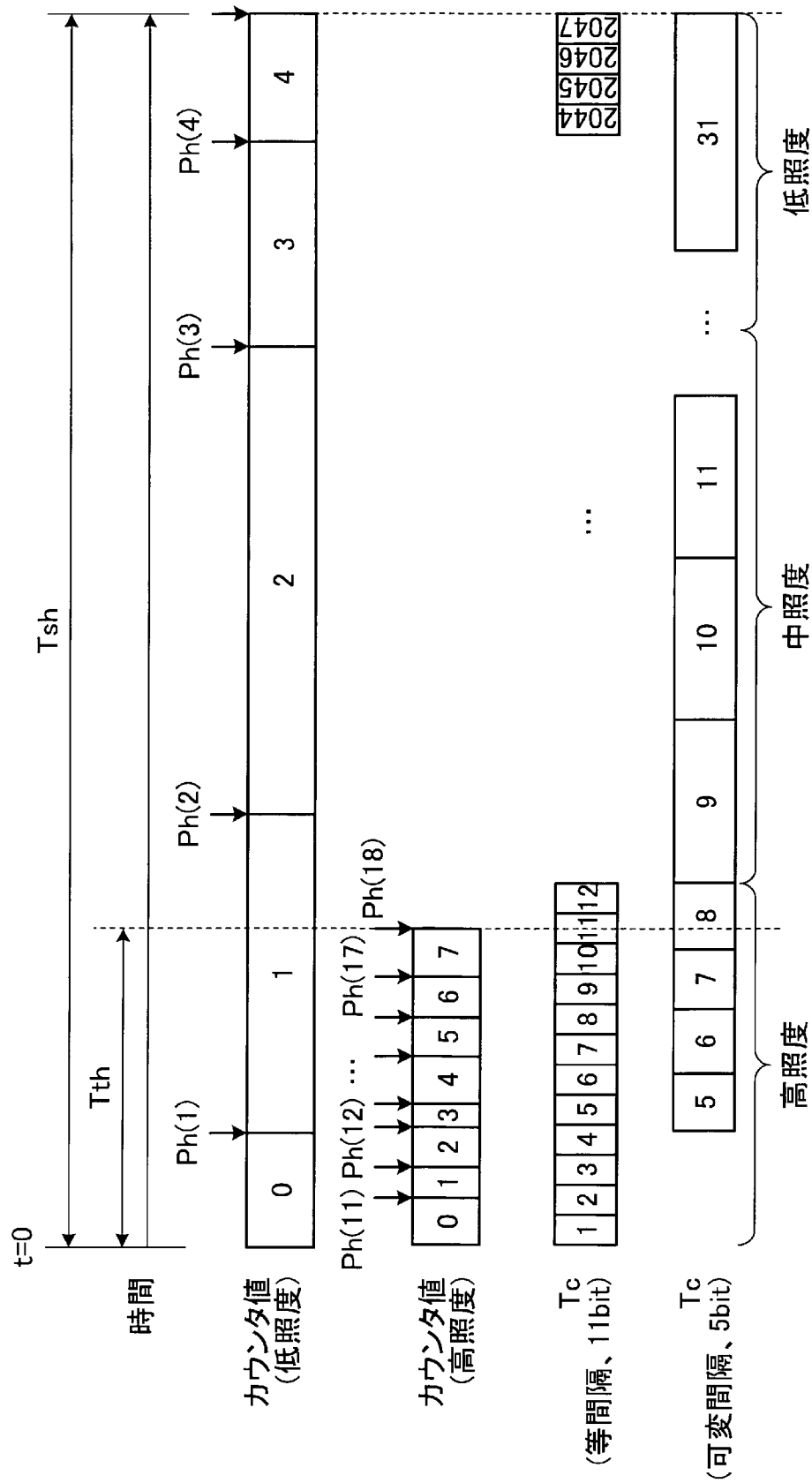
[図2A]



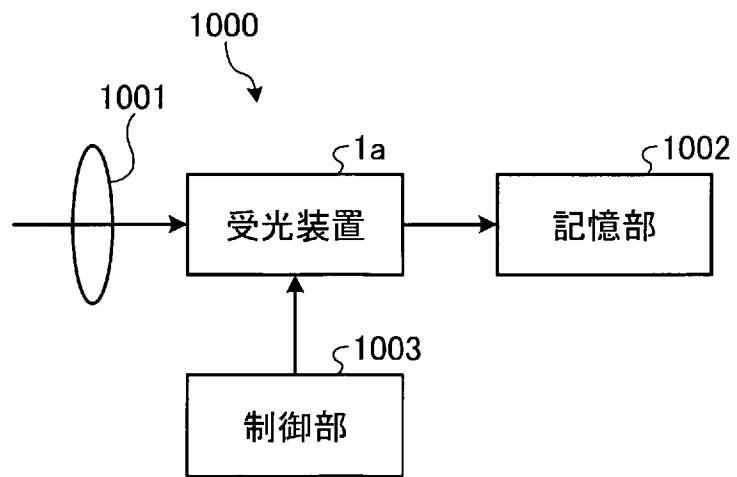
[図2B]



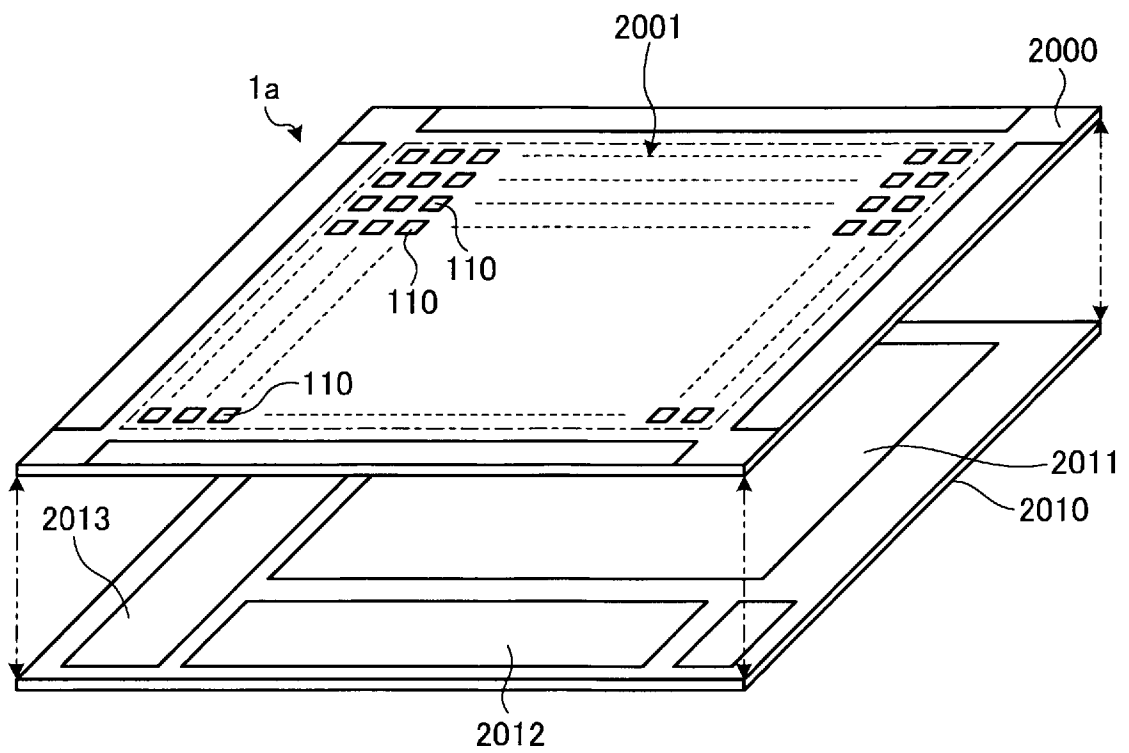
[図3]



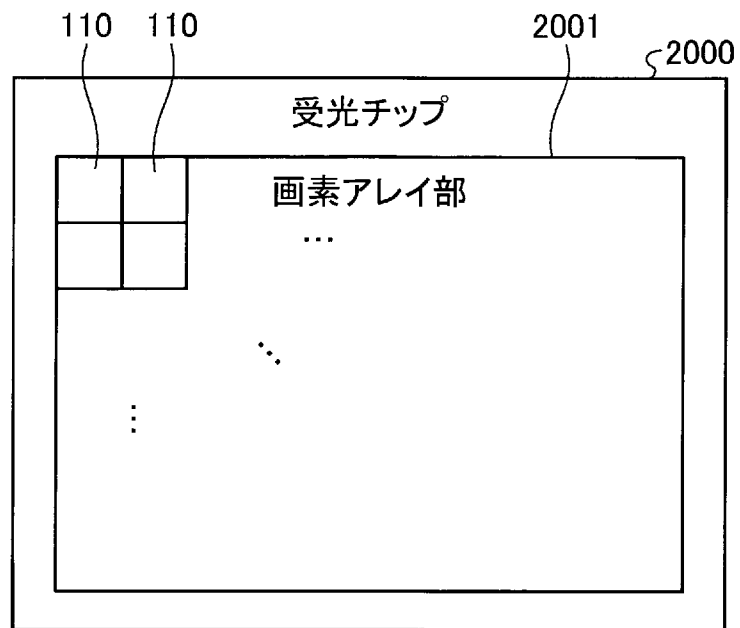
[図4]



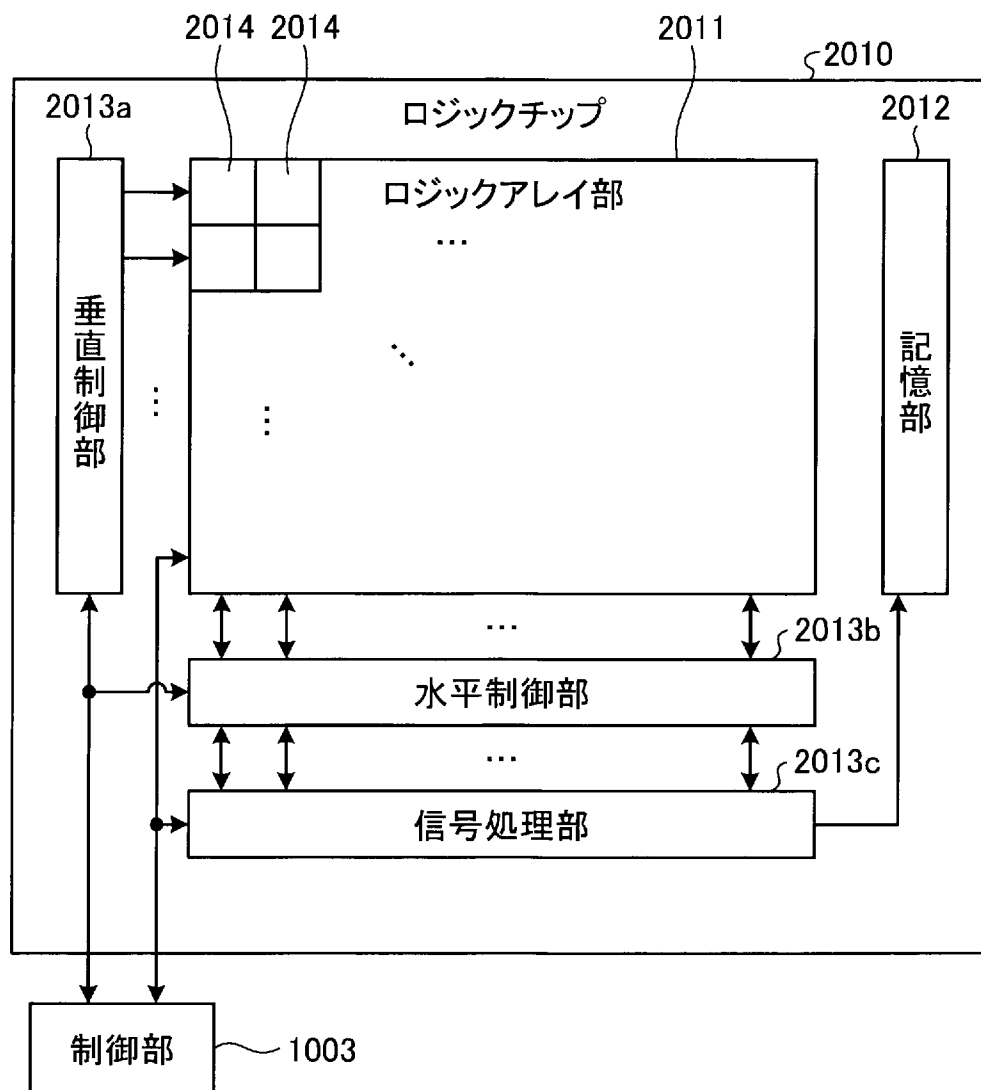
[図5]



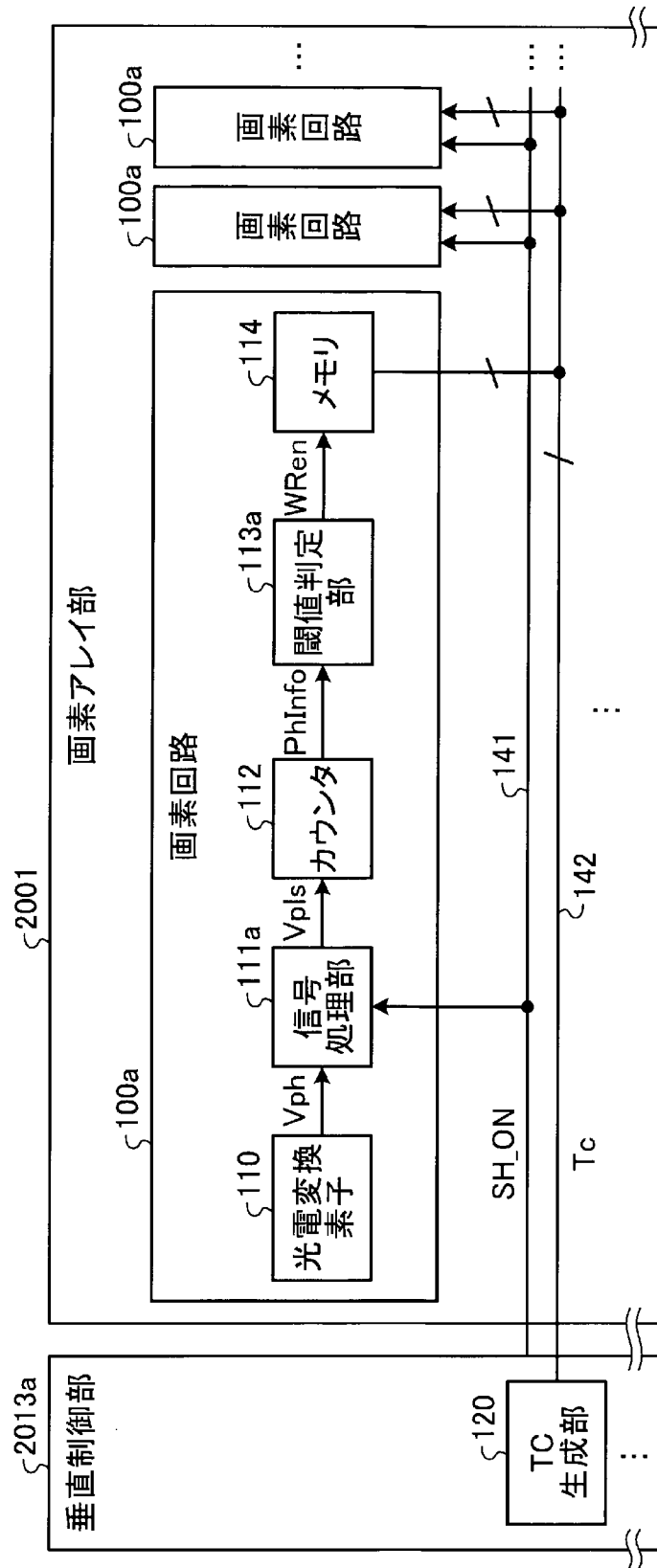
[図6]



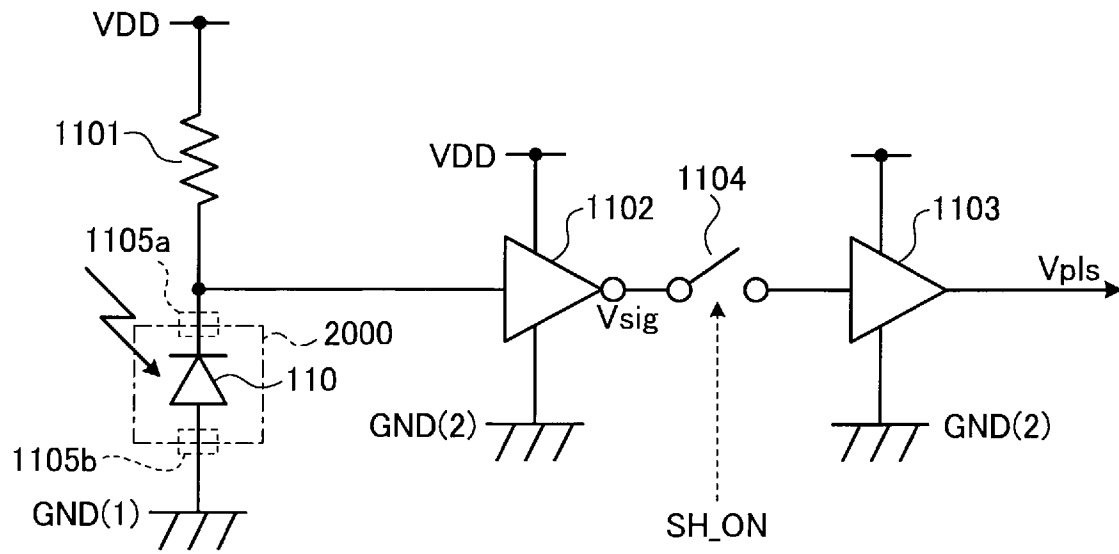
[図7]



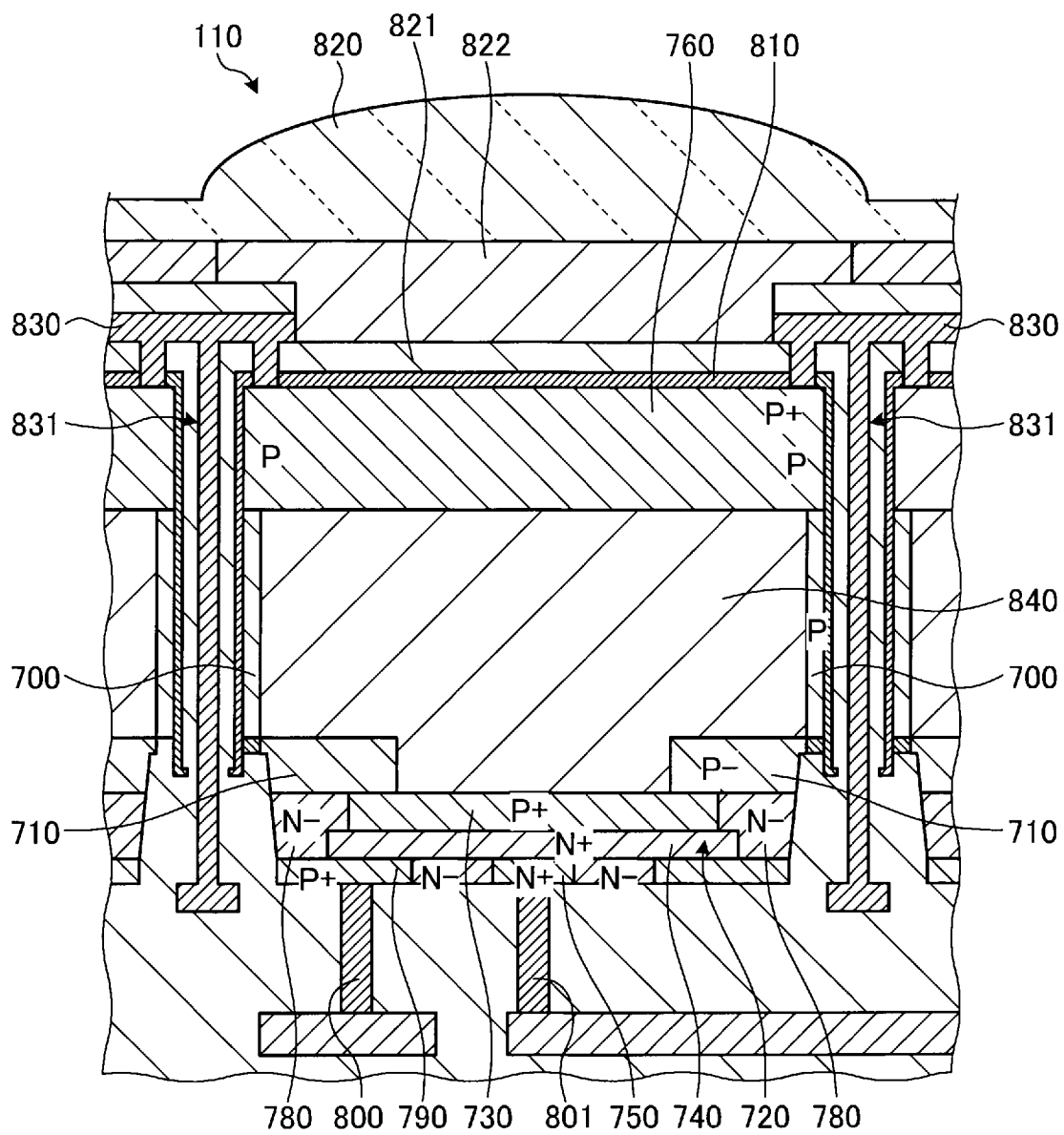
[図8]



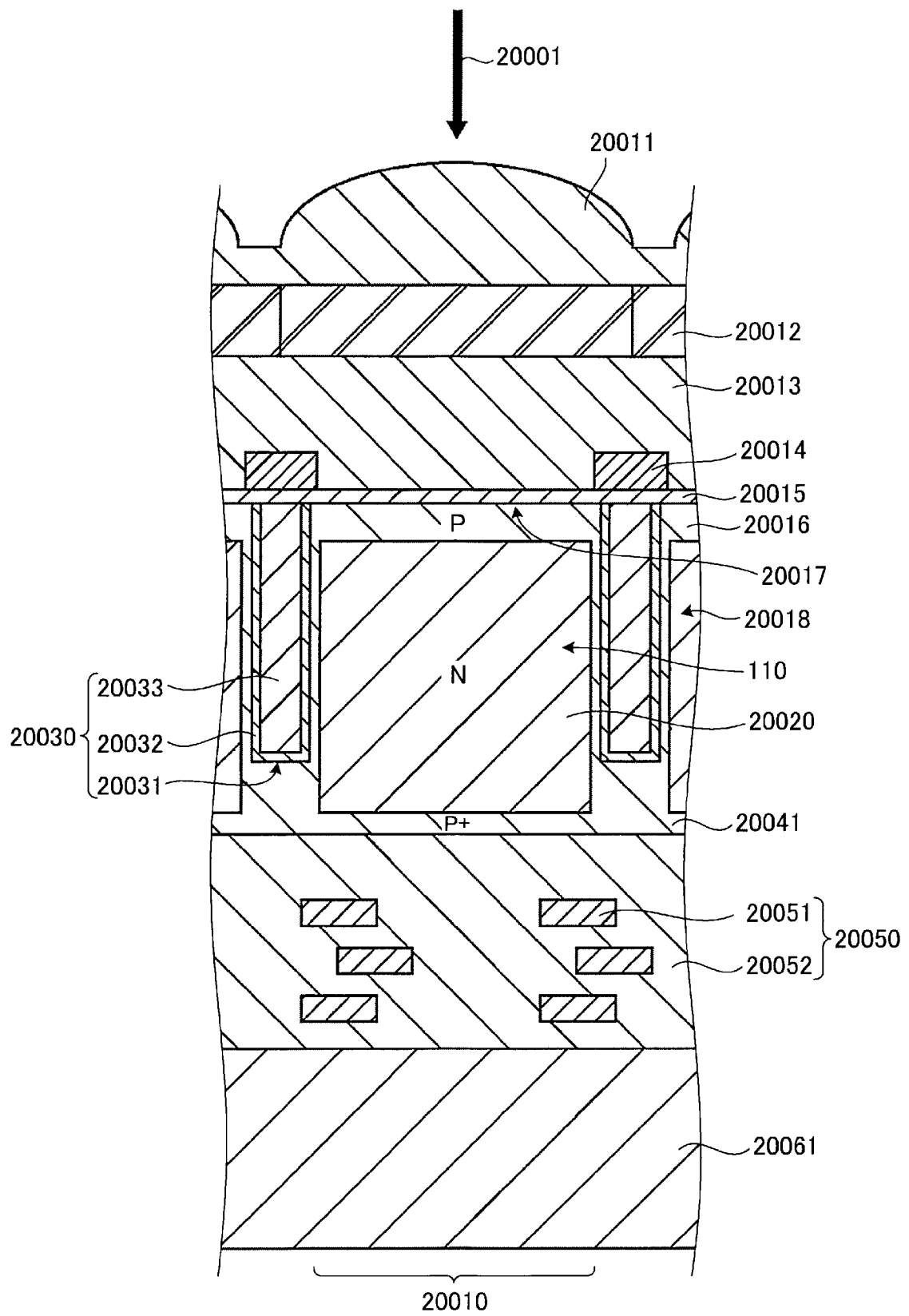
[図9]



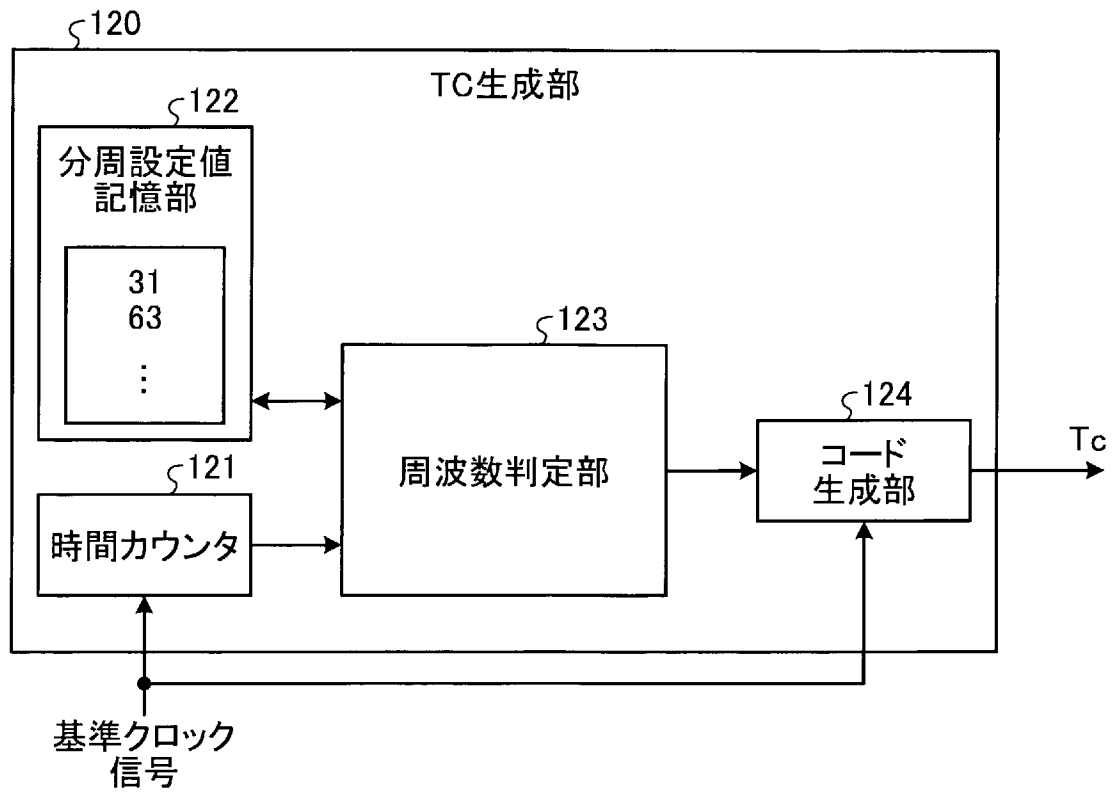
[図10A]



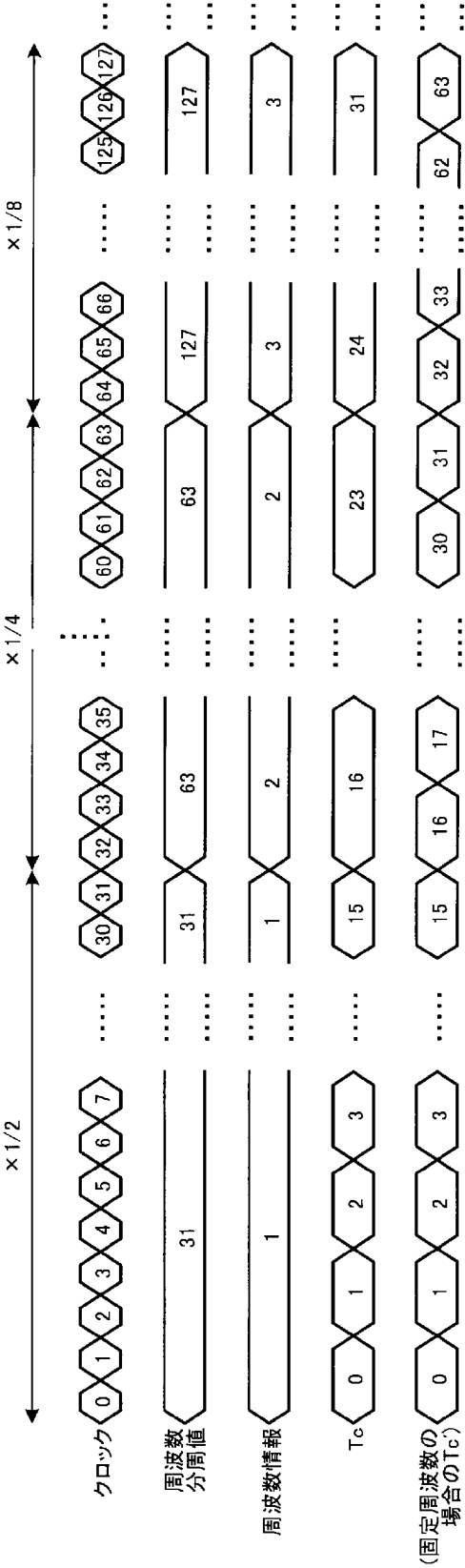
[図10B]



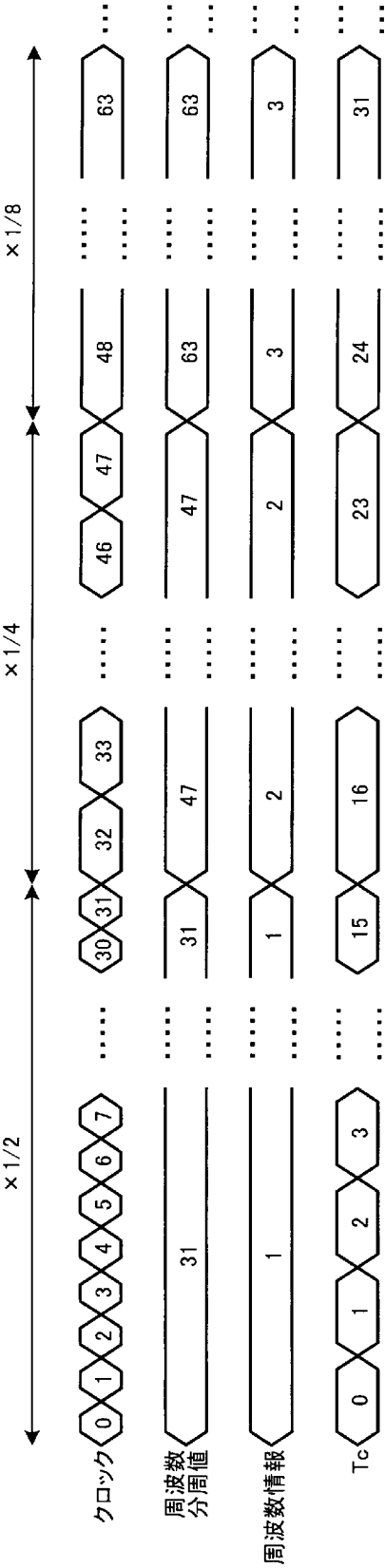
[図11]



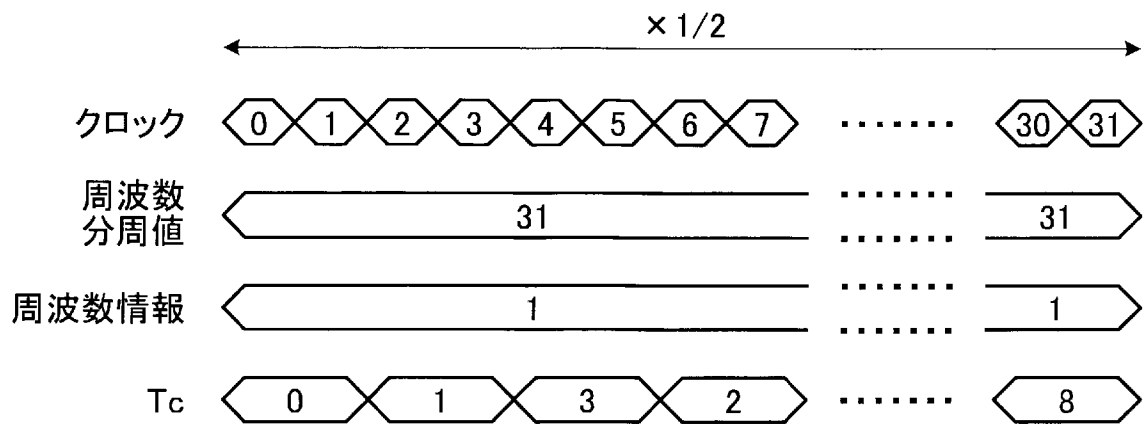
[図12]



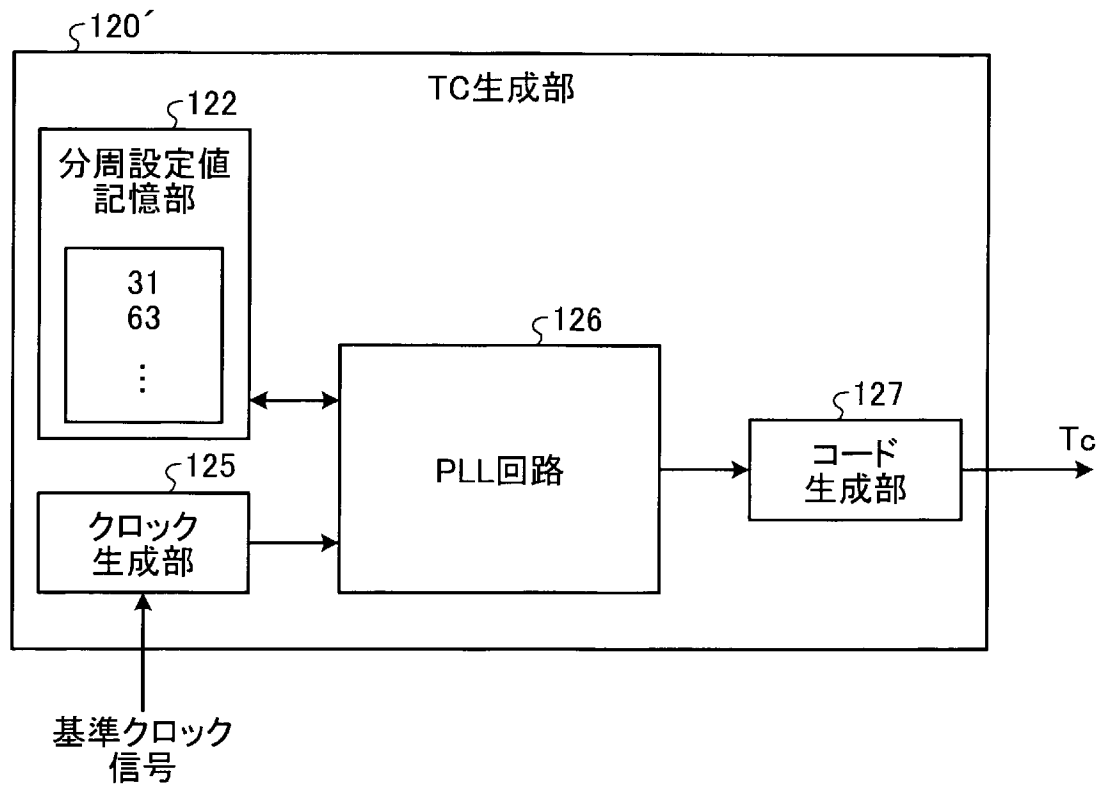
[図13]



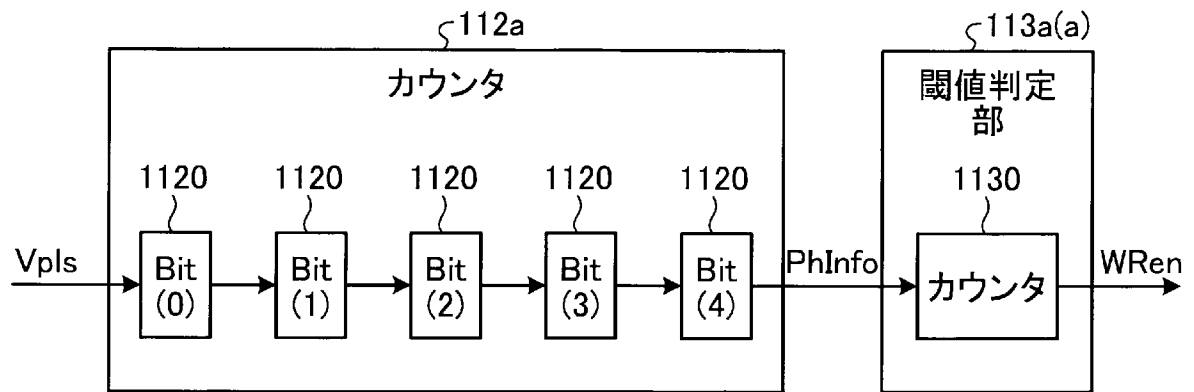
[図14]



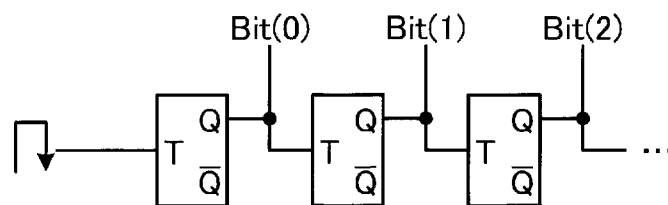
[図15]



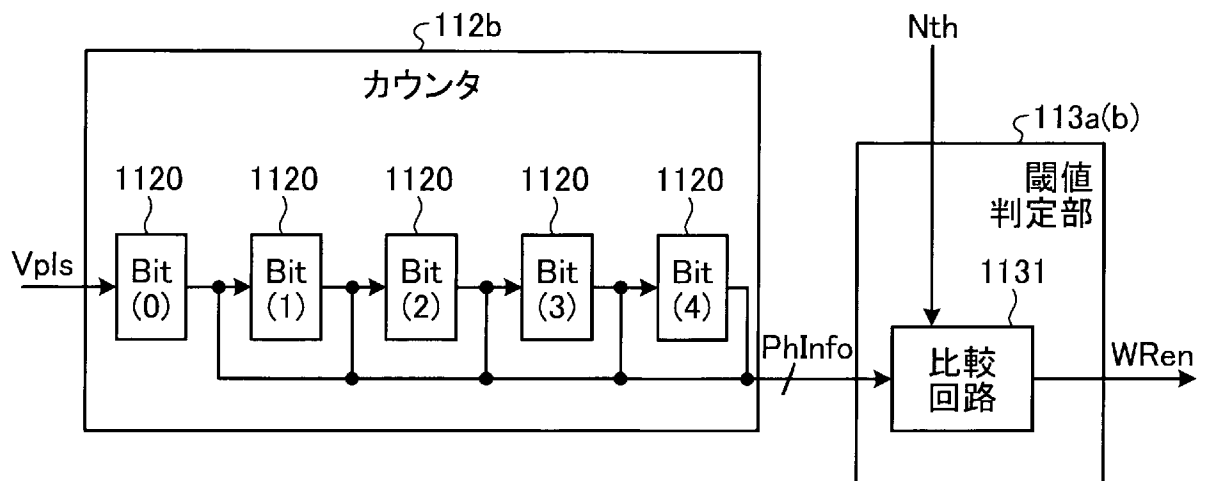
[図16A]



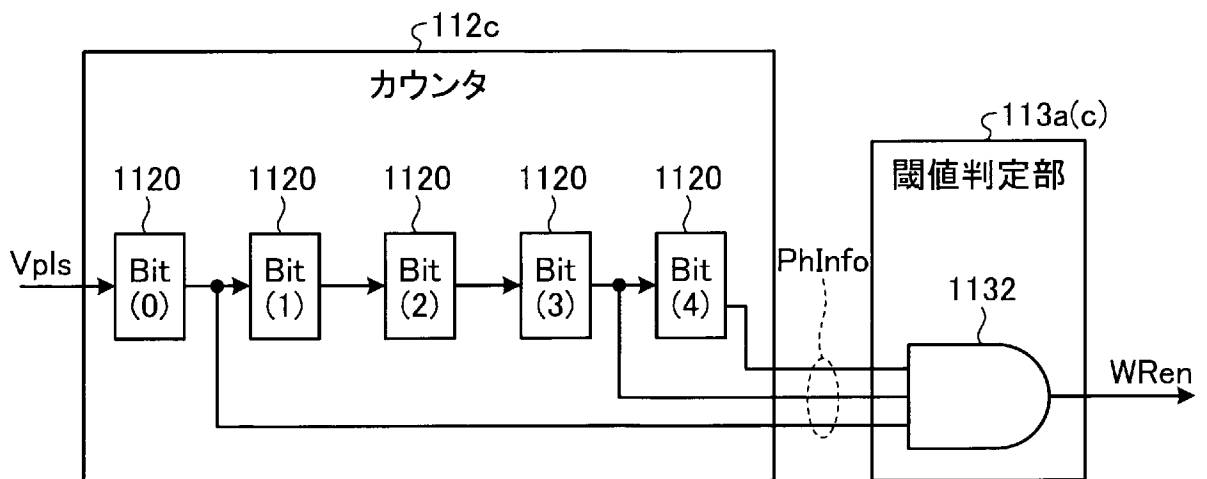
[図16B]



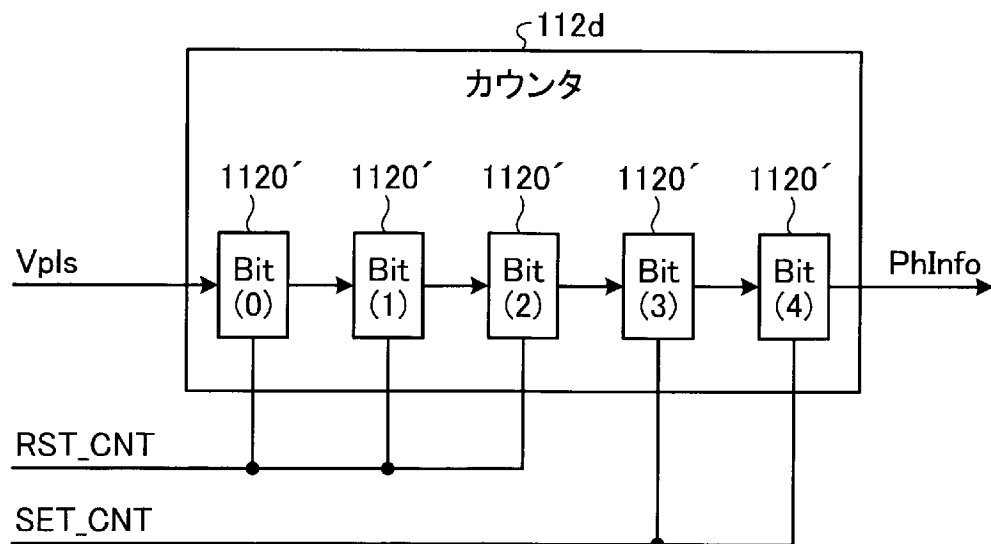
[図17]



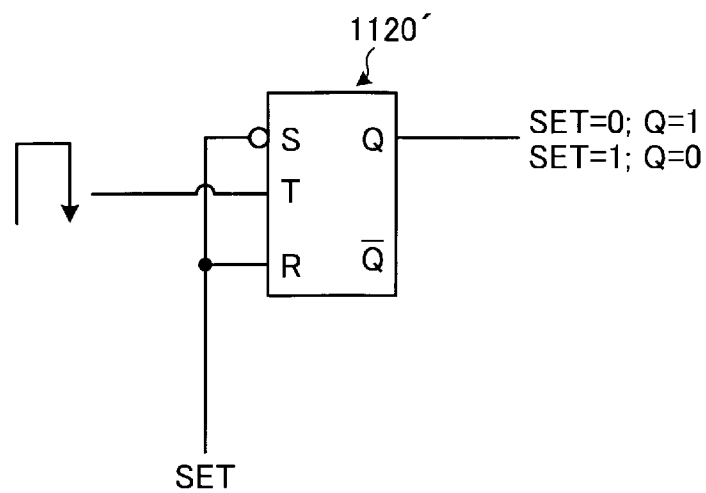
[図18]



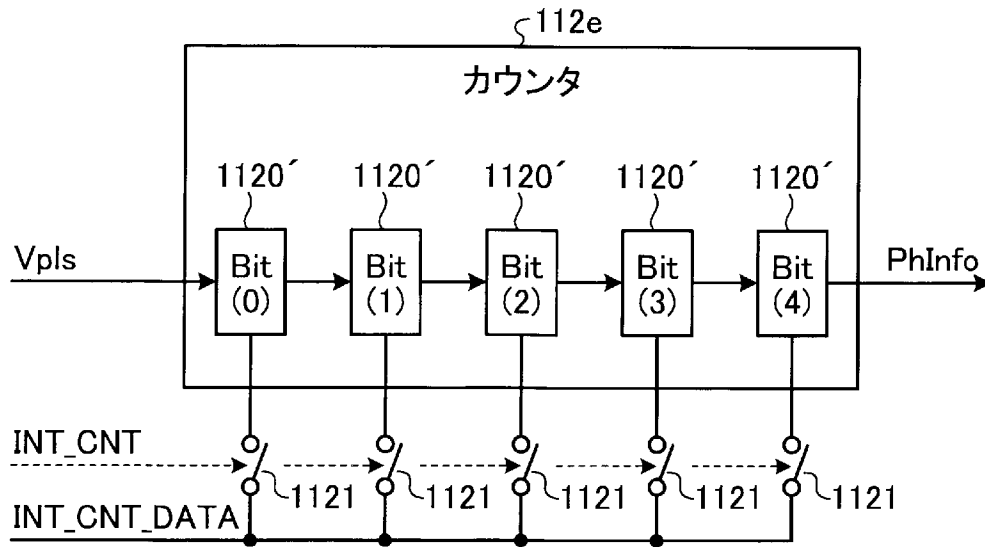
[図19A]



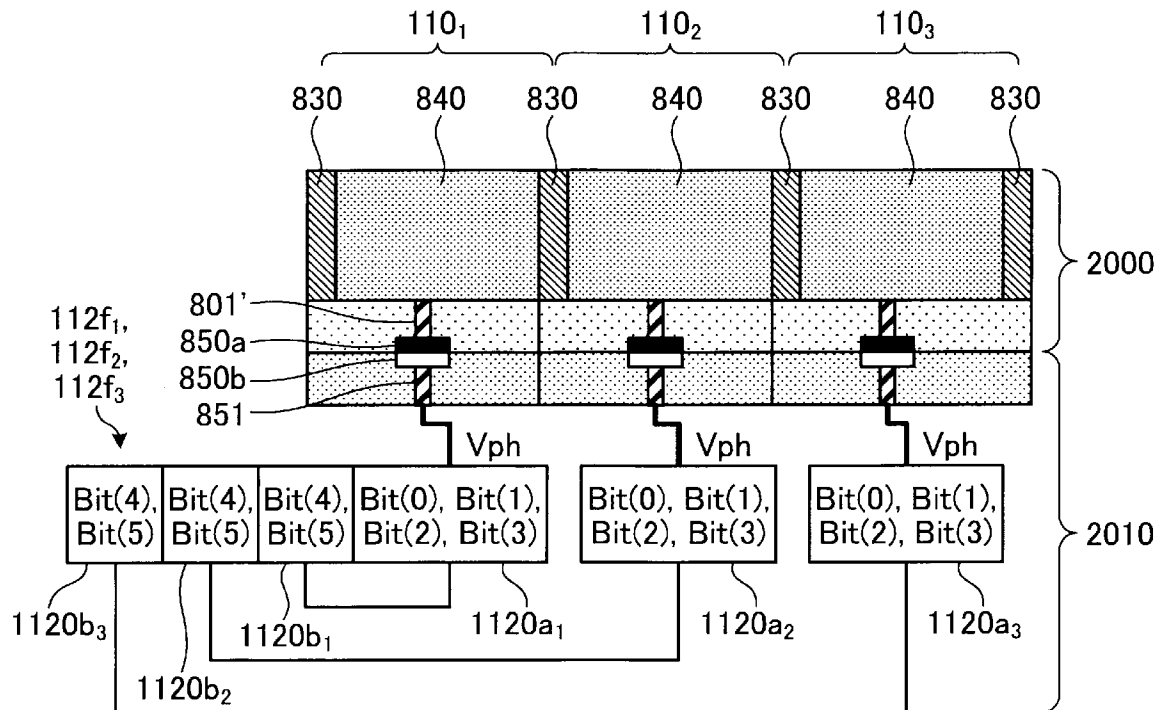
[図19B]



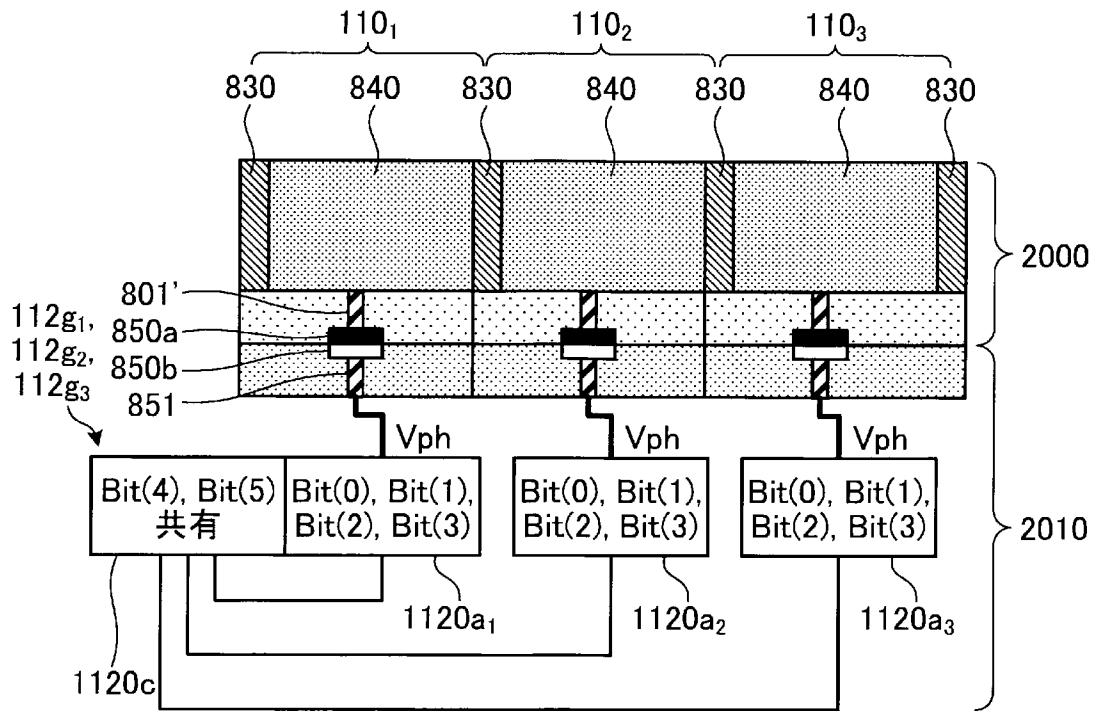
[図20]



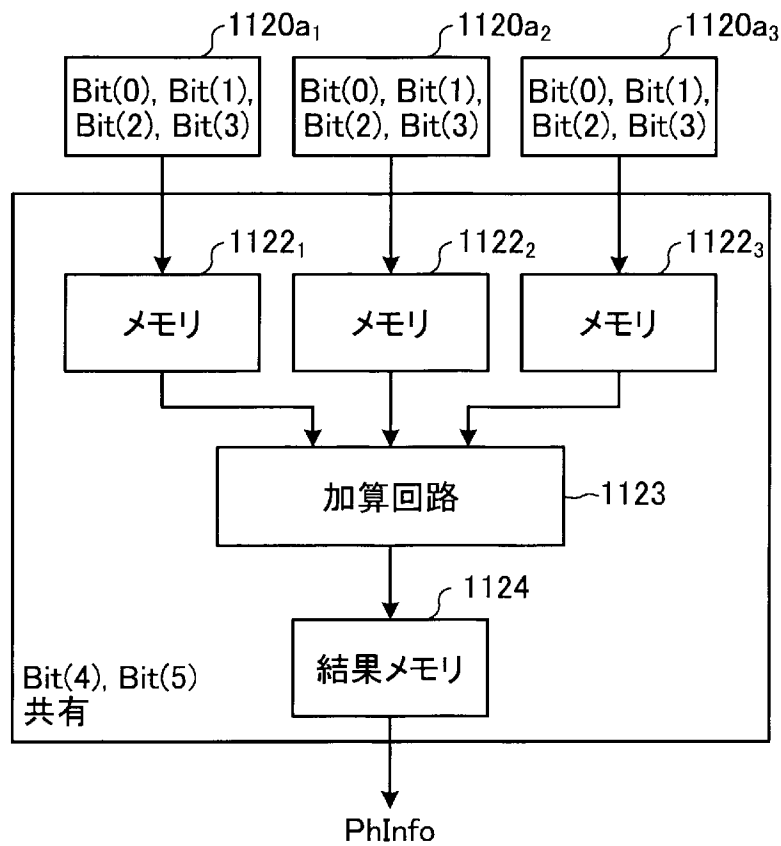
[図21]



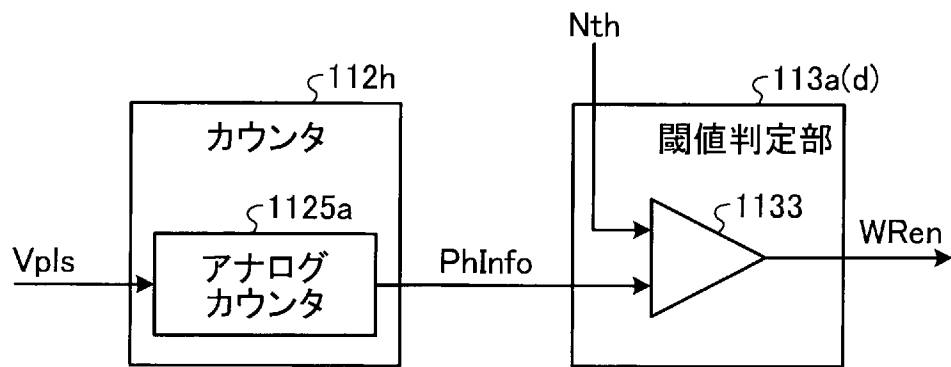
[図22]



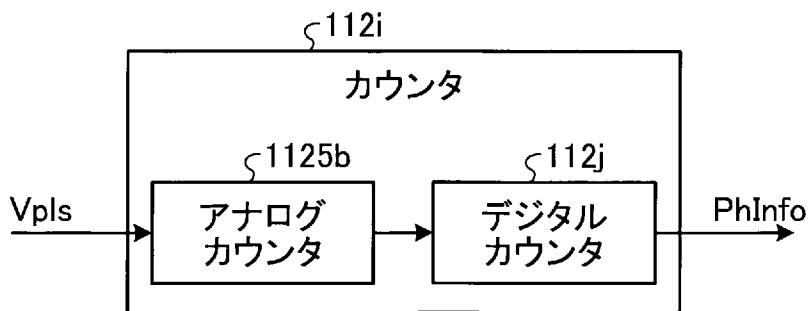
[図23]



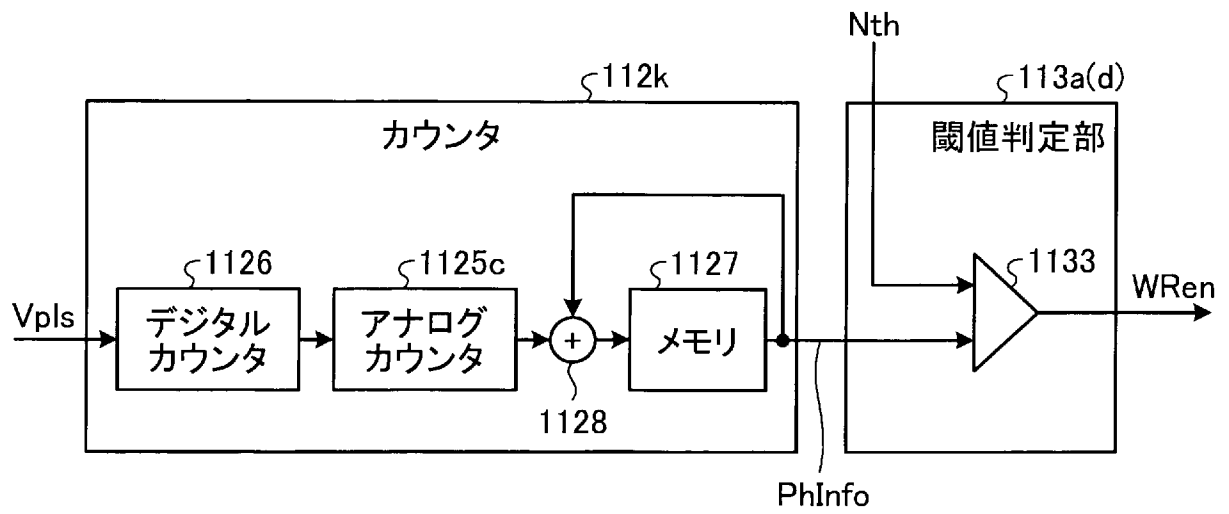
[図24]



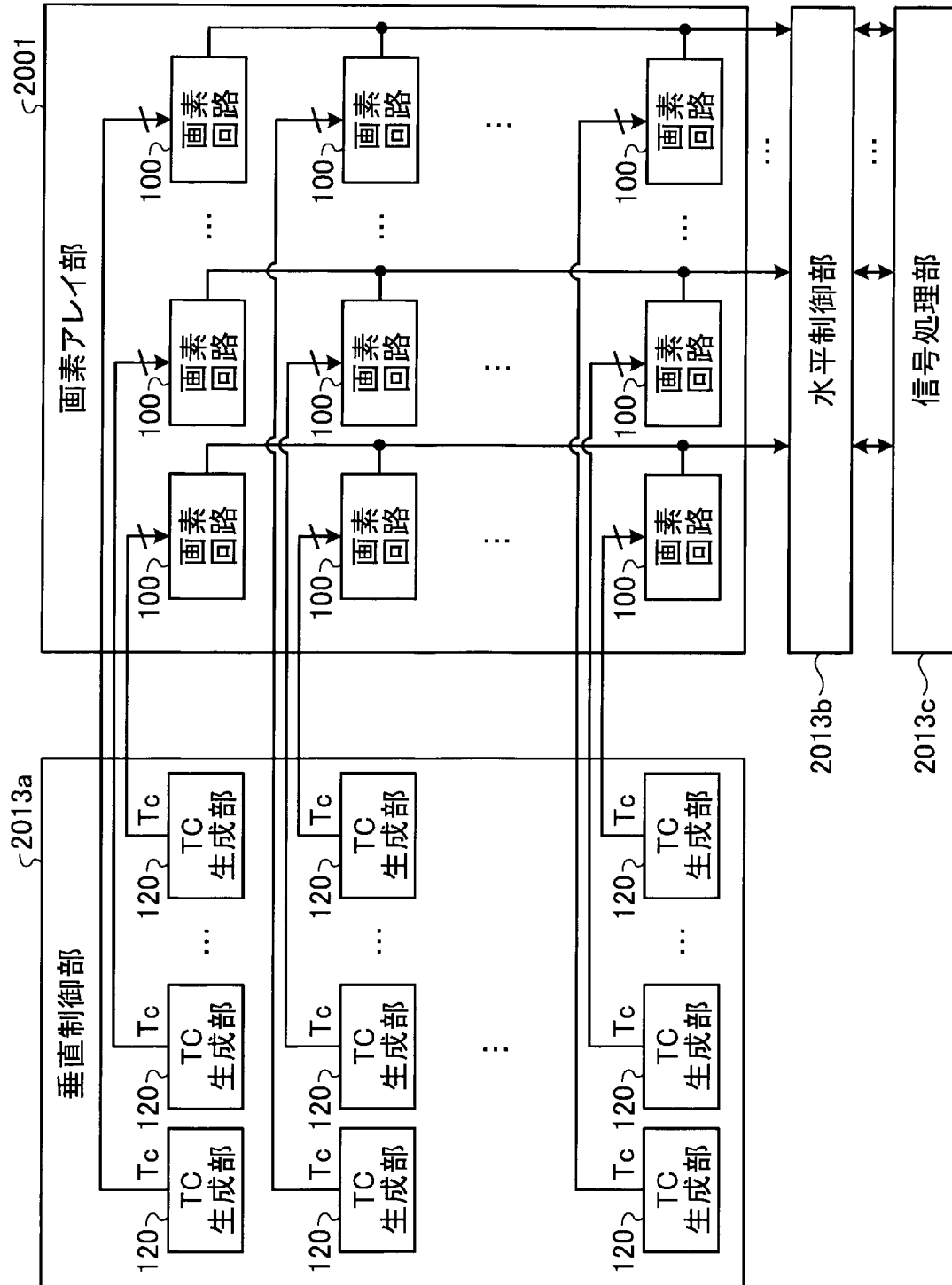
[図25]



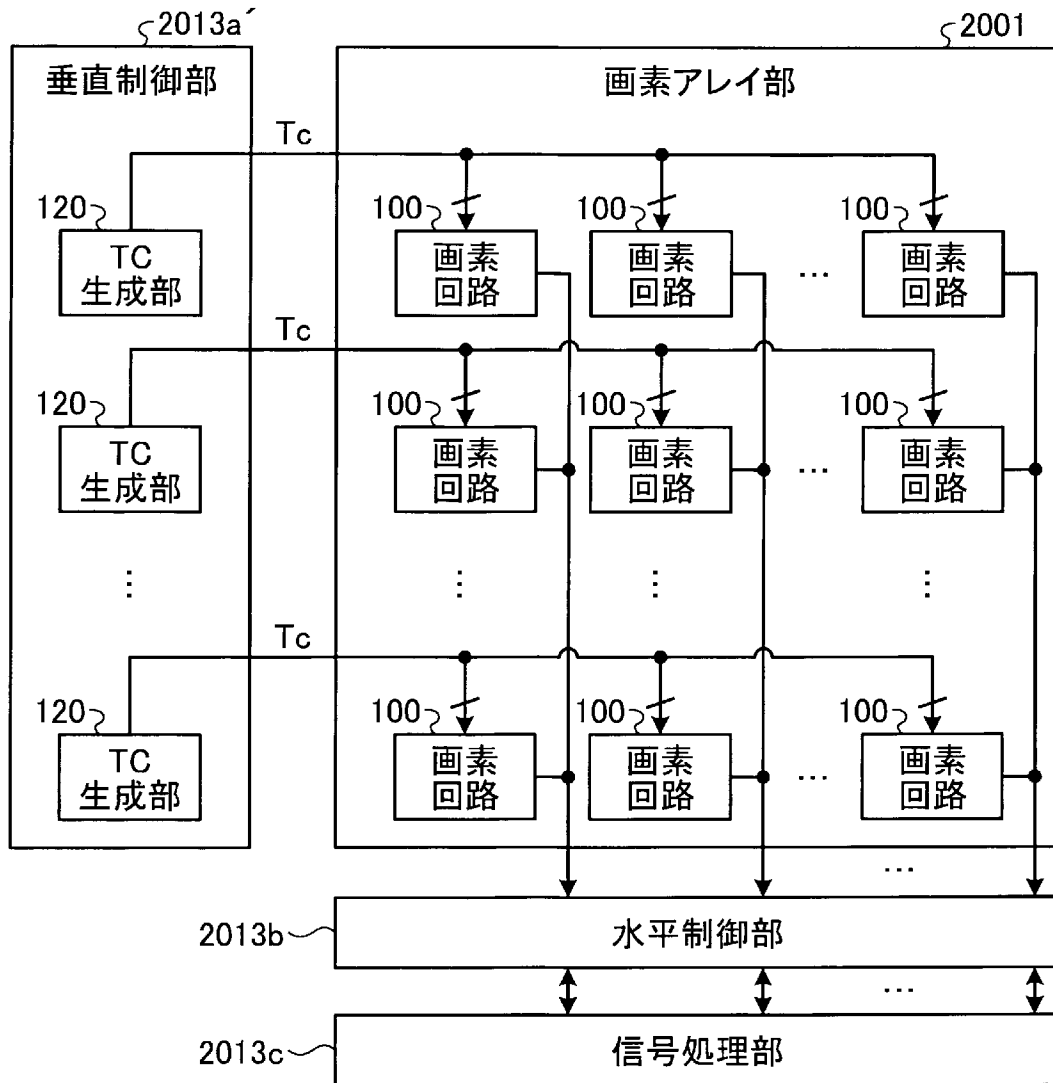
[図26]



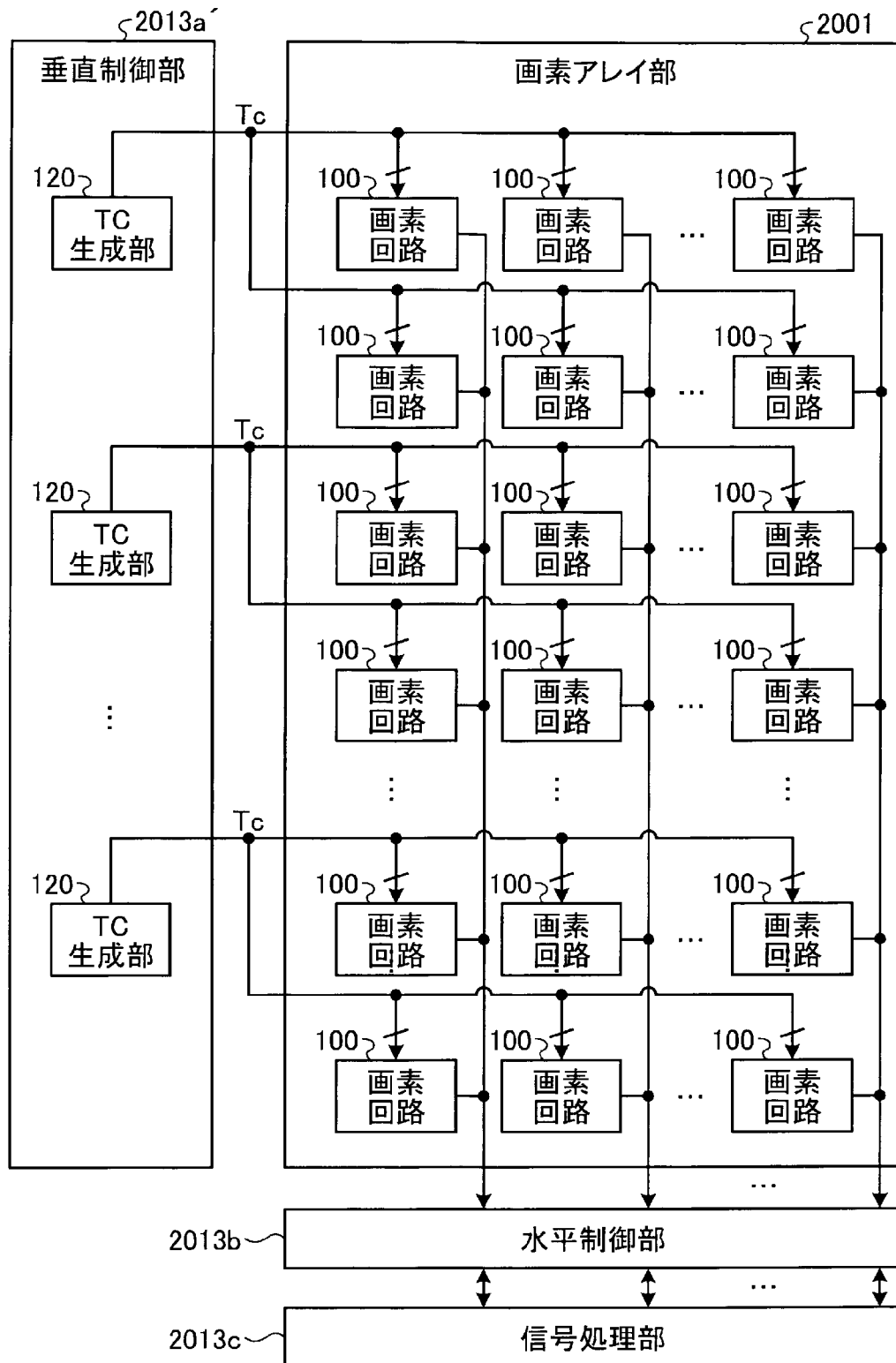
[図27]



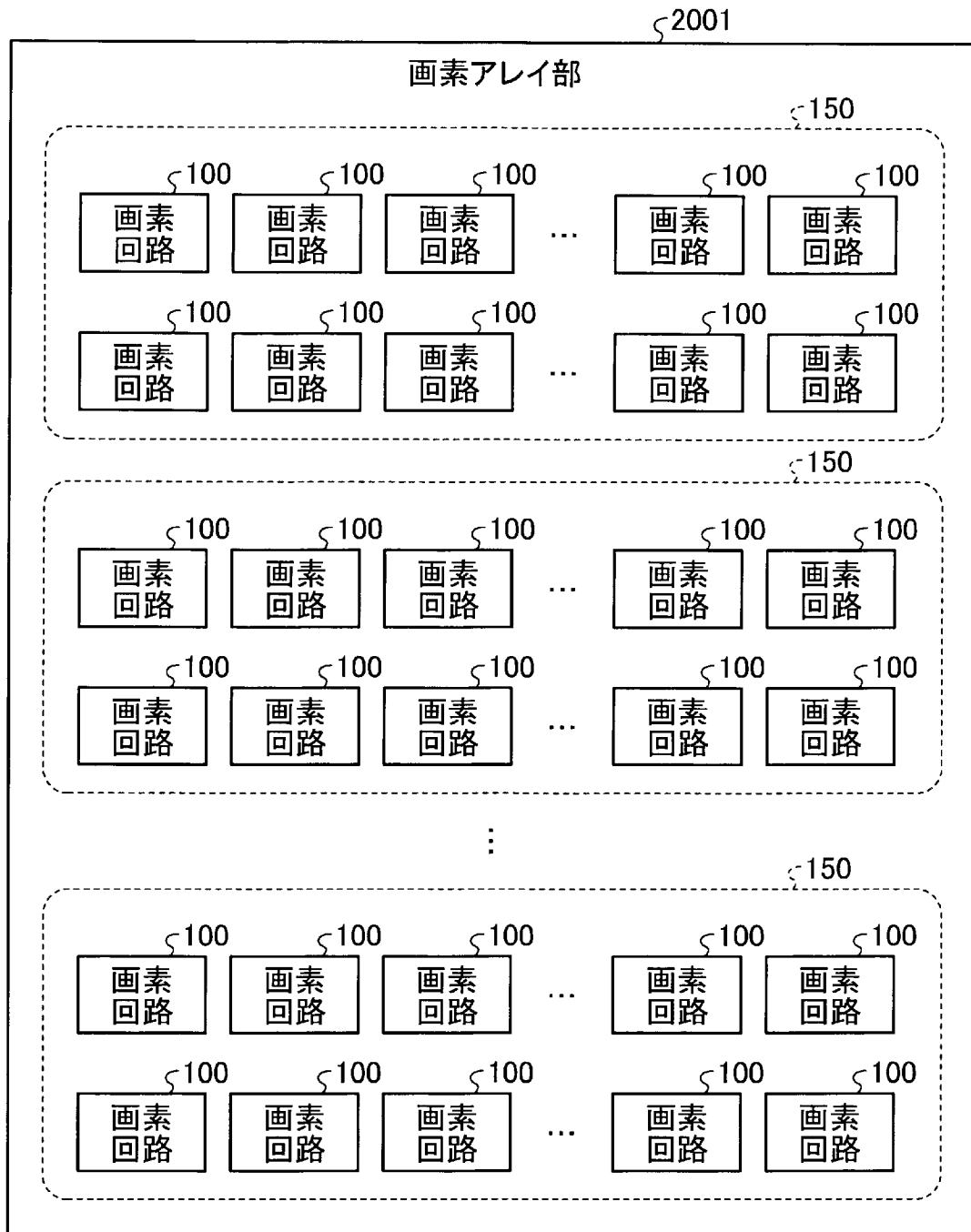
[図28]



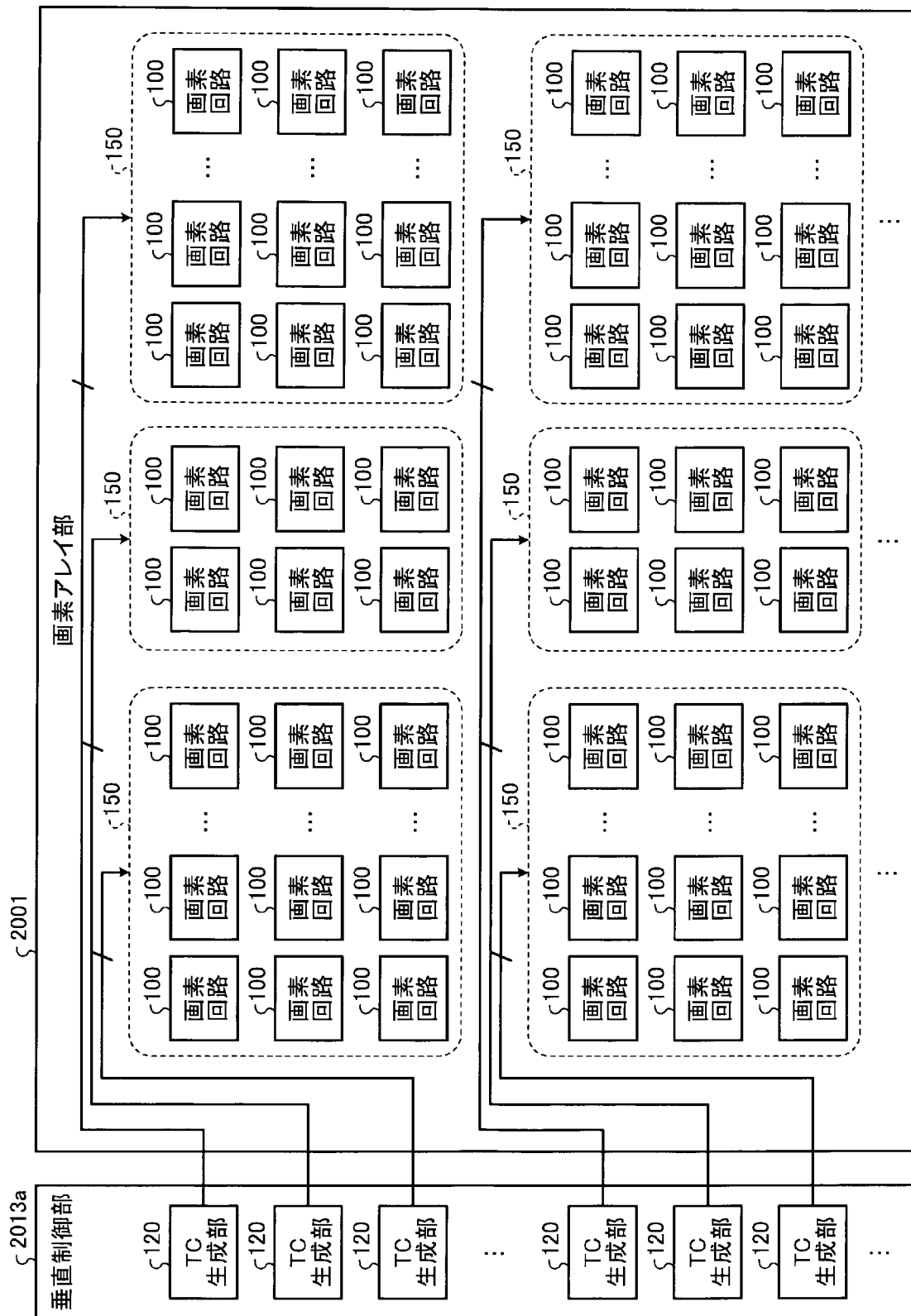
[図29]



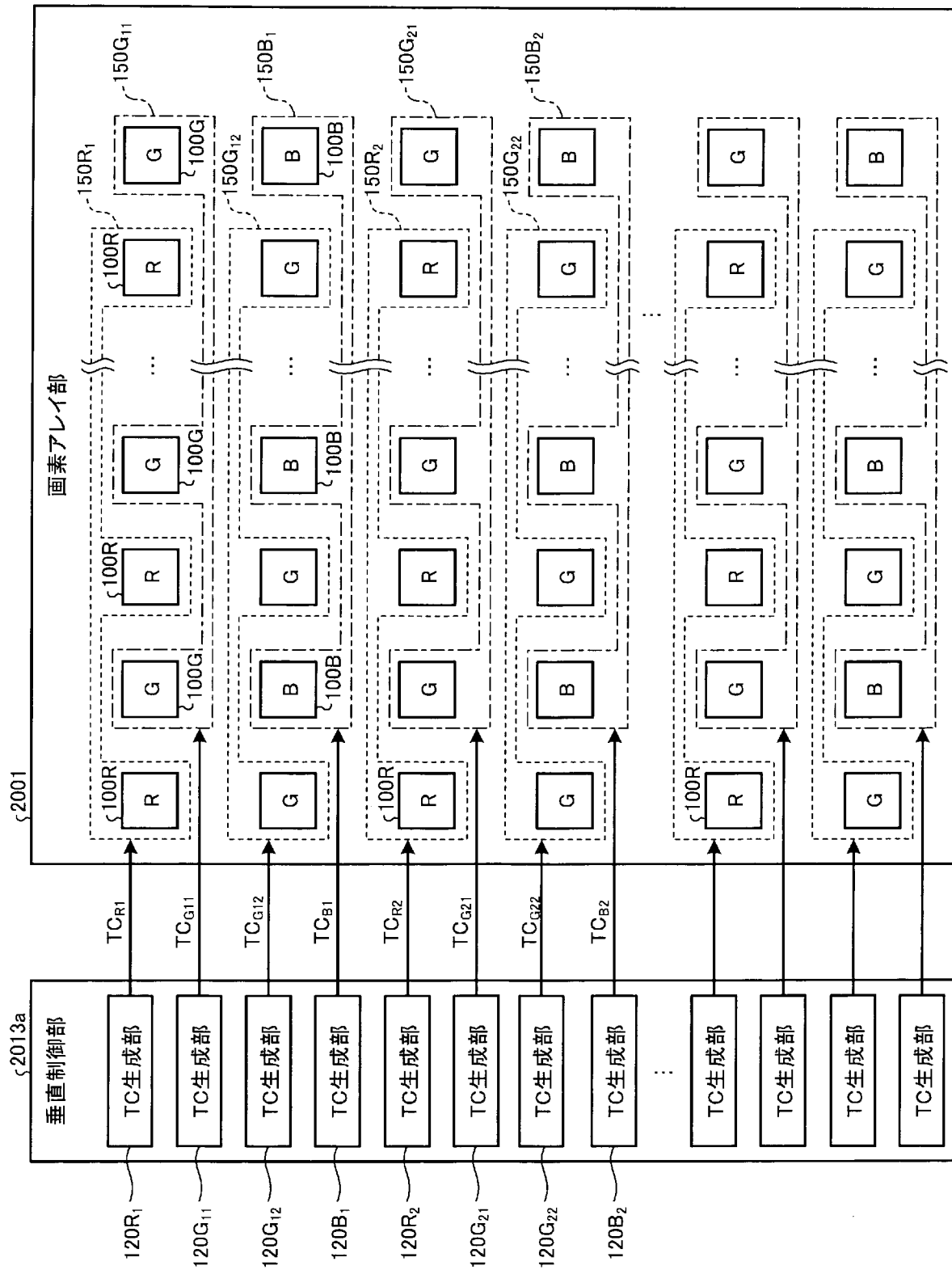
[図30]



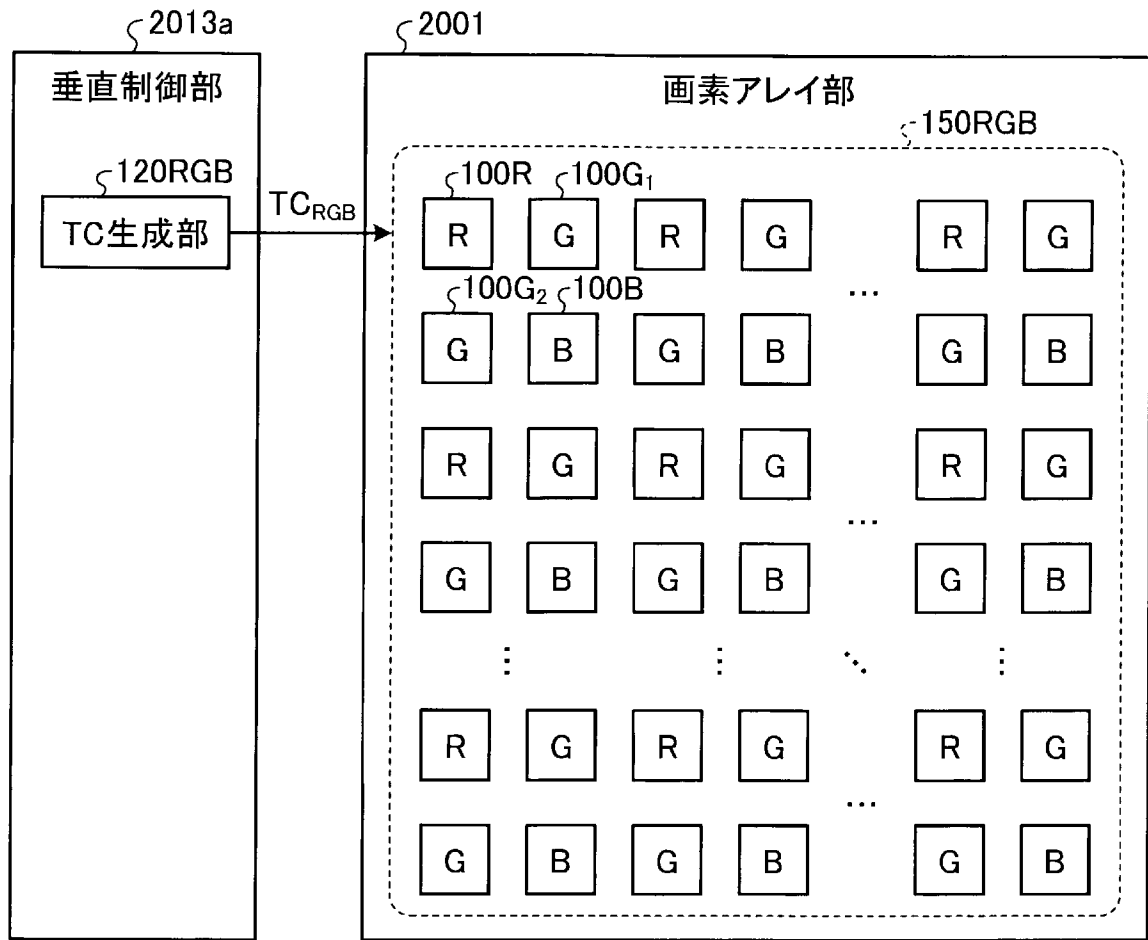
[図31]



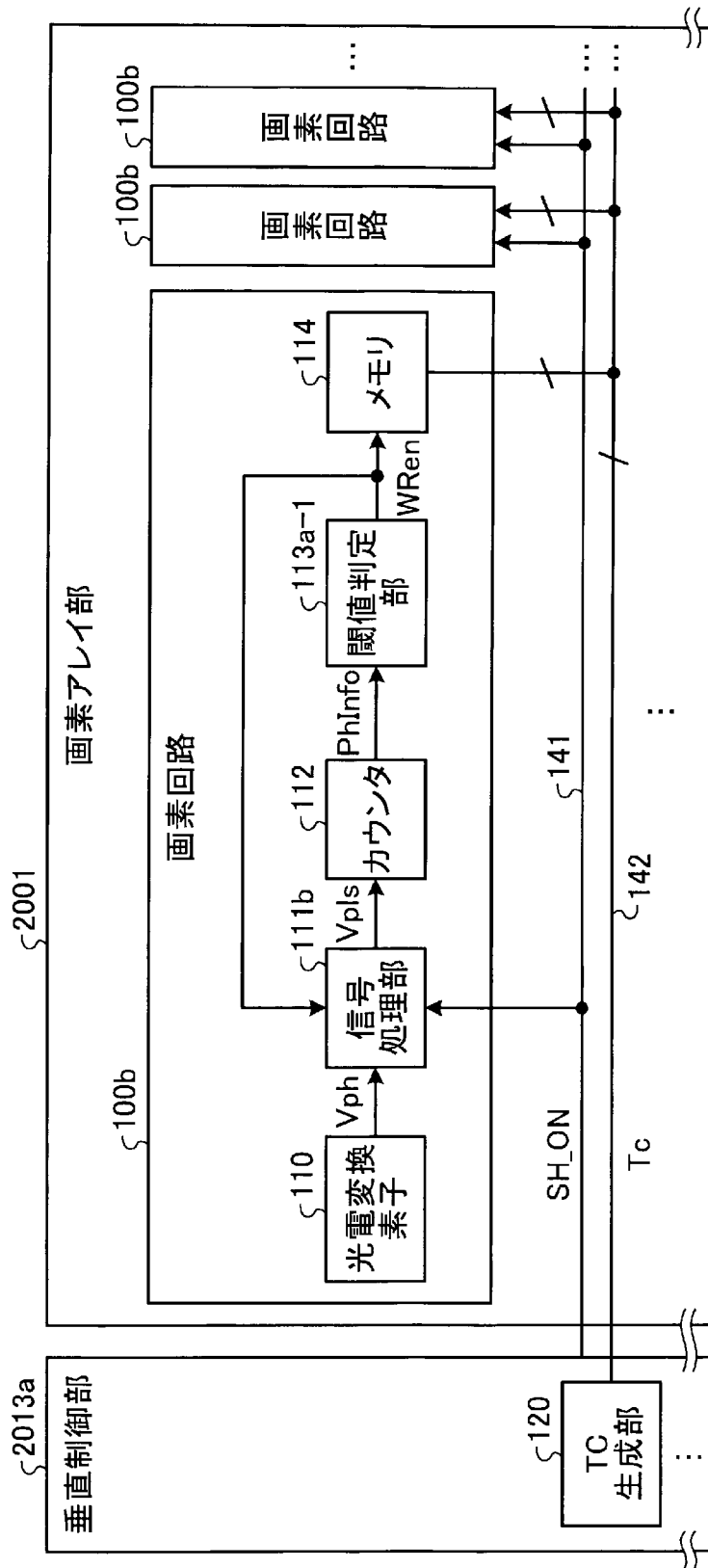
[図32]



[図33]

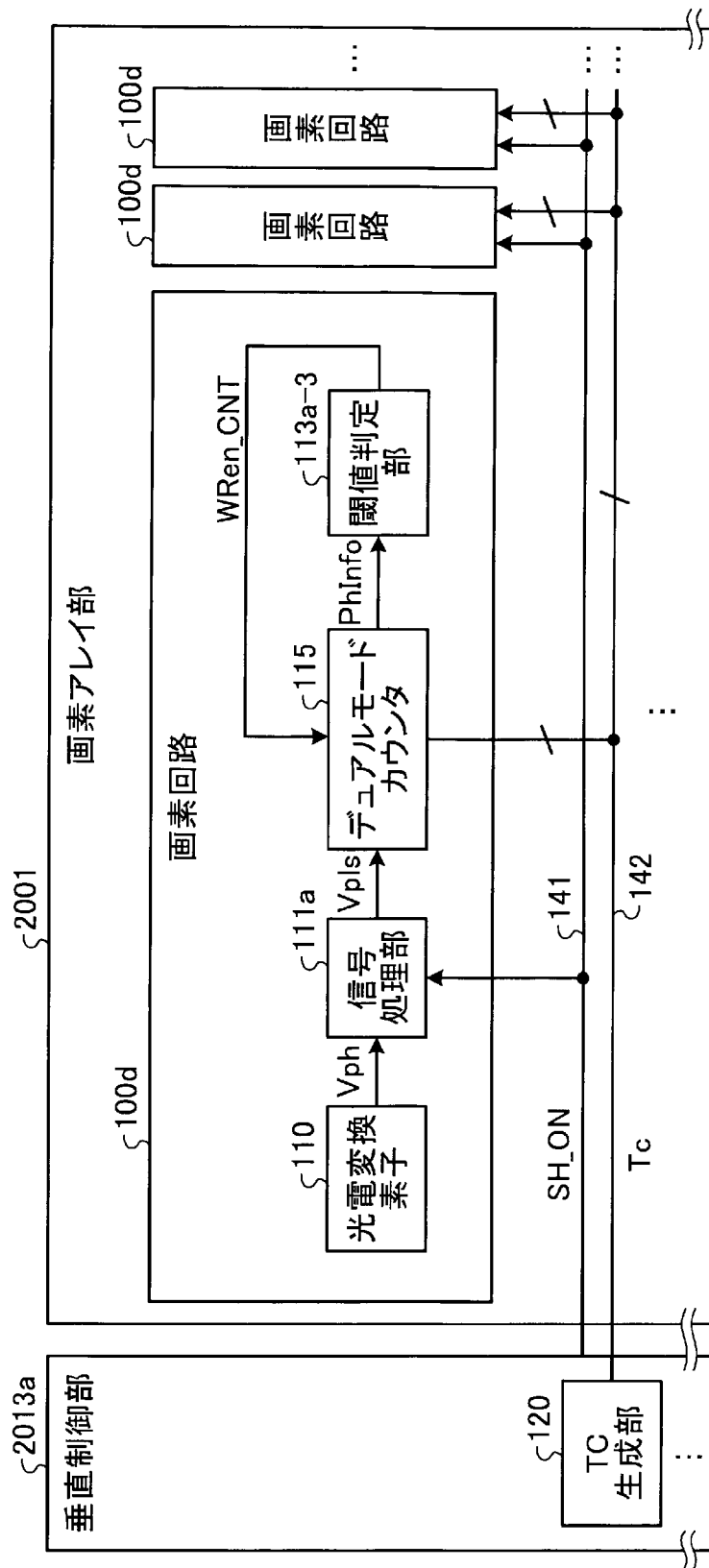


[図34]

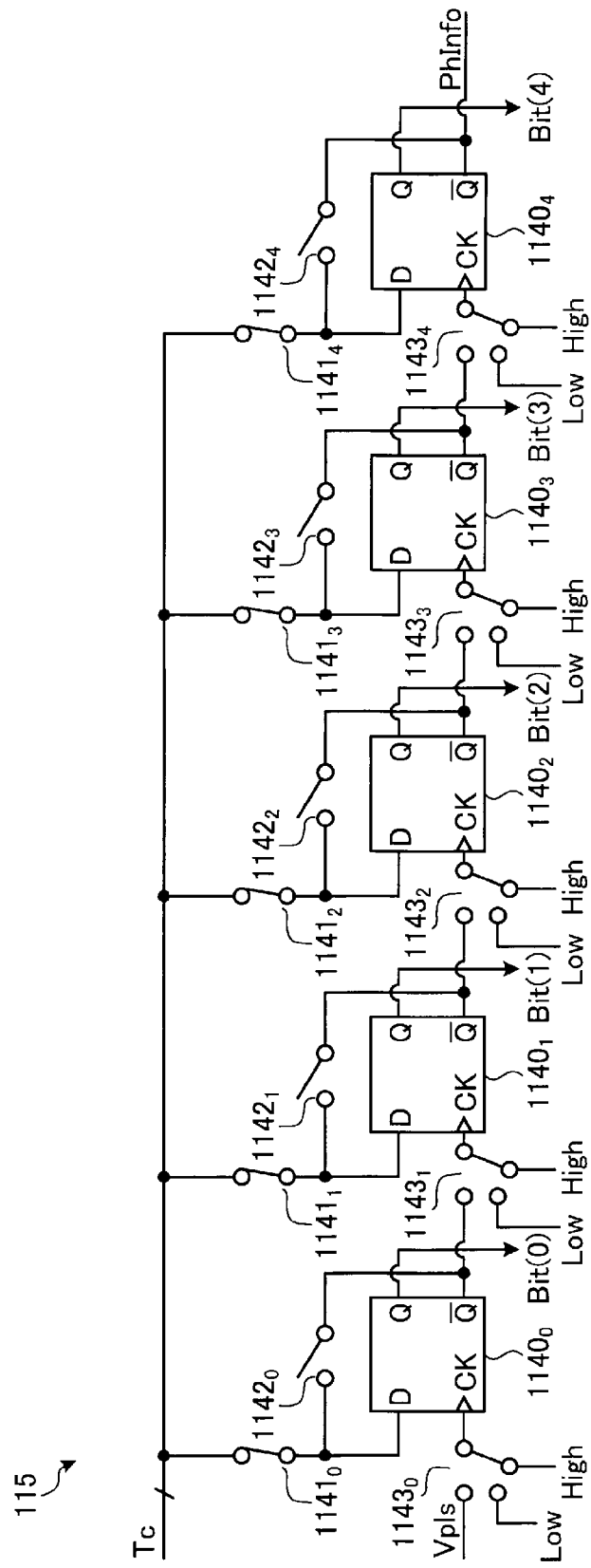


The diagram illustrates a vertical control section (2013a) and a pixel array section (2001). The vertical control section (2013a) includes a TC generation block (120) connected to a SH_ON line (141) and a Tc line. The pixel array section (2001) includes a pixel circuit block (100c) containing a photoelectric conversion element (110), a signal processing block, a counter (112), a threshold determination block (113a-2), and a memory block (114). The pixel circuit block is connected to a PhGating line (142) and a Tc line. The pixel array section also includes a pixel circuit block (100c) connected to a PhGating line (142) and a Tc line.

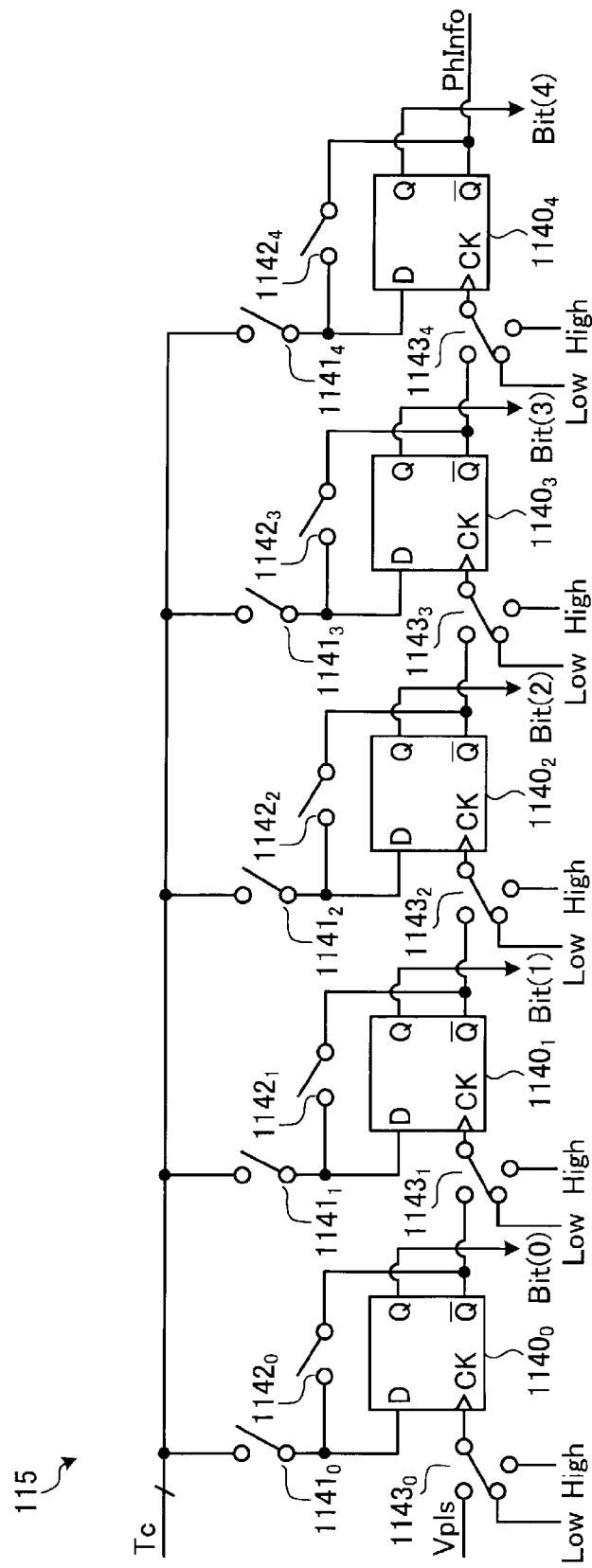
[図36]



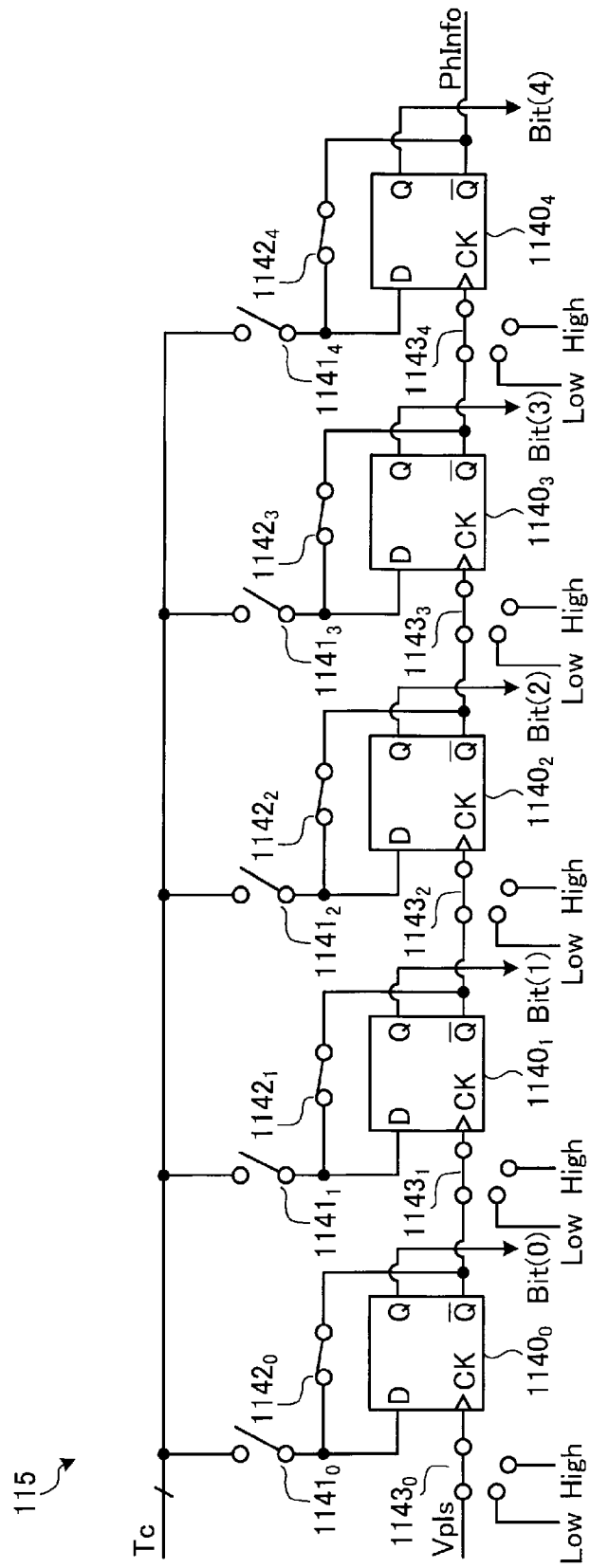
[図37A]



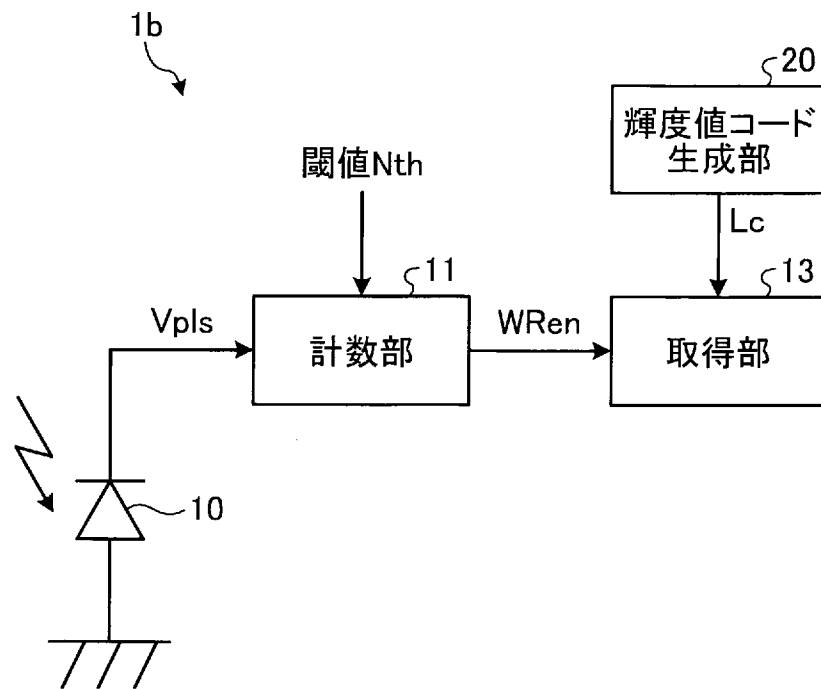
[図37B]



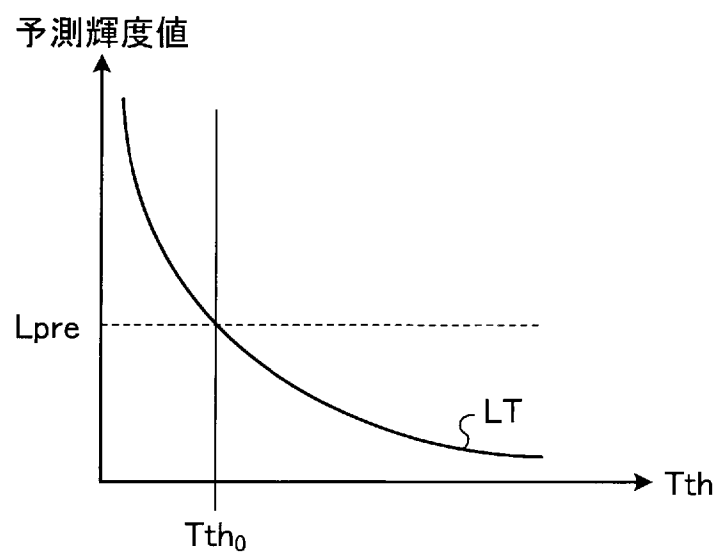
[図37C]



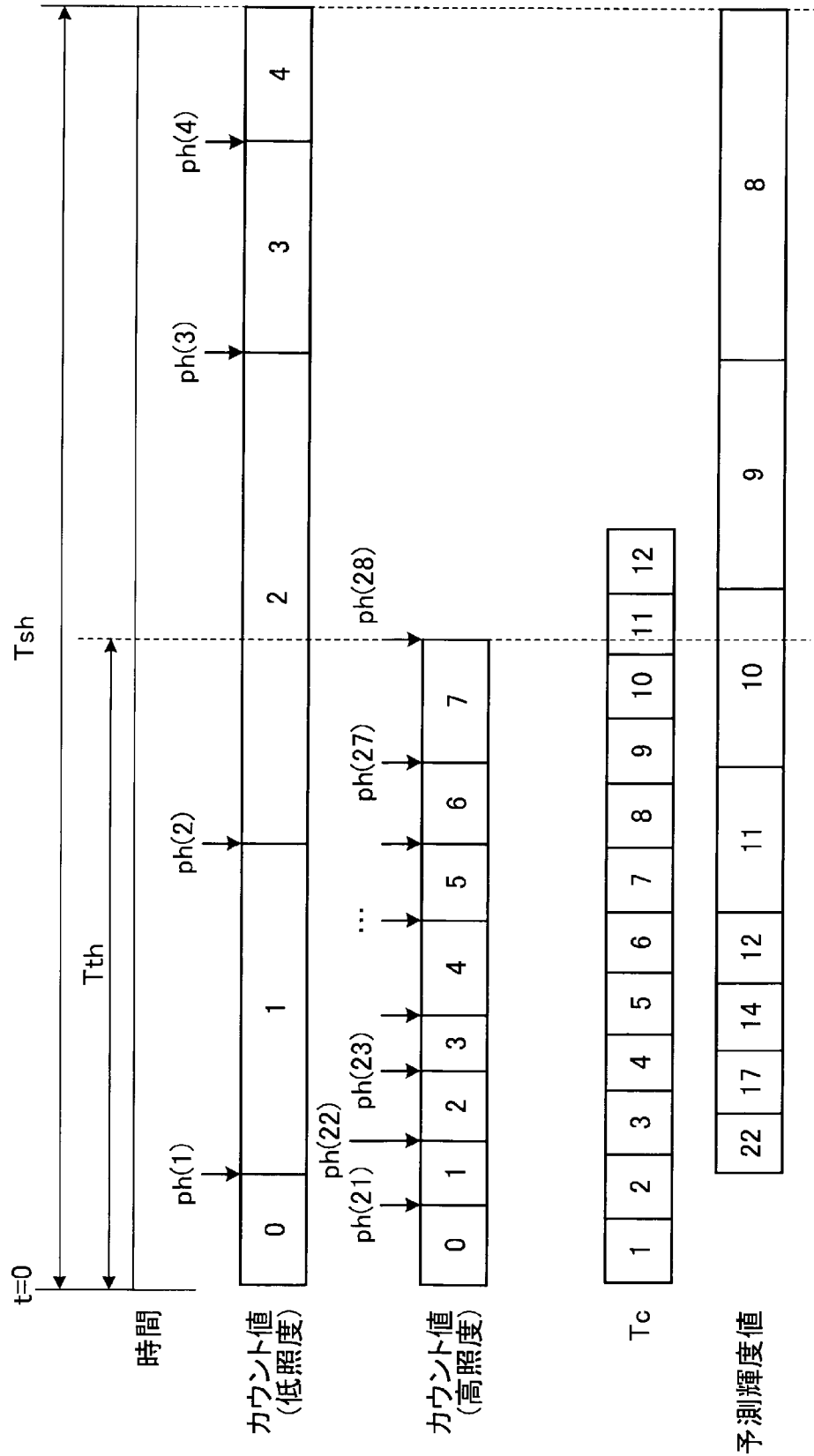
[図38]



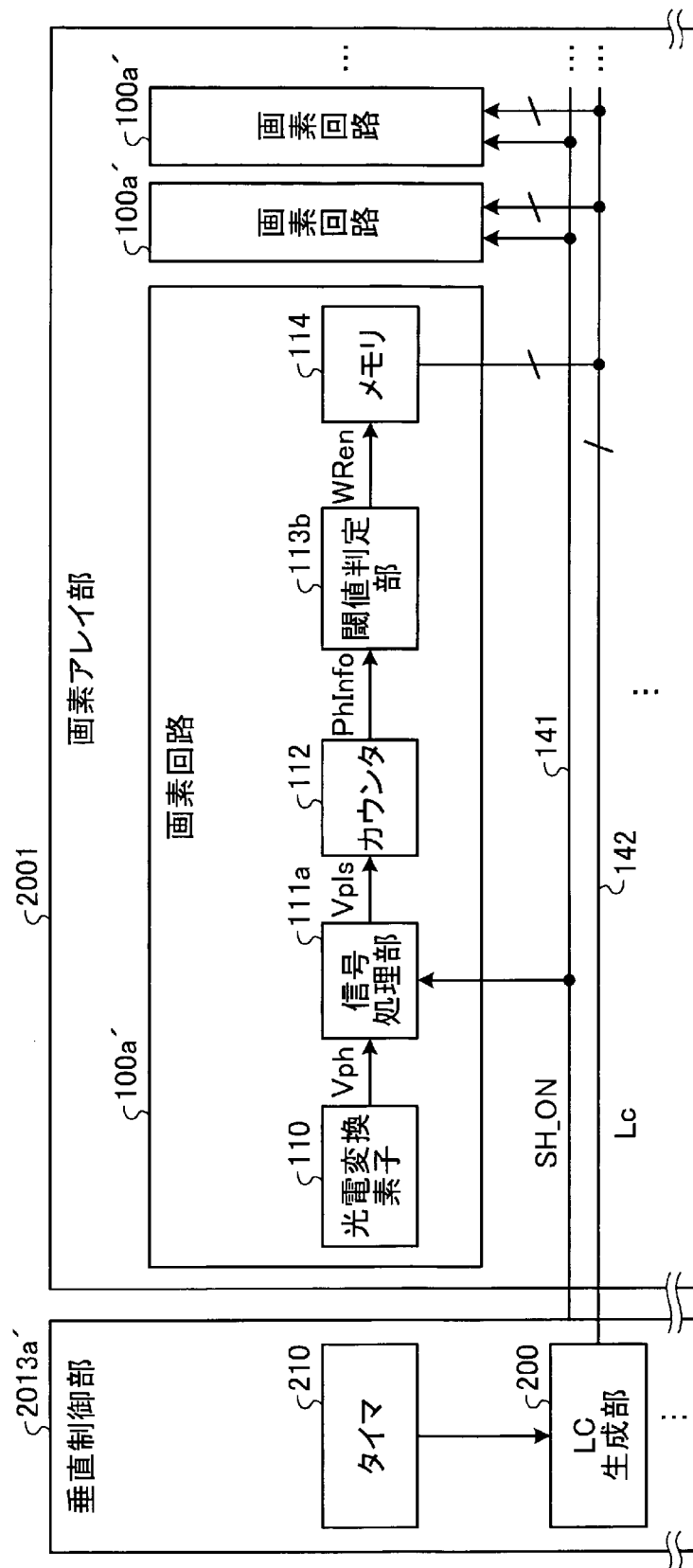
[図39]



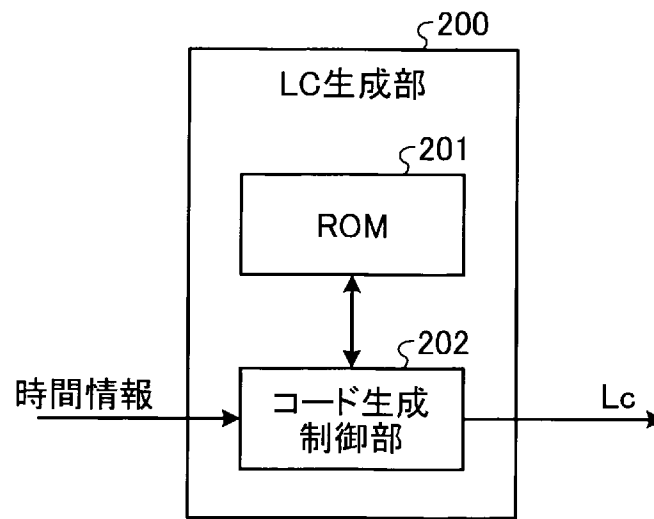
[図40]



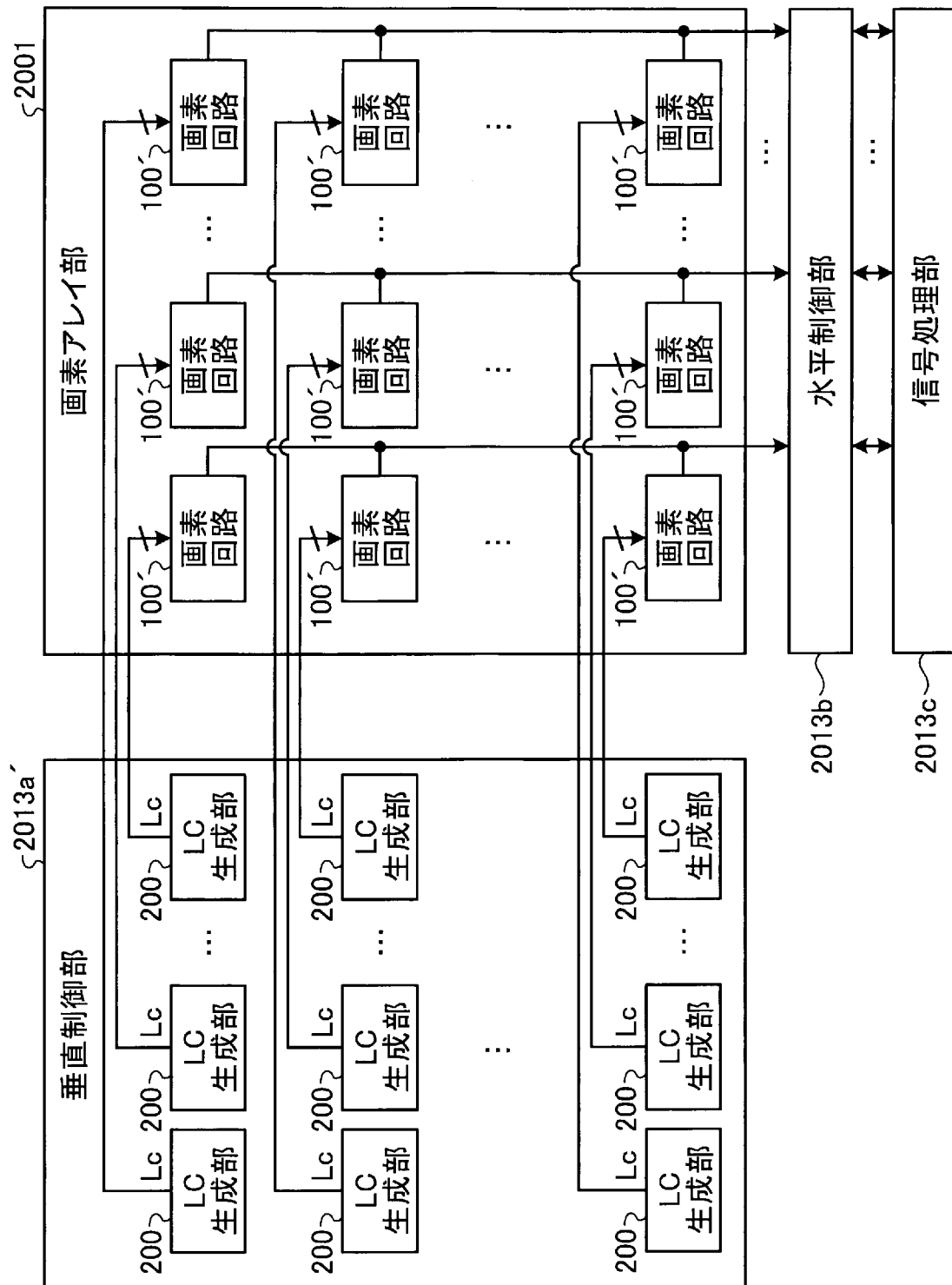
[図41]



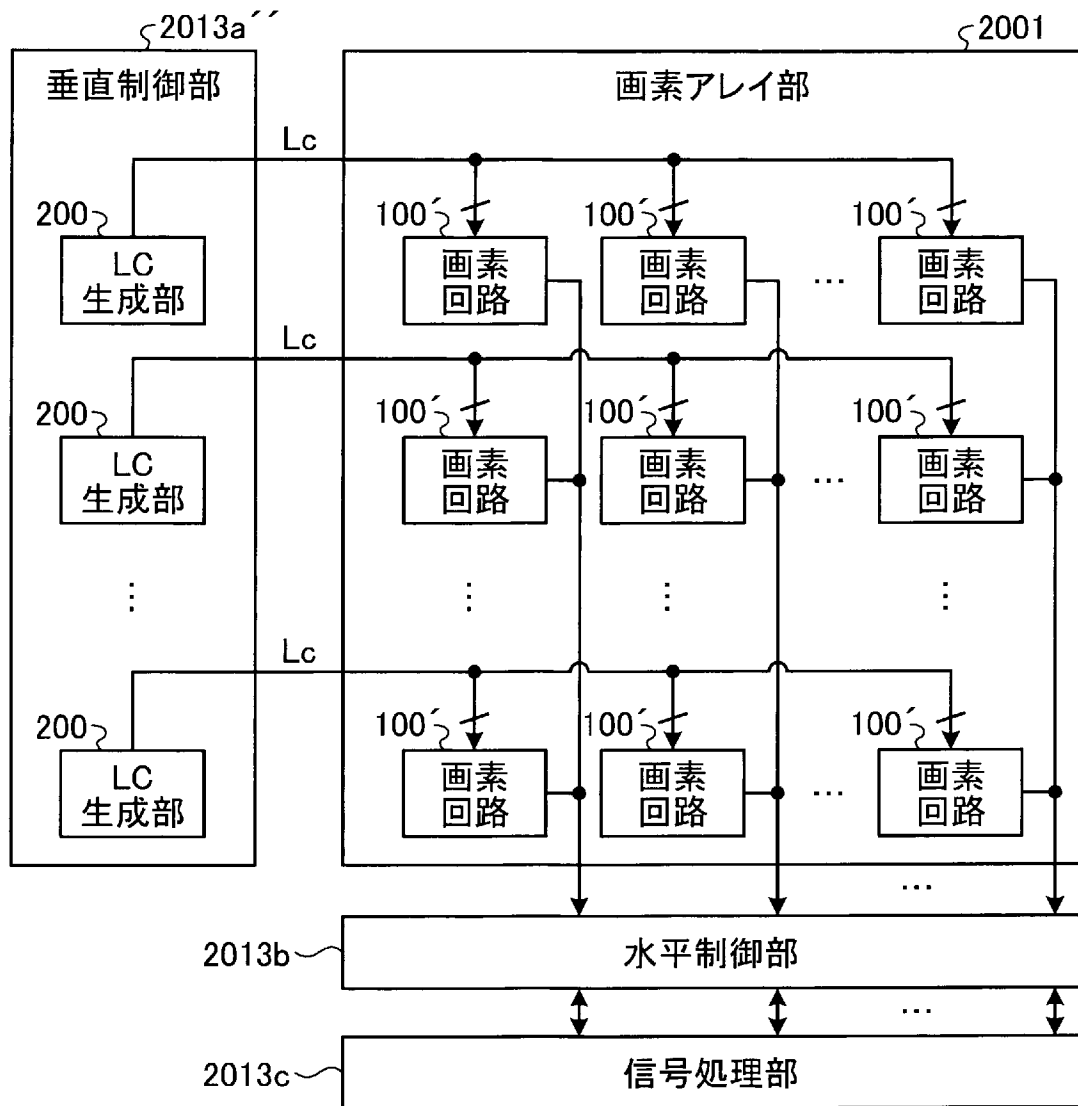
[図42]



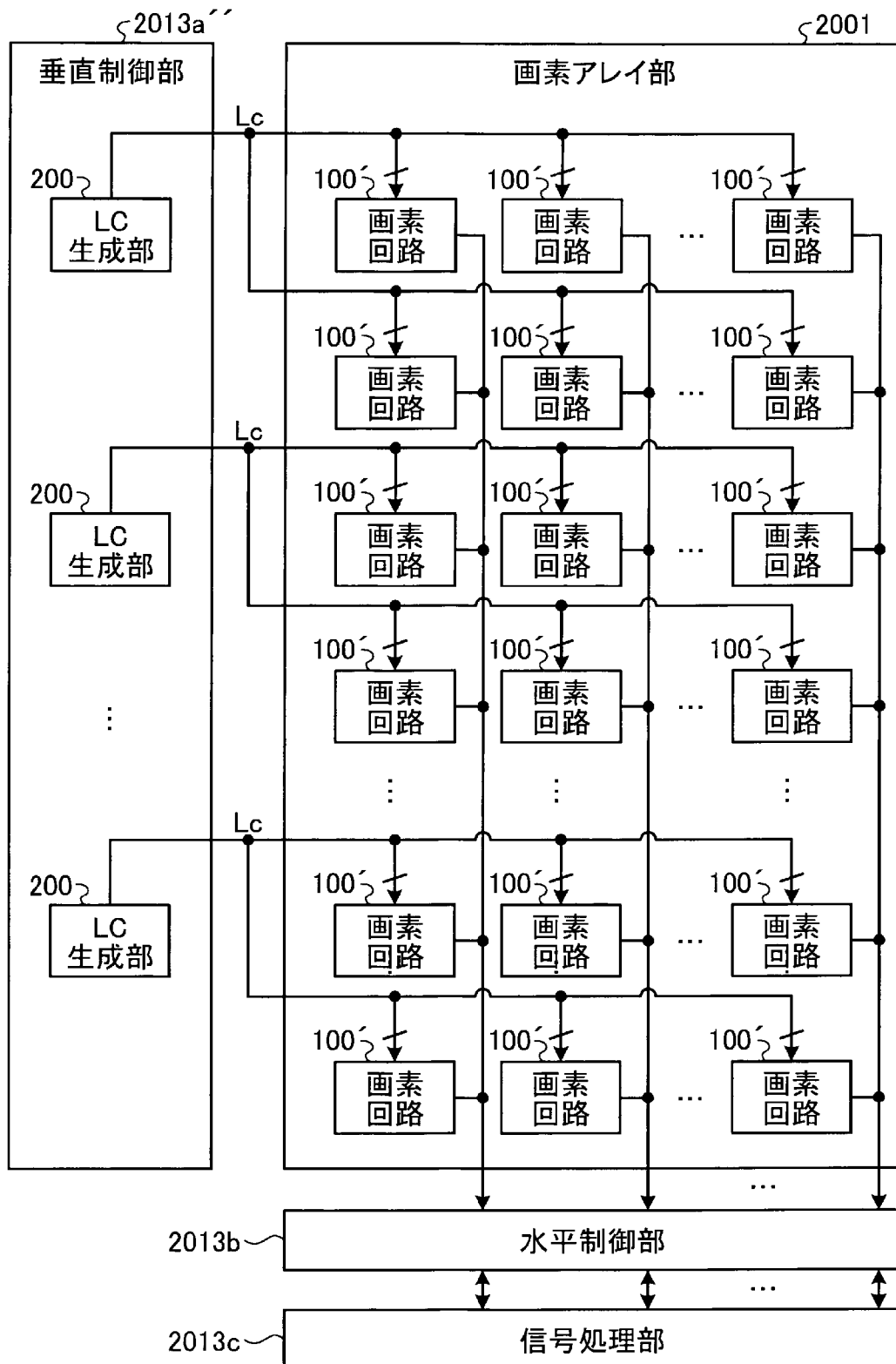
[図43]



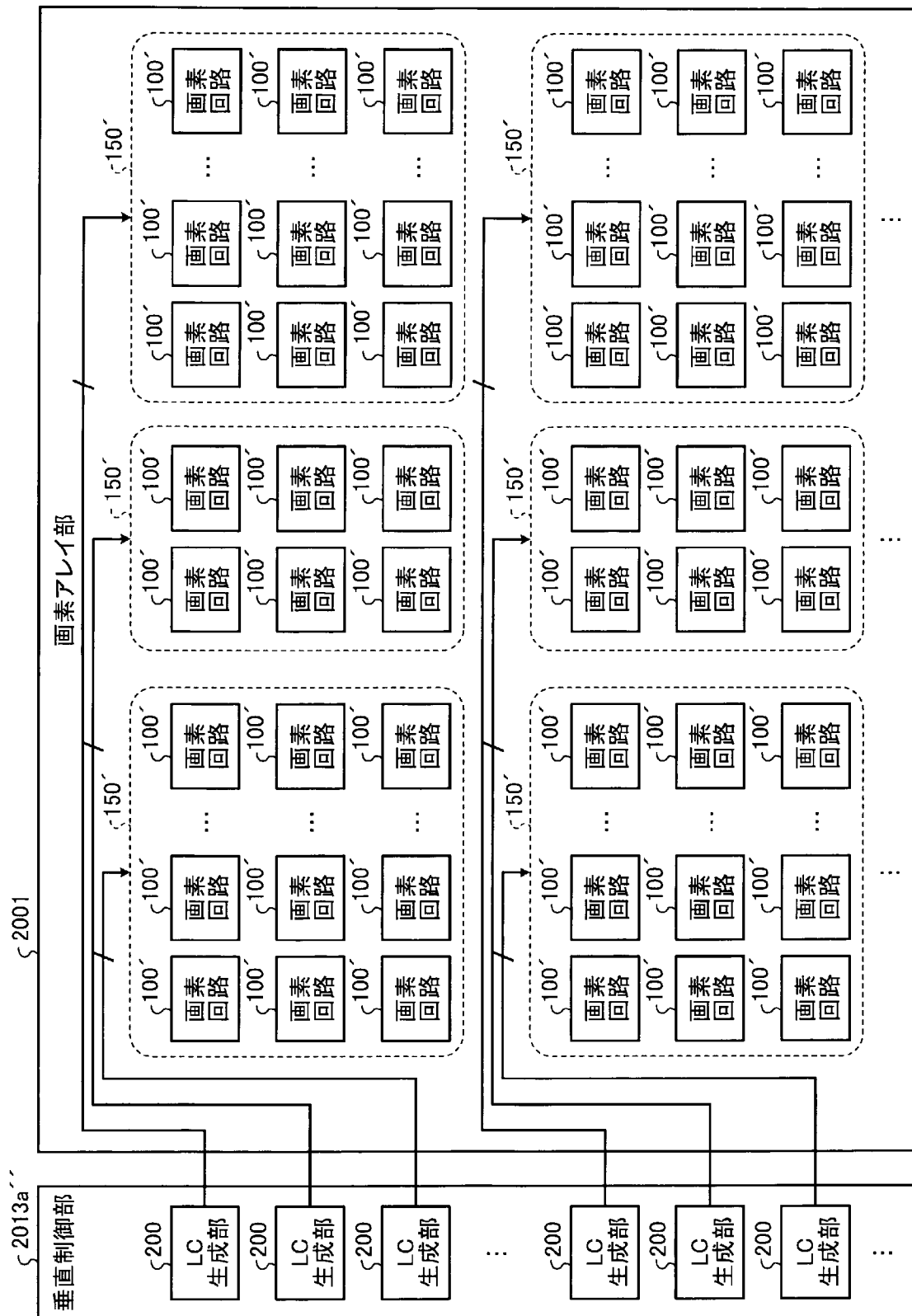
[図44]



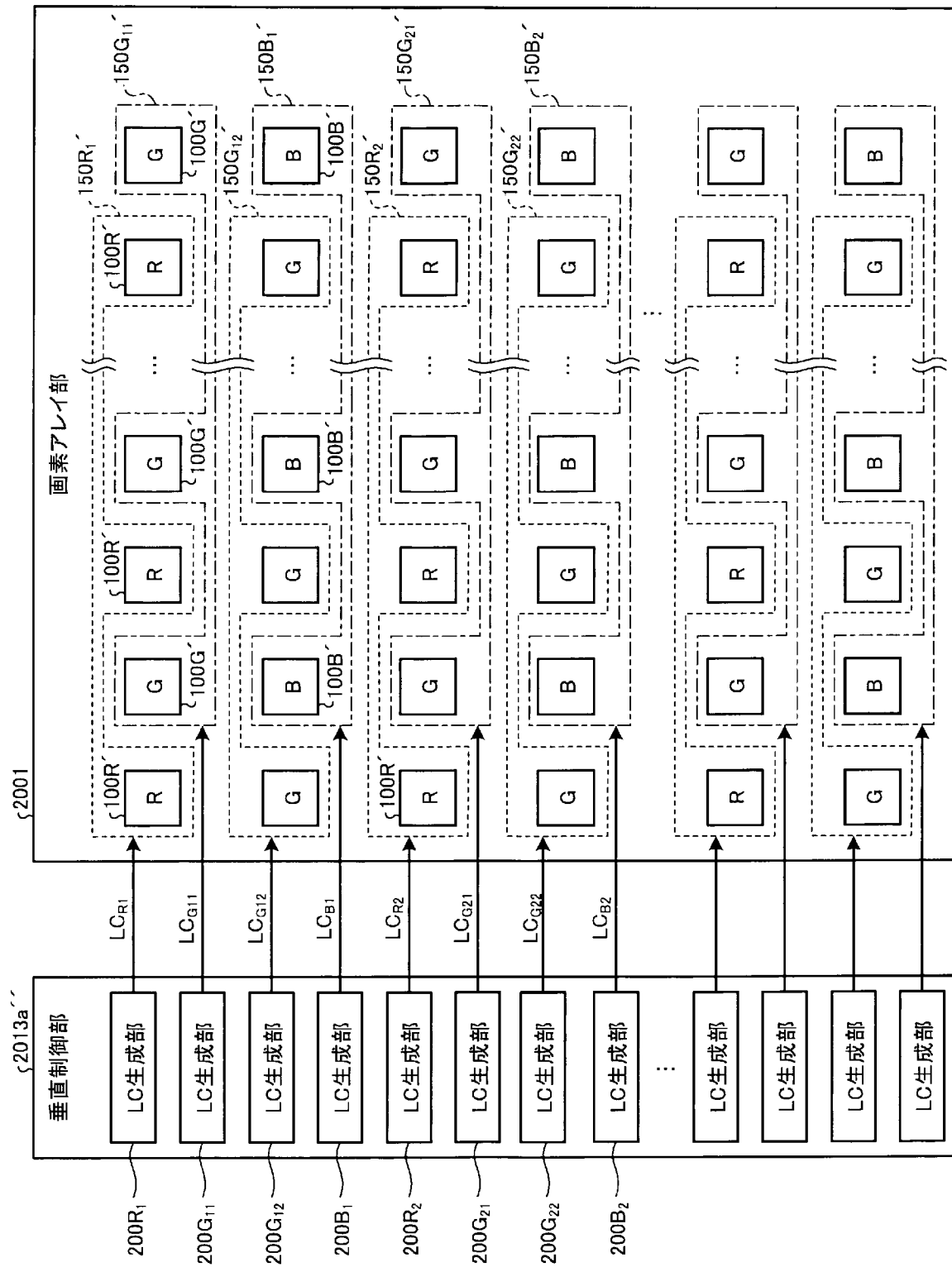
[図45]



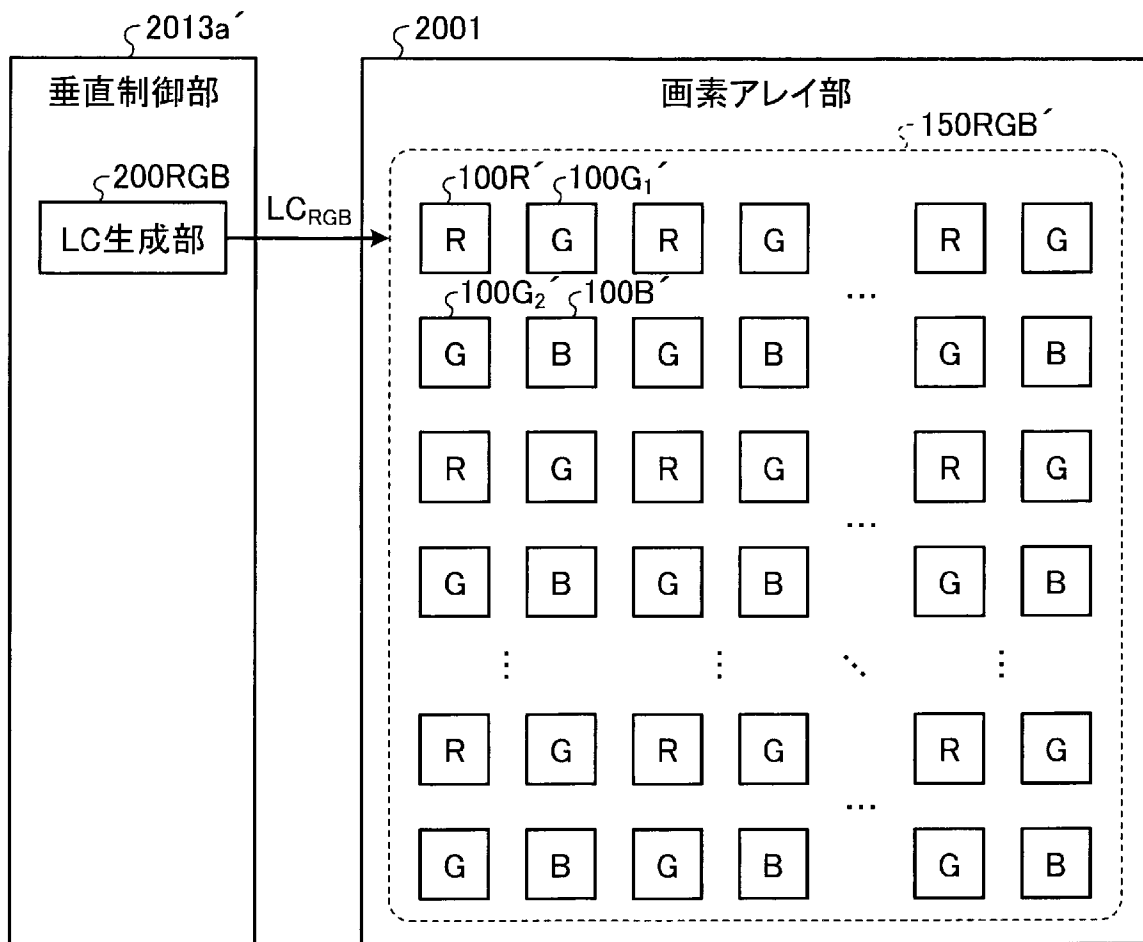
[図46]



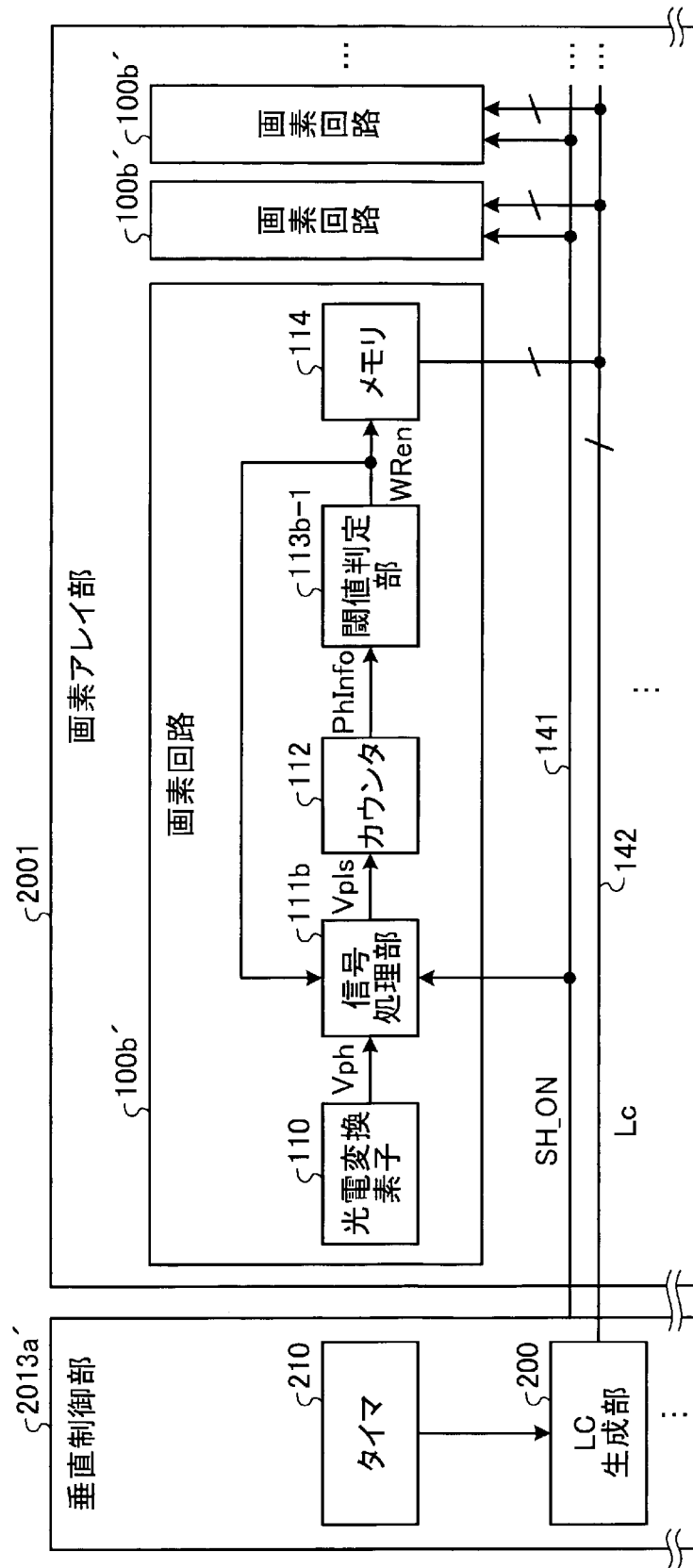
[図47]



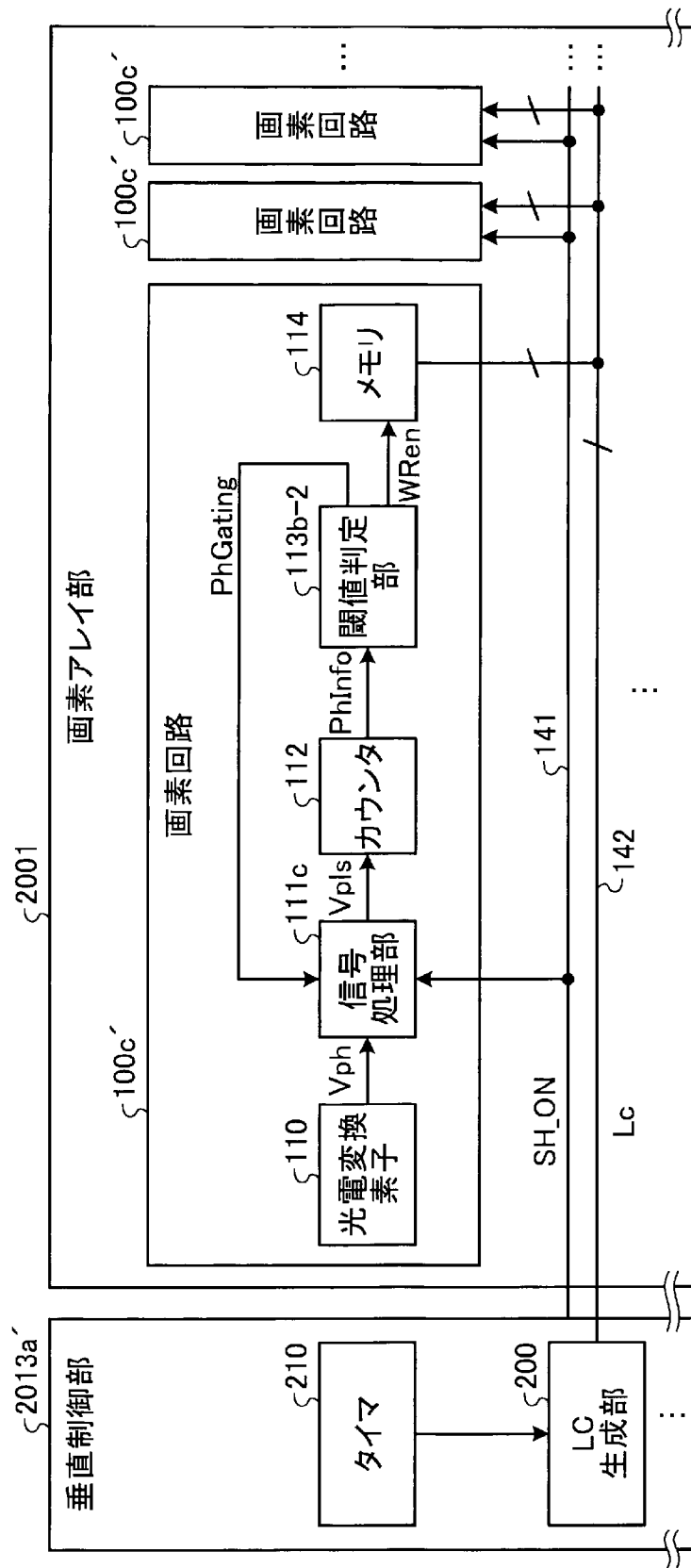
[図48]



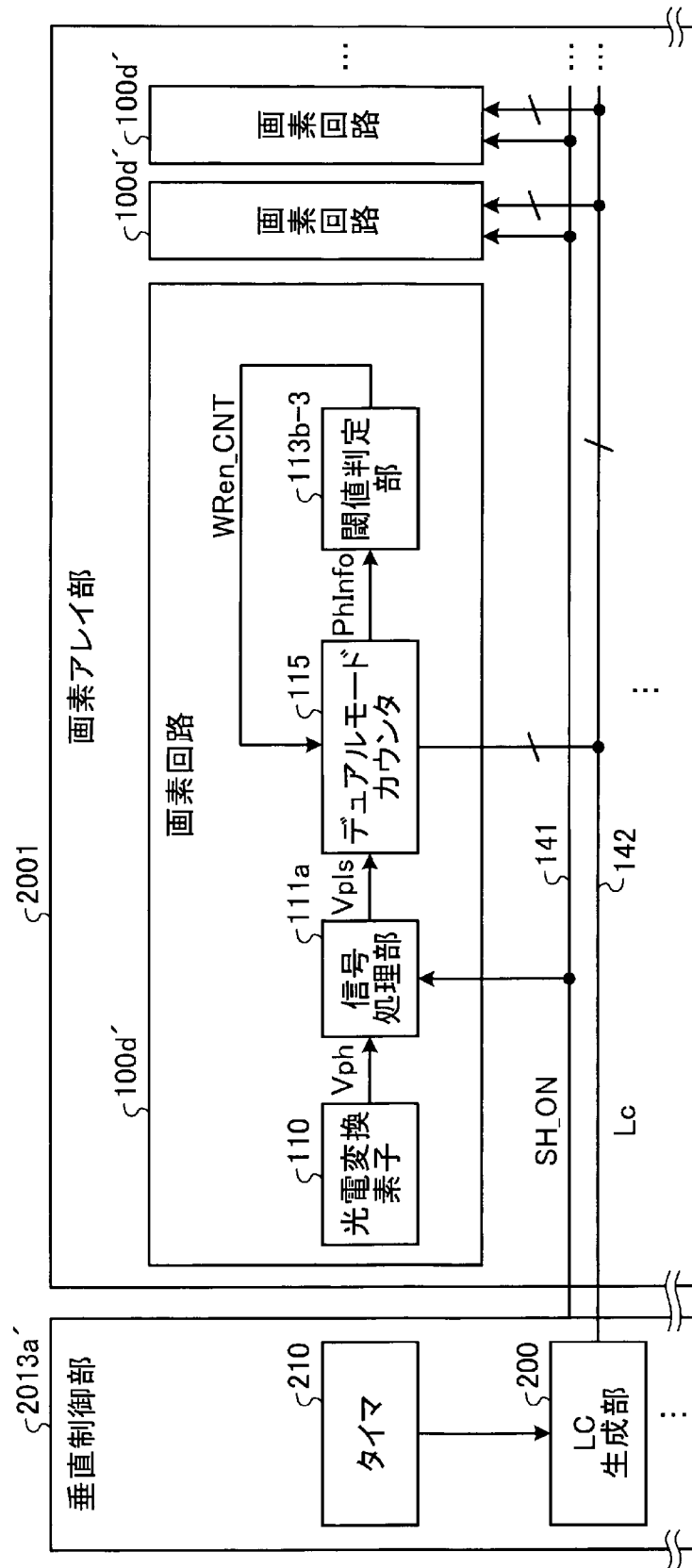
[図49]



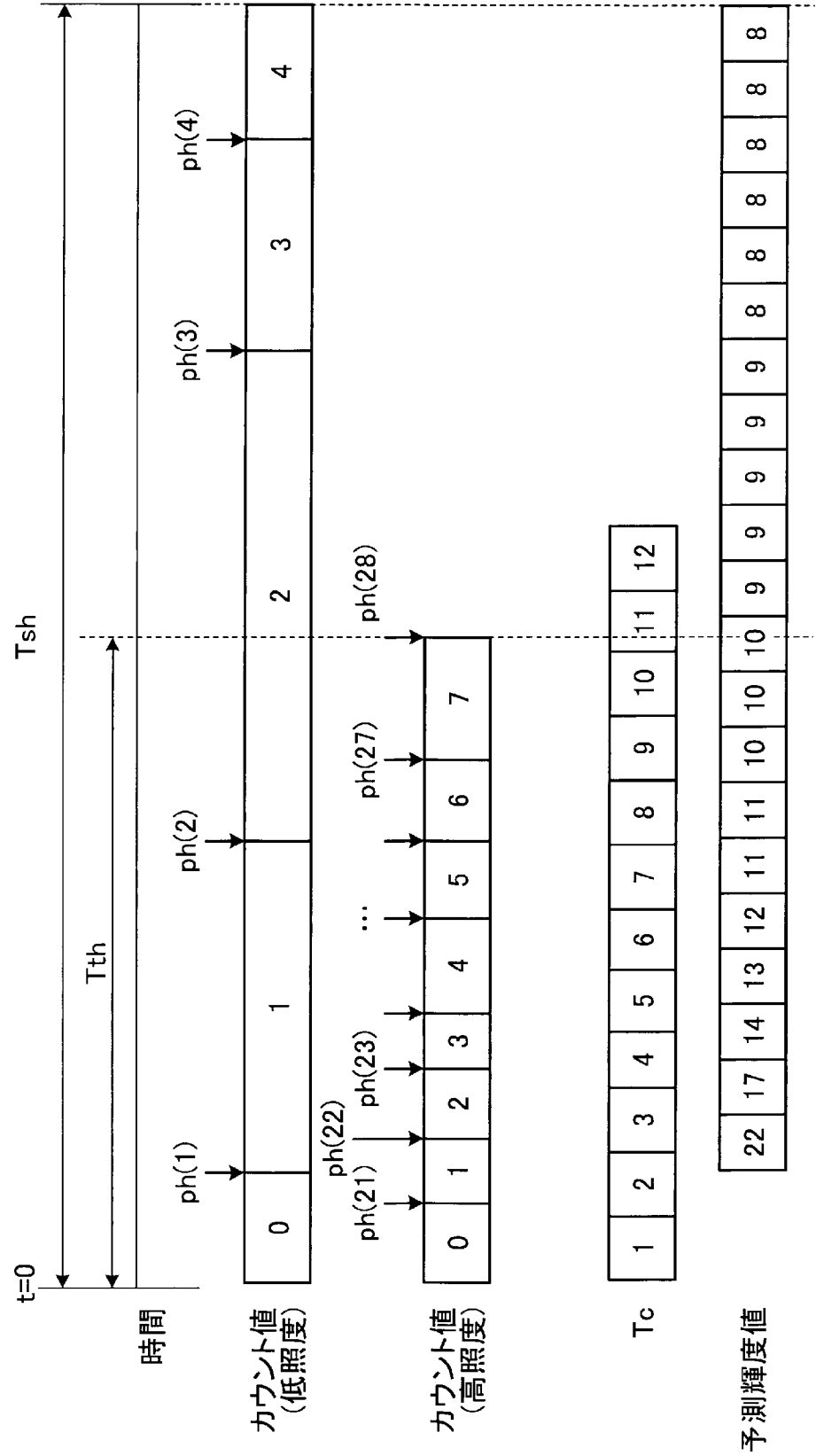
[図50]



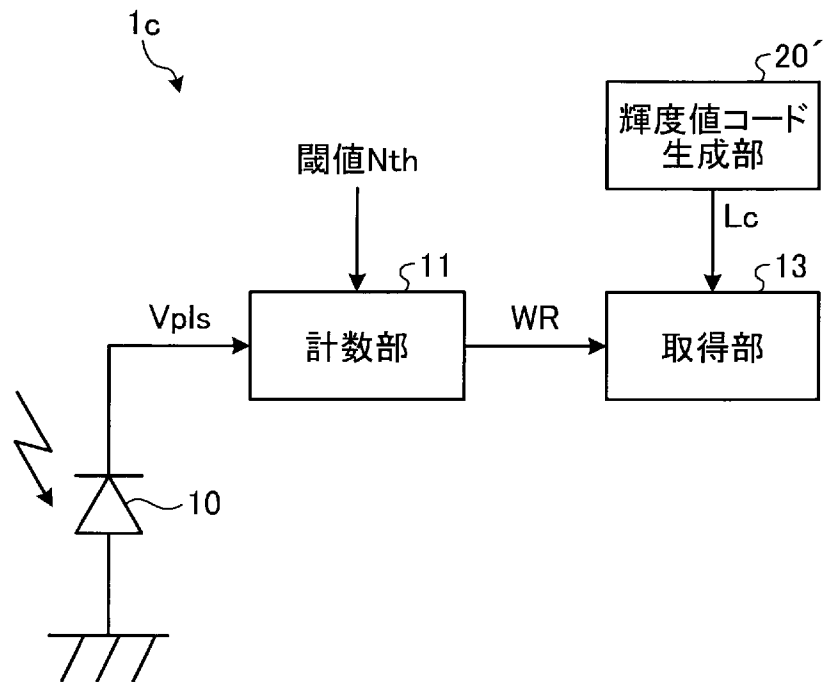
[図51]



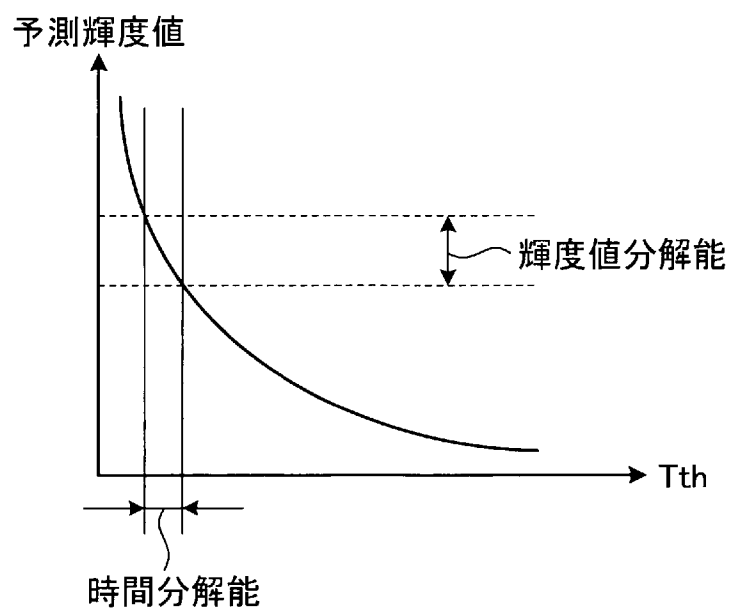
[図52]



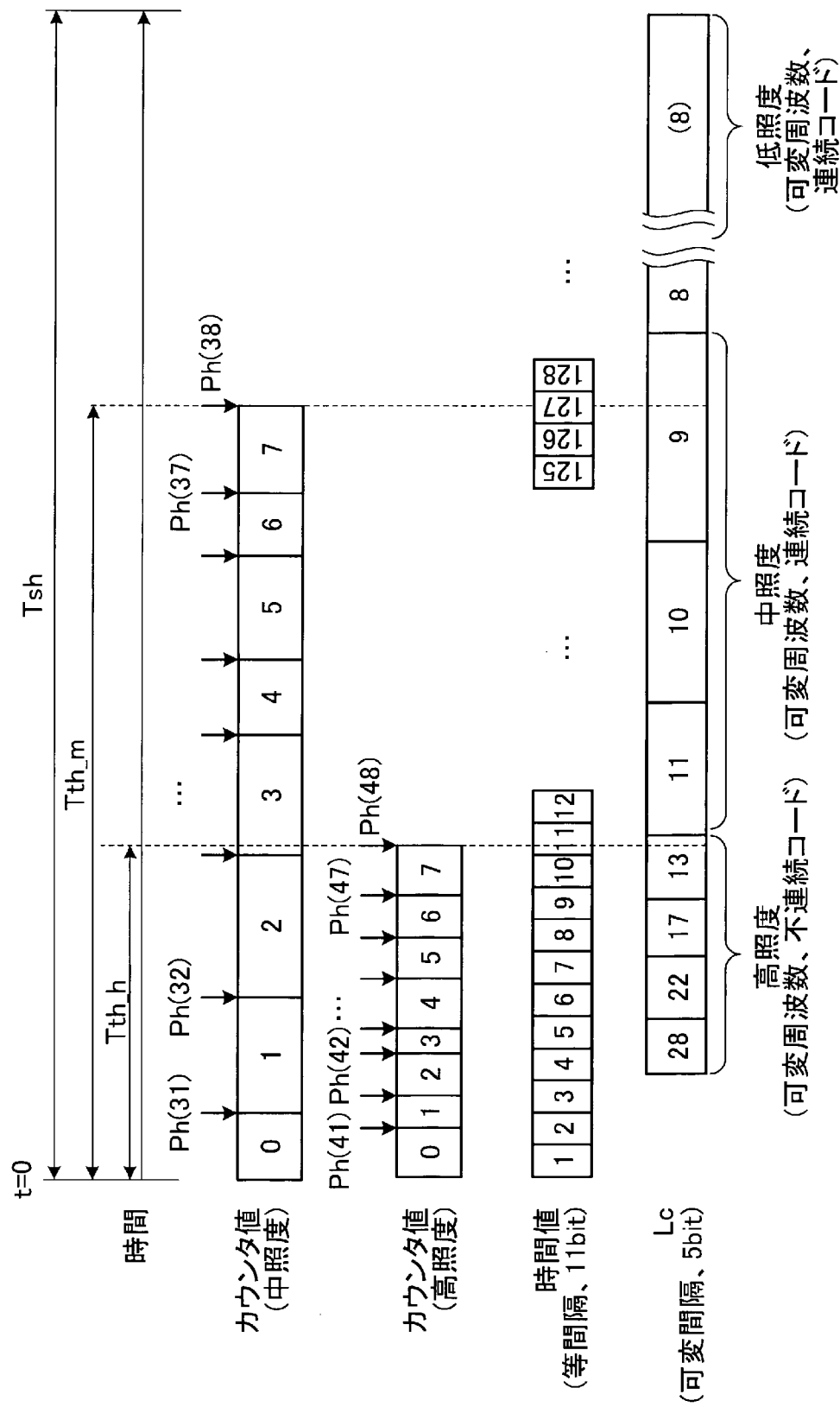
[図53]



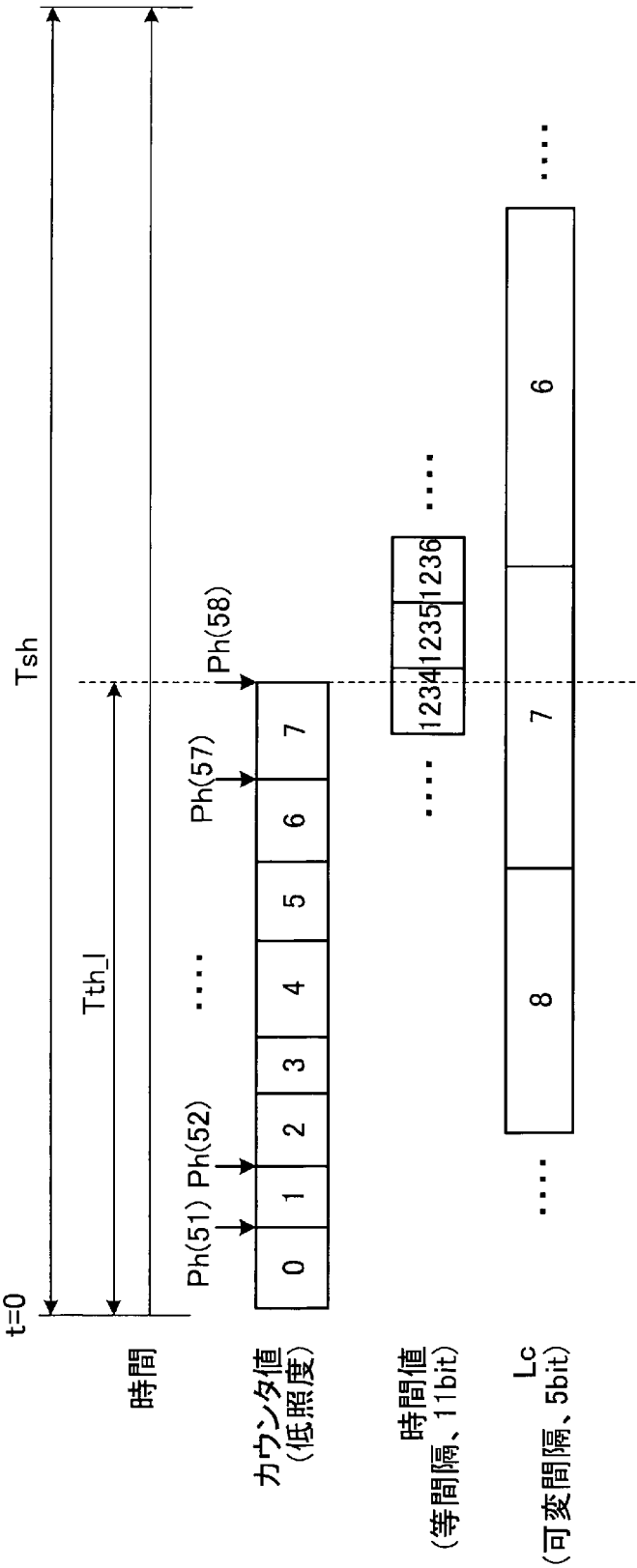
[図54]



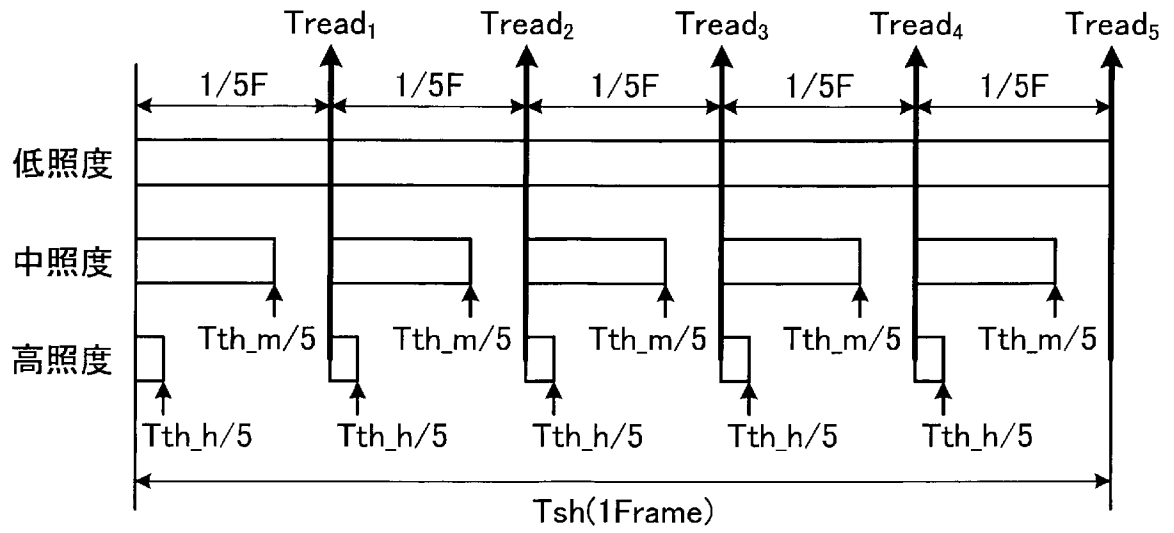
[図55]



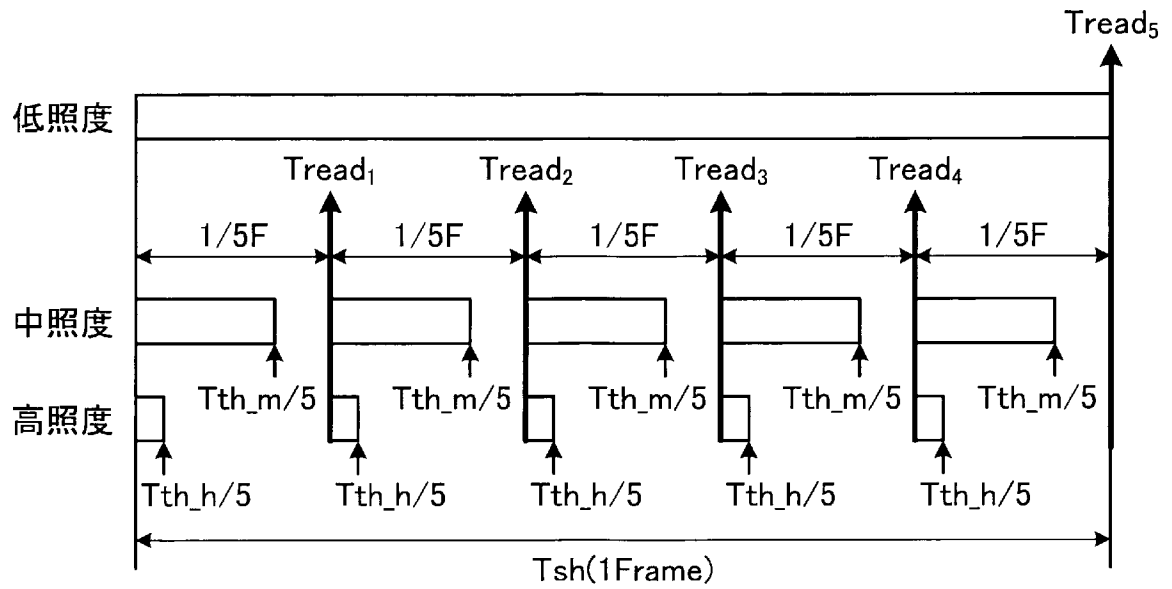
[図56]



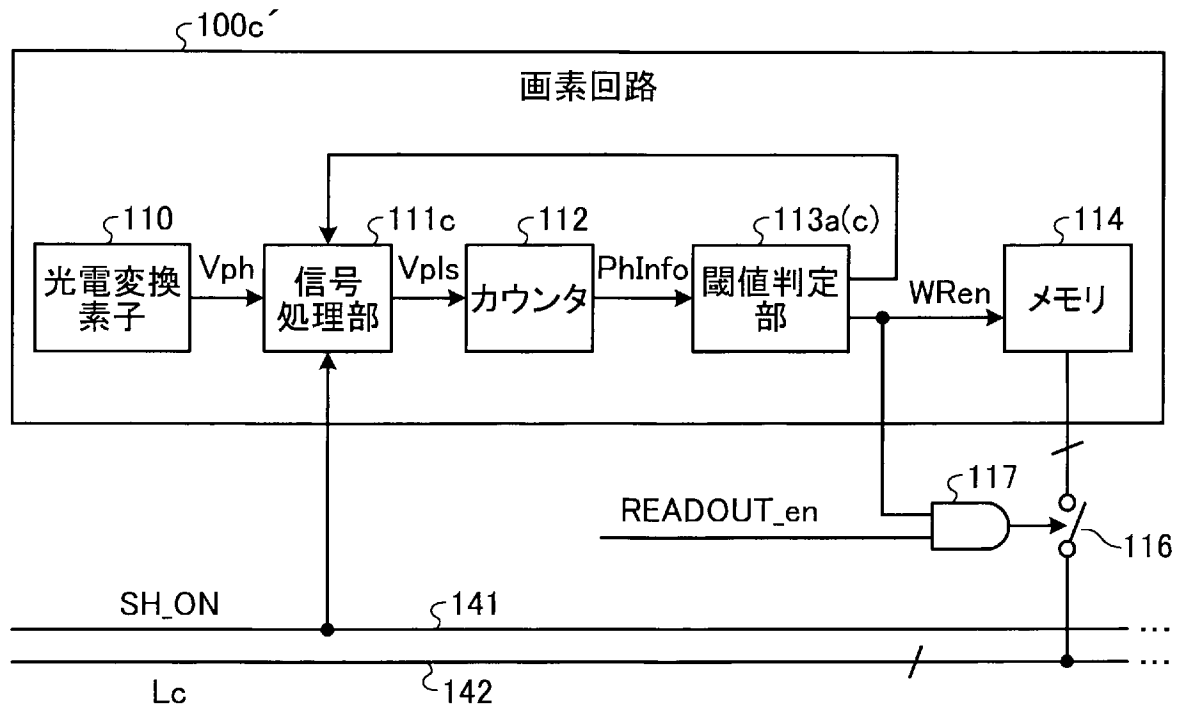
[図57]



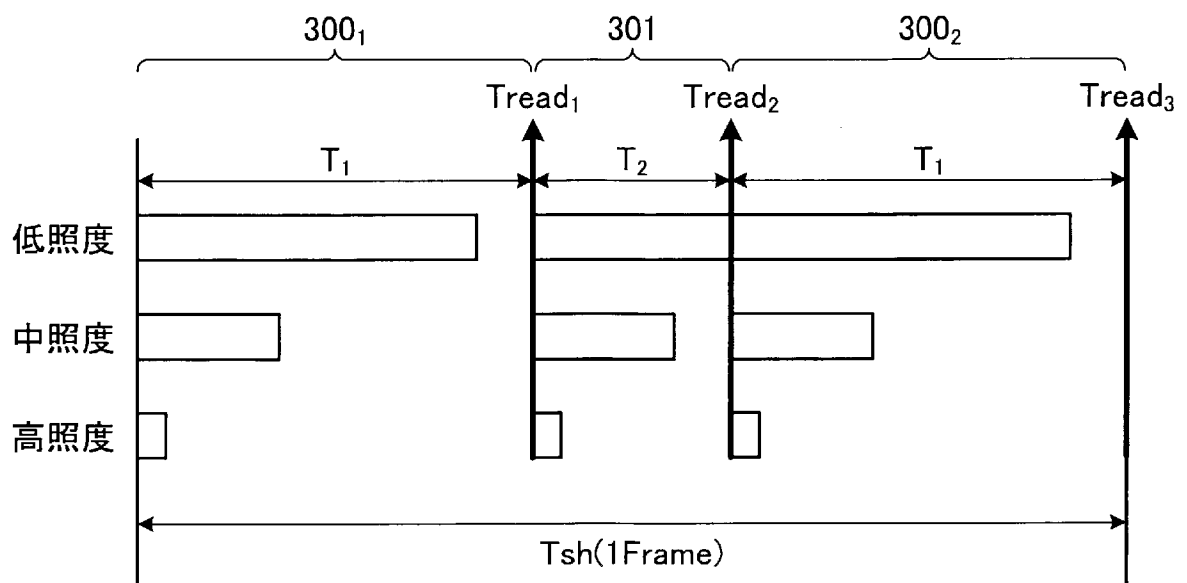
[図58]



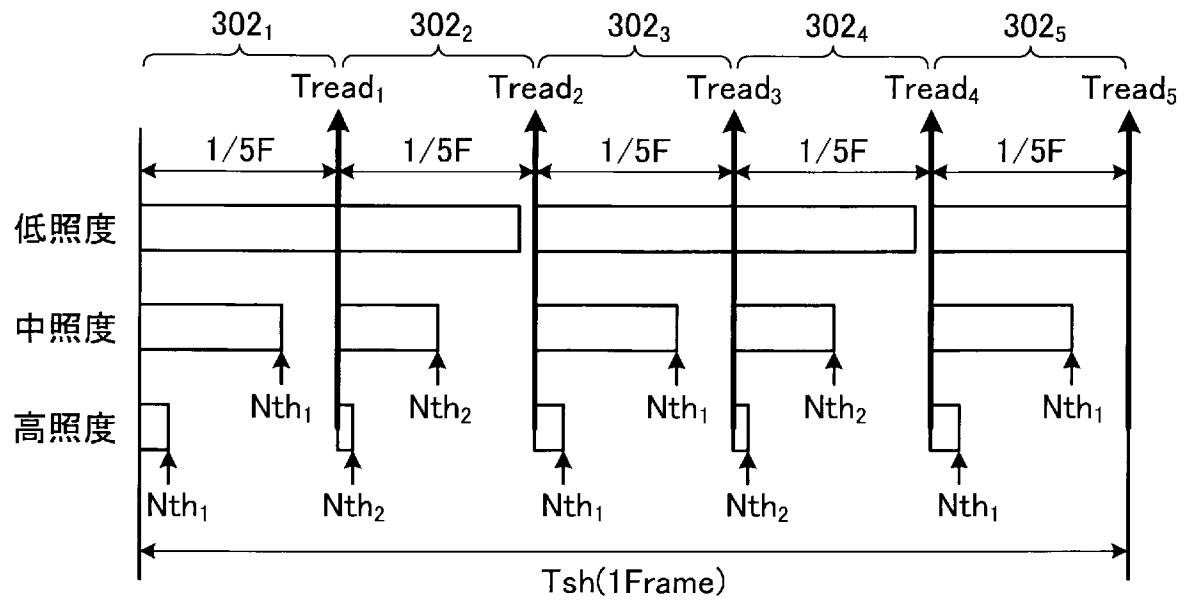
[図59]



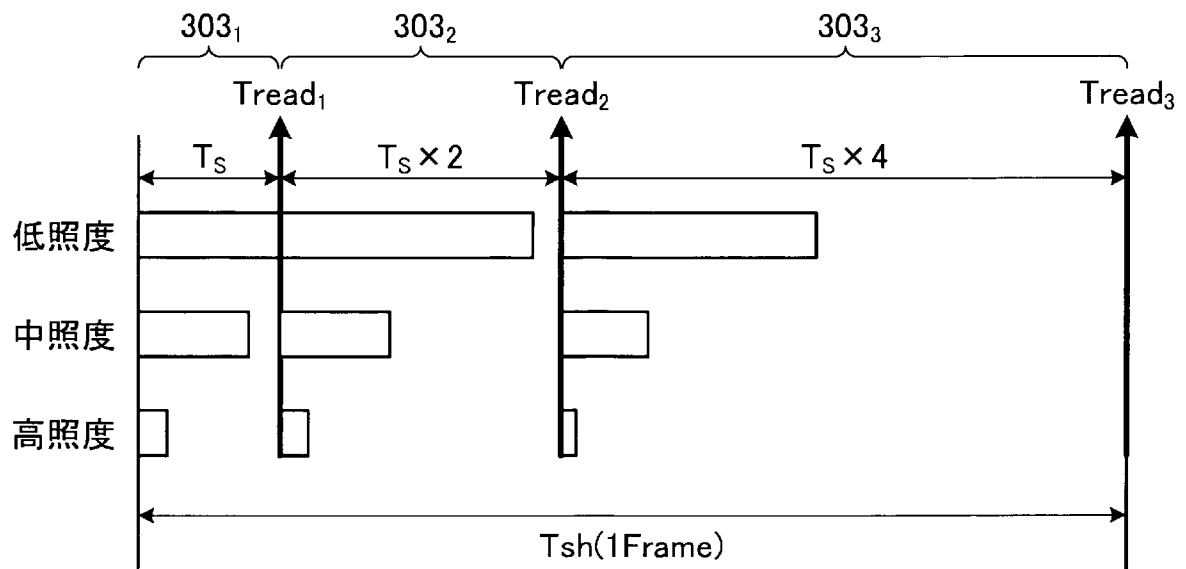
[図60]



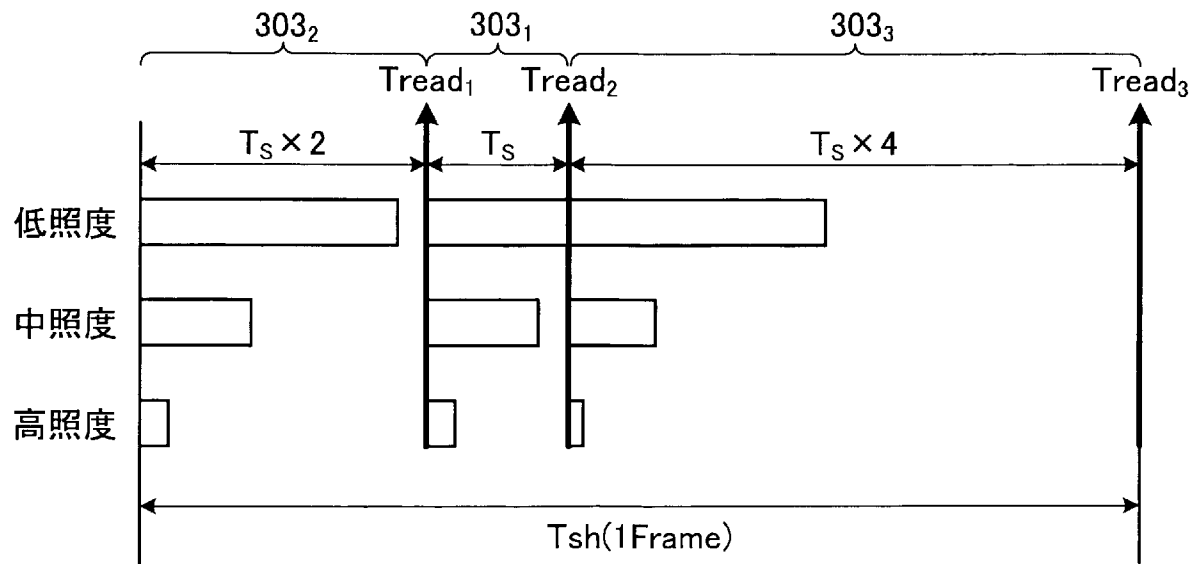
[図61]



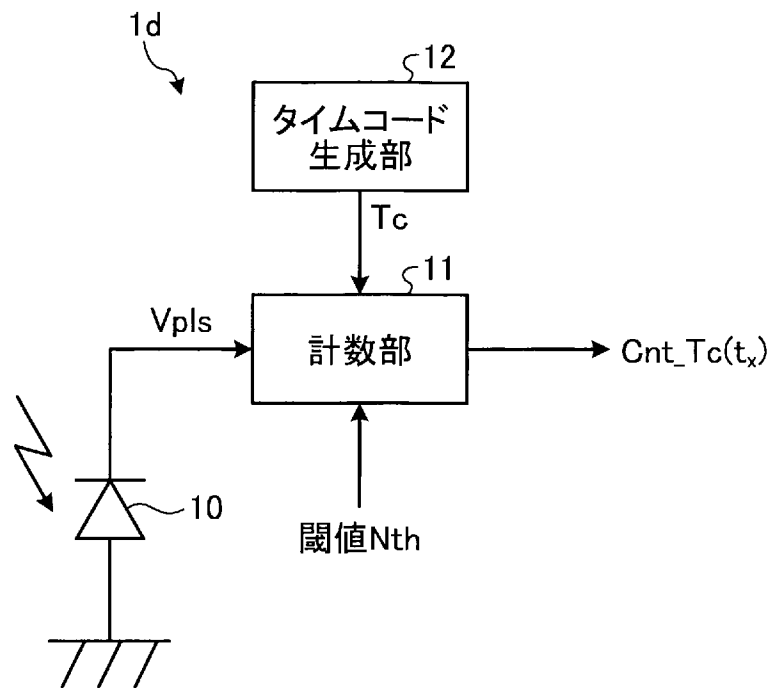
[図62]



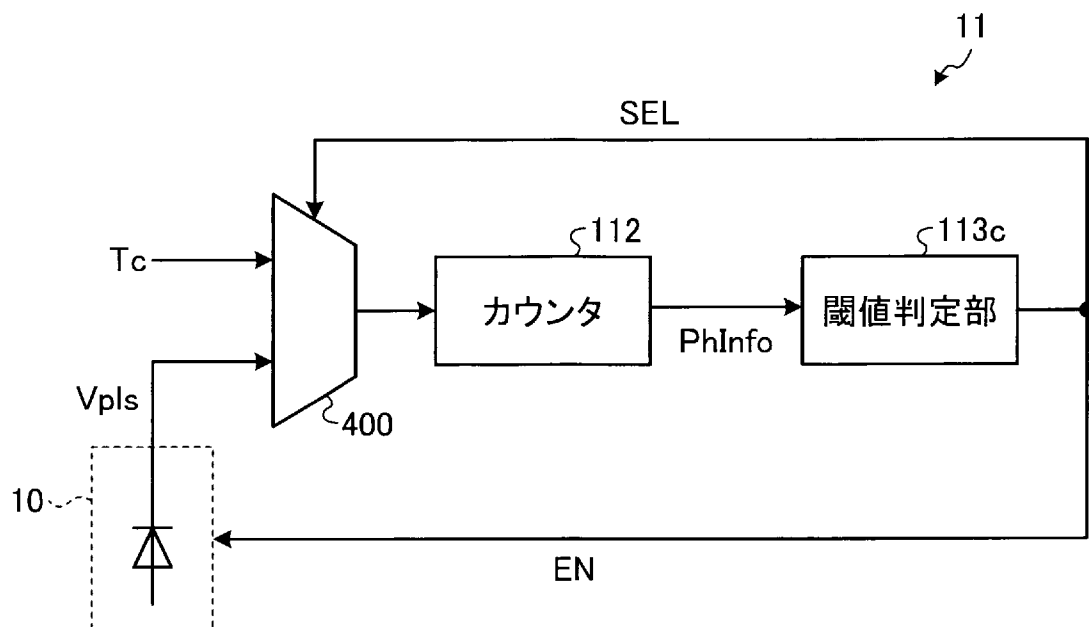
[図63]



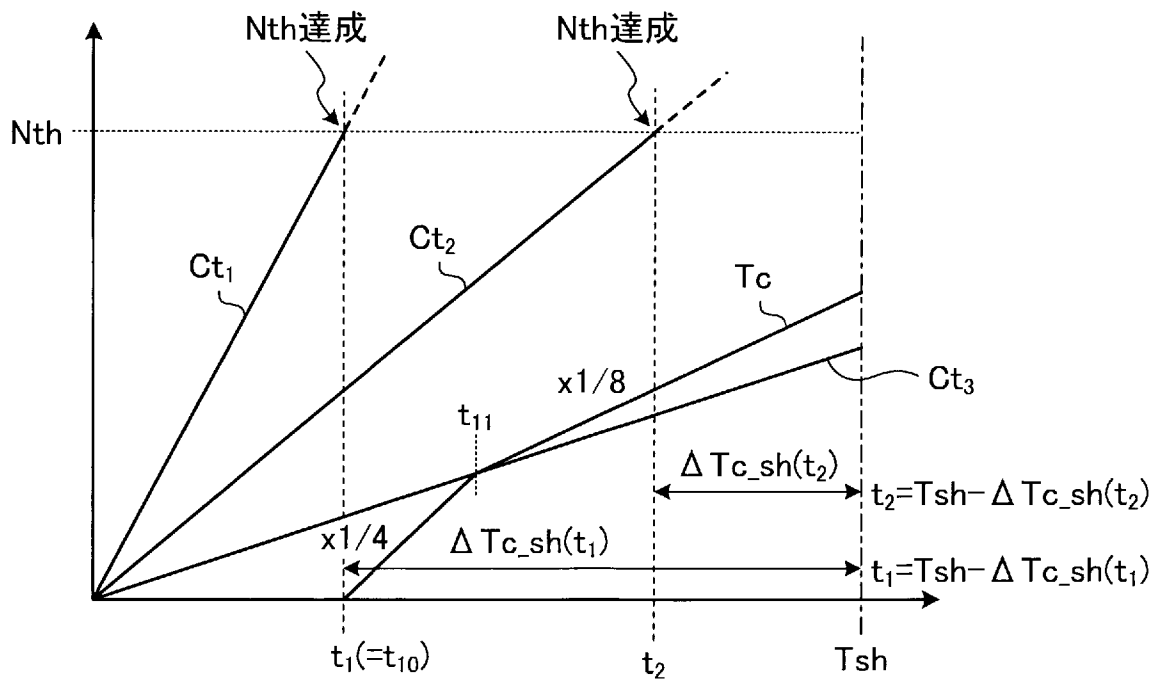
[図64]



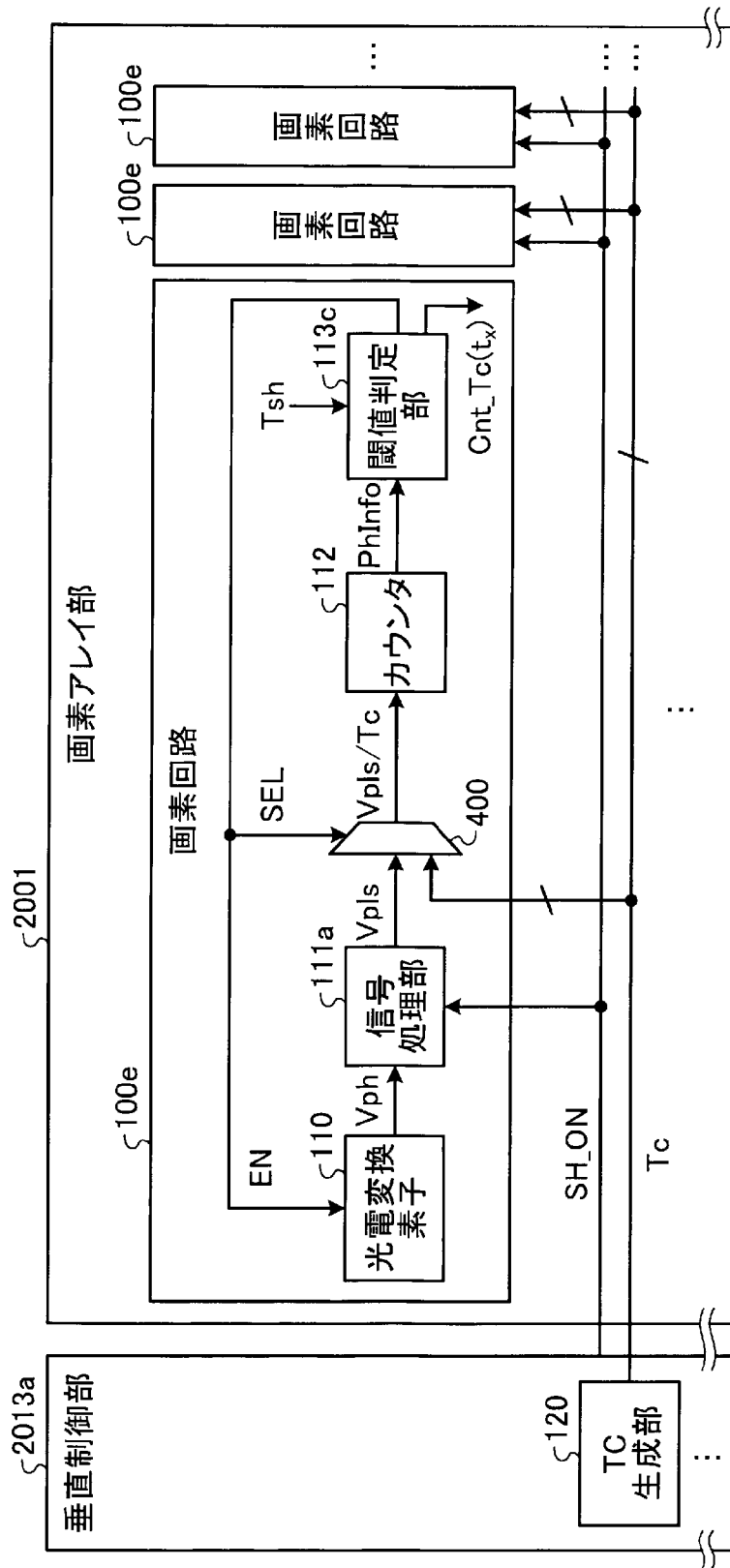
[図65]



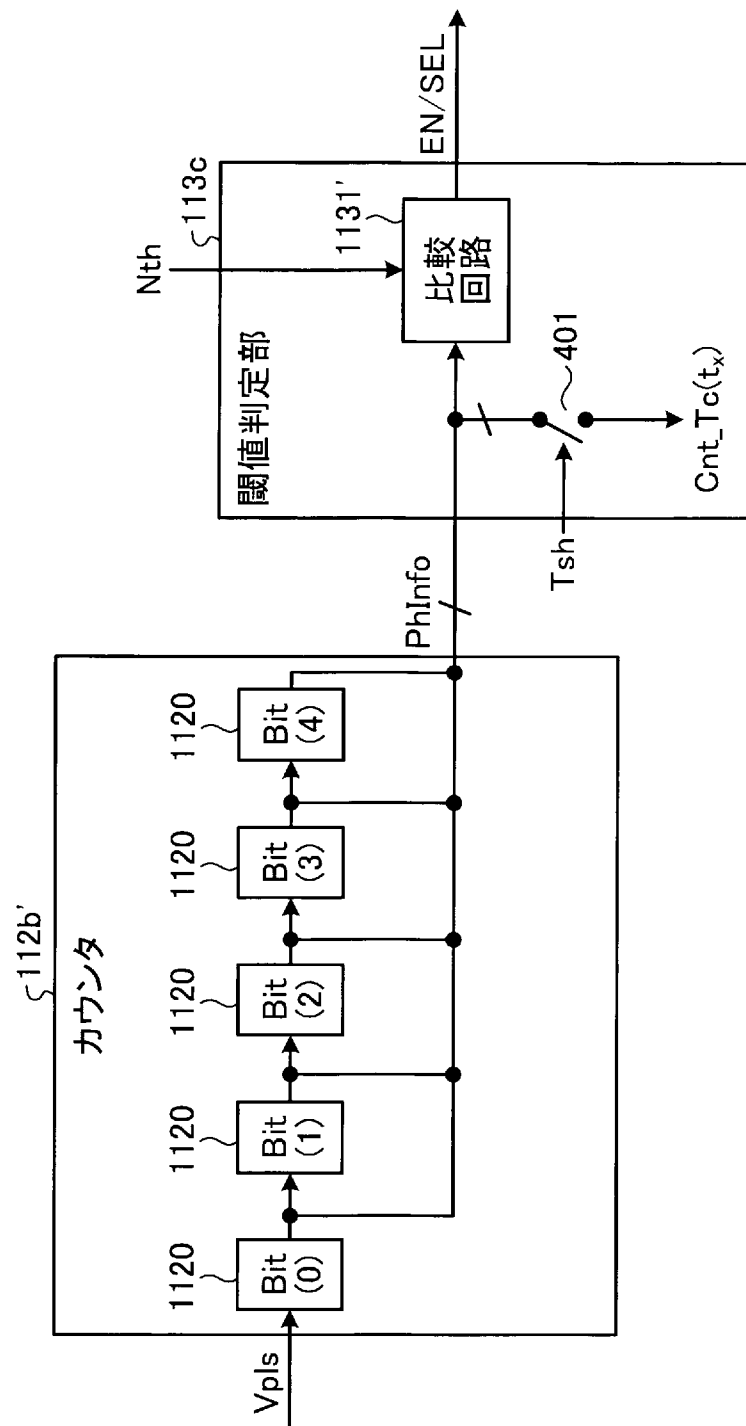
[図66]



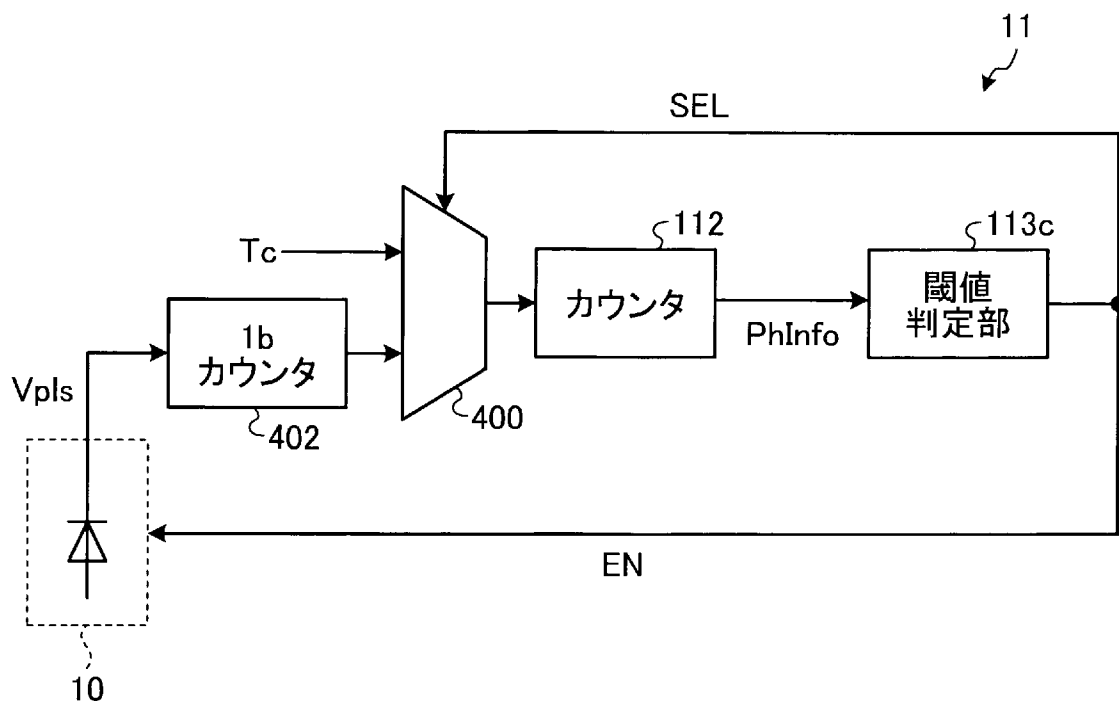
[図67]



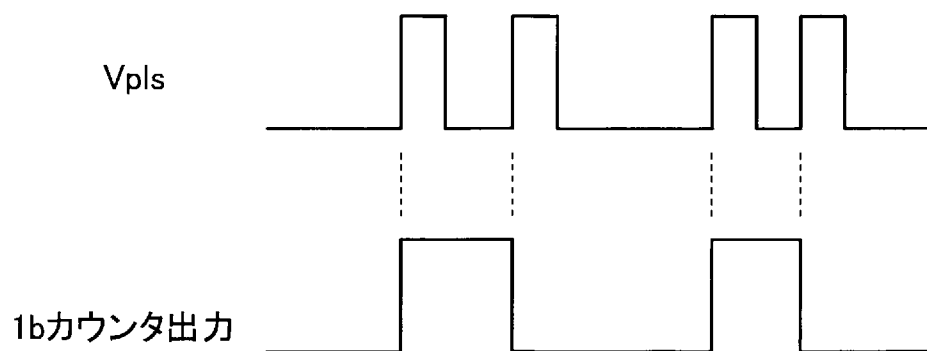
[図68]

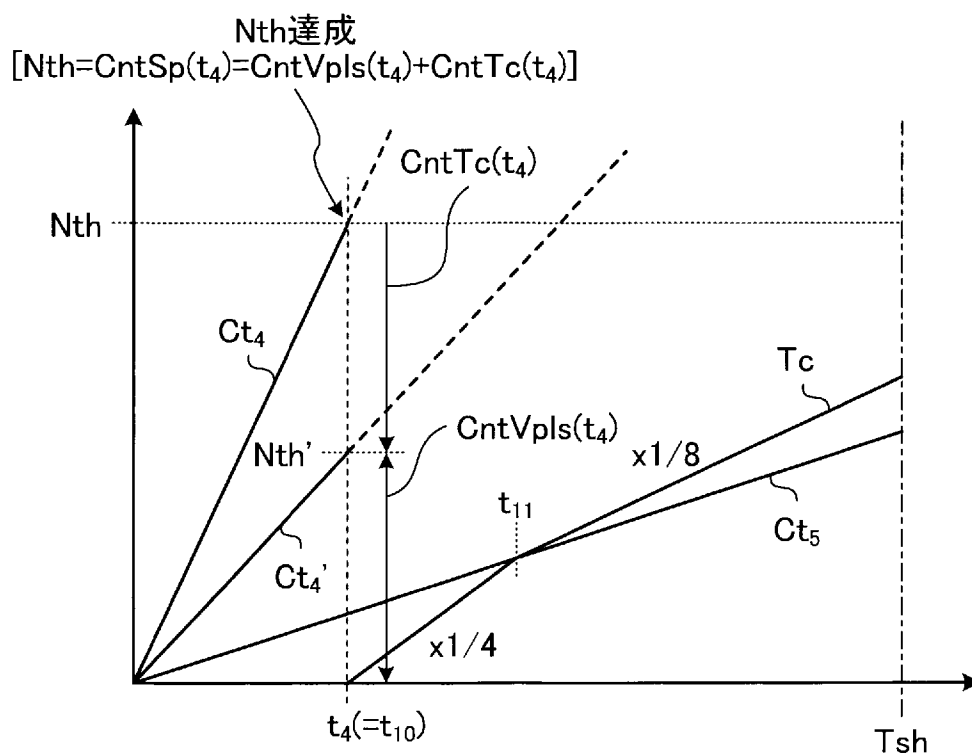
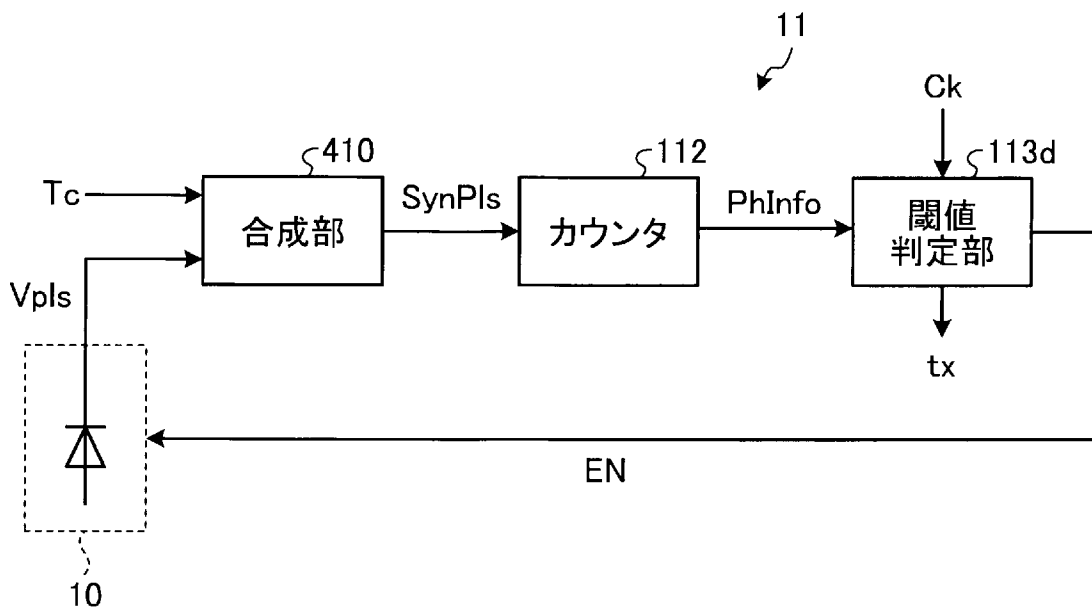


[図69A]

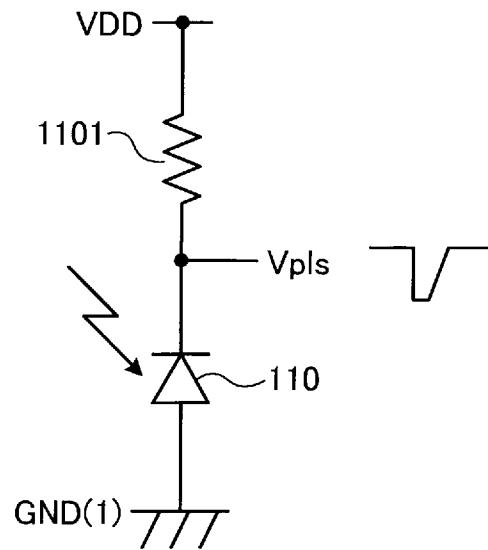


[図69B]

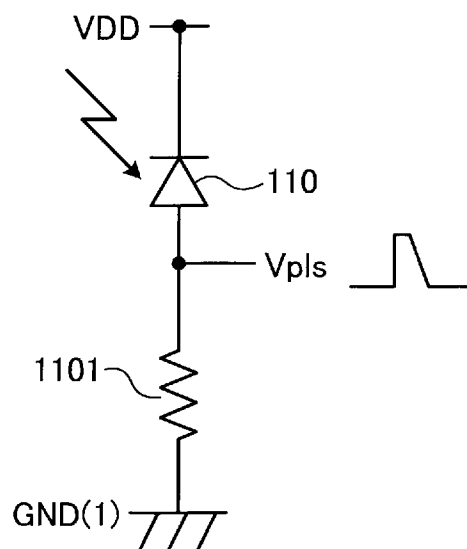




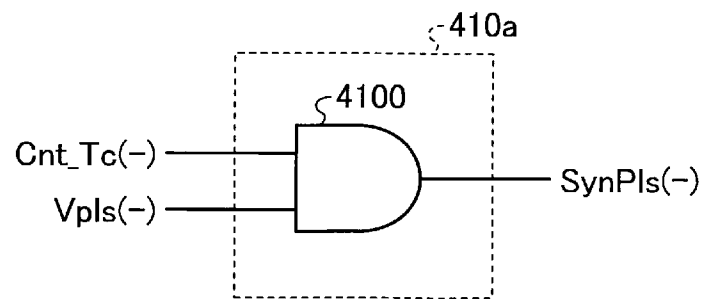
[図72A]



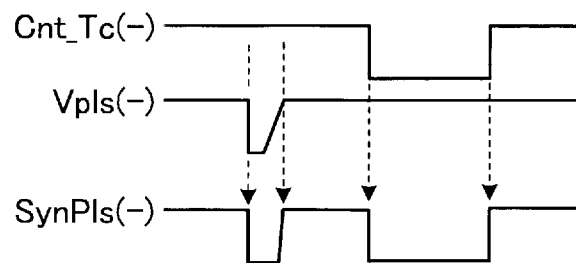
[図72B]



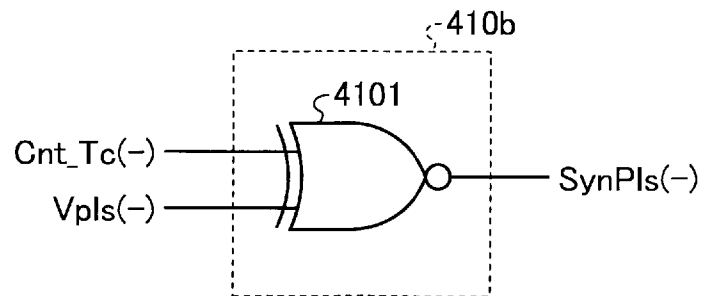
[図73A]



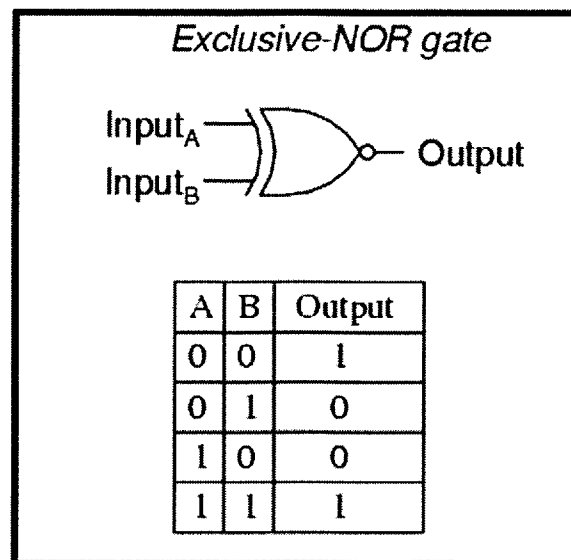
[図73B]



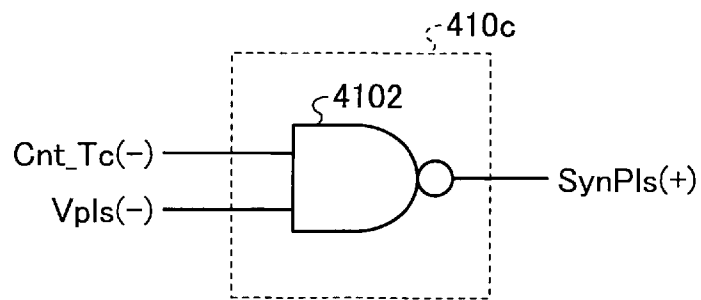
[図74A]



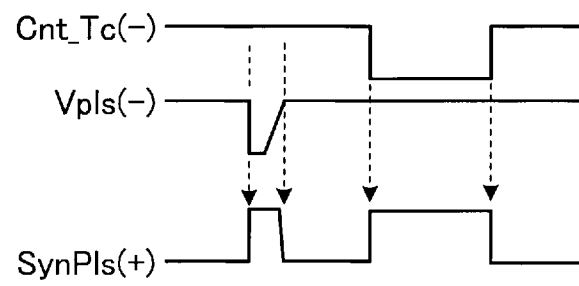
[図74B]



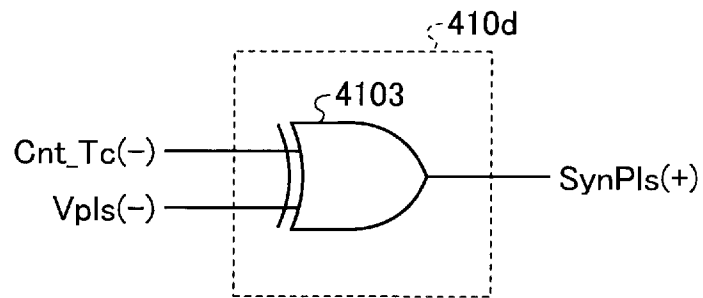
[図75A]



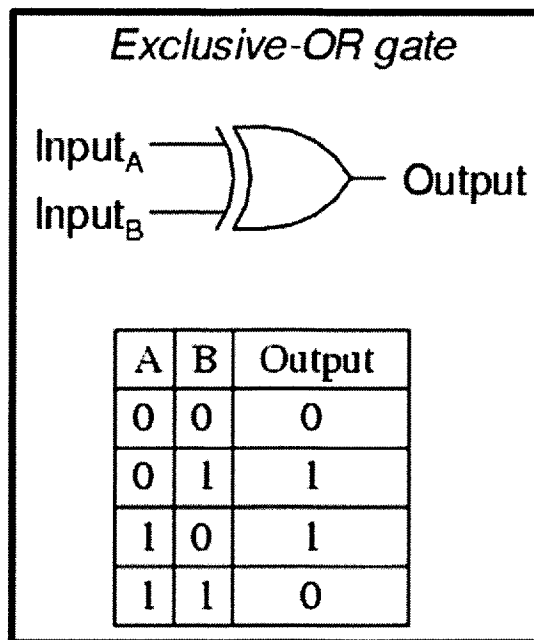
[図75B]



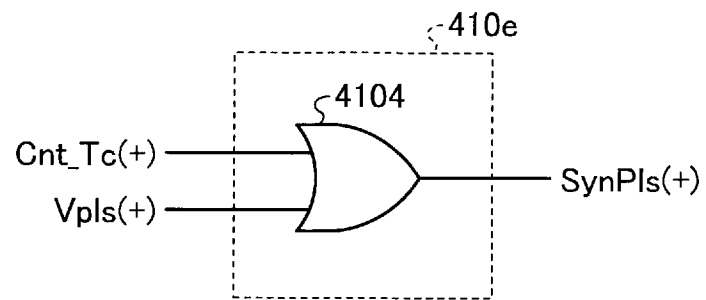
[図76A]



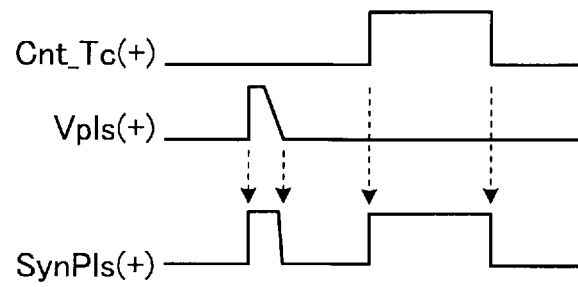
[図76B]



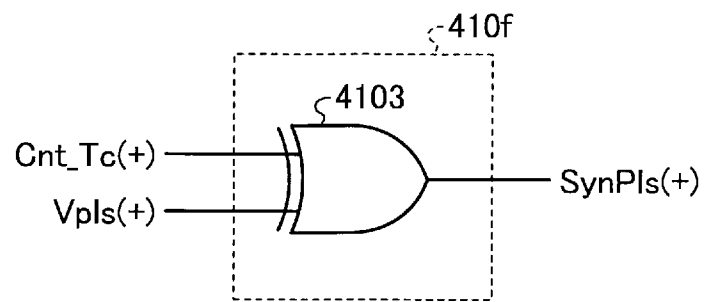
[図77A]



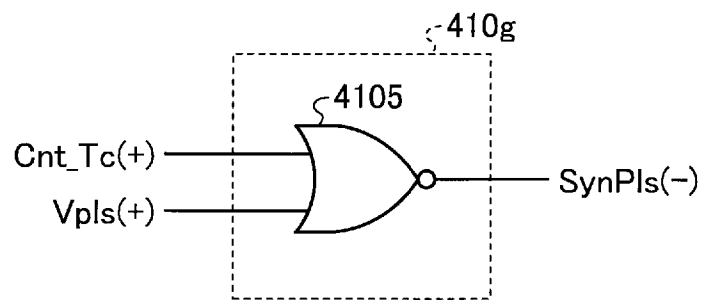
[図77B]



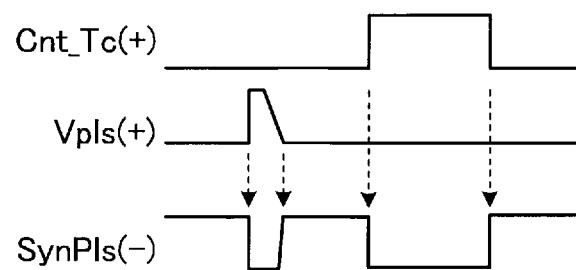
[図78]



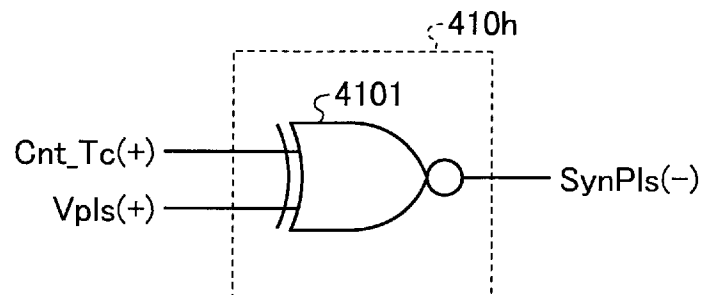
[図79A]



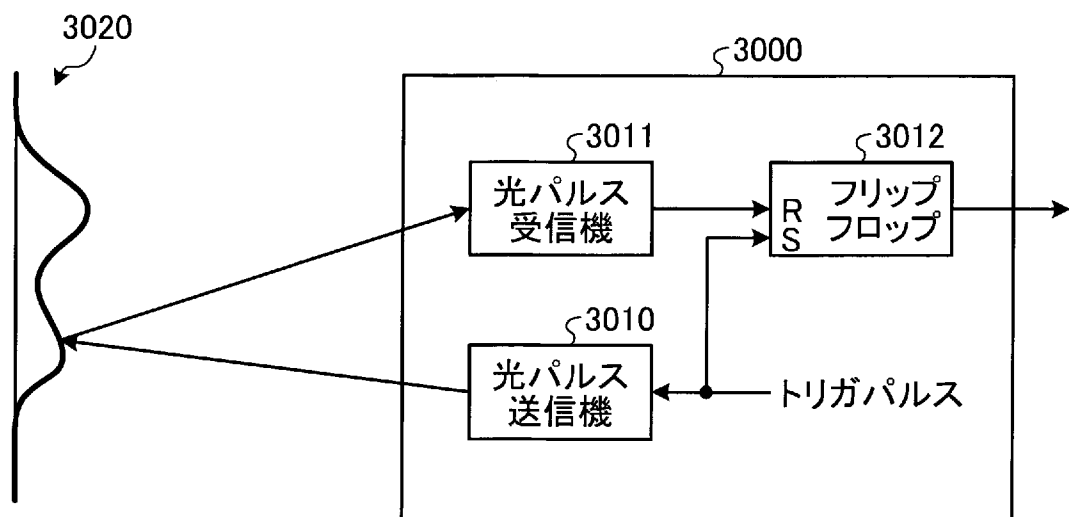
[図79B]



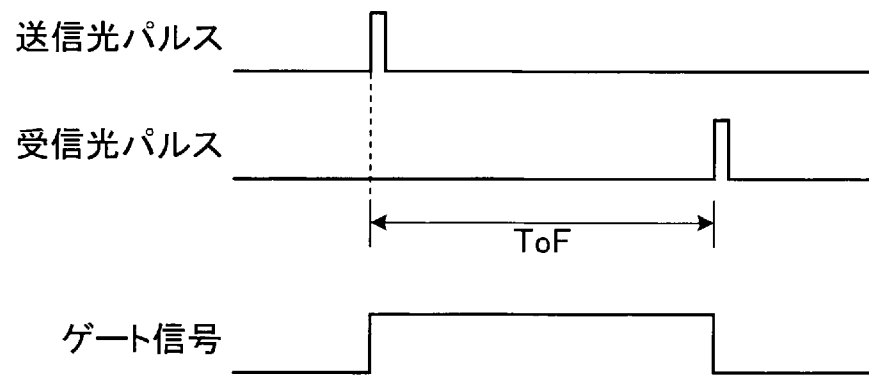
[図80]



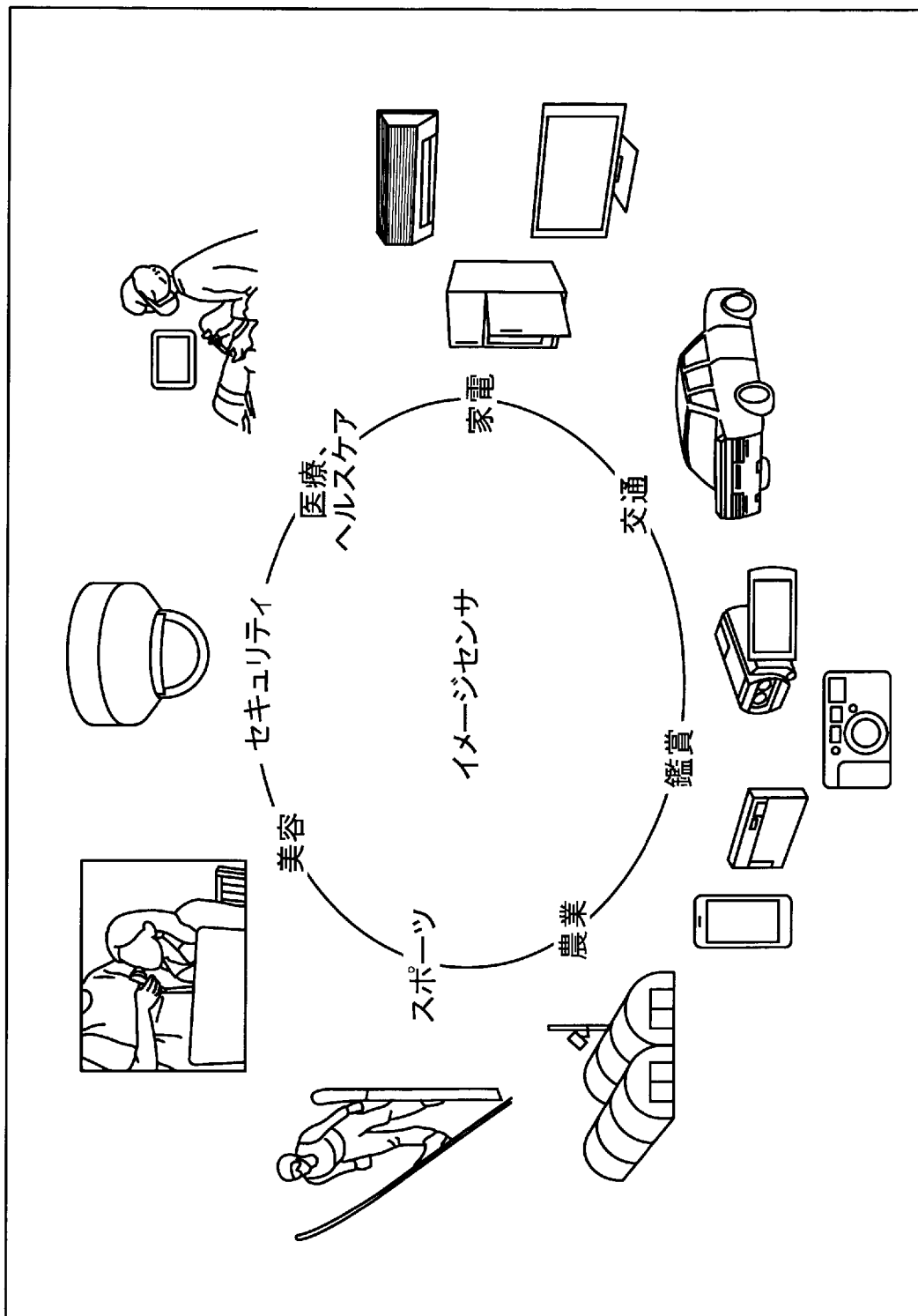
[図81]



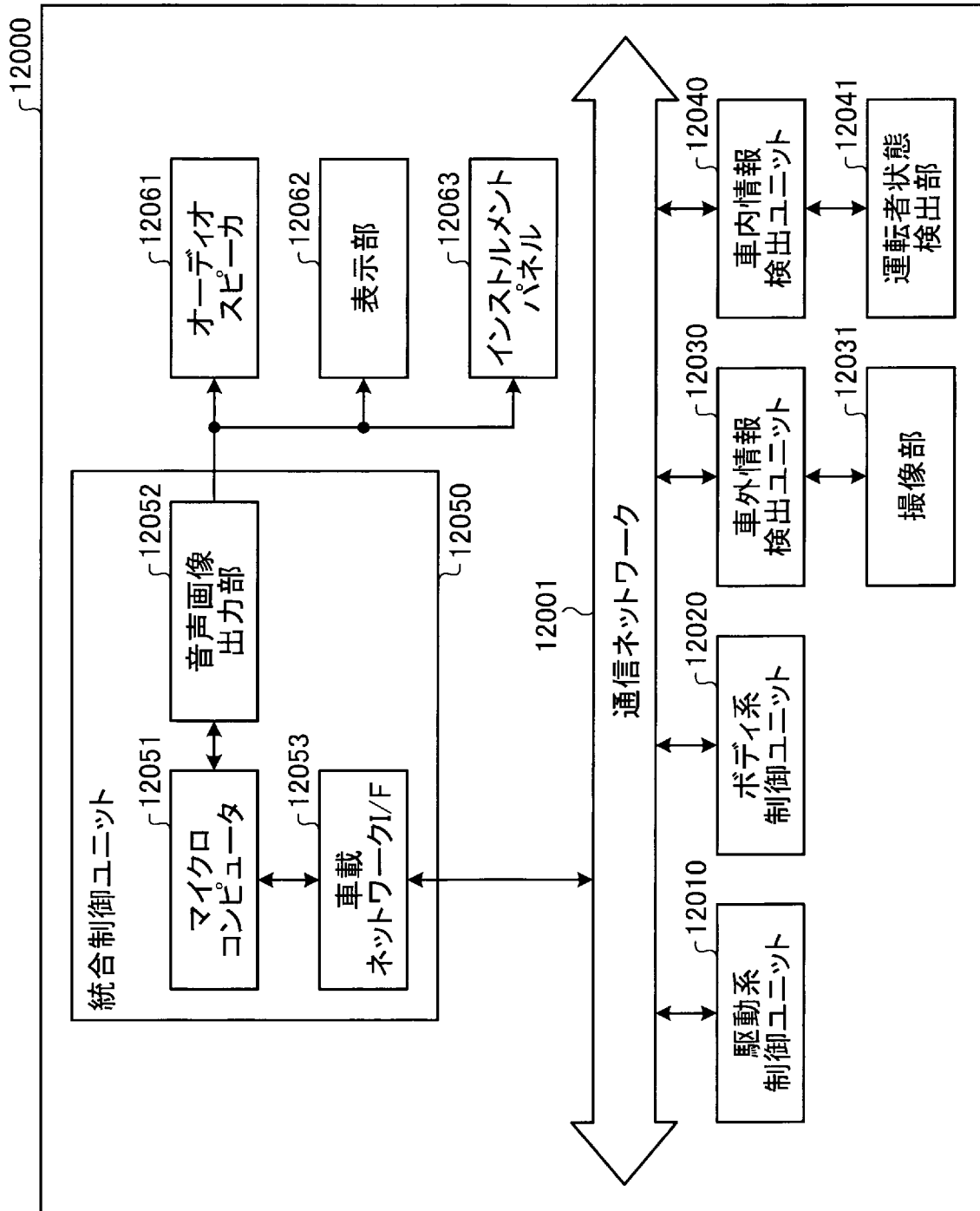
[図82]



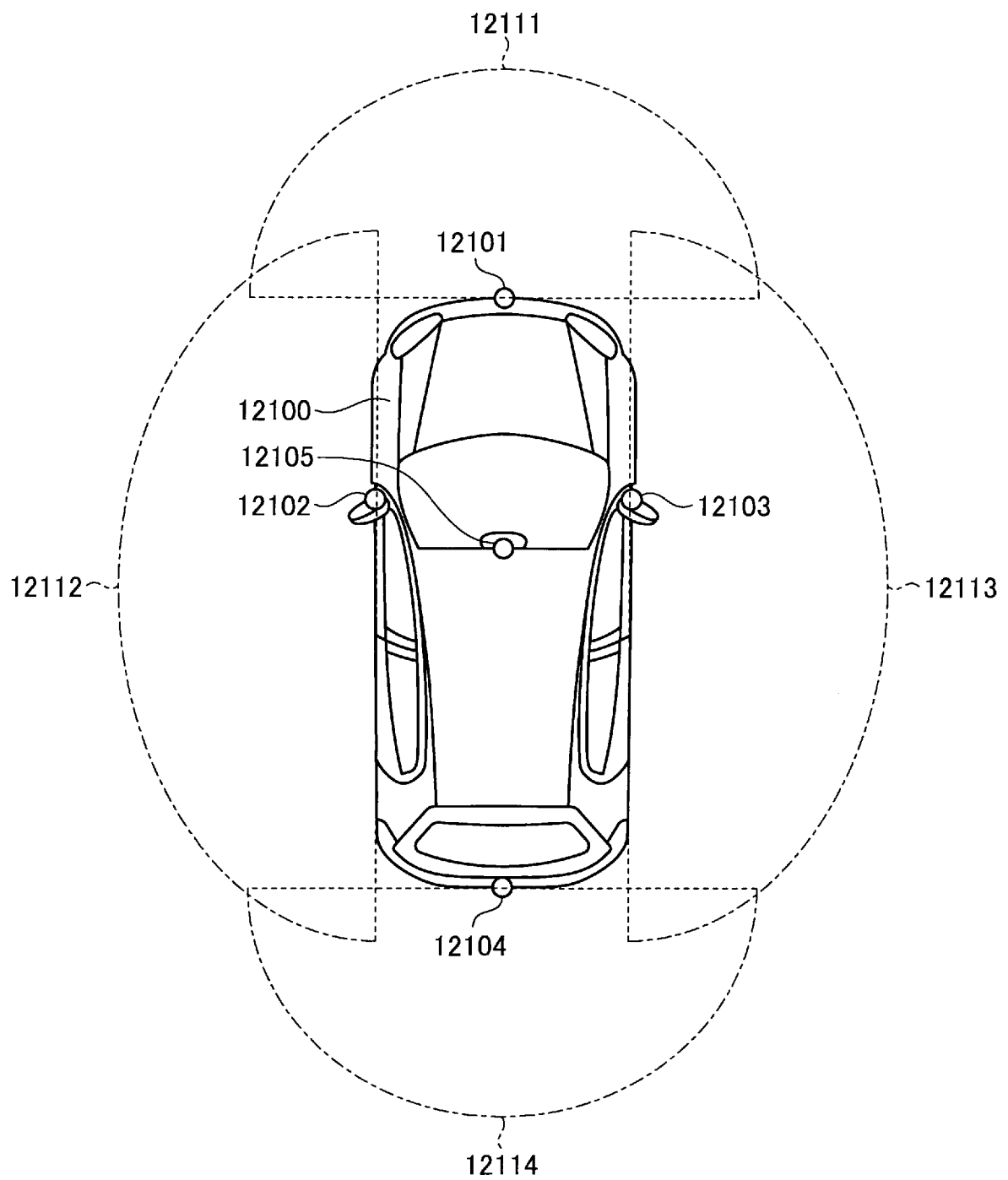
[図83]



[図84]



[図85]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/009871

A. CLASSIFICATION OF SUBJECT MATTER

G01J 1/42 (2006.01) i; G01J 1/44 (2006.01) i; H01L 31/107 (2006.01) i; H01L 31/10 (2006.01) i

FI: G01J1/44 H; H01L31/10 G; H01L31/10 B; G01J1/42 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01J1/00-1/60, 11/00, H01L31/00-31/02, 31/0232, 31/0248, 31/0264, 31/08, 31/10, 31/107-31/108, 31/111, 31/18, 51/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012/0057152 A1 (ELDESOUKI et al.) 08.03.2012 (2012-03-08)	1-26
A	JP 2014-81253 A (TOYOTA CENTRAL R&D LABS., INC.) 08.05.2014 (2014-05-08)	1-26
A	JP 2019-9768 A (CANON INC.) 17.01.2019 (2019-01-17)	1-26
A	WO 2017/042993 A1 (SONY CORP.) 16.03.2017 (2017-03-16)	1-26



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

27 May 2020 (27.05.2020)

Date of mailing of the international search report

09 June 2020 (09.06.2020)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/009871

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2012/0057152 A1	08 Mar. 2012	(Family: none)	
JP 2014-81253 A	08 May 2014	US 2014/0103196 A1	
JP 2019-9768 A	17 Jan. 2019	(Family: none)	
WO 2017/042993 A1	16 Mar. 2017	US 2018/0259629 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01J 1/42(2006.01)i; G01J 1/44(2006.01)i; H01L 31/107(2006.01)i; H01L 31/10(2006.01)i FI: G01J1/44 H; H01L31/10 G; H01L31/10 B; G01J1/42 H		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G01J1/00-1/60, 11/00, H01L31/00-31/02, 31/0232, 31/0248, 31/0264, 31/08, 31/10, 31/107-31/108, 31/111, 31/18, 51/42 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2012/0057152 A1 (ELDESOUKI et al.) 08.03.2012 (2012-03-08)	1-26
A	JP 2014-81253 A (株式会社豊田中央研究所) 08.05.2014 (2014-05-08)	1-26
A	JP 2019-9768 A (キヤノン株式会社) 17.01.2019 (2019-01-17)	1-26
A	WO 2017/042993 A1 (ソニー株式会社) 16.03.2017 (2017-03-16)	1-26
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 27.05.2020		国際調査報告の発送日 09.06.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小澤 瞬 2W 6003 電話番号 03-3581-1101 内線 3258

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/009871

引用文献			公表日	パテントファミリー文献	公表日
US	2012/0057152	A1	08.03.2012	(ファミリーなし)	
JP	2014-81253	A	08.05.2014	US	2014/0103196 A1
JP	2019-9768	A	17.01.2019	(ファミリーなし)	
WO	2017/042993	A1	16.03.2017	US	2018/0259629 A1