I874801

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I874801 B**

(45)公告日： 中華民國 114 (2025) 年 03 月 01 日

(21)申請案號：111130287 (22)申請日： 中華民國 111 (2022) 年 08 月 11 日

(51)Int. Cl.： ***H10B99/00 (2023.01)*** ***H10D84/80 (2025.01)***

(30)優先權：2021/08/25 中國大陸 202110980473.2

(71)申請人：中國大陸商長鑫存儲技術有限公司 (中國大陸) CHANGXIN MEMORY TECHNOLOGIES, INC. (CN)
中國大陸
北京超弦存儲器研究院 (中國大陸) BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY (CN)
中國大陸

(72)發明人：邵光速 SHAO, GUANGSU (CN) ；肖德元 XIAO, DEYUAN (CN) ；邱雲松 QIU, YUNSONG (CN)

(74)代理人：江日舜

(56)參考文獻：

TW 202127587 CN 106504985B

CN 112970122A

審查人員：邱智強

申請專利範圍項數：9 項 圖式數：15 共 48 頁

(54)名稱

半導體結構及其製造方法

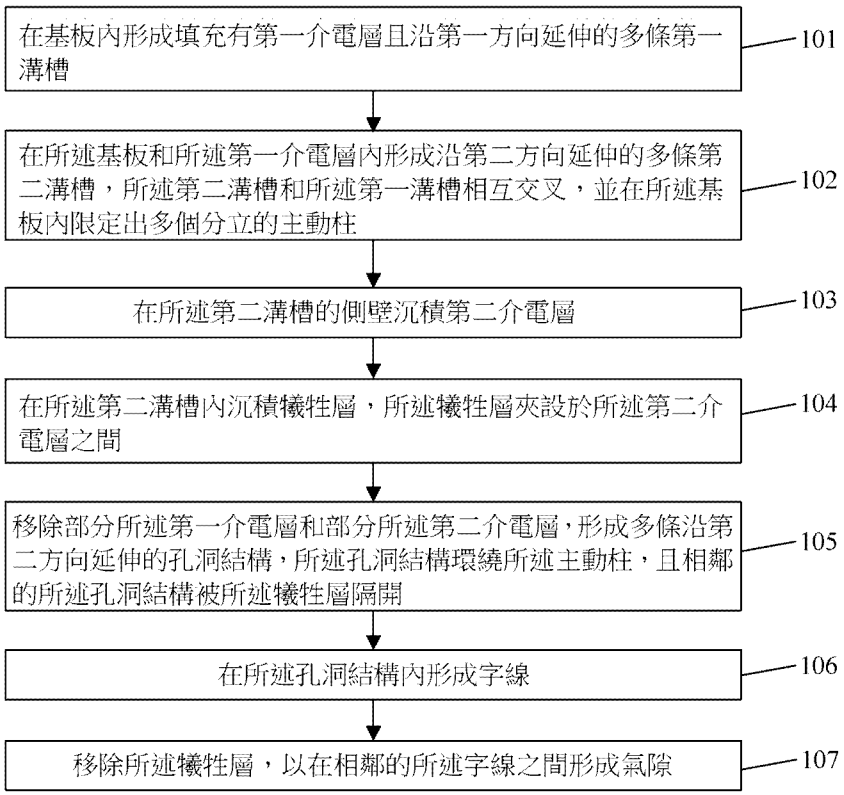
(57)摘要

一種半導體結構的製造方法包括：在基板內形成填充有第一介電層且沿第一方向延伸的多條第一溝槽；在基板和第一介電層內形成沿第二方向延伸的多條第二溝槽，第二溝槽和第一溝槽相互交叉，並在基板內限定出多個分立的主動柱；在第二溝槽的側壁沉積第二介電層；在第二溝槽內沉積犧牲層，犧牲層夾設於第二介電層之間；移除部分第一介電層和部分第二介電層，形成多條沿第二方向延伸的孔洞結構，孔洞結構環繞主動柱，且相鄰的孔洞結構被犧牲層隔開；在孔洞結構內形成字線；移除犧牲層，以在相鄰的字線之間形成氣隙。

A method for manufacturing a semiconductor structure includes: forming first grooves filled with a first dielectric layer and extending in a first direction in a substrate; forming second grooves extending in a second direction in the substrate and the first dielectric layer, the second grooves and the first grooves being intersected and defining discrete active columns in the substrate; depositing second dielectric layers on sidewalls of the second grooves; depositing sacrificial layers in the second grooves, the sacrificial layers being sandwiched between the second dielectric layers; removing part of the first dielectric layer and part of the second dielectric layer, and forming hole structures extending in the second direction, the hole structures surrounding the active columns, and adjacent hole structures being separated by the sacrificial layers; forming word lines in the hole structures; and removing the sacrificial layers to form air gaps between adjacent word lines.

TW I874801 B

指定代表圖：



【圖1】

符號簡單說明：

101、102、103、104、105、106、107: 步驟

I874801

【發明摘要】

【中文發明名稱】

半導體結構及其製造方法

【英文發明名稱】

SEMICONDUCTOR STRUCTURE AND METHOD FOR MANUFACTURING SAME

【中文】

一種半導體結構的製造方法包括：在基板內形成填充有第一介電層且沿第一方向延伸的多條第一溝槽；在基板和第一介電層內形成沿第二方向延伸的多條第二溝槽，第二溝槽和第一溝槽相互交叉，並在基板內限定出多個分立的主動柱；在第二溝槽的側壁沉積第二介電層；在第二溝槽內沉積犧牲層，犧牲層夾設於第二介電層之間；移除部分第一介電層和部分第二介電層，形成多條沿第二方向延伸的孔洞結構，孔洞結構環繞主動柱，且相鄰的孔洞結構被犧牲層隔開；在孔洞結構內形成字線；移除犧牲層，以在相鄰的字線之間形成氣隙。

【英文】

A method for manufacturing a semiconductor structure includes: forming first grooves filled with a first dielectric layer and extending in a first direction in a substrate; forming second grooves extending in a second direction in the substrate and the first dielectric layer, the second grooves and the first grooves being intersected and defining discrete active columns in the substrate; depositing second dielectric layers on sidewalls of the second grooves; depositing sacrificial layers in the second grooves, the sacrificial layers being sandwiched between the second dielectric layers; removing part of the first dielectric layer and part of the second dielectric layer, and forming hole

structures extending in the second direction, the hole structures surrounding the active columns, and adjacent hole structures being separated by the sacrificial layers; forming word lines in the hole structures; and removing the sacrificial layers to form air gaps between adjacent word lines.

【指定代表圖】圖1

【代表圖之符號簡單說明】

101、102、103、104、105、106、107：步驟

【發明說明書】

【中文發明名稱】

半導體結構及其製造方法

【英文發明名稱】

SEMICONDUCTOR STRUCTURE AND METHOD FOR MANUFACTURING SAME

【技術領域】

【0001】本發明涉及半導體製造領域，尤其涉及一種半導體結構及其製造方法。

【先前技術】

【0002】半導體器件，例如記憶體，包括多條彼此鄰近設置的字線，相鄰的字線之間由介電層隔開。

【0003】然而，所述介電層的介電常數較大，使得相鄰的字線之間存在較大的寄生電容，影響所述半導體器件的操作速度。

【發明內容】

【0004】有鑑於此，本發明實施例為解決背景技術中存在的至少一個問題而提供一種半導體結構及其製造方法。

【0005】為達到上述目的，本發明的技術方案是這樣實現的：

【0006】本發明實施例提供了一種半導體結構的製造方法，包括：

在基板內形成填充有第一介電層且沿第一方向延伸的多條第一溝槽；

在所述基板和所述第一介電層內形成沿第二方向延伸的多條第二溝槽，所述第二溝槽和所述第一溝槽相互交叉，並在所述基板內限定出多個分立的主動柱；

在所述第二溝槽的側壁沉積第二介電層；

在所述第二溝槽內沉積犧牲層，所述犧牲層夾設於所述第二介電層之間；

移除部分所述第一介電層和部分所述第二介電層，形成多條沿第二方向延伸的孔洞結構，所述孔洞結構環繞所述主動柱，且相鄰的所述孔洞結構被所述犧牲層隔開；

在所述孔洞結構內形成字線；

移除所述犧牲層，以在相鄰的所述字線之間形成氣隙。

【0007】 本發明實施例還提供了一種半導體結構，包括：

基板，所述基板內包括多條沿第一方向延伸的第一溝槽和多條沿第二方向延伸的第二溝槽，所述第一溝槽和所述第二溝槽相互交叉在所述基板內限定出多個分立的主動柱；

第一介電層，位於所述第一溝槽底部；

第二介電層，覆蓋所述第二溝槽底部的側壁；

氣隙，位於所述第二溝槽內；

多條沿第二方向延伸的字線，位於所述第一溝槽和所述第二溝槽內；所述字線環繞所述主動柱且覆蓋所述第一介電層和所述第二介電層的上表面；

其中，相鄰的所述字線由所述氣隙隔開。

【0008】 本發明實施例所提供的半導體結構及其製造方法，其中，所述製造方法包括：在基板內形成填充有第一介電層且沿第一方向延伸的多條第一溝槽；在所述基板和所述第一介電層內形成沿第二方向延伸的多條第二溝槽，所述第二溝槽和所述第一溝槽相互交叉，並在所述基板內限定出多個分立的主動柱；在所述第二溝槽的側壁沉積第二介電層；在所述第二溝槽內沉積犧牲層，所述犧牲層夾設於所述第二介電層之間；移除部分所述第一介電層和部分所述

第二介電層，形成多條沿第二方向延伸的孔洞結構，所述孔洞結構環繞所述主動柱，且相鄰的所述孔洞結構被所述犧牲層隔開；在所述孔洞結構內形成字線；移除所述犧牲層，以在相鄰的所述字線之間形成氣隙。所述氣隙具有較低的介電常數，可以降低所述半導體結構內的相鄰字線之間的寄生電容，從而提高所述半導體結構的性能。

【圖式簡單說明】

【0009】 圖1為本發明實施例提供的半導體結構的製造方法的流程框圖；

【0010】 圖2為本發明實施例提供的半導體結構的俯視示意圖；

【0011】 圖3a至圖15d為本發明實施例提供的半導體結構的製程流程圖。

【實施方式】

【0012】 下面將參照附圖更詳細地描述本發明公開的示例性實施方式。雖然附圖中顯示了本發明的示例性實施方式，然而應當理解，可以以各種形式實現本發明，而不應被這裡闡述的具體實施方式所限制。相反，提供這些實施方式是為了能夠更透徹地理解本發明，並且能夠將本發明公開的範圍完整的傳達給本領域的技術人員。

【0013】 在下文的描述中，給出了大量具體的細節以便提供對本發明更為徹底的理解。然而，對於本領域技術人員而言顯而易見的是，本發明可以無需一個或多個這些細節而得以實施。在其他的例子中，為了避免與本發明發生混淆，對於本領域公知的一些技術特徵未進行描述；即，這裡不描述實際實施例的全部特徵，不詳細描述公知的功能和結構。

【0014】 在附圖中，為了清楚，層、區、元件的尺寸以及其相對尺寸可能被誇大。自始至終相同附圖標記表示相同的元件。

【0015】 應當明白，當元件或層被稱為“在……上”、“與……相鄰”、“連接到”或“耦合到”其它元件或層時，其可以直接地在其它元件或層上、

與之相鄰、連接或耦合到其它元件或層，或者可以存在居間的元件或層。相反，當元件被稱為“直接在……上”、“與……直接相鄰”、“直接連接到”或“直接耦合到”其它元件或層時，則不存在居間的組件或層。應當明白，儘管可使用術語第一、第二、第三等描述各種元件、部件、區、層和/或部分，這些元件、部件、區、層和/或部分不應當被這些術語限制。這些術語僅僅用來區分一個元件、部件、區、層或部分與另一個元件、部件、區、層或部分。因此，在不脫離本發明教導之下，下面討論的第一元件、部件、區、層或部分可表示為第二元件、部件、區、層或部分。而當討論的第二元件、部件、區、層或部分時，並不表明本發明必然存在第一元件、部件、區、層或部分。

【0016】空間關係術語例如“在……下”、“在……下面”、“下麵的”、“在……之下”、“在……之上”、“上面的”等，在這裡可為了方便描述而被使用從而描述圖中所示的一個元件或特徵與其它元件或特徵的關係。應當明白，除了圖中所示的取向以外，空間關係術語意圖還包括使用和操作中的器件的不同取向。例如，如果附圖中的器件翻轉，然後，描述為“在其它元件下面”或“在其之下”或“在其下”元件或特徵將取向為在其它元件或特徵“上”。因此，示例性術語“在……下面”和“在……下”可包括上和下兩個取向。器件可以另外地取向（旋轉90度或其它取向）並且在此使用的空間描述語相應地被解釋。

【0017】在此使用的術語的目的僅在於描述具體實施例並且不作為本發明的限制。在此使用時，單數形式的“一”、“一個”和“所述/該”也意圖包括複數形式，除非上下文清楚指出另外的方式。還應明白術語“組成”和/或“包括”，當在該說明書中使用時，確定所述特徵、整數、步驟、操作、元件和/或部件的存在，但不排除一個或更多其它的特徵、整數、步驟、操作、元件、部件和/或組的存在或添加。在此使用時，術語“和/或”包括相關所列專案的任何及所有組合。

【0018】相關技術中提供的具有垂直電晶體的動態隨機記憶體（DRAM），包括多條沿同一方向延伸的字線，相鄰字線之間由介電層隔開。然而，所述介電層具有較大的介電常數，使得相鄰字線之間具有較大的寄生電容，該寄生電容會降低資料的存取速度，影響所述動態隨機記憶體的性能。

【0019】基於此，本發明實施例提供了一種半導體結構的製造方法，具體請參見圖1。如圖所示，所述方法包括以下步驟：

步驟 101、在基板內形成填充有第一介電層且沿第一方向延伸的多條第一溝槽；

步驟 102、在所述基板和所述第一介電層內形成沿第二方向延伸的多條第二溝槽，所述第二溝槽和所述第一溝槽相互交叉，並在所述基板內限定出多個分立的主動柱；

步驟 103、在所述第二溝槽的側壁沉積第二介電層；

步驟 104、在所述第二溝槽內沉積犧牲層，所述犧牲層夾設於所述第二介電層之間；

步驟 105、移除部分所述第一介電層和部分所述第二介電層，形成多條沿第二方向延伸的孔洞結構，所述孔洞結構環繞所述主動柱，且相鄰的所述孔洞結構被所述犧牲層隔開；

步驟 106、在所述孔洞結構內形成字線；

步驟 107、移除所述犧牲層，以在相鄰的所述字線之間形成氣隙。

【0020】本發明實施例提供的半導體結構的製造方法，在相鄰的字線之間形成具有較低介電常數的氣隙，可以降低所述半導體結構的相鄰字線之間的寄生電容，從而提高所述半導體結構的性能。

【0021】本發明實施例提供的半導體結構的製造方法，可以用來形成動態隨機存取記憶體（DRAM）。但不限於此，任何具有環繞式垂直閘極（VGAA）的半導體結構都可以採用本發明實施例提供的方法來製造。

【0022】 圖2為本發明實施例提供的半導體結構的俯視示意圖；圖3a至圖15d為本發明實施例提供的半導體結構的製程流程圖；其中，圖3a-圖15a為各製程步驟沿著圖2的線AA'截取的剖面結構示意圖，圖3b-圖15b為各製程步驟沿著圖2的線BB'截取的剖面結構示意圖，圖3c-圖15c為各製程步驟沿著圖2的線CC'截取的剖面結構示意圖，圖3d-圖15d為各製程步驟沿著圖2的線DD'截取的剖面結構示意圖。以下結合附圖對本發明實施例提供的半導體結構的製造方法再作進一步詳細的說明。在詳述本發明實施例時，為便於說明，示意圖會不依一般比例做局部放大，而且所述示意圖只是示例，其在此不應限制本發明的保護範圍。

【0023】 首先，執行步驟101，在基板20內形成填充有第一介電層21且沿第一方向延伸的多條第一溝槽T1，如圖3a-3d所示。

【0024】 所述基板可以為半導體基板，並且可以包括至少一個單質半導體材料（例如為矽（Si）基板、鍺（Ge）基板）、至少一個III-V化合物半導體材料、至少一個II-VI化合物半導體材料、至少一個有機半導體材料或者在本領域已知的其他半導體材料。在一具體實施例中，所述基板為矽基板，所述矽基板可經摻雜或未經摻雜。

【0025】 具體地，在基板20內形成填充有第一介電層21且沿第一方向延伸的多條第一溝槽T1，包括：對所述基板20執行蝕刻製程，形成多條沿第一方向延伸的所述第一溝槽T1；在所述第一溝槽T1內填充所述第一介電層21。

【0026】 所述蝕刻製程包括但不限於自對準雙重圖案化製程（SADP）、自對準四重圖案化製程（SAQP）。在一些實施例中，多條所述第一溝槽T1在所述基板20內等間距分佈。

【0027】 在一實施例中，所述第一介電層21的材料包括氧化物，如，氧化矽。所述第一介電層21可以採用原子層沉積（ALD）、化學氣相沉積（CVD）等製程形成在多條所述第一溝槽T1內。可選的，在所述第一溝槽T1內形成所述

第一介電層21後，可採用平坦化製程，如化學機械研磨（CMP）和/或蝕刻製程，使所述第一介電層21的上表面與所述基板20的上表面共面。

【0028】 參見圖3c及圖3d，所述第一溝槽T1將所述基板20限定為多個沿第一方向延伸的結構體AC，相鄰的所述結構體AC之間由所述第一介電層21隔離。

在一實施例中，所述方法還包括：對所述基板 20 執行離子注入，分別在所述結構體 AC 的頂部和底部形成第一源/汲摻雜區（圖未示出）和第二源/汲摻雜區（圖未示出）。

【0029】 具體地，對所述基板執行離子注入，包括：將第一摻雜離子從所述基板的上表面注入，以在所述結構體的頂部形成所述第一源/汲摻雜區；將第二摻雜離子從所述基板的下表面注入，以在所述結構體的底部形成所述第二源/汲摻雜區。更具體地，所述第一摻雜離子和所述第二摻雜離子相同。

【0030】 接下來，執行步驟102，在所述基板20和所述第一介電層21內形成沿第二方向延伸的多條第二溝槽T2，所述第二溝槽T2和所述第一溝槽T1相互交叉，並在所述基板20內限定出多個分立的主動柱AP，如圖4a-4d所示。

【0031】 所述第二溝槽T2的形成製程包括但不限於自對準雙重圖案化製程（SADP）、自對準四重圖案化製程（SAQP）。在一些實施例中，多條所述第二溝槽T2在所述基板20內等間距分佈。

【0032】 在一實施例中，所述第一方向垂直於所述第二方向。但不限於此，在其他實施例中，所述第一方向和所述第二方向具有一銳角夾角。

【0033】 在一實施例中，所述第二溝槽T2的深度小於所述第一溝槽T1的深度，即所述第二溝槽T2的底表面高於所述第一溝槽T1的底表面，使得位於所述第一溝槽T1內的所述第一介電層21在延伸的方向上具有不同的高度。具體的，位於相鄰兩個所述主動柱AP之間的第一介電層21的上表面與所述基板20的上表面齊平，如圖4c所示；位於所述第一溝槽T1與所述第二溝槽T2交叉處的第一介電層21的上表面與所述第二溝槽T2的底表面齊平，如圖4d所示。

【0034】在一實施例中，所述方法還包括：在所述基板20上形成阻擋層22，所述阻擋層22至少覆蓋所述主動柱AP的上表面，用於保護所述主動柱AP的頂部在後續的製程中不被氧化、氮化、損傷或者污染等。在一具體的實施例中，在蝕刻所述基板20和所述第一介電層21形成所述第二溝槽T2之前，形成覆蓋所述基板20和所述第一介電層21的所述阻擋層22。在一實施例中，所述阻擋層22的材料可以為氧化物，具體可以為氧化矽。所述阻擋層22可以採用一種或多種薄膜沉積製程形成，如原子層沉積（ALD）、化學氣相沉積（CVD）等。

【0035】接下來，執行步驟103，在所述第二溝槽T2的側壁沉積第二介電層23，如圖5a-5d示。

【0036】在一實施例中，所述第二介電層23的材料可以為氧化物，具體可以為氧化矽。所述第二介電層23可以採用原子層沉積（ALD）、化學氣相沉積（CVD）等製程形成在多條所述第二溝槽T2裸露的表面上。可選的，在所述第二溝槽T2內形成所述第二介電層23後，可採用回蝕刻製程，去除位於所述第二溝槽T2底表面上的所述第二介電層23，使所述第二溝槽T2的底部暴露所述基板20。所述第二介電層23用於保護所述主動柱AP的側壁在後續的製程中不被氧化、氮化、損傷或者污染等。

【0037】在一實施例中，在所述第二溝槽T2的側壁沉積所述第二介電層23之後，所述方法還包括：從所述第二溝槽T2的底部對所述基板20進行摻雜，形成多條沿第一方向延伸的位線BL，相鄰所述位線BL之間被所述第一介電層21隔開，如圖6a-6d所示。

【0038】所述第二源/汲摻雜區從所述基板的下表面向所述主動柱延伸，所述第二源/汲摻雜區至少部分位於所述第二溝槽的底表面之上，即所述第二源/汲摻雜區至少部分位於所述位元線之上，所述位線與所述第二源/汲摻雜區接觸。

【0039】在一實施例中，所述位線BL的材料包括但不限於金屬摻雜半導體材料，例如金屬摻雜矽、金屬摻雜鍺、金屬摻雜矽鍺。在一具體的實施例中，

所述基板20為矽基板，所述位線BL的材料包括金屬矽化物，例如矽化鈷（$CoSi_x$）、矽化鈦（$TiSi_x$）、矽化鎳（$NiSi_x$）。

【0040】接下來，執行步驟104，在所述第二溝槽T2內沉積犧牲層24，所述犧牲層24夾設於所述第二介電層23之間，如圖7a-7d所示。

【0041】所述犧牲層24沿第二方向延伸，所述犧牲層24在延伸的方向上具有均勻的寬度和高度。在一些實施例中，所述犧牲層24的上表面低於所述第二介電層23的上表面，所述犧牲層24在垂直所述基板20的方向上延伸至所述第二溝槽T2的底部。所述犧牲層24的材料包括但不限於氮化物，例如氮化矽。

【0042】在一實施例中，在所述第二溝槽T2內沉積所述犧牲層24之後，所述方法還包括：在所述第二溝槽T2內沉積隔離層25，所述隔離層25位於所述犧牲層24上方，且所述隔離層25的兩側與所述第二介電層23鄰接，如圖8a-8b所示。所述隔離層25為絕緣材料，用於隔離相鄰的所述主動柱AP。

【0043】接下來，執行步驟105，移除部分所述第一介電層21和部分所述第二介電層23，形成多條沿第二方向延伸的孔洞結構27，所述孔洞結構27環繞所述主動柱AP，且相鄰的所述孔洞結構27被所述犧牲層24隔開，如圖11a-11d所示。

【0044】在一實施例中，移除部分所述第一介電層21和部分所述第二介電層23，形成多個沿第二方向延伸的所述孔洞結構27之前，所述方法還包括：

移除預設厚度的第一介電層 21 和第二介電層 23，以暴露出所述隔離層 25 的側表面以及所述主動柱 AP 的部分側表面，其中，所述預設厚度大於或等於所述隔離層 25 的厚度，如圖 9a-9d 所示；

在隔離層 25 的所述側表面和主動柱 AP 的所述部分側表面上沉積第三介電層 26，如圖 10a-10d 所示。所述第三介電層 26 在接下來的製程步驟中起支撐所述隔離層的作用。所述第三介電層 26 的材料包括但不限於氮化物，例如氮化矽。

【0045】再次參見圖9a-9d，在一具體的實施例中，在移除預設厚度的第一介電層21和第二介電層23的同時，所述阻擋層22也被去除。

【0046】再次參見圖10a-10d，在一實施例中，所述第三介電層26具有暴露所述第一介電層21的多個第一開口R1；形成多個沿第二方向延伸的孔洞結構27，包括：採用濕式蝕刻製程從所述第一開口R1移除部分所述第一介電層21和部分所述第二介電層23，形成所述孔洞結構27，如圖11a-11d所示。

【0047】接下來，執行步驟106，在所述孔洞結構27內形成字線WL，如圖12a-12d所示。

【0048】所述字線WL的材料包括鎢（W）、銅（Cu）、鈦（Ti）、鉭（Ta)、氮化鈦（TiN)、氮化鉭（TaN）、金屬矽化物、金屬合金或其任何組合。所述字線WL可以使用化學氣相沉積（CVD）、等離子增強CVD（PECVD）、物理氣相沉積（PVD）、原子層沉積（ALD）、電鍍、化學鍍、濺射等製程形成在所述孔洞結構27內。可選的，在所述孔洞結構27內形成所述字線WL之後，採用回蝕刻製程，使所述字線WL的上表面與所述犧牲層24的上表面齊平或低於所述犧牲層24的上表面。

【0049】在一實施例中，所述字線WL在延伸的方向上具有均勻的高度，所述字線WL的上表面與所述犧牲層24的上表面齊平或低於所述犧牲層24的上表面。在一具體的實施例中，所述字線WL的高度與所述主動柱AP高度的比值範圍是1/3-2/3。

【0050】在一實施例中，在所述孔洞結構27內形成字線WL之前，所述方法還包括：在所述主動柱AP被所述孔洞結構27環繞的表面形成閘介電層28。所述閘介電層28用於隔離所述字線WL和所述主動柱AP。所述閘介電層28的材料包括但不限於氧化物，例如氧化矽。

【0051】在一具體的實施例中，所述閘介電層28是通過原位熱氧化法將部分所述主動柱AP轉化為氧化物的方式形成的。

【0052】最後，執行步驟107，移除所述犧牲層24，以在相鄰的所述字線WL之間形成氣隙31，如圖14a-14d、15a-15d所示。

【0053】 在一實施例中，如圖13a-13d所示，在移除所述犧牲層24之前，所述方法還包括：在所述基板20上沉積第四介電層29，所述第四介電層29至少覆蓋所述基板20及所述字線WL的上表面。所述第四介電層29用於保護所述主動柱AP和所述字線WL在後續的製程中不被氧化、氮化、損傷或者污染等。所述第四介電層29的材料包括但不限於氧化物，例如氧化矽。

【0054】 如圖2所示，所述基板20包括存儲區20A和週邊區20B，所述第二溝槽T2延伸至所述週邊區20B中。

【0055】 在一實施例中，移除所述犧牲層24，包括：從所述第四介電層29的上表面往下蝕刻至所述犧牲層24，形成至少一個第二開口R2，所述第二開口R2位於所述基板20的所述週邊區20B，如圖14a-14d所示；採用濕式蝕刻製程移除所述犧牲層24，如圖15a-15d所示。

【0056】 再次參見圖14a-14d，在一具體的實施例中，所述第二開口R2的底部深入所述犧牲層24，以增大蝕刻液與所述犧牲層24的接觸面積，從而更快地去除所述犧牲層24。

【0057】 再次參見圖15a-15d，在一實施例中，所述氣隙31位於所述第二溝槽T2內，且沿第二方向延伸，所述氣隙31的上表面與所述字線WL的上表面平齊或高於所述字線WL的上表面，且所述氣隙31在延伸的方向上具有均勻的寬度和高度。

【0058】 綜上可知，通過本發明實施例的設計，在相鄰所述字線之間形成所述氣隙，所述氣隙具有較低的介電常數，可以降低所述半導體結構的相鄰字線之間的寄生電容，最終提高所述半導體結構的性能。

【0059】 本發明實施例還提供了一種半導體結構，如圖15a-15d所示，包括：

基板 20，所述基板 20 內包括多條沿第一方向延伸的第一溝槽 T1 和多條沿第二方向延伸的第二溝槽 T2，所述第一溝槽 T1 和所述第二溝槽 T2 相互交叉在所述基板 20 內限定出多個分立的主動柱 AP；

第一介電層 21，位於所述第一溝槽 T1 底部；

第二介電層 23，覆蓋所述第二溝槽 T2 底部的側壁；

氣隙 31，位於所述第二溝槽 T2 內；

多條沿第二方向延伸的字線 WL，位於所述第一溝槽 T1 和所述第二溝槽 T2 內；所述字線 WL 環繞所述主動柱 AP 且覆蓋所述第一介電層 21 和所述第二介電層 23 的上表面；

其中，相鄰的所述字線 WL 由所述氣隙 31 隔開。

【0060】 所述基板可以為半導體基板，並且可以包括至少一個單質半導體材料（例如為矽（Si）基板、鍺（Ge）基板）、至少一個III-V化合物半導體材料、至少一個II-VI化合物半導體材料、至少一個有機半導體材料或者在本領域已知的其他半導體材料。在一具體的實施例中，所述基板為矽基板，所述基板可經摻雜或未經摻雜。

【0061】 在一實施例中，多條所述第一溝槽T1在所述基板20內等間距分佈，多條所述第二溝槽T2在所述基板20內亦等間距分佈。

【0062】 在一實施例中，所述第二溝槽T2的深度小於所述第一溝槽T1的深度，即所述第二溝槽T2的底表面高於所述第一溝槽T1的底表面。

【0063】 在一實施例中，所述第一方向垂直於所述第二方向，但不限於此。在其他實施例中，所述第一方向和所述第二方向具有一銳角夾角。

【0064】 在一實施例中，位於所述第一溝槽T1底部的第一介電層21在延伸的方向上具有不同的高度，如圖15b所示。在一些實施例中，所述第一介電層21的材料包括氧化物，如，氧化矽。

【0065】 在一實施例中，所述半導體結構還包括：多條沿第一方向延伸的位線BL，所述位線BL是通過摻雜所述第二溝槽T2的底部形成，相鄰的所述位線BL之間被所述第一介電層21隔開。

【0066】 具體地，所述位線BL的材料包括但不限於金屬摻雜半導體材料，例如金屬摻雜矽，金屬摻雜鍺，金屬摻雜矽鍺。在一具體的實施例中，所述基

板20為矽基板，所述位線BL的材料包括金屬矽化物，例如矽化鈷（$CoSi_x$）、矽化鈦（$TiSi_x$）、矽化鎳（$NiSi_x$）。

【0067】在一實施例中，所述半導體結構還包括：第一源/汲摻雜區（圖未示出）和第二源/汲摻雜區（圖未示出），所述第一源/汲摻雜區（圖未示出）位於所述主動柱AP的頂部，所述第二源/汲摻雜區（圖未示出）位於所述主動柱AP的底部。所述第一源/汲摻雜區（圖未示出）和所述第二源/汲摻雜區（圖未示出）可以具有相同的導電類型。在一實施例中，所述第二源/汲摻雜區（圖未示出）從所述基板20的下表面向所述主動柱AP延伸，所述第二源/汲摻雜區（圖未示出）至少部分位於所述第二溝槽T2的底表面之上，即所述第二源/汲摻雜區（圖未示出）至少部分位於所述位元線BL之上，所述位線BL與所述第二源/汲摻雜區（圖未示出）接觸。

【0068】在一實施例中，所述字線WL在延伸的方向上具有均勻的高度，所述字線WL的高度與所述主動柱AP的高度的比值範圍是1/3-2/3。所述字線WL的材料包括鎢（W）、銅（Cu）、鈦（Ti）、鉭（Ta)、氮化鈦（TiN)、氮化鉭（TaN）、金屬矽化物、金屬合金或其任何組合。

【0069】在一實施例中，所述半導體結構還包括：閘介電層28，所述閘介電層28位於所述字線WL與所述主動柱AP之間，用於隔離所述字線WL與所述主動柱AP。在一具體的實施例中，所述閘介電層28是通過原位熱氧化法將部分所述主動柱AP轉化為氧化物的方式形成，所述閘介電層28的材料具體可以為氧化矽。

【0070】在一實施例中，所述氣隙31沿第二方向延伸，所述氣隙31的上表面與所述字線WL的上表面平齊或高於所述字線WL的上表面，且所述氣隙31在延伸的方向上具有均勻的寬度和高度。在一具體的實施例中，所述氣隙31在垂直所述基板20的方向上延伸至所述第二溝槽T2的底部，所述第二介電層23位於所述氣隙31的兩側，用於隔離所述氣隙31與所述主動柱AP。在一些實施例中，所述第二介電層23可以為氧化物材料，具體可以為氧化矽。

【0071】所述氣隙位於相鄰的所述字線之間，所述氣隙具有較低的介電常數，可以降低所述半導體結構的相鄰字線之間的寄生電容，最終提高所述半導體結構的性能。

【0072】在一實施例中，所述半導體結構還包括：隔離層25，所述隔離層25位於所述第二溝槽T2內，且位於所述氣隙31上方。所述隔離層25的下表面可以與所述字線WL的上表面平齊或高於所述字線WL的上表面。所述隔離層25是絕緣材料。

【0073】在一實施例中，所述半導體結構還包括：第三介電層26，位於所述字線WL上方，且覆蓋所述隔離層25的側表面和所述主動柱AP的部分側表面。所述第三介電層26的下表面與所述隔離層25的下表面齊平或低於所述隔離層25的下表面。所述第三介電層26的材料包括但不限於氮化物，例如氮化矽。所述隔離層25和所述第三介電層26用於隔離相鄰的所述主動柱AP。

【0074】在一實施例中，所述半導體結構還包括：第四介電層29，所述第四介電層29至少覆蓋所述基板20及所述字線WL的上表面，用於保護所述主動柱AP和所述字線WL不被氧化、損傷或者污染等。所述第四介電層29包括但不限於氧化物，例如氧化矽。

【0075】以上所述，僅為本發明的較佳實施例而已，並非用於限定本發明的保護範圍，凡在本發明的精神和原則之內所作的任何修改、等同替換和改進等，均應包含在本發明的保護範圍之內。

【符號說明】

20：基板

20A：存儲區

20B：週邊區

21：第一介電層

22：阻擋層

23：第二介電層

24：犧牲層

25：隔離層

26：第三介電層

27：孔洞結構

28：閘介電層

29：第四介電層

31：氣隙

101、102、103、104、105、106、107：步驟

AC：結構體

AP：主動柱

BL：位線

R1：第一開口

R2：第二開口

T1：第一溝槽

T2：第二溝槽

WL：字線

【發明申請專利範圍】

【請求項1】一種半導體結構的製造方法，其中所述方法包括：

在基板內形成填充有第一介電層且沿第一方向延伸的多條第一溝槽；

在所述基板和所述第一介電層內形成沿第二方向延伸的多條第二溝槽，所述第二溝槽和所述第一溝槽相互交叉，並在所述基板內限定出多個分立的主動柱；

在所述第二溝槽的側壁沉積第二介電層；

在所述第二溝槽內沉積犧牲層，所述犧牲層夾設於所述第二介電層之間；

移除部分所述第一介電層和部分所述第二介電層，形成多條沿第二方向延伸的孔洞結構，所述孔洞結構環繞所述主動柱，且相鄰的所述孔洞結構被所述犧牲層隔開；

在所述孔洞結構內形成字線；

在所述基板上沉積第四介電層，所述第四介電層至少覆蓋所述基板及所述字線的上表面；

移除所述犧牲層，以在相鄰的所述字線之間形成氣隙，其中移除所述犧牲層包括：從所述第四介電層的上表面往下蝕刻至所述犧牲層，採用濕式蝕刻製程移除所述犧牲層。

【請求項2】根據請求項 1 所述的製造方法，其中所述第一溝槽將所述基板限定為多個沿第一方向延伸的結構體；在形成所述第二溝槽之前，所述方法還包括：

對所述基板執行離子注入，分別在所述結構體的頂部和底部形成第一源/汲摻雜區和第二源/汲摻雜區。

【請求項3】根據請求項 1 所述的製造方法，其中在所述第二溝槽的側壁沉積第二介電層之後，所述方法還包括：

從所述第二溝槽的底部對所述基板進行摻雜，形成多條沿第一方向延伸的位線，相鄰所述位線之間被所述第一介電層隔開。

【請求項4】根據請求項 1 所述的製造方法，其中在所述第二溝槽內沉積犧牲層

之後，所述方法還包括：

在所述第二溝槽內沉積隔離層，所述隔離層位於所述犧牲層上方，且所述隔離層的兩側與所述第二介電層鄰接。

【請求項5】 根據請求項 4 所述的製造方法，其中移除部分所述第一介電層和部分所述第二介電層，形成多個沿第二方向延伸的孔洞結構之前，所述方法還包括：

移除預設厚度的第一介電層和第二介電層，以暴露出所述隔離層的側表面以及所述主動柱的部分側表面；其中，所述預設厚度大於或等於所述隔離層的厚度；

在隔離層的所述側表面和主動柱的所述部分側表面上沉積第三介電層。

【請求項6】 根據請求項 5 所述的製造方法，其中所述第三介電層具有暴露所述第一介電層的多個第一開口；形成多個沿第二方向延伸的孔洞結構，包括：採用濕式蝕刻製程從所述第一開口移除部分所述第一介電層和部分所述第二介電層，形成所述孔洞結構。

【請求項7】 一種半導體結構，其中包括：

基板，所述基板內包括多條沿第一方向延伸的第一溝槽和多條沿第二方向延伸的第二溝槽，所述第一溝槽和所述第二溝槽相互交叉在所述基板內限定出多個分立的主動柱；

第一介電層，位於所述第一溝槽底部；

第二介電層，覆蓋所述第二溝槽底部的側壁；

氣隙，位於所述第二溝槽內；

多條沿第二方向延伸的字線，位於所述第一溝槽和所述第二溝槽內；所述字線環繞所述主動柱且覆蓋所述第一介電層和所述第二介電層的上表面；

其中，相鄰的所述字線由所述氣隙隔開；

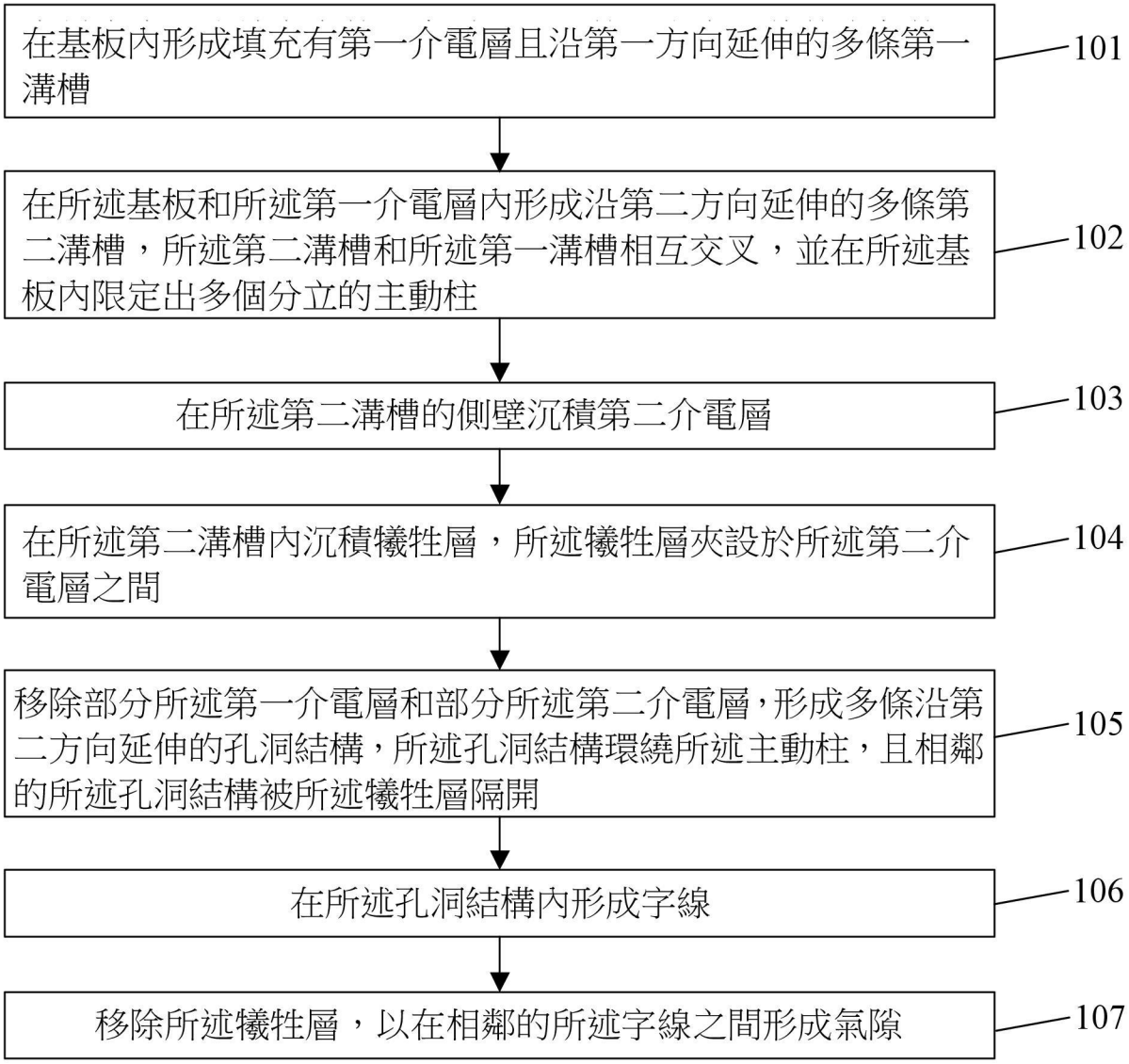
第四介電層，至少覆蓋所述基板及所述字線的上表面。

【請求項8】 根據請求項 8 所述的半導體結構，其中所述氣隙沿第二方向延伸，

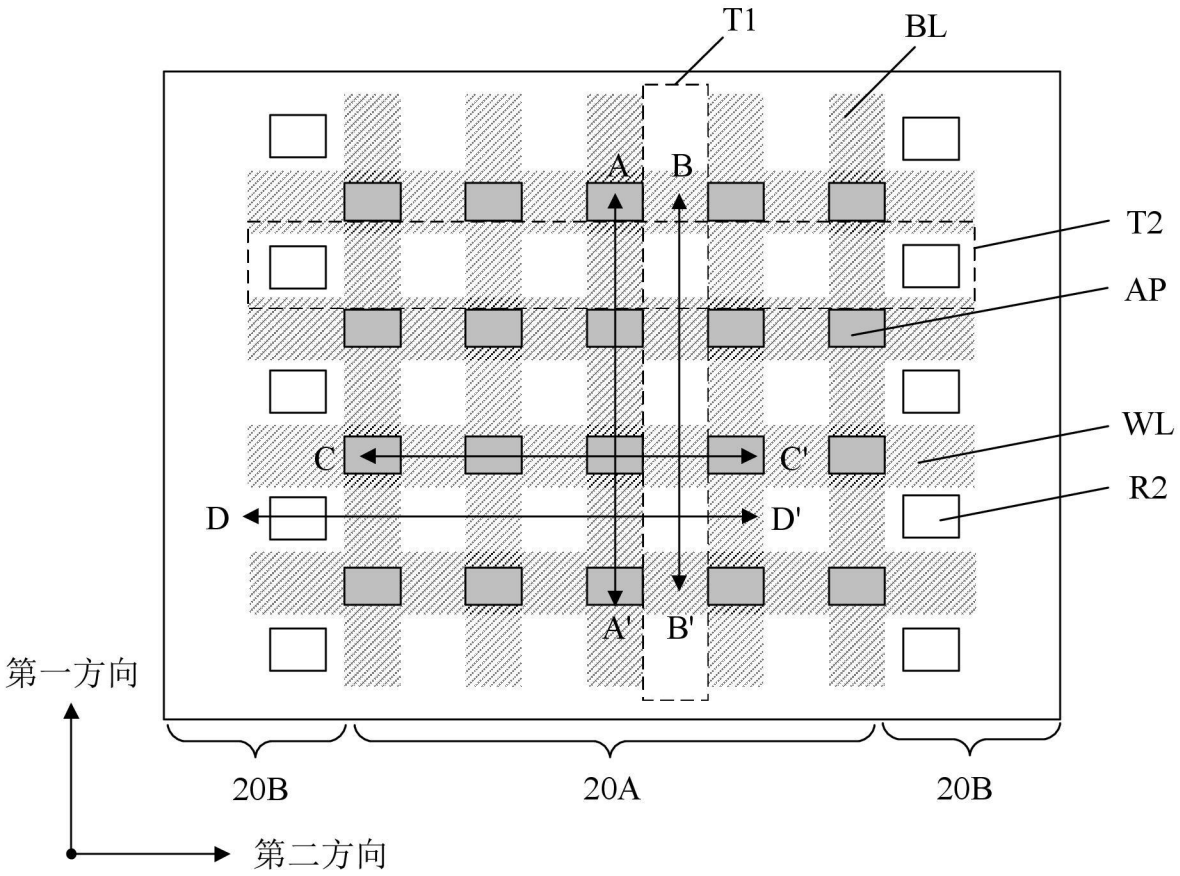
所述氣隙的上表面與所述字線的上表面平齊或高於所述字線的上表面，且所述氣隙在延伸的方向上具有均勻的寬度和高度。

【請求項9】根據請求項 8 所述的半導體結構，其中所述氣隙在垂直所述基板的方向上延伸至所述第二溝槽的底部，所述第二介電層位於所述氣隙的兩側。

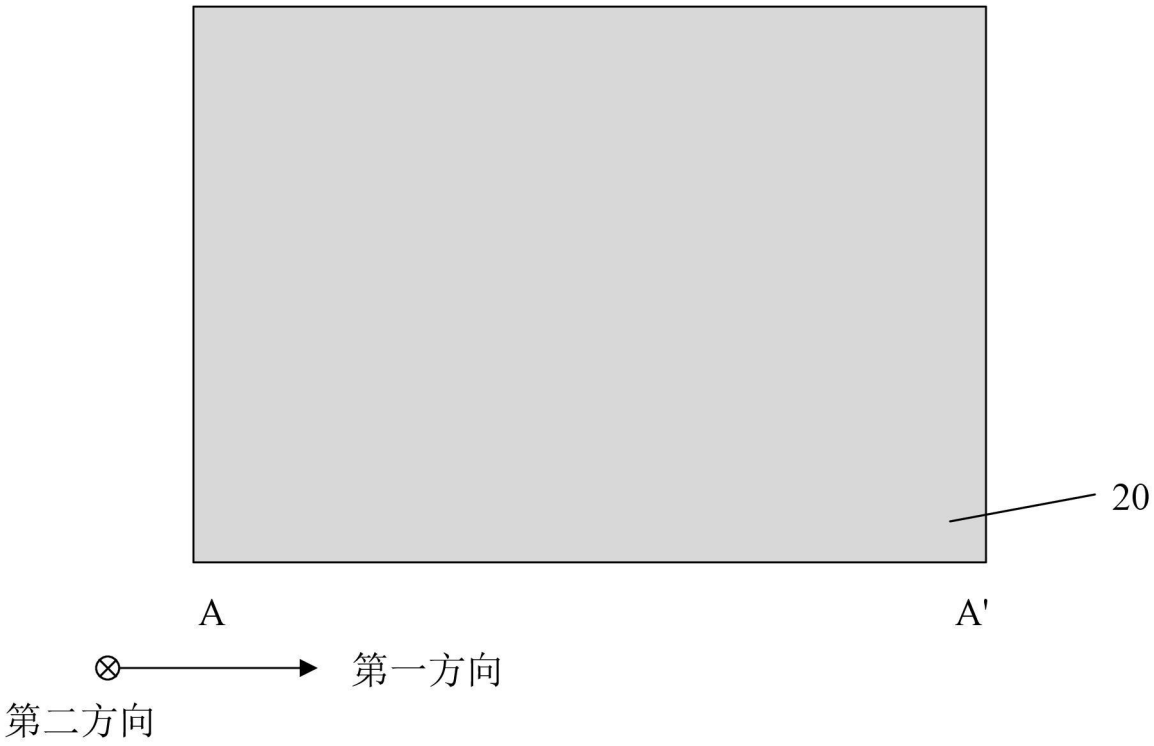
【發明圖式】


在基板內形成填充有第一介電層且沿第一方向延伸的多條第一溝槽
101
在所述基板和所述第一介電層內形成沿第二方向延伸的多條第二溝槽，所述第二溝槽和所述第一溝槽相互交叉，並在所述基板內限定出多個分立的主動柱
102
在所述第二溝槽的側壁沉積第二介電層
103
在所述第二溝槽內沉積犧牲層，所述犧牲層夾設於所述第二介電層之間
104
移除部分所述第一介電層和部分所述第二介電層，形成多條沿第二方向延伸的孔洞結構，所述孔洞結構環繞所述主動柱，且相鄰的所述孔洞結構被所述犧牲層隔開
105
在所述孔洞結構內形成字線
106
移除所述犧牲層，以在相鄰的所述字線之間形成氣隙
107

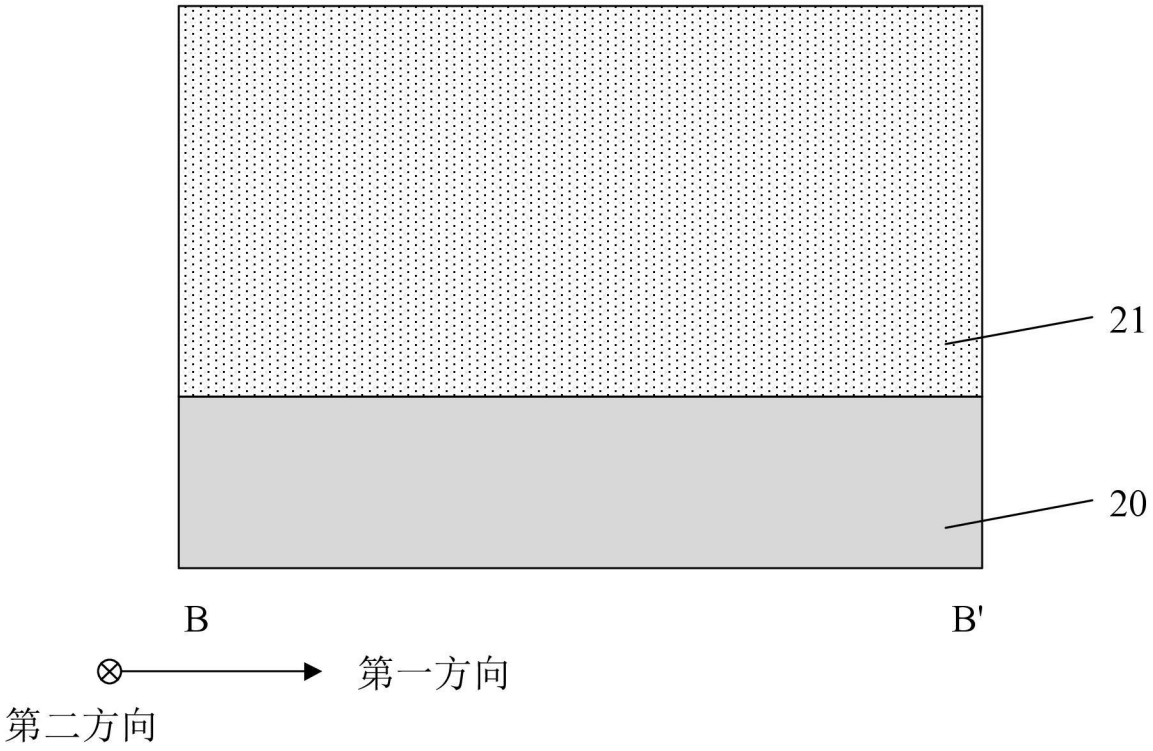
【圖1】



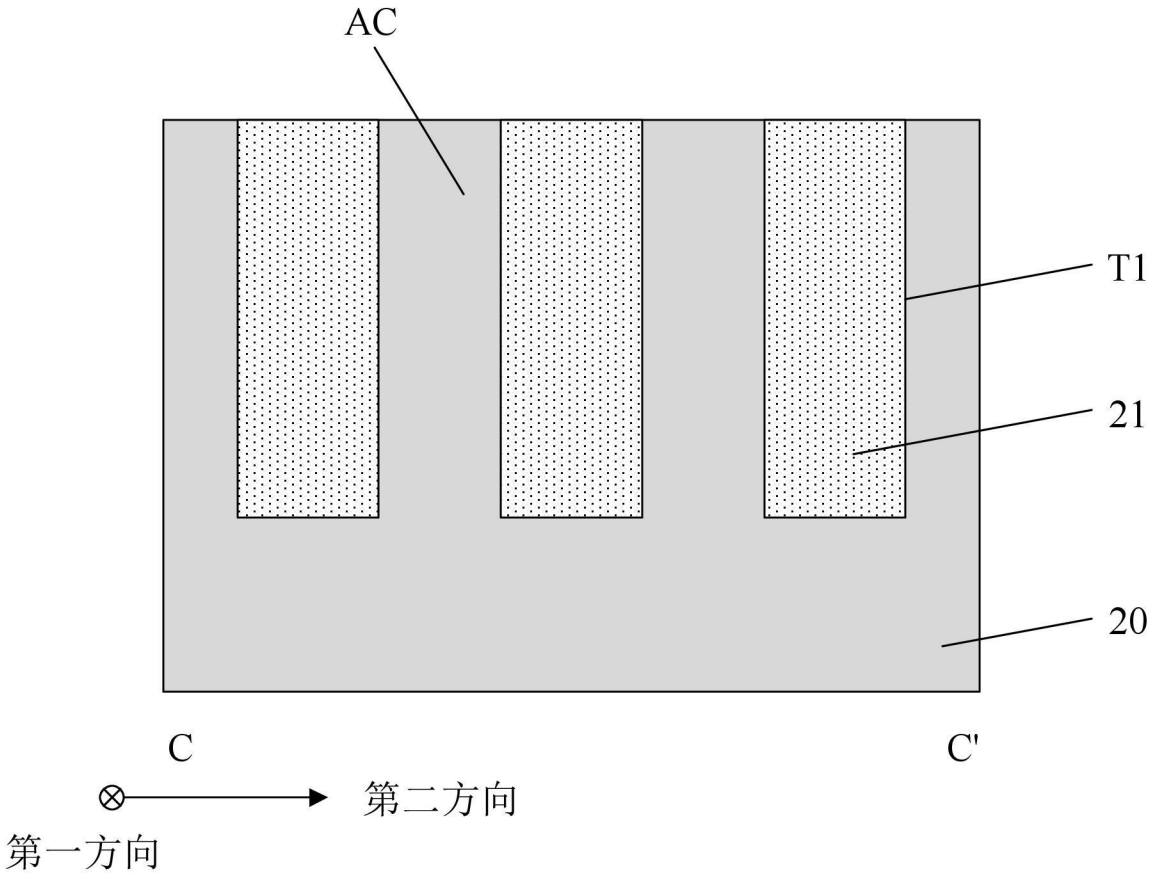
【圖2】



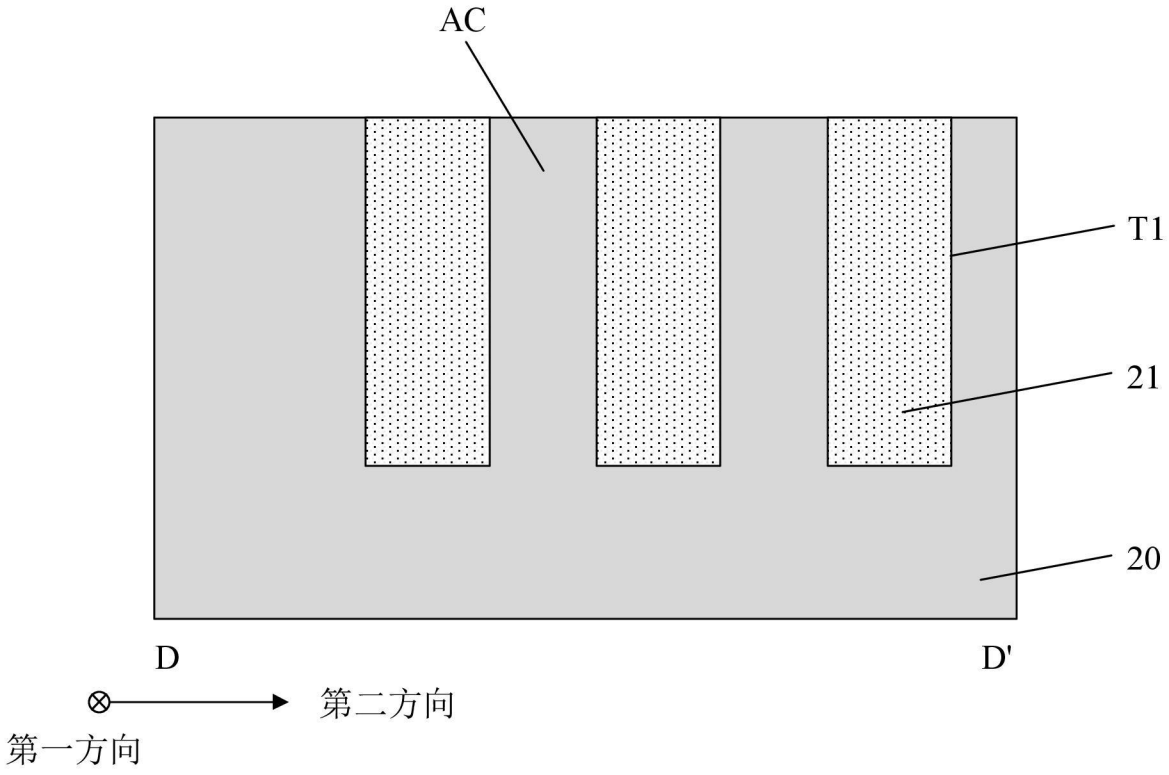
【圖3a】



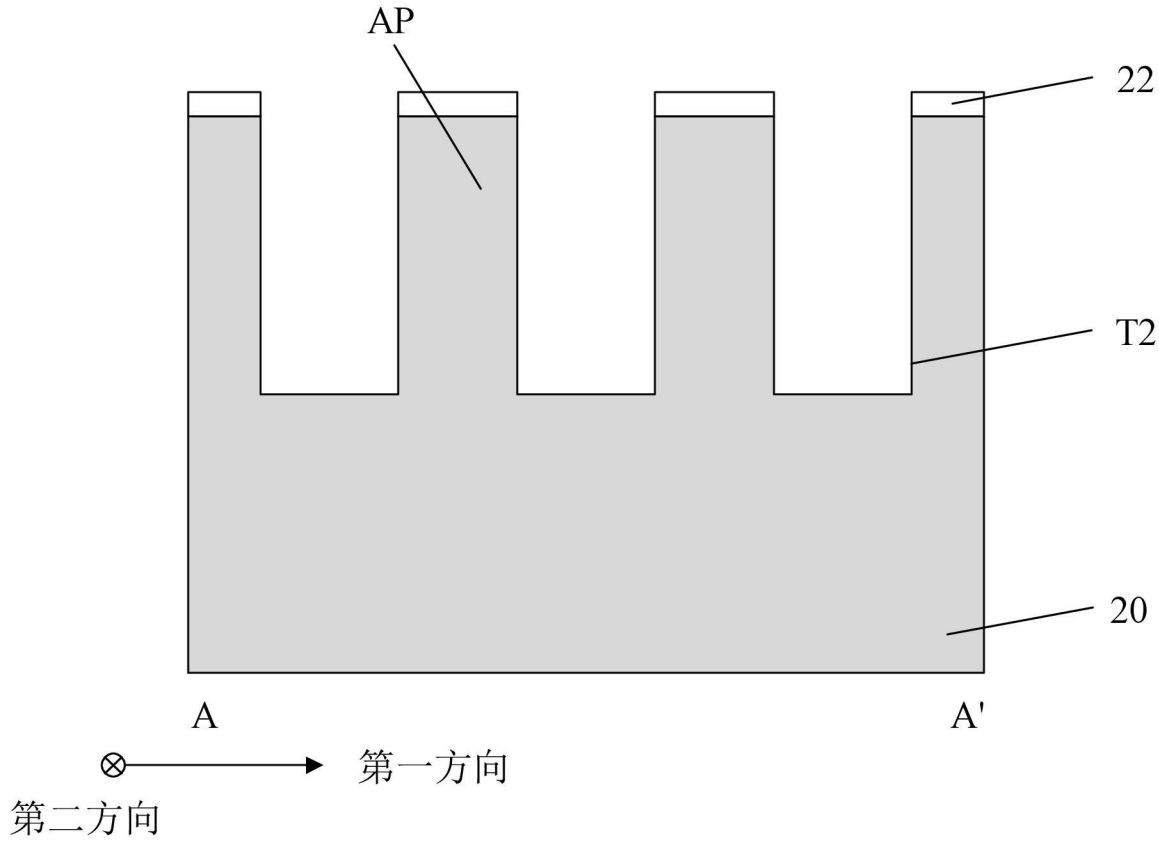
【圖3b】



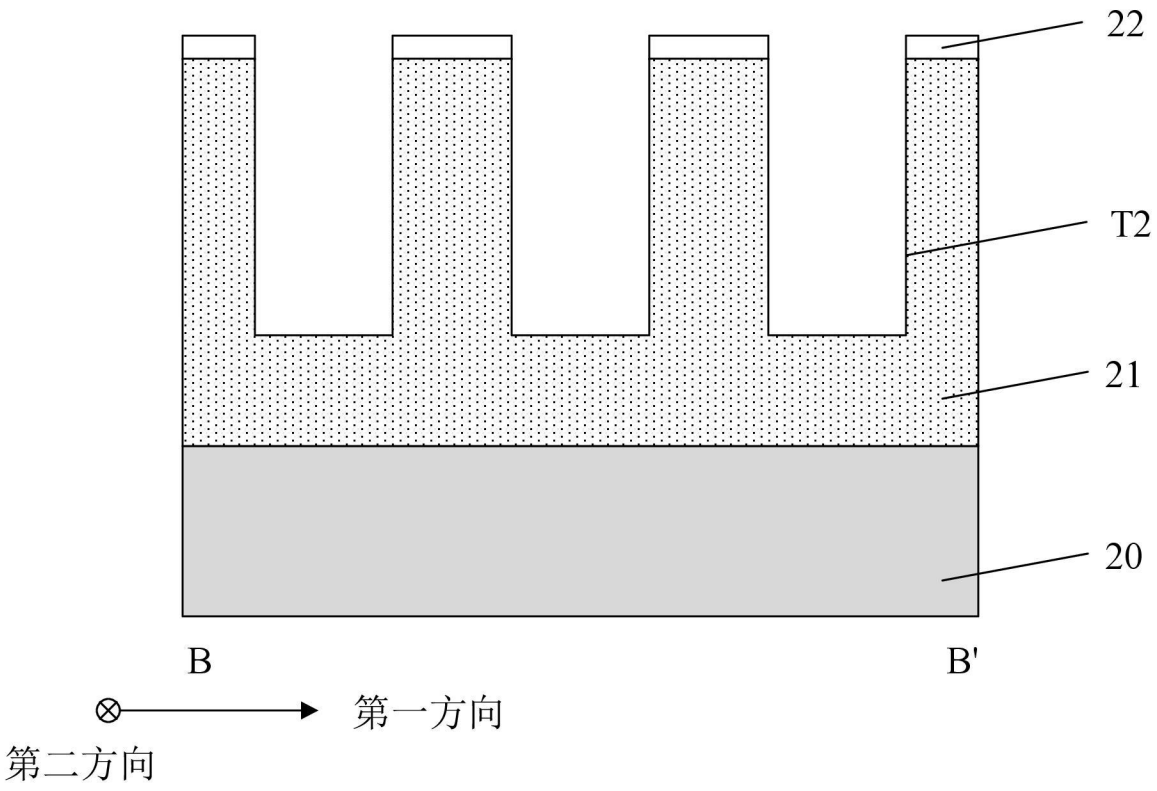
【圖3c】



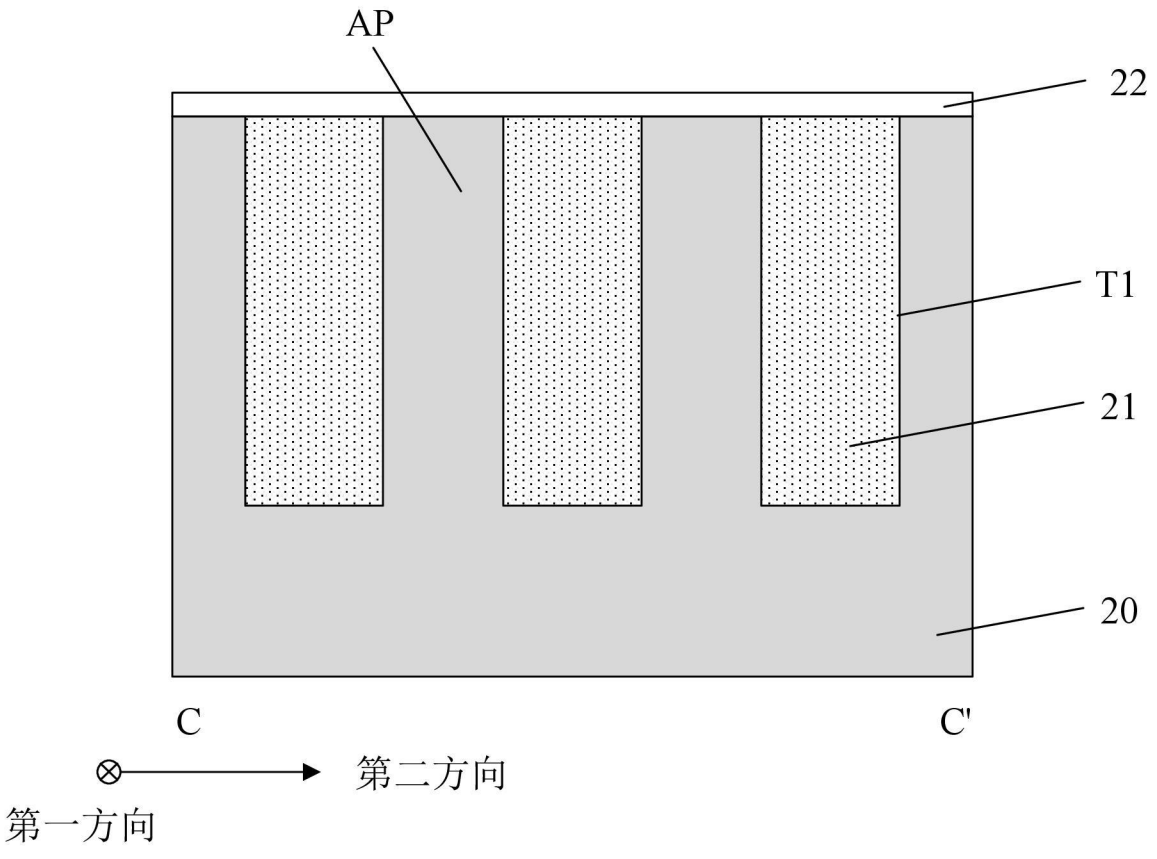
【圖3d】



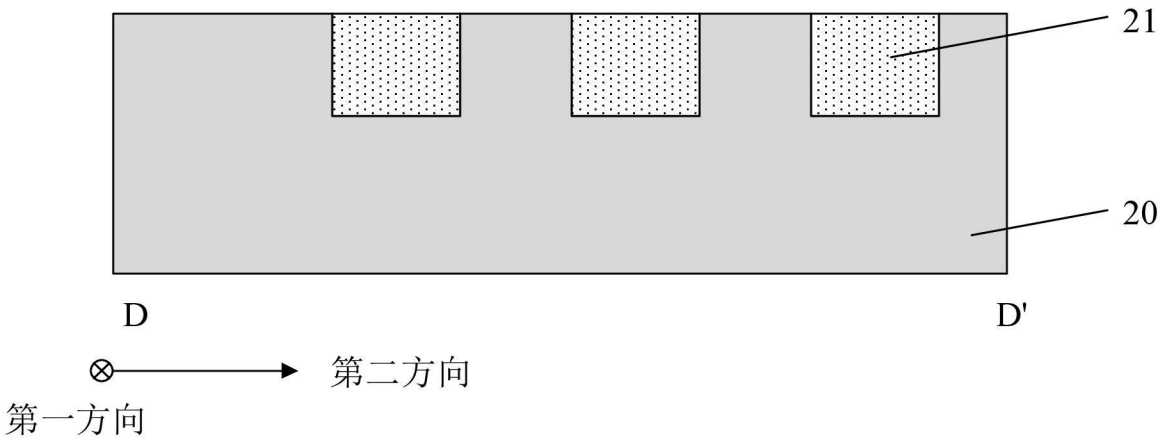
【圖4a】



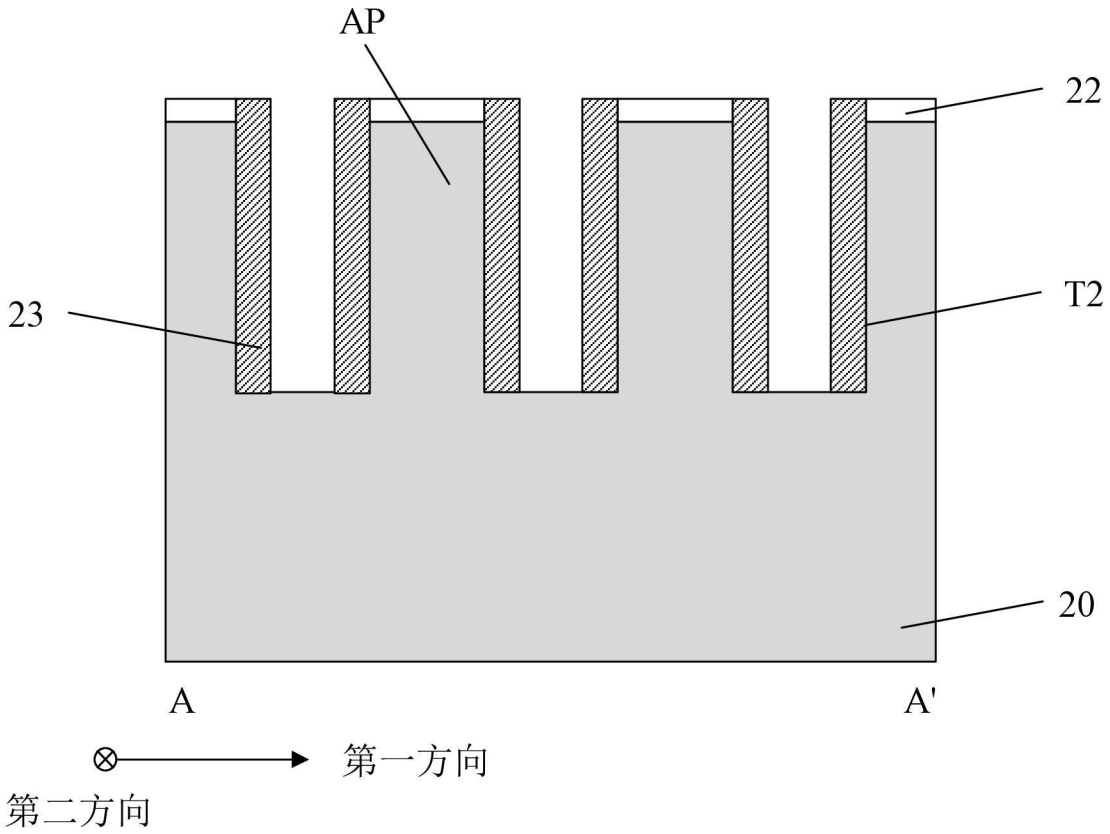
【圖4b】



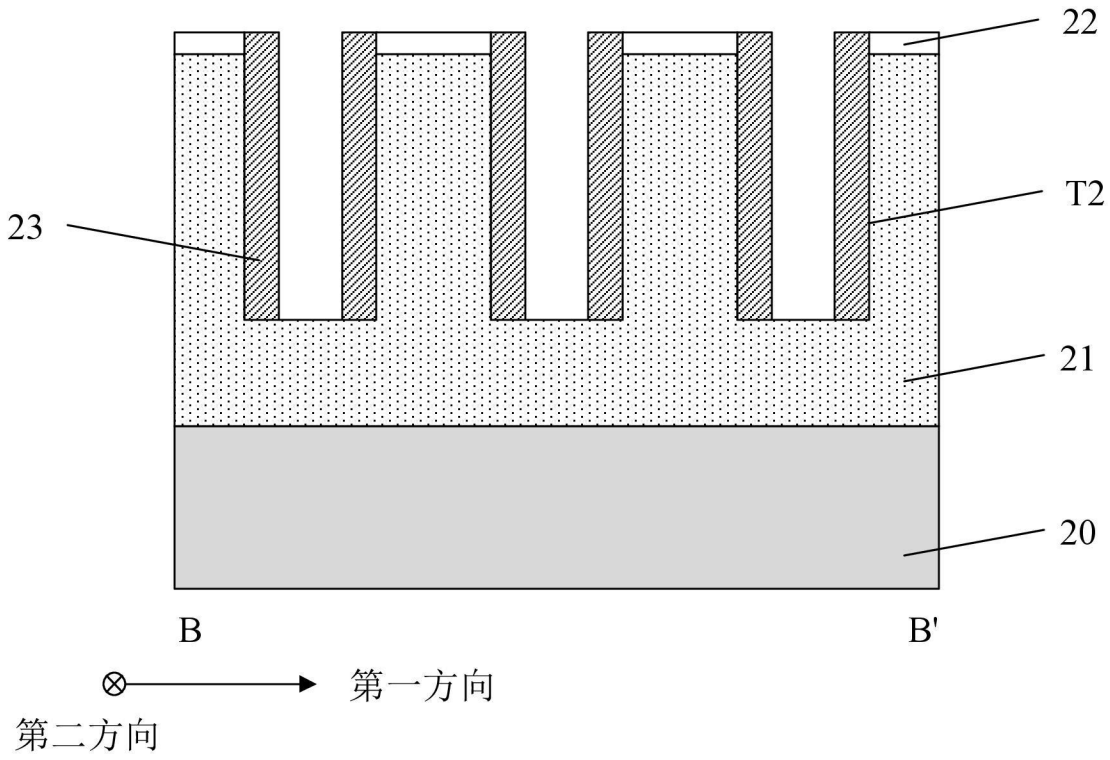
【圖4c】



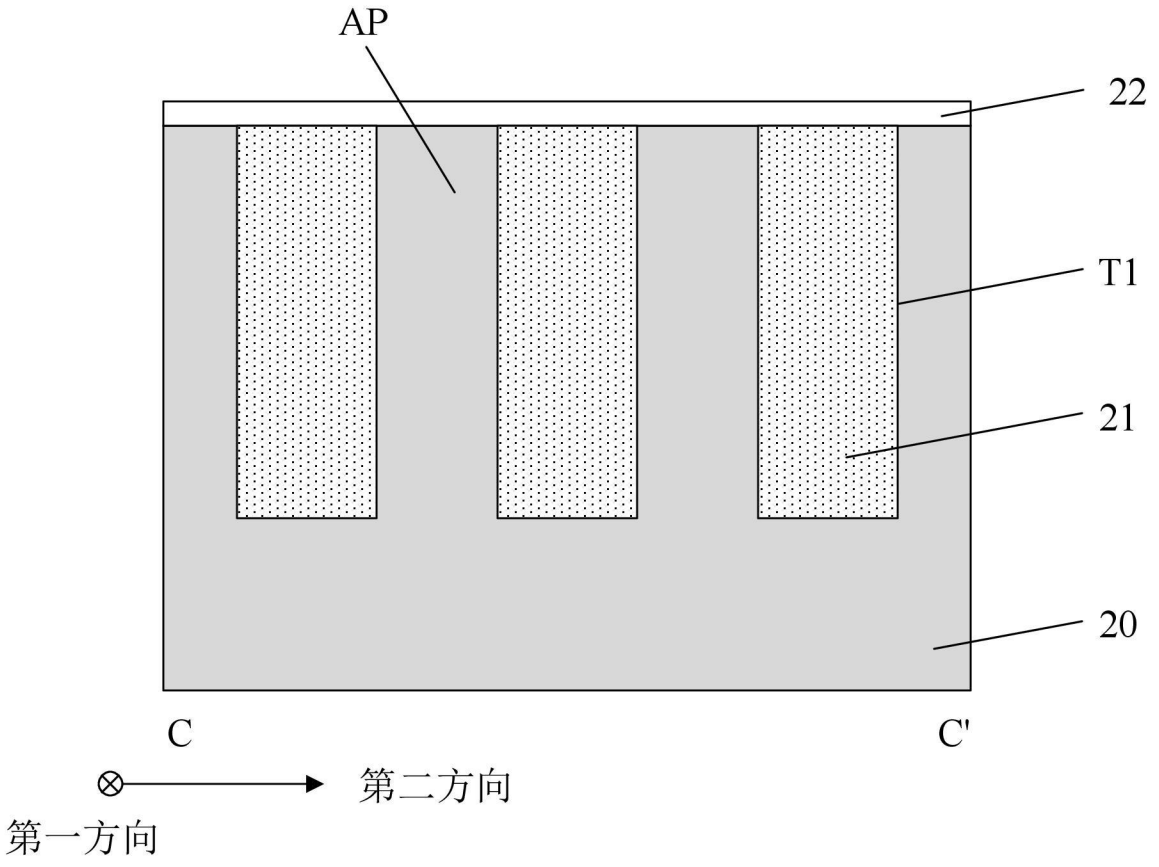
【圖4d】



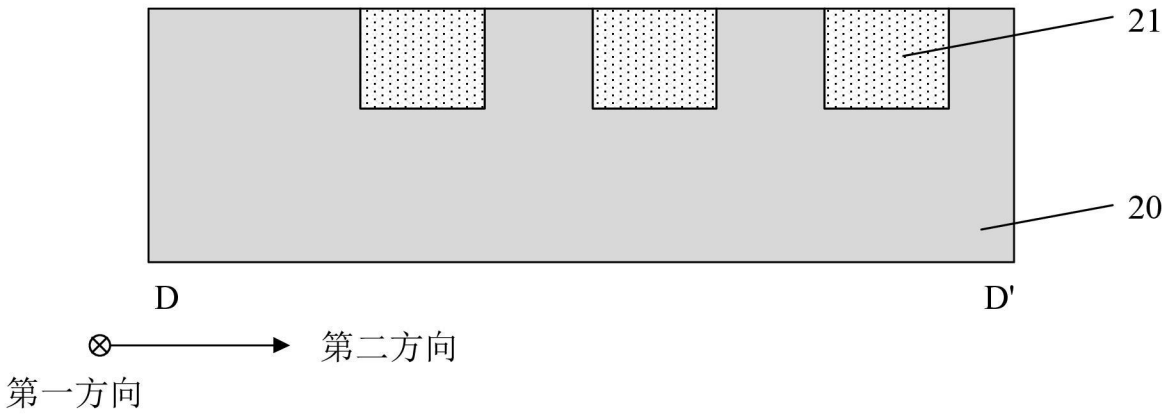
【圖5a】



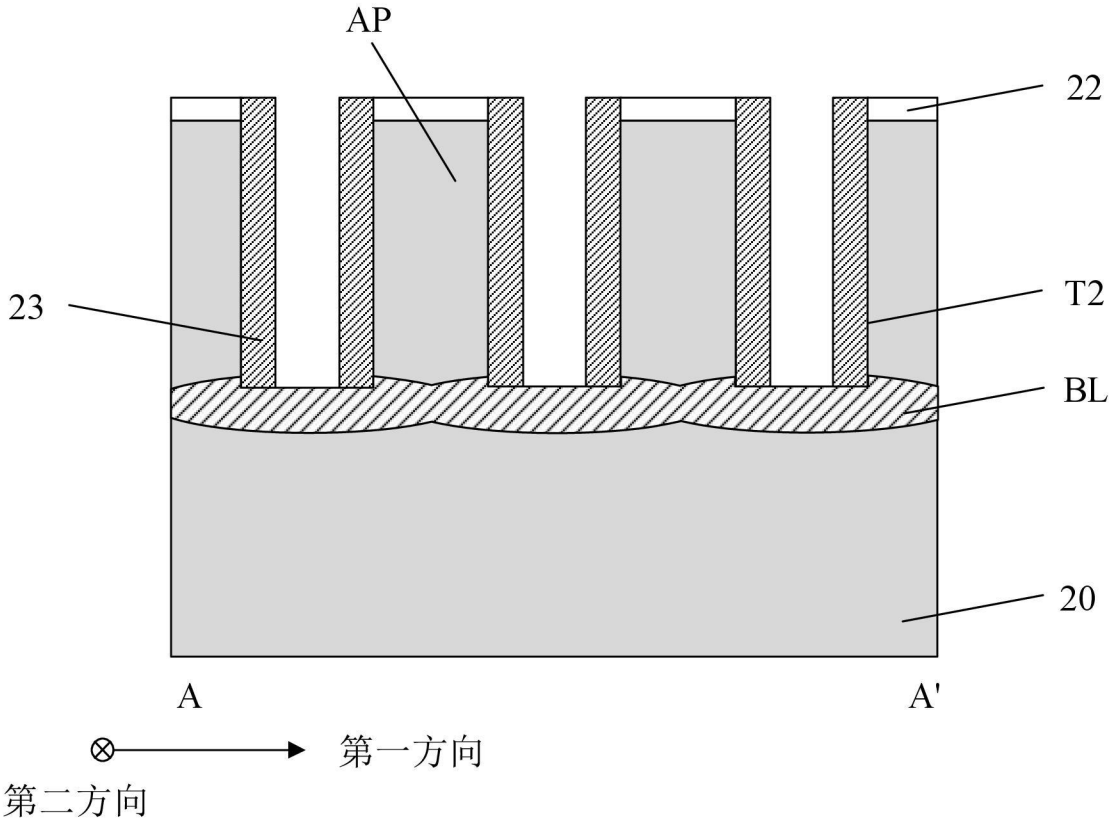
【圖5b】



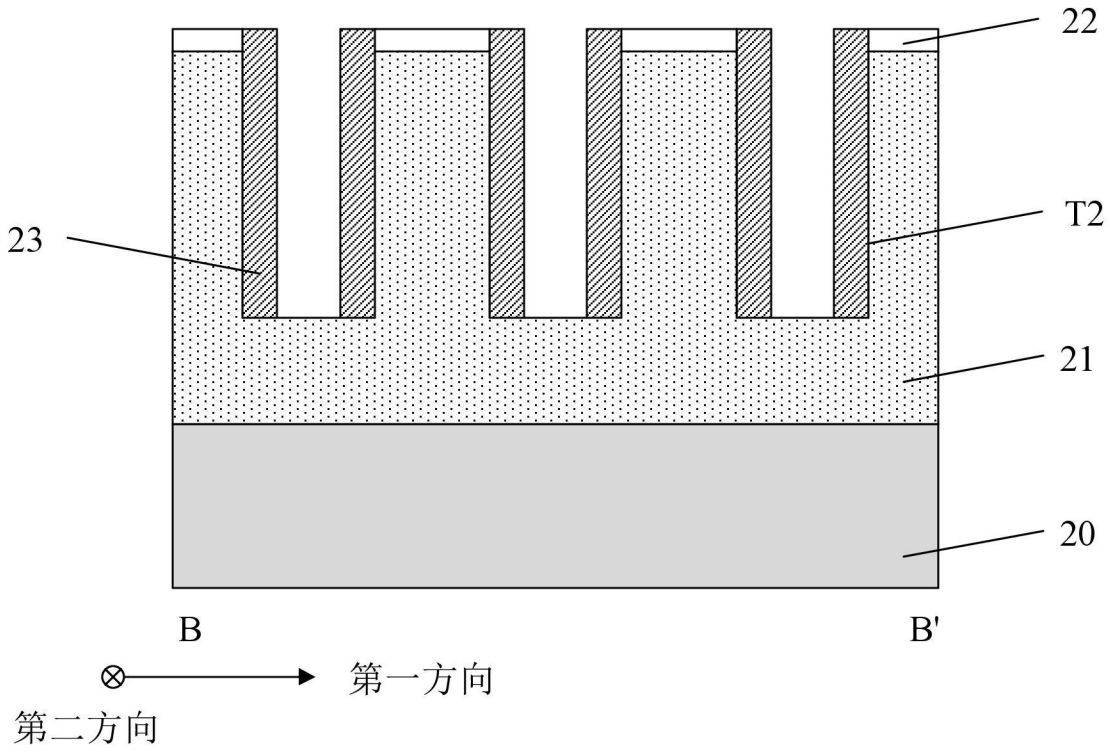
【圖5c】



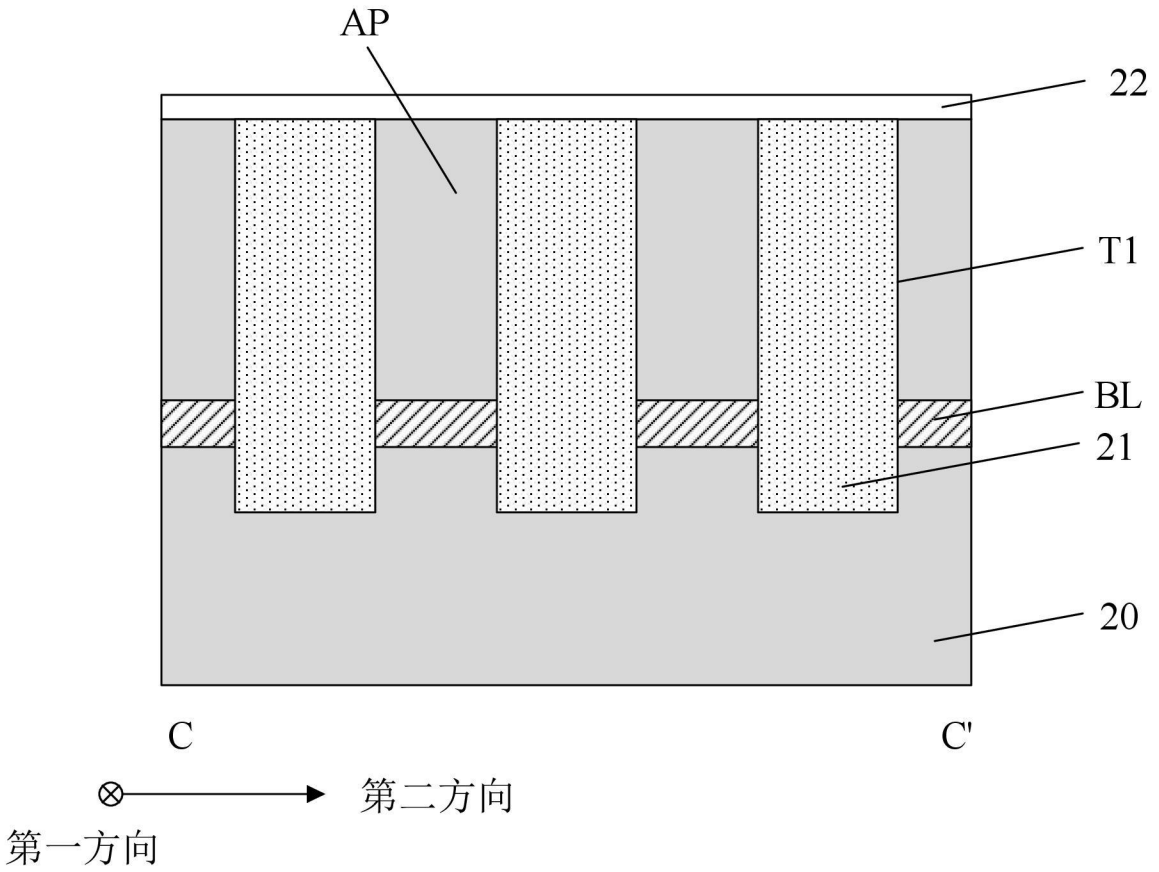
【圖5d】



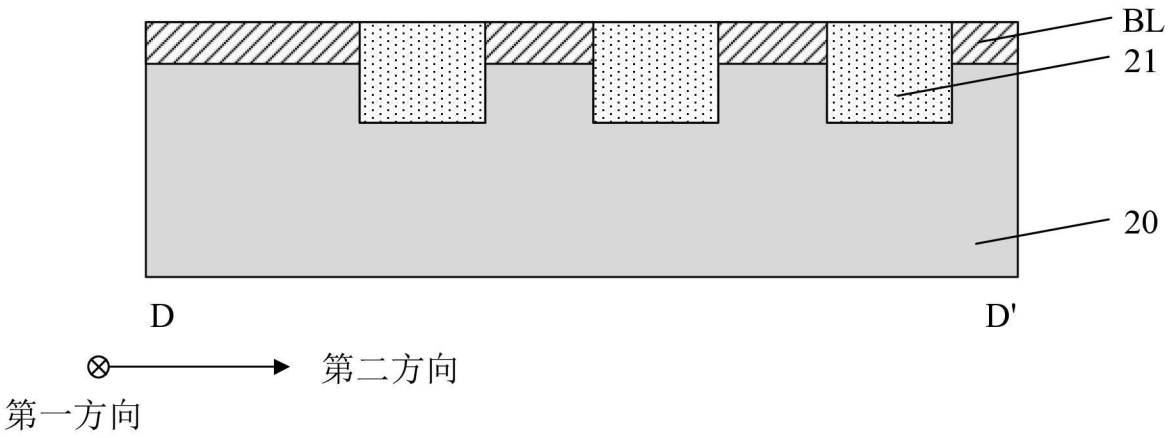
【圖6a】



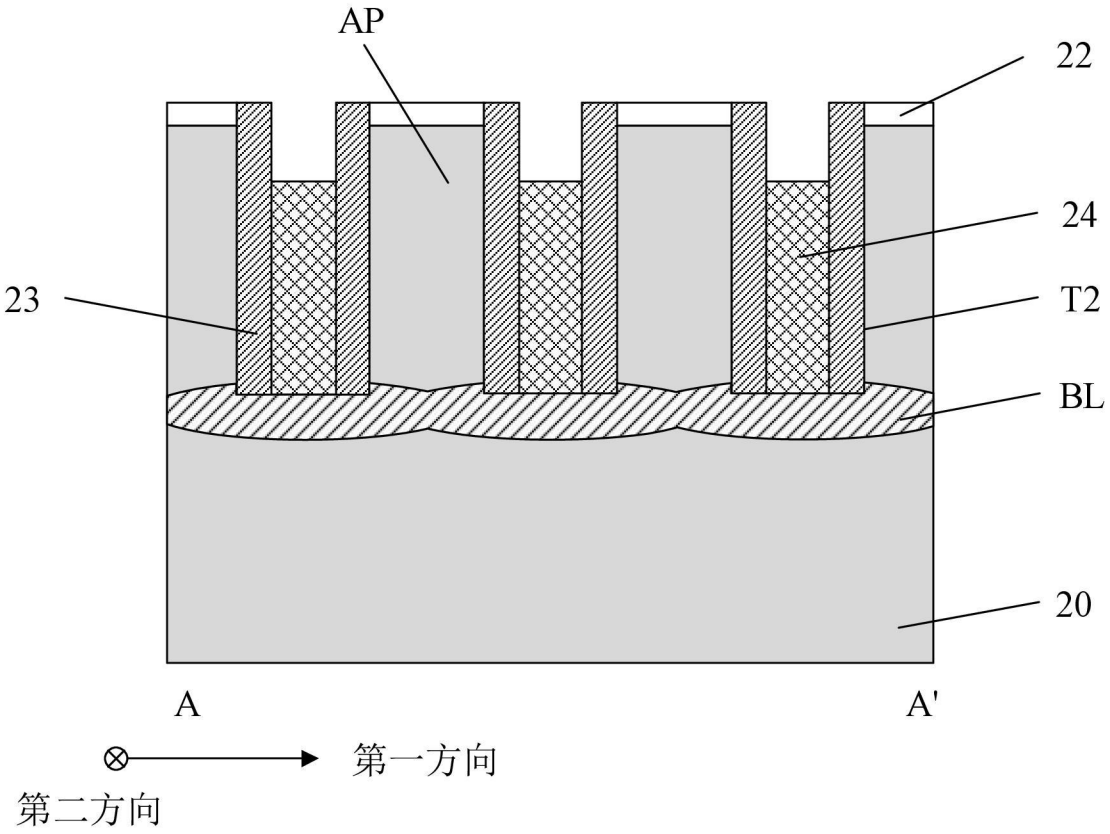
【圖6b】



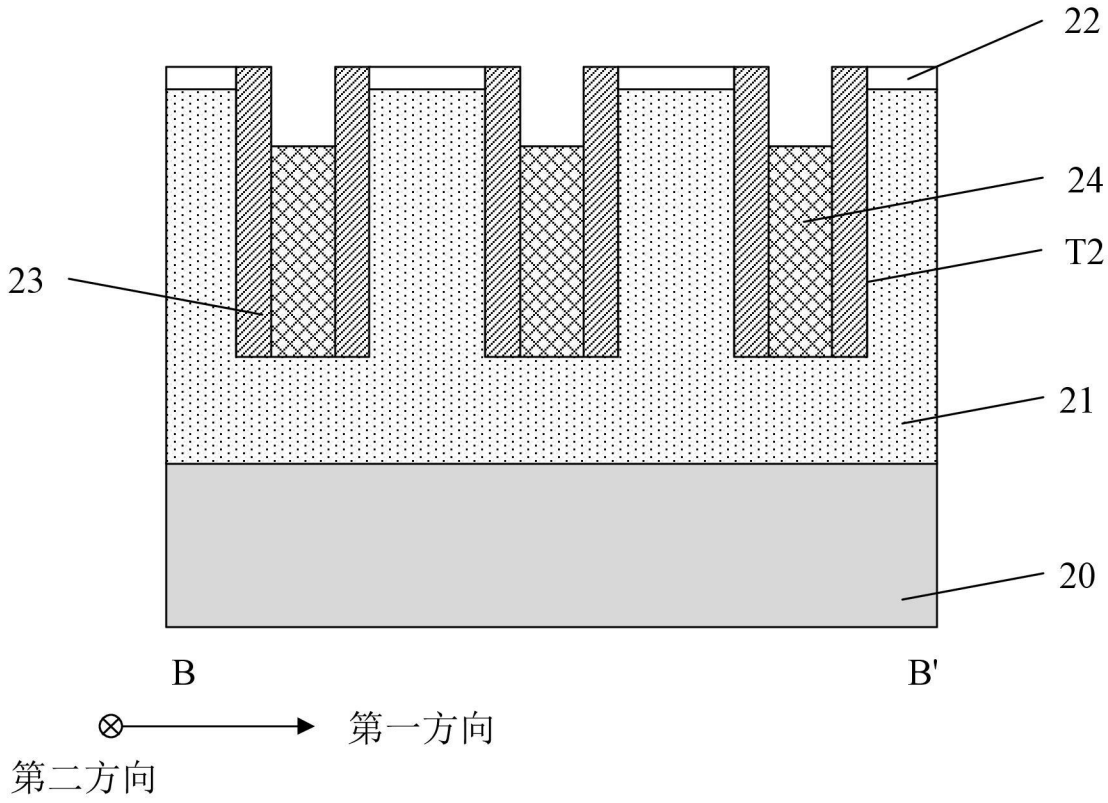
【圖6c】



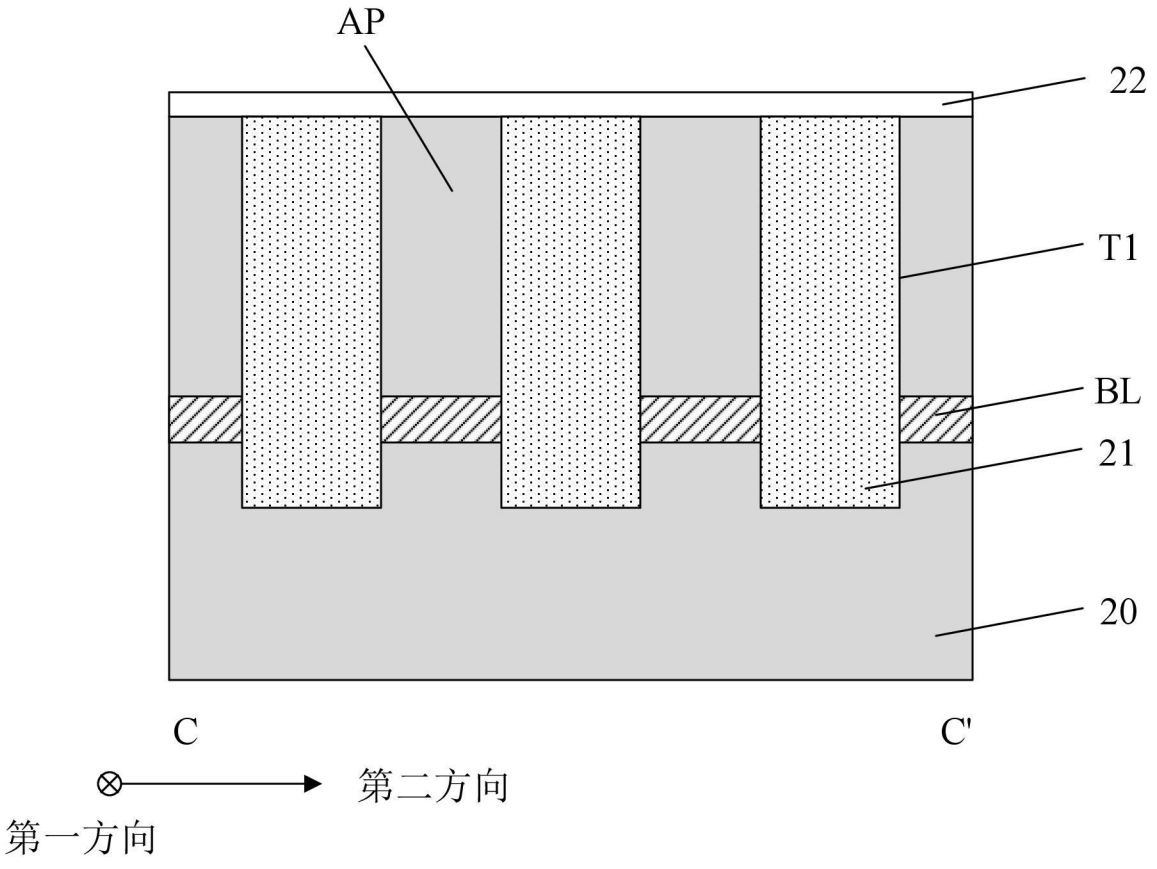
【圖6d】



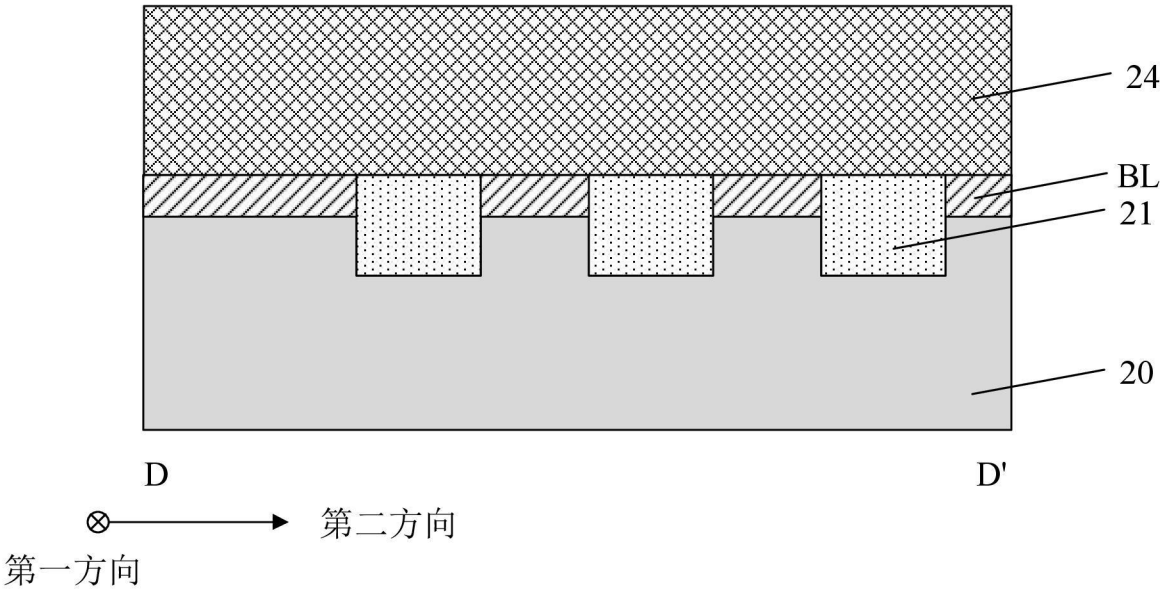
【圖7a】



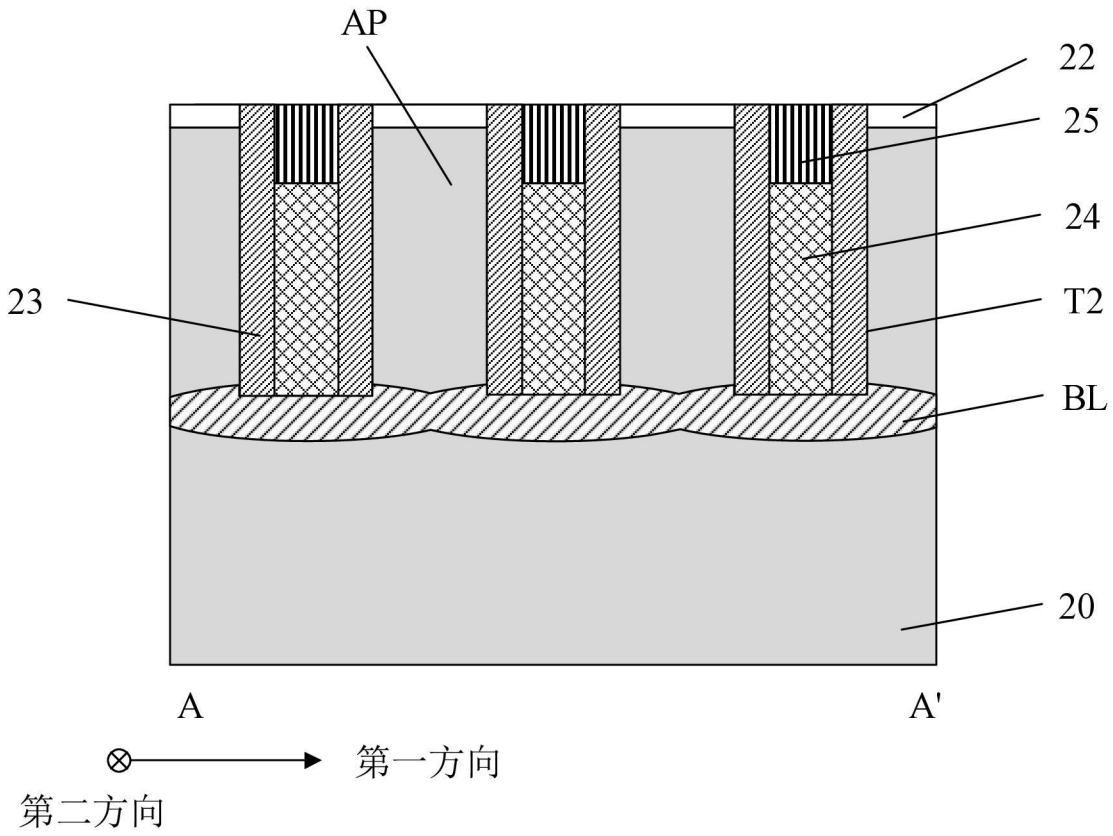
【圖7b】



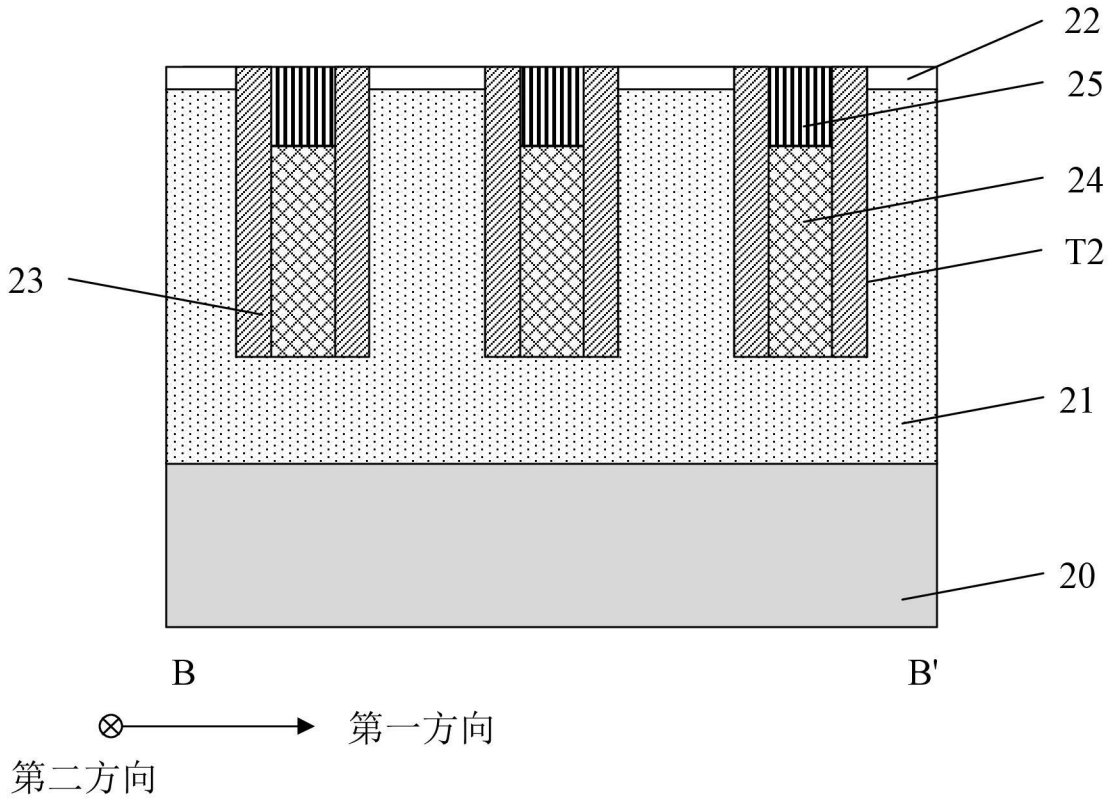
【圖7c】



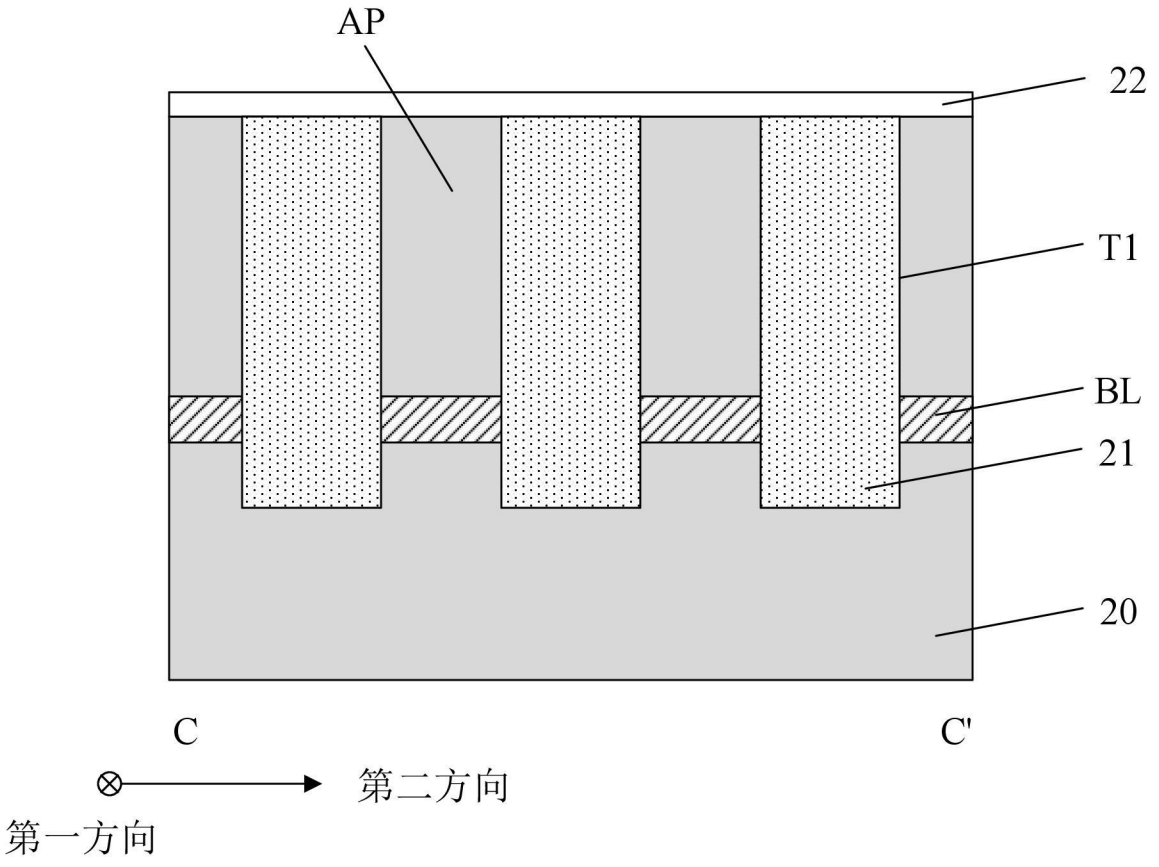
【圖7d】



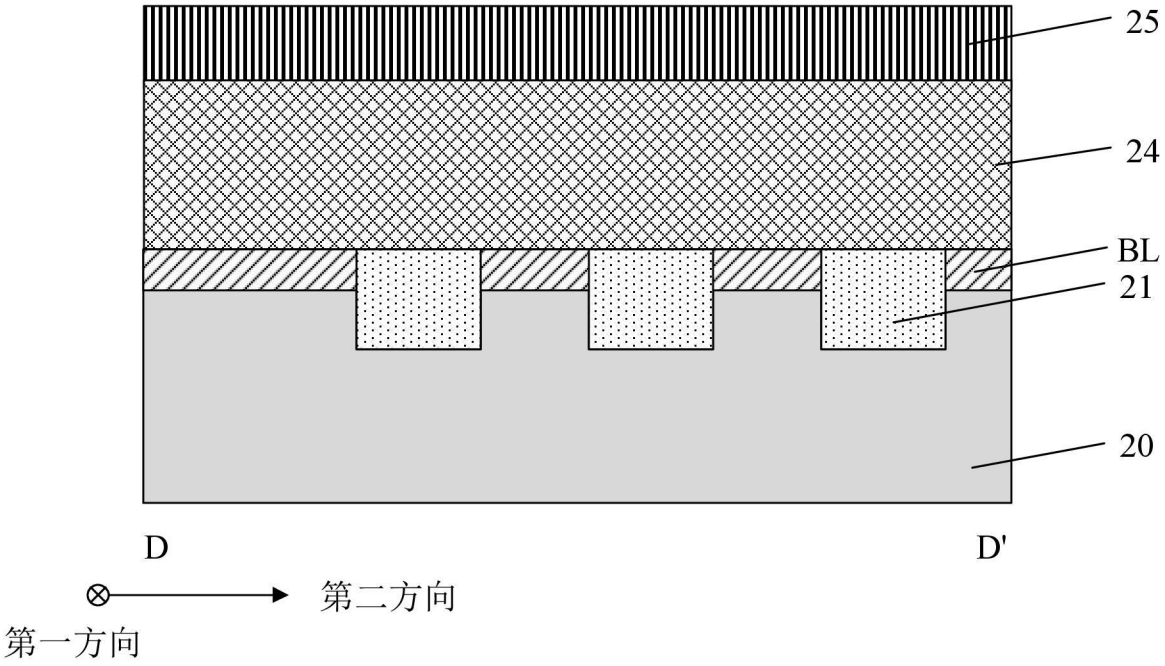
【圖8a】



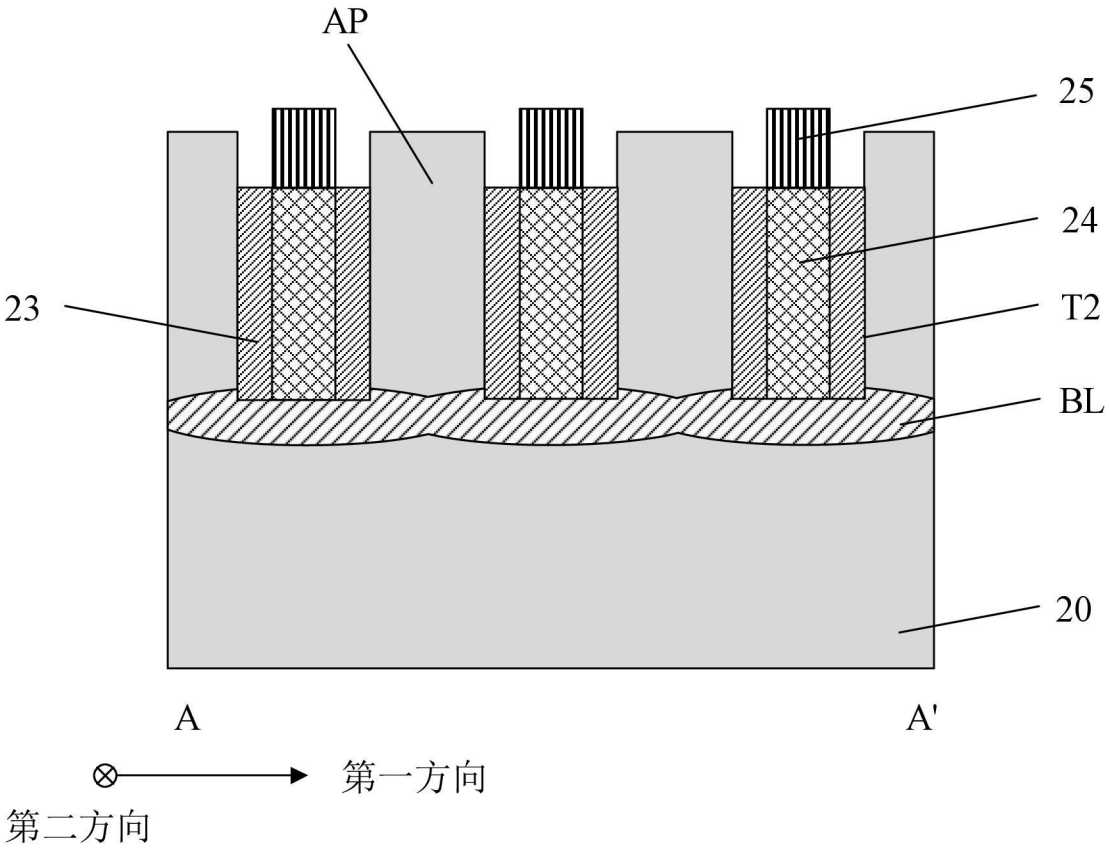
【圖8b】



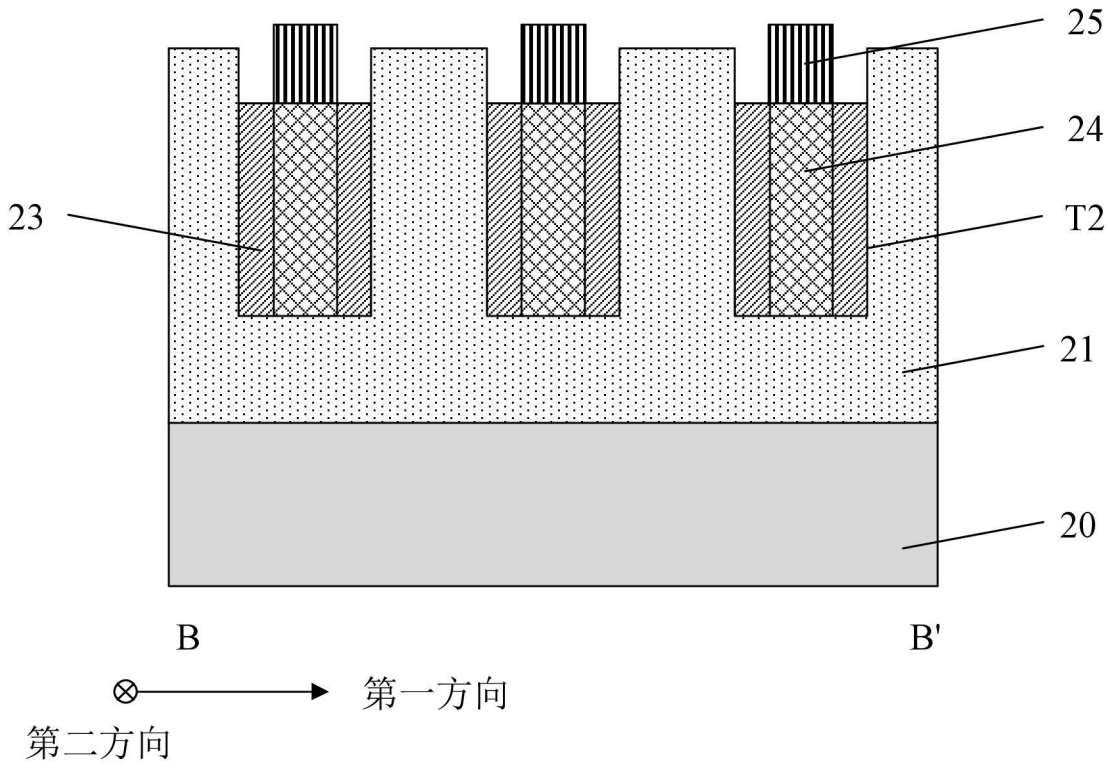
【圖8c】



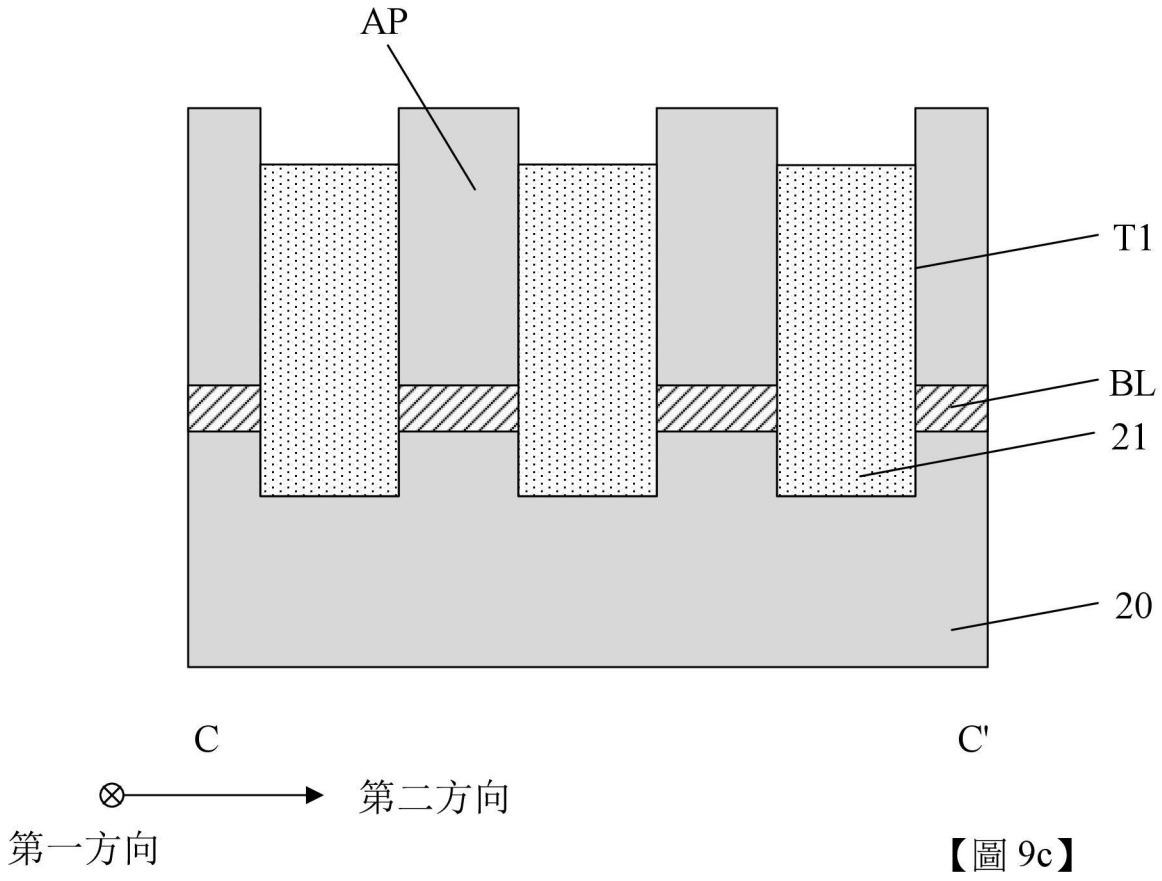
【圖8d】



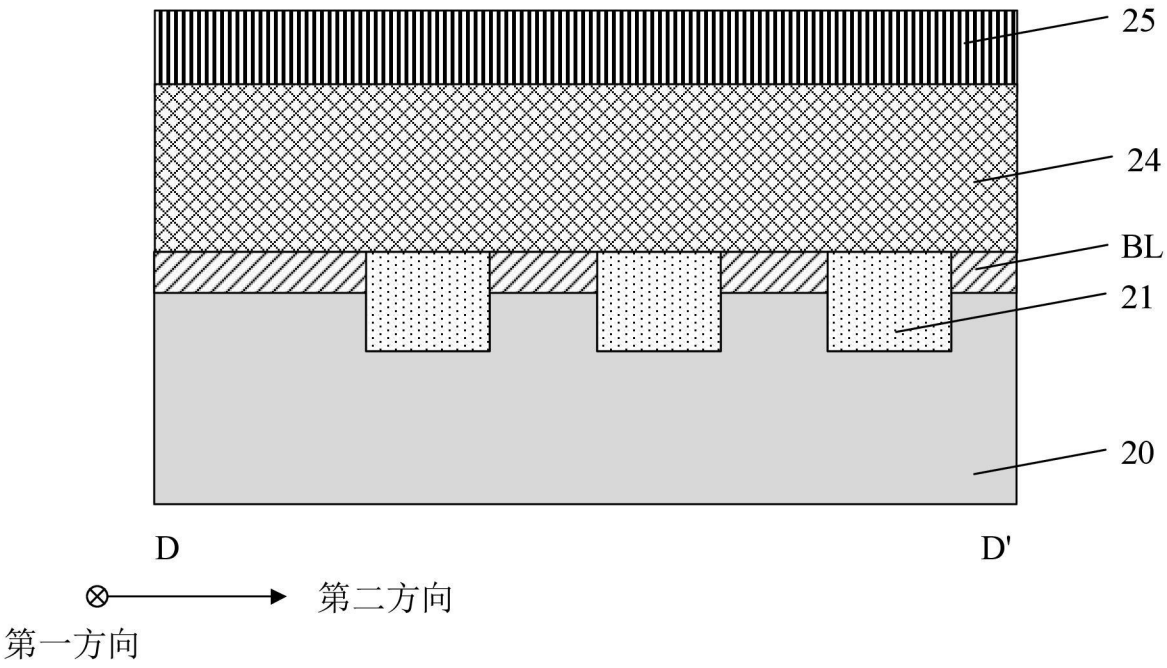
【圖9a】



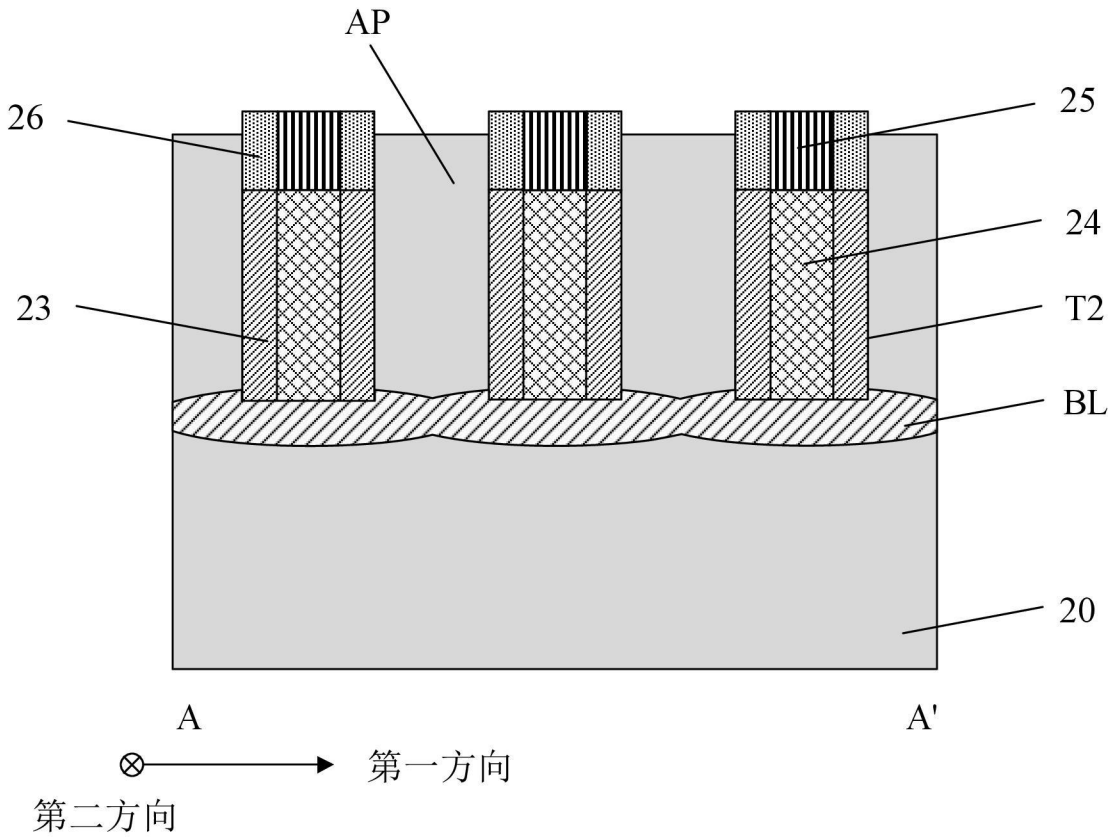
【圖9b】



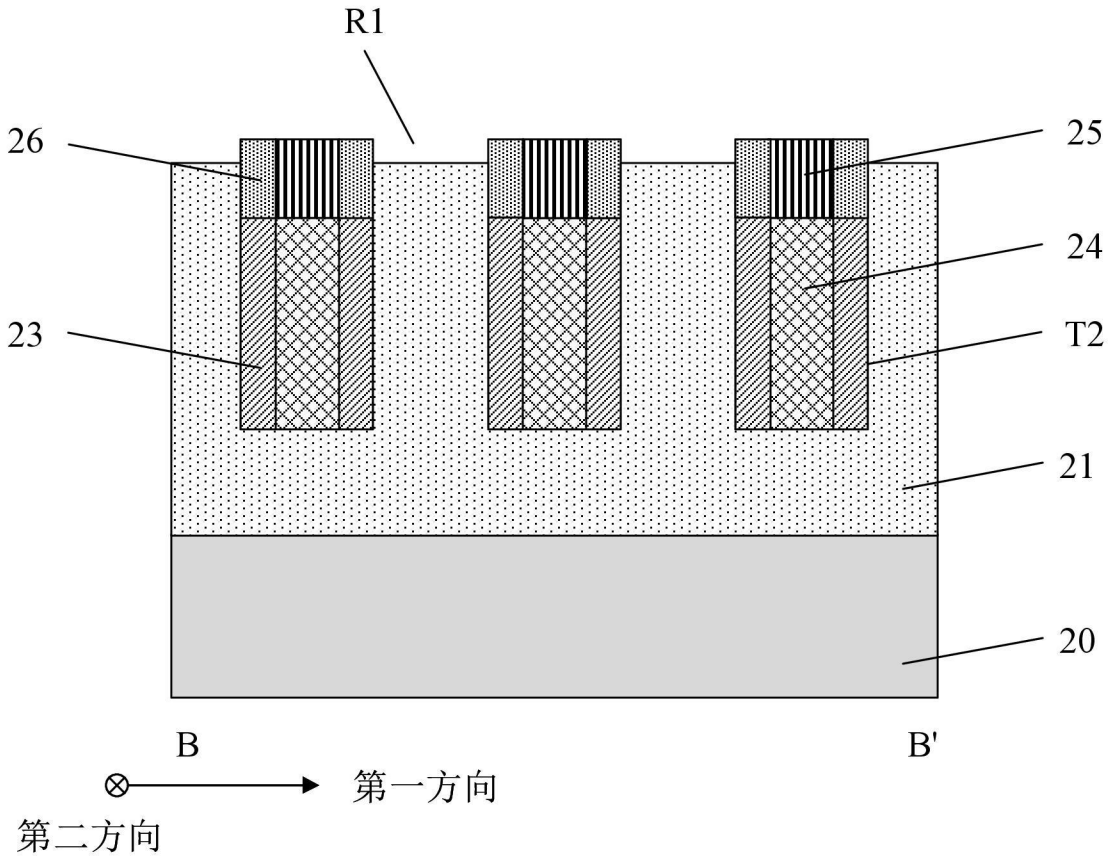
【圖 9c】



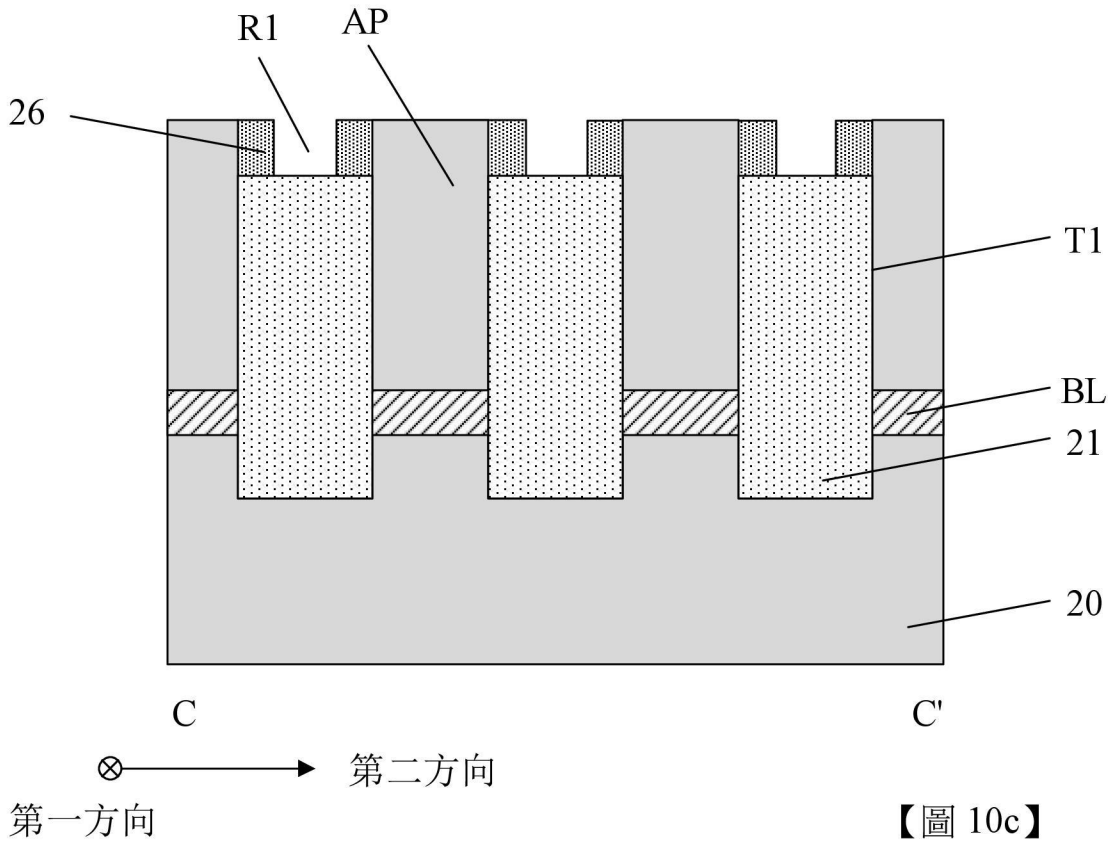
【圖9d】



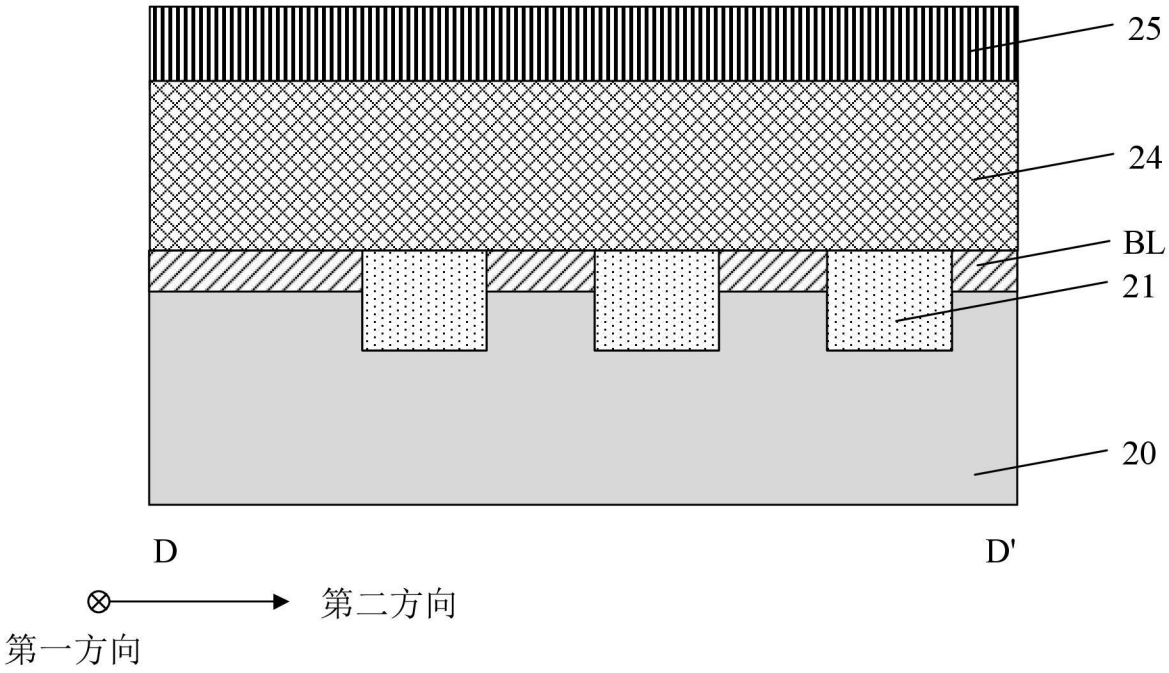
【圖10a】


R1
26
25
24
23
T2
21
20
B
B'
第一方向
第二方向

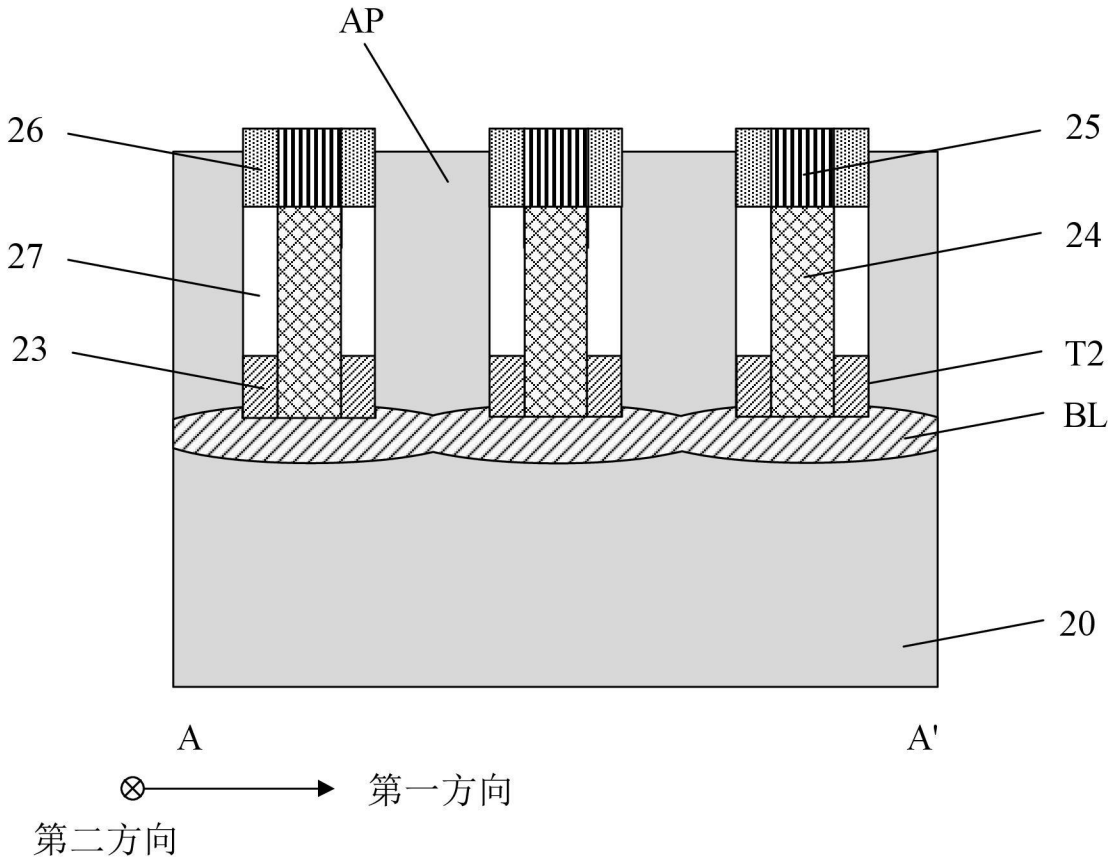
【圖10b】


R1
AP
26
T1
BL
21
20
C
C'
第二方向
第一方向

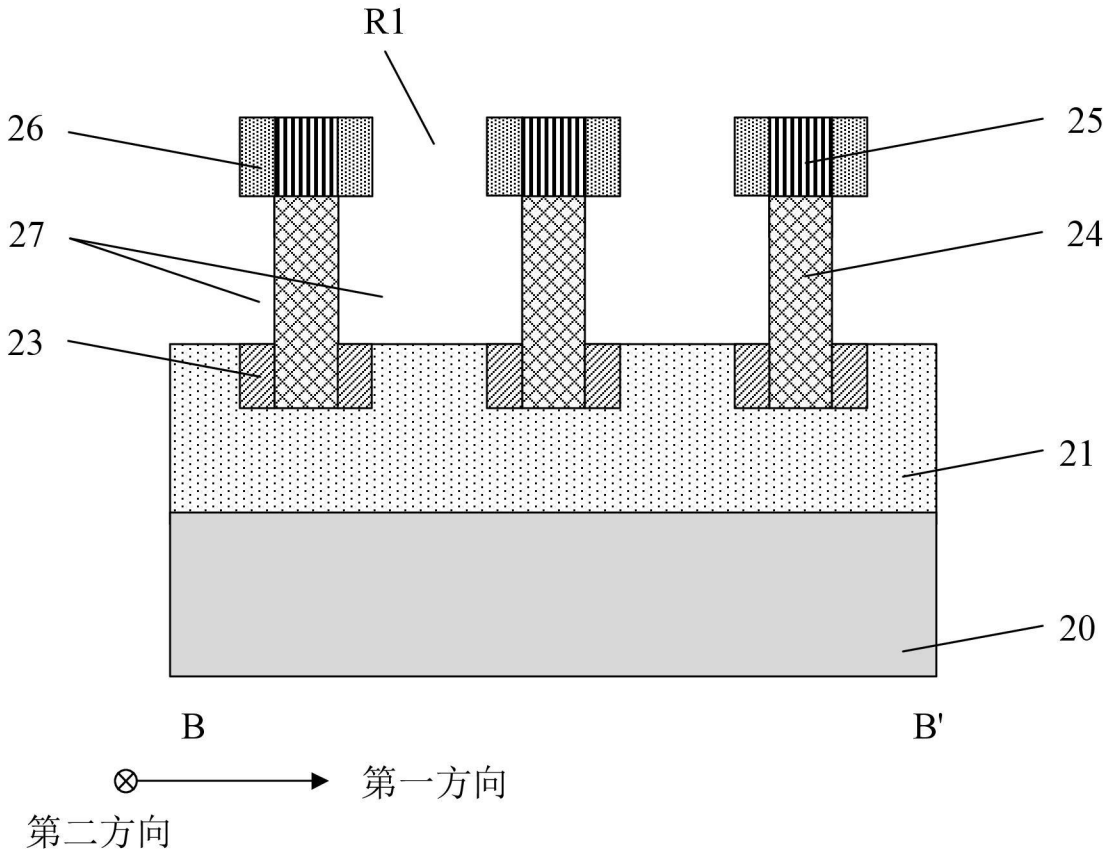
【圖 10c】



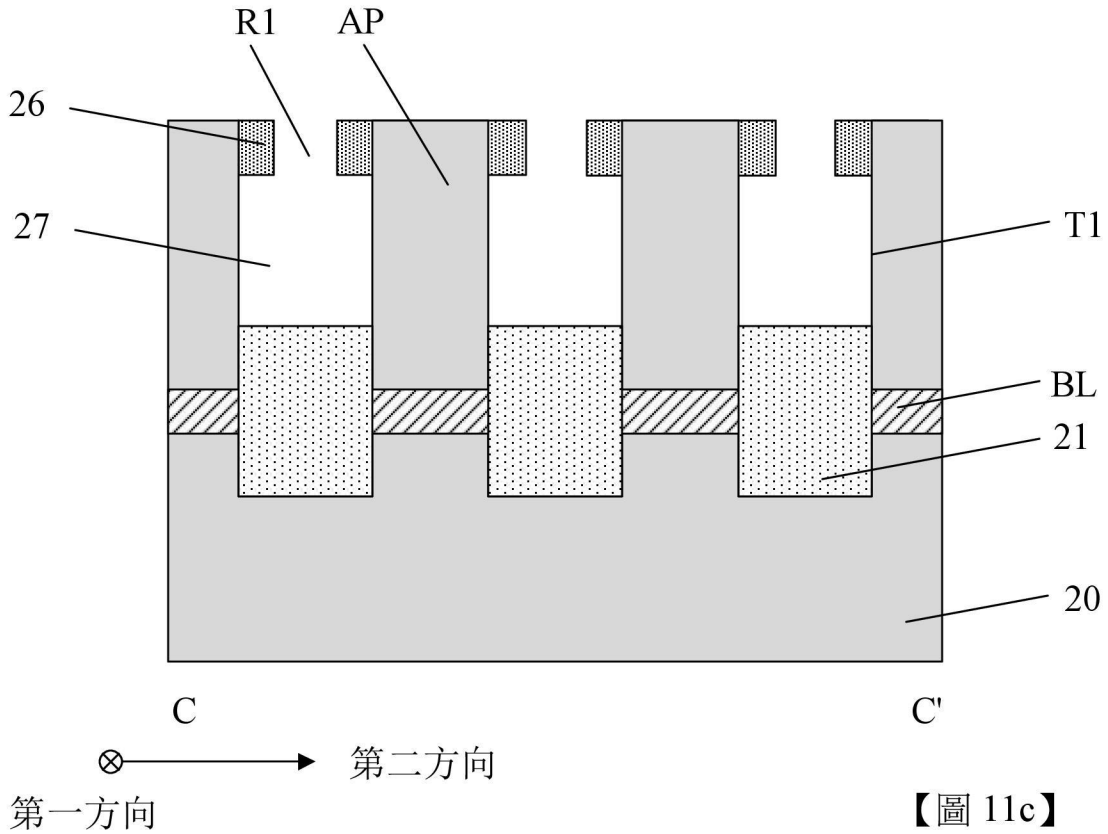
【圖10d】



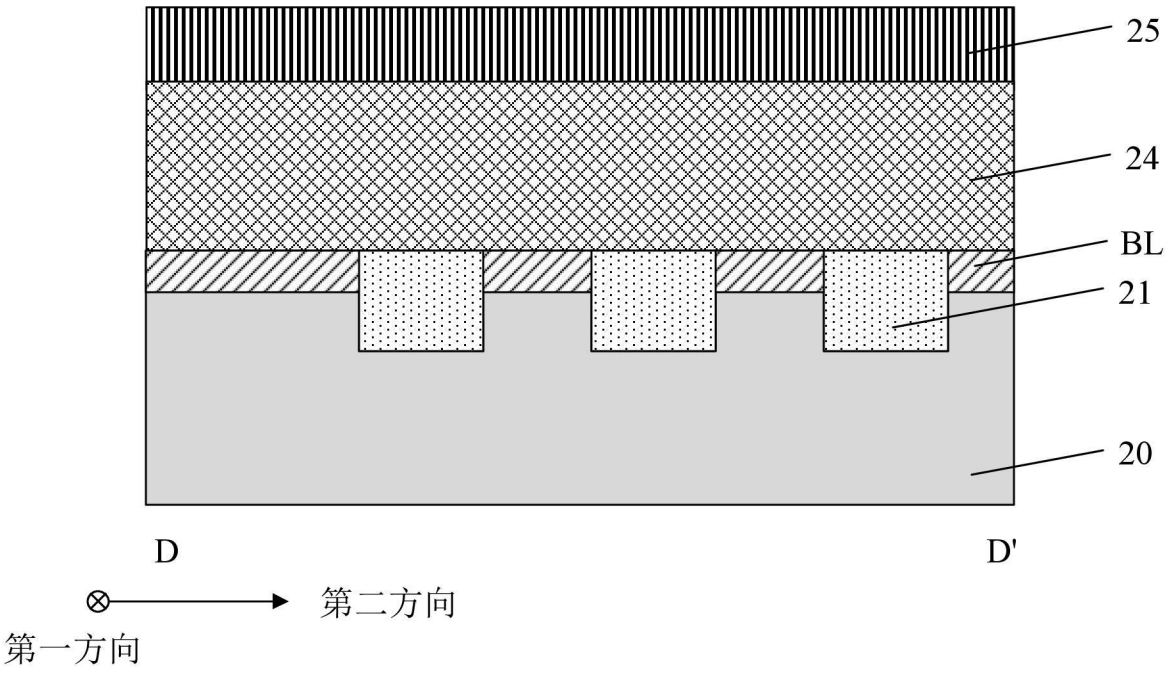
【圖11a】


R1
26
25
27
24
23
21
20
B
B'
第一方向
第二方向

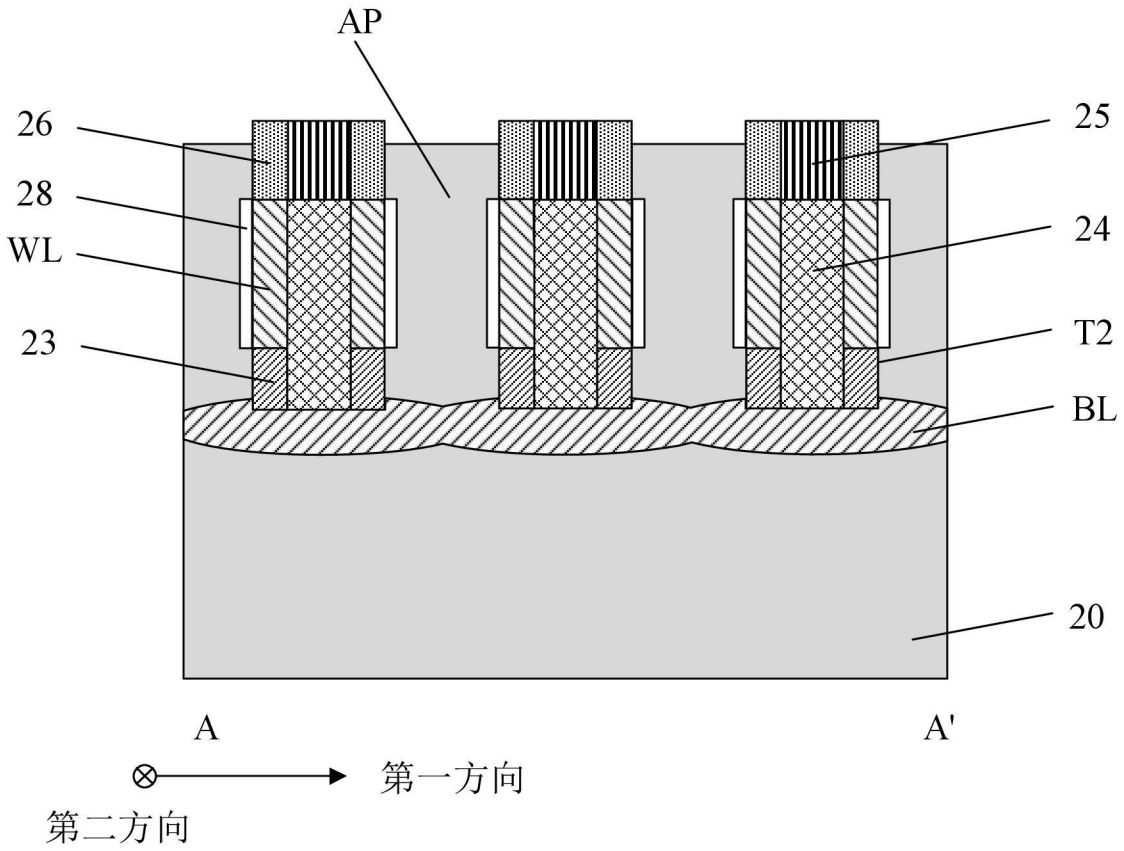
【圖11b】


R1
AP
26
27
T1
BL
21
20
C
C'
第二方向
第一方向

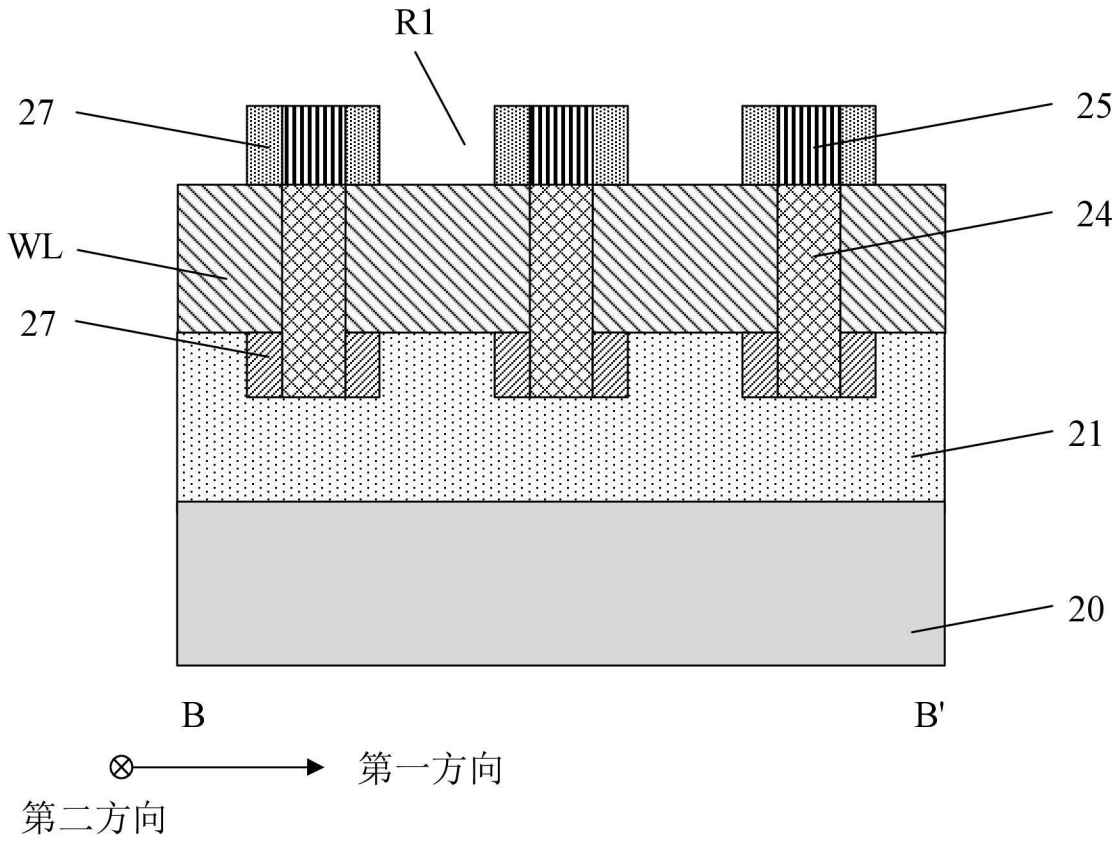
【圖 11c】


25
24
BL
21
20
D
D'
第二方向
第一方向

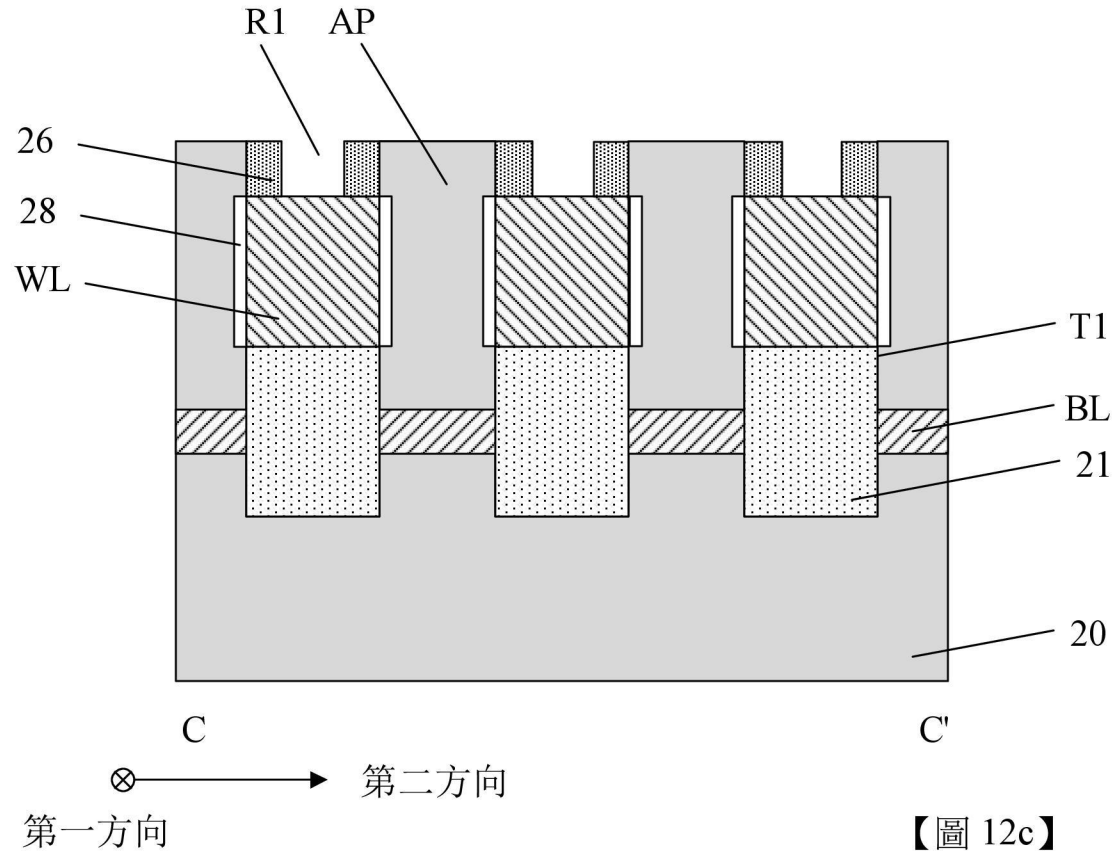
【圖11d】


AP
26
28
WL
23
25
24
T2
BL
20
A
A'
第一方向
第二方向

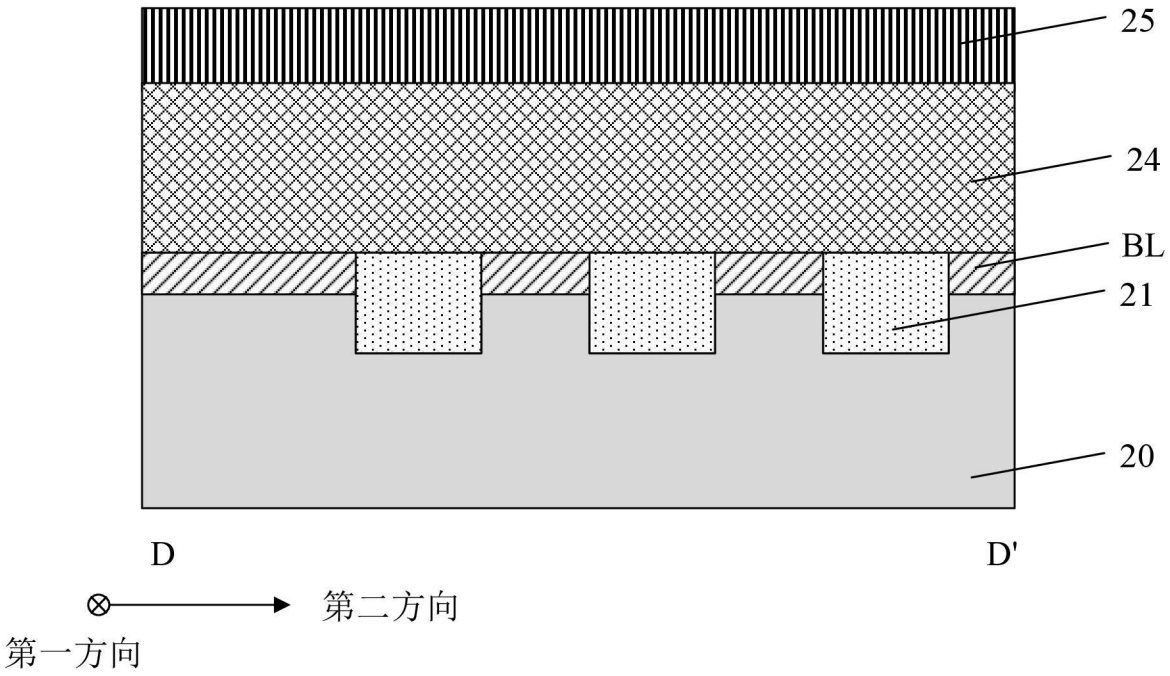
【圖12a】


R1
27
25
24
WL
27
21
20
B
B'
第一方向
第二方向

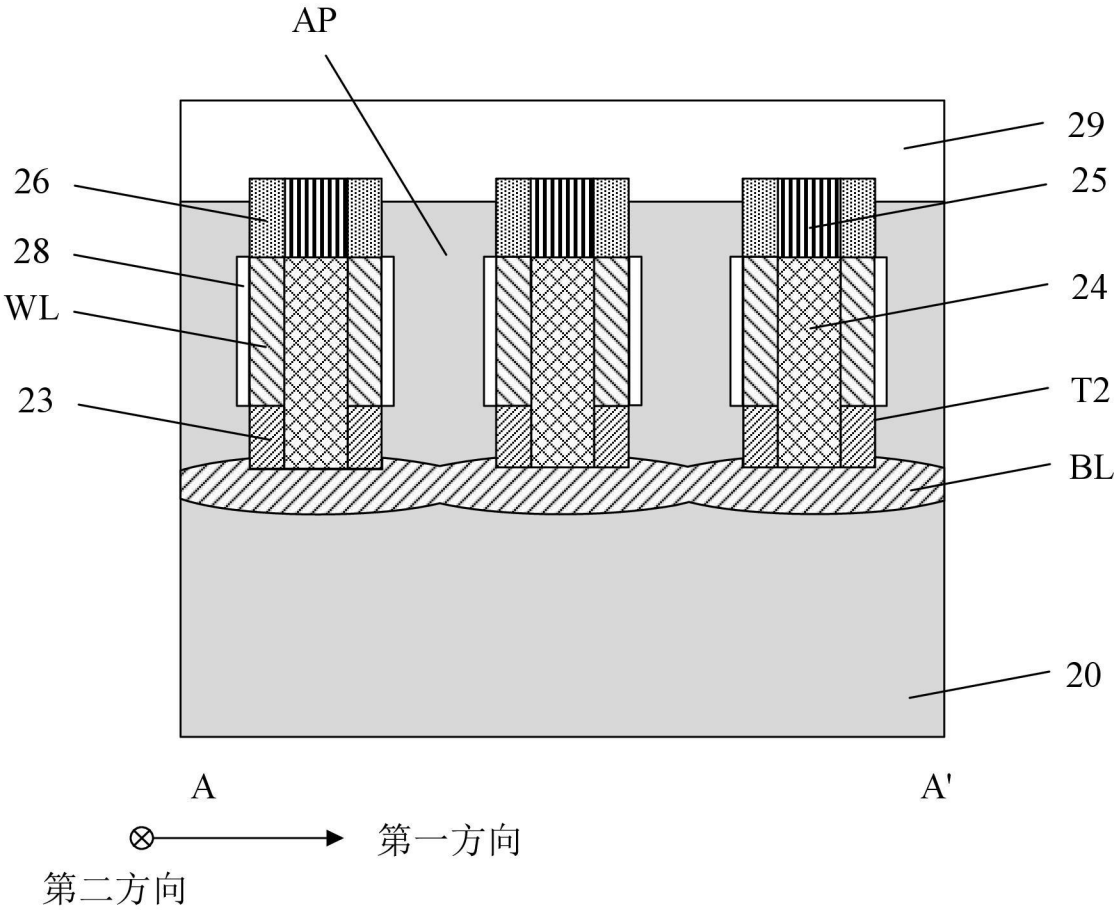
【圖12b】


R1
AP
26
28
WL
T1
BL
21
20
C
C'
第二方向
第一方向

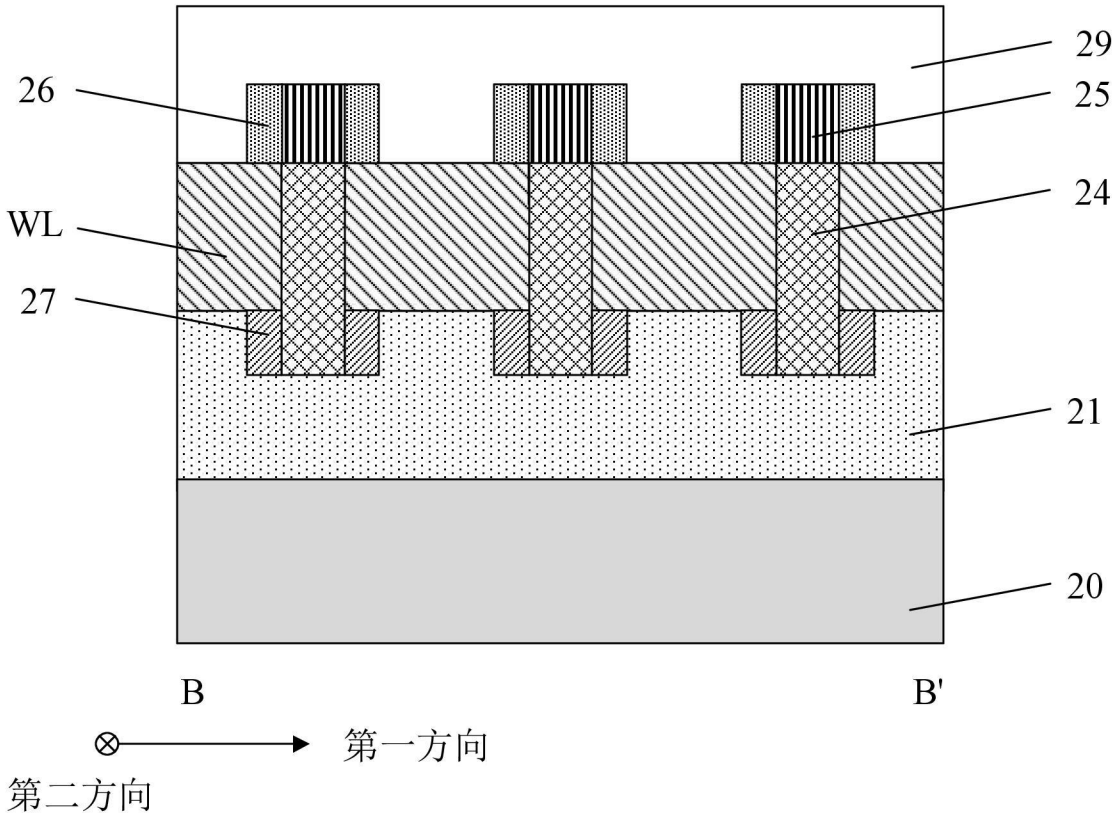
【圖 12c】


25
24
BL
21
20
D
D'
第二方向
第一方向

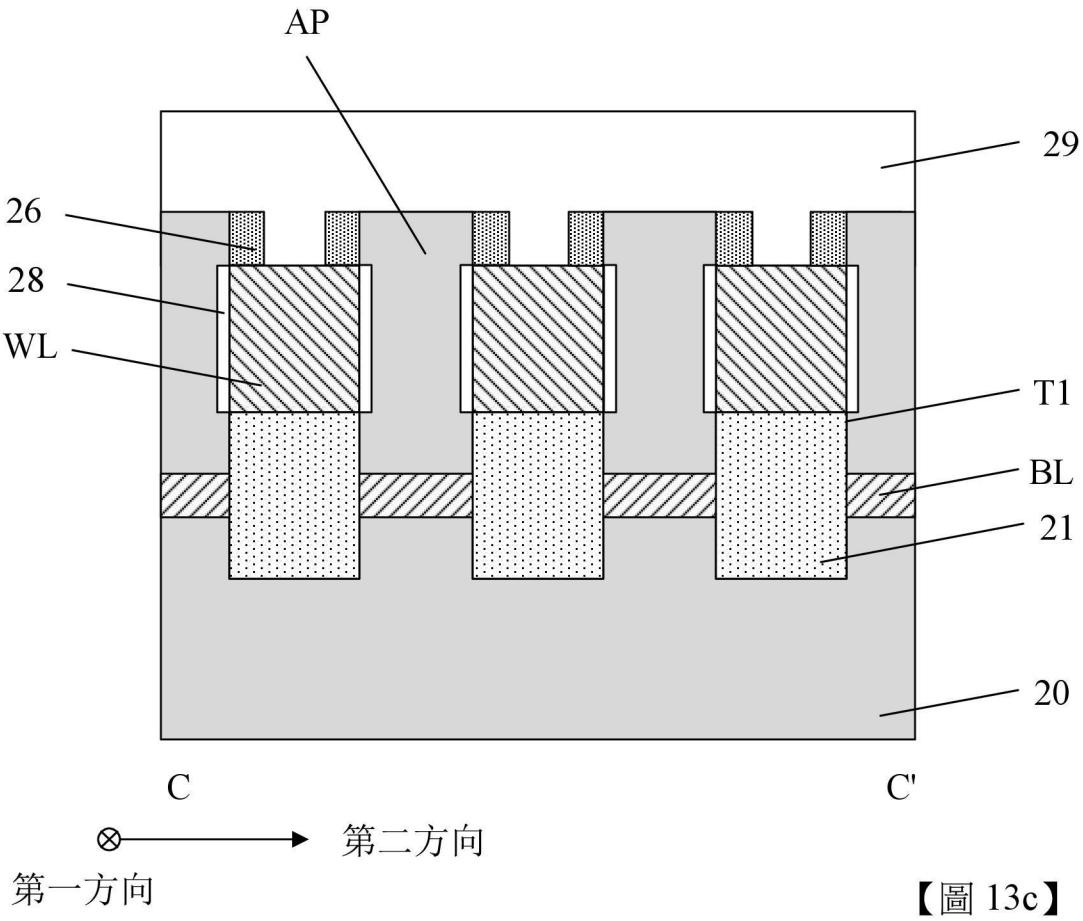
【圖12d】


AP
29
26
25
28
24
WL
T2
23
BL
20
A
A'
第一方向
第二方向

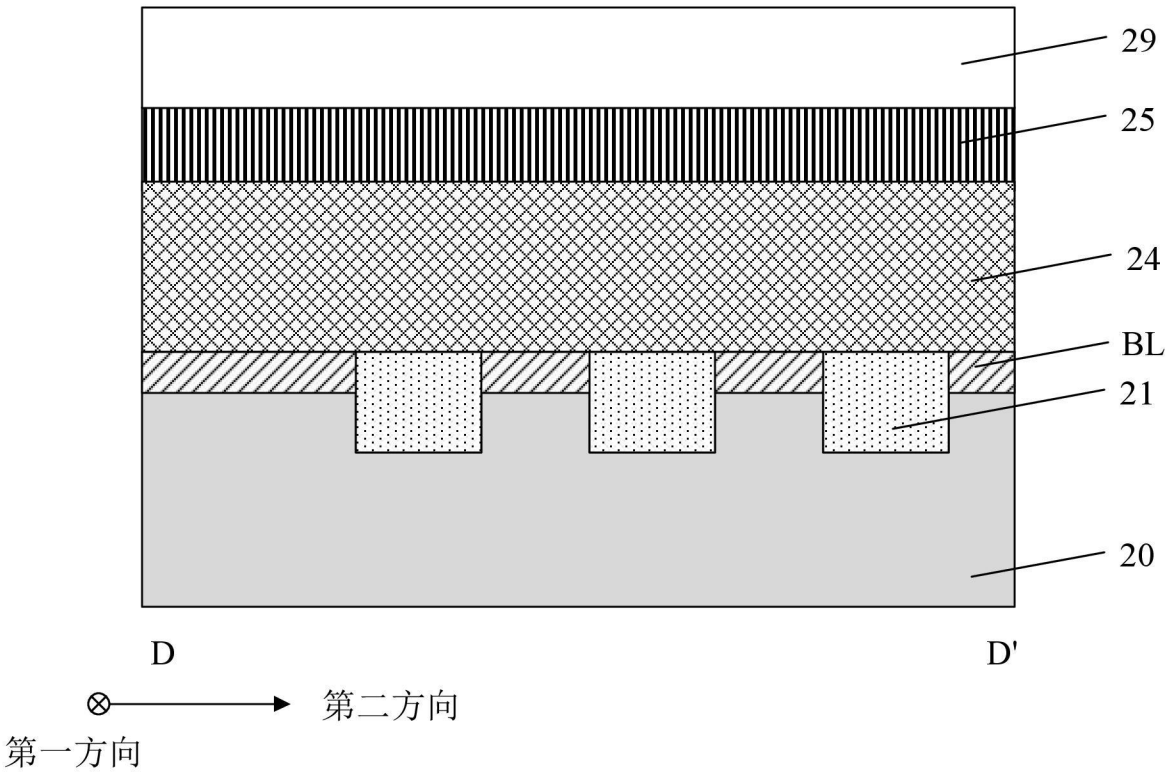
【圖13a】


29
26
25
24
WL
27
21
20
B
B'
第一方向
第二方向

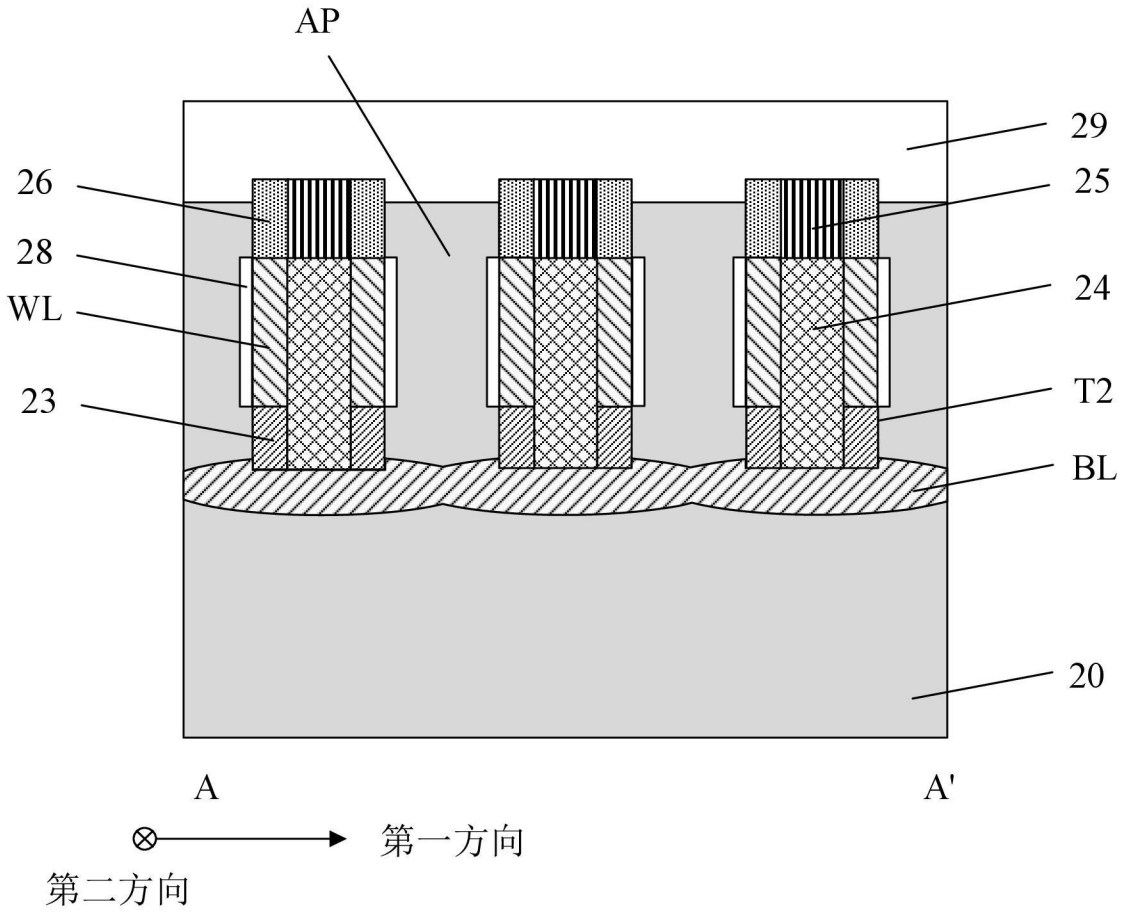
【圖13b】


AP
29
26
28
WL
T1
BL
21
20
C
C'
第二方向
第一方向

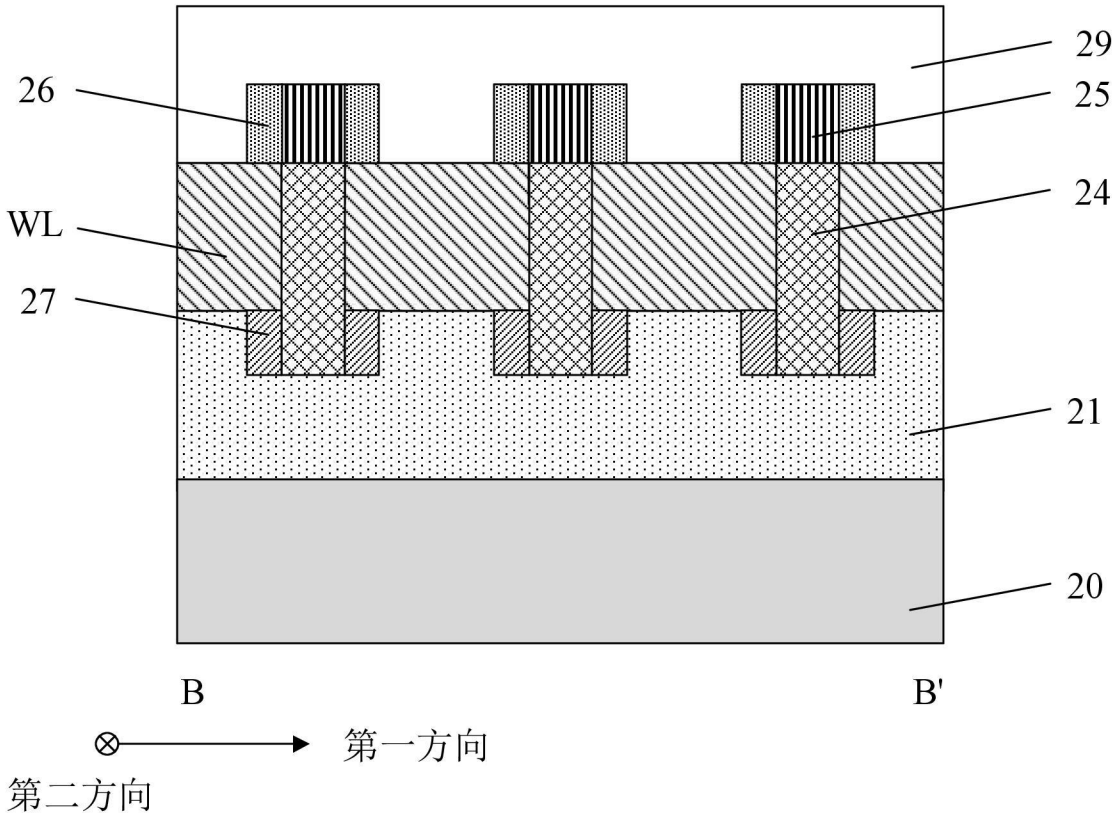
【圖 13c】


29
25
24
BL
21
20
D
D'
第二方向
第一方向

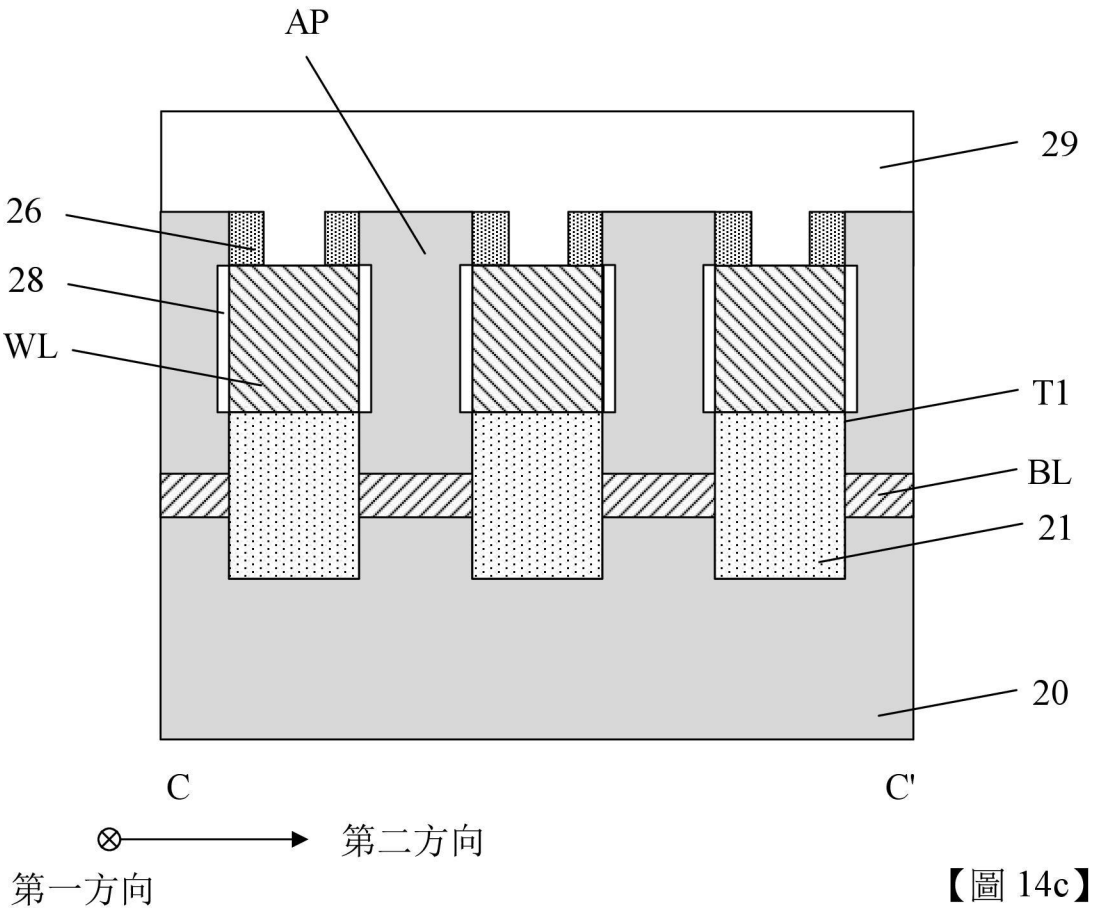
【圖13d】


AP
29
26
25
28
24
WL
T2
23
BL
20
A
A'
第一方向
第二方向

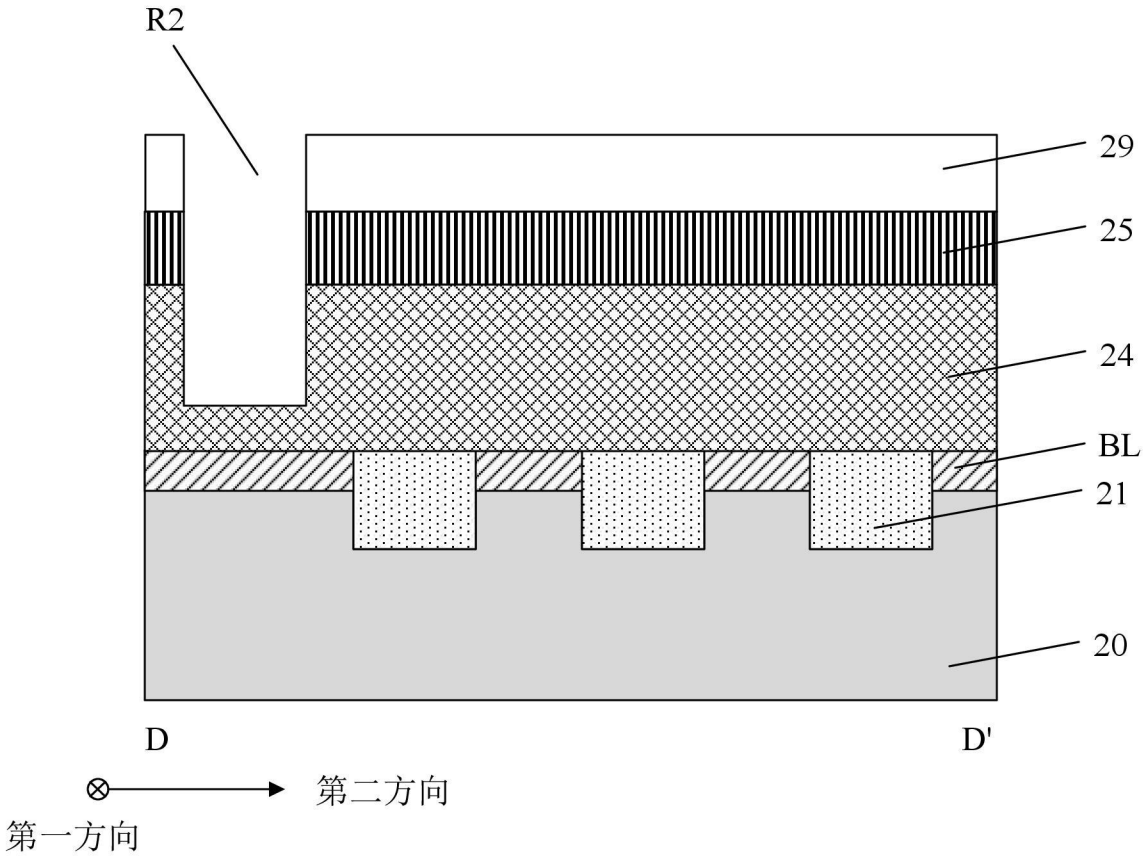
【圖14a】


29
26
25
24
WL
27
21
20
B
B'
第一方向
第二方向

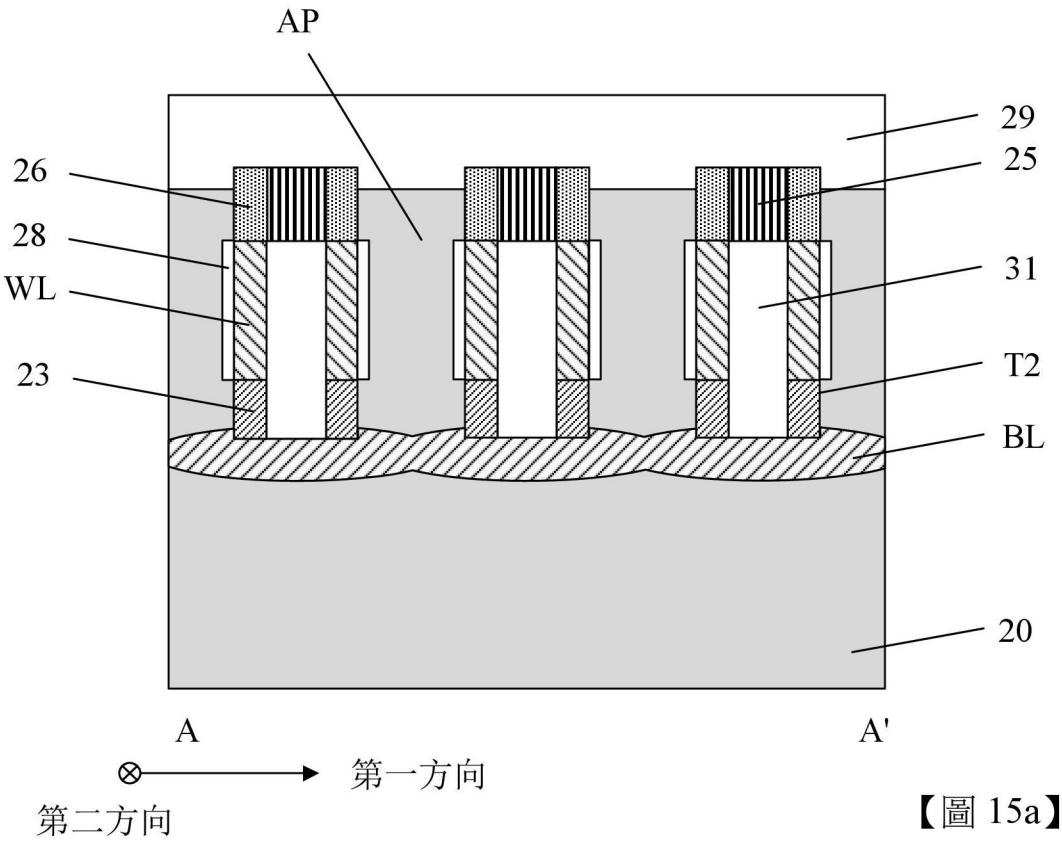
【圖14b】


AP
29
26
28
WL
T1
BL
21
20
C
C'
第二方向
第一方向

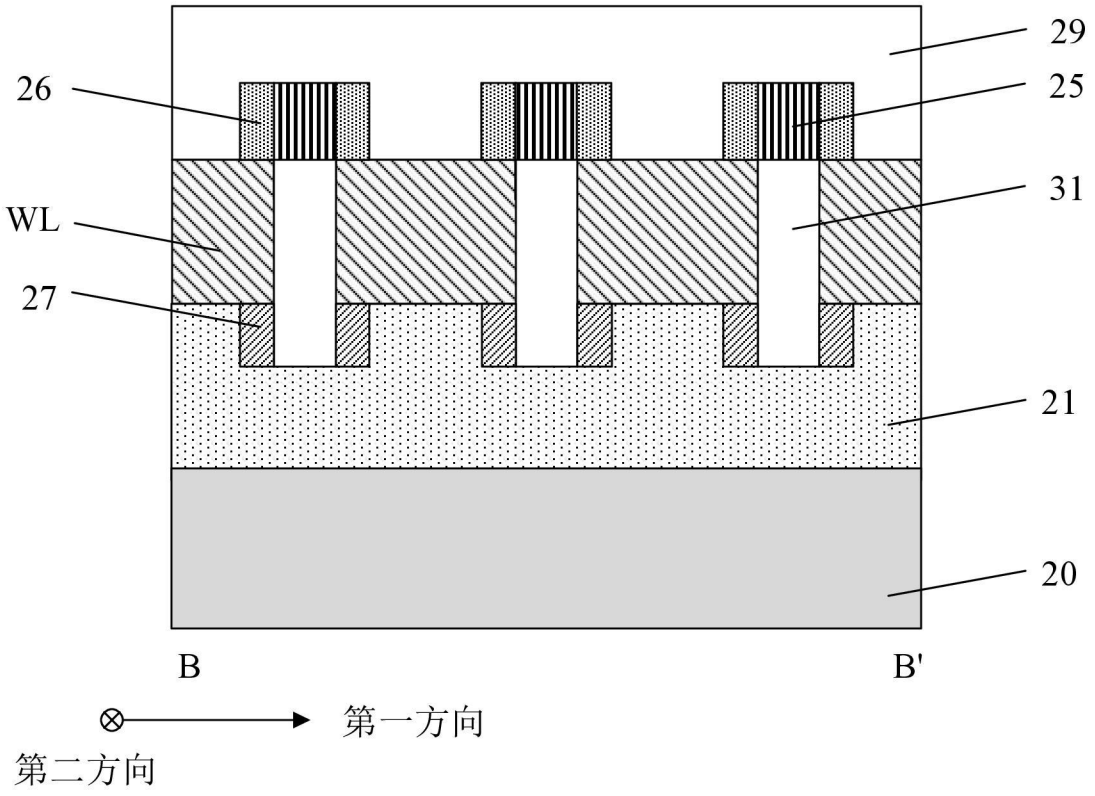
【圖 14c】


R2
29
25
24
BL
21
20
D
D'
第二方向
第一方向

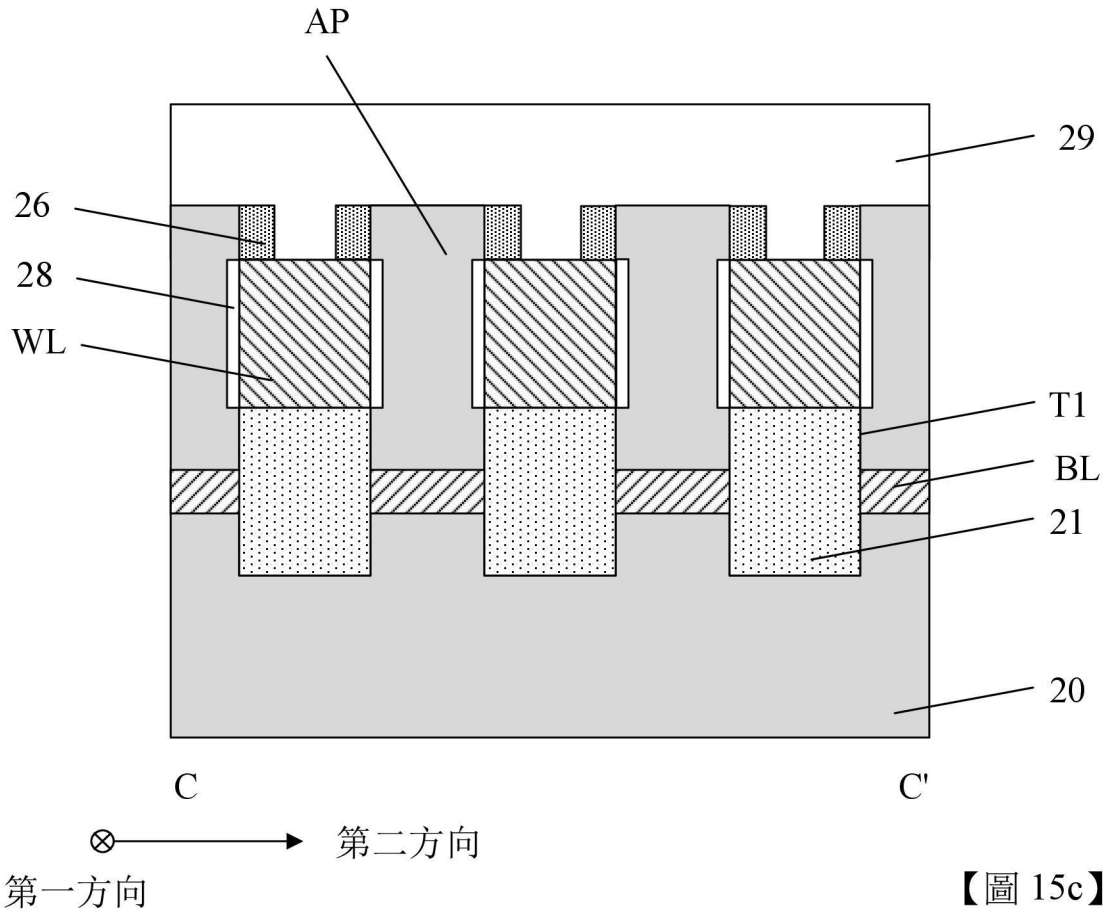
【圖14d】


AP
29
26
25
28
31
WL
T2
23
BL
20
A
A'
第一方向
第二方向

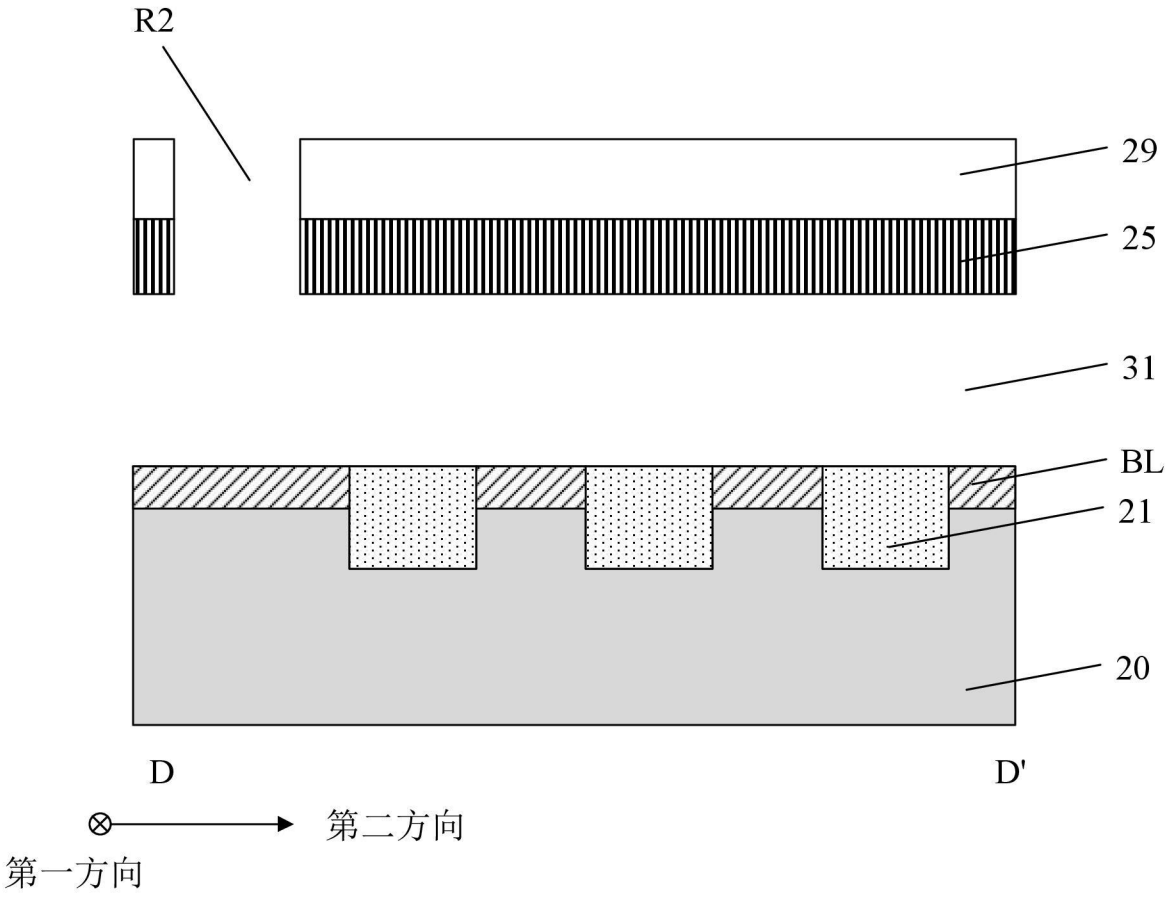
【圖 15a】


29
26
25
31
WL
27
21
20
B
B'
第一方向
第二方向

【圖15b】


AP
29
26
28
WL
T1
BL
21
20
C
C'
第二方向
第一方向

【圖 15c】



【圖15d】