(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G02F 1/133

(45) 공고일자 2002년06월24일
(11) 등록번호 10-0323913
(24) 등록일자 2002년01월28일

(21) 출원번호 10-1996-0061461
(22) 출원일자 1996년11월29일

(65) 공개번호 특1997-0029296
(43) 공개일자 1997년06월26일

(30) 우선권주장 95-336054 1995년11월29일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 고야마 준
일본국 229 가나가와켄 사가미하라시 니시하시모토 1-4-23
야마자끼 순페이
일본국 157 도쿄 세타가야쿠 세이조 4-10-20

(74) 대리인 황의만

심사관 : 고종욱

# (54) 반도체장치

요약

매트릭스 형태로 배치된 다수의 화소를 포함하는 표시장치에, 병렬로 배치된 2개 이상의 행(行) 구동회로 및/또는 열(列) 구동회로가 제공되어 있다. 이러한 구성은, 구동회로들 각각에 의해 구동되는 행 및/또는 열 사이의 간격을 감소시켜 매트릭스의 화소가 고밀도로 배치될 수 있게 한다. 구동회로들의 이러한 병렬배치 구성으로, 비디오 신호의 라인 반전 및 도트 반전 뿐만 아니라 인터레이스 주사가 단순화되고, 구동회로의 동작 주파수가 감소될 수 있다.

대표도

도 1A~도 1C

명세서

도면의 간단한 설명

도 1A는 본 발명의 실시예 1에 따른 매트릭스 표시장치의 블록도.

도 1B 및 도 1C는 실시예 1의 개별 표시소자를 구동하기 위한 각기 다른 회로 구성을 나타내는 개략 회로도.

도 2A는 실시예 2에 따른 매트릭스 표시장치의 블록도.

도 2B 및 도 2C는 실시예 2의 개별 표시소자를 구동하기 위한 각기 다른 회로 구성을 나타내는 개략 회로도.

도 3A는 실시예 3에 따른 매트릭스 표시장치의 블록도.

도 3B 및 도 3C는 실시예 3의 개별 표시소자를 구동하기 위한 각기 다른 회로 구성을 나타내는 개략 회로도.

도 4A는 실시예 4에 따른 매트릭스 표시장치의 블록도.

도 4B 및 도 4C는 실시예 4의 개별 표시소자를 구동하기 위한 각기 다른 회로 구성을 나타내는 개략 회로도.

도 5A는 실시예 5에 따른 매트릭스 표시장치의 블록도.

도 5B는 실시예 6에 따른 매트릭스 표시장치의 블록도.

도 6A는 실시예 7에 따른 매트릭스 표시장치의 블록도.

도 6B는 실시예 8에 따른 매트릭스 표시장치의 블록도.

도 7A는 행 구동회로 및 열 구동회로가 어드레스 회로를 구성하는 시프트 레지스터를 포함하고 있는, 본 발명의 액티브 매트릭스형 표시장치를 구동하는데 적용가능한 회로 구성을 나타내는 도면.

도 7B는 도 7A에 나타낸 시프트 레지스터들중 어느 하나 또는 모두를 대체할 수 있는 디코더 회로를 나타내는 도면.

도 8A는 실시예 9에 따른 매트릭스 표시장치의 블록도.

도 8B는 실시예 10에 따른 매트릭스 표시장치의 블록도.

도 9A  도 9E는 실시예 11에 따라 비디오 신호의 라인 반전이 어떻게 행해지는지를 나타내는 도면.

도 10A는 실시예 11에 따른 어드레스 회로를 나타내는 회로도.

도 10B는 도 10A에 나타낸 시프트 레지스터들을 대체할 수 있는 디코더 회로를 나타내는 회로도.

도 11는 도 10B에 나타낸 디코더 회로에 입력될 수 있는 신호들을 나타내는 도면.

도 12는 어드레스 회로를 구성하기 위해 디코더 회로를 이용하는 실시예 11에 따른 매트릭스 표시장치의 블록도.

* 도면의 주요부분에 대한 부호의 설명

101: 제1 열 구동회로 102: 행 구동회로

103, 105: 출력회로 104: 제2 열 구동회로

106 : 매트릭스 107, 109: 비디오 신호선

108: 클럭 신호선 110, 111: 래치 신호선

112, 113: 열 신호선 114: 행 신호선

115, 116: 표시소자(화소)

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로는 표시장치에 관한 것이고, 더 구체적으로는, 그 표시장치의 구동회로에 관한 것이다. 본 발명은 단순 매트릭스형 또는 액티브 매트릭스형 표시장치의 구동방법에 적용될 수 있다. 또한, 본 발명은, 음극선관(CRT)을 제외하고, 전기신호를 체어된 방법으로 인가함으로써 광투과율, 광반사율, 광굴절률, 발광량 등의 성질이 변화되는 액정표시장치(LCD) 및 전기장발광(EL)표시장치와 같은 플랫 패널(flat panel)형 표시장치에 적용될 수 있다.

매트릭스 형태로 배치된 다수의 표시소자(화소)를 포함하는 매트릭스 표시장치는 대용량 표시수단으로서 특히 플랫 패널형 표시장치에 사용된다. 종래의 공지된 매트리스 표시장치로서는, 행열로 배치된 개개의 표시소자가 작동장치를 내장하고 있지 않는 단순 매트릭스형과, 개개의 표시소자에 트랜지스터 또는 다이오드와 같은 능동소자가 설치되어 있는 액티브 매트릭스형이 있다. 하기 설명에서, 열(列) 신호선은 비디오 신호(영상신호)를 가지는 전기신호를 전송하는 신호선을 의미하고, 행(行) 신호선은 비디오 신호을 가지지 않는 전기신호를 전송하는 신호선을 의미하는 것으로 정의한다.

어느 형태의 매트릭스 표시장치에서도, 기본 구성은, 매트릭스의 행 신호선 및 열 신호선에 신호를 공급하기 위해 어드레스 회로를 포함하는 주변 구동회로가 매트릭스의 주변에 배치되도록 되어 있다. 이들 구동회로를 각각 행 구동회로 및 열 구동회로라고 부른다. 액티브 매트릭스형 표시장치를 위한 어드레스 회로로서 시프트 레지스터를 이용하는 구성이, 예를 들어, 일본국 공개특허공고 소57-41078호의 공보에 개시되어 있고, 액티브 매트릭스형 표시장치를 위한 어드레스 회로로서 AND 게이트 및 NAND 게이트를 포함하는 디코더 회로를 이용하는 구성이, 예를들어, 일본국 공개특허공고 소62-265696호의 공보에 개시되어 있다.

종래의 매트릭스형 표시장치의 주변 구동회로는 공지의 반도체 집적회로상에 형성되고, 테이프 자동화 실장(TAB)법과 같은 본딩(bonding) 기술을 이용하여 유리기판 상의 매트릭스에 접속된다. 최근, 매트릭스의 대용량화 및 매트릭스 면적의 축소화에 대한 요구의 증가에 따라, 각각의 행 신호선과 각각의 열 신호선 사이의 간격이 감소되었다. 이것은, 주변 구동회로를 매트릭스와 동일한 기판 상에 모놀리식(monolithic) 형태로 형성하는 것을 필요로 한다. 예를 들어, TAB법은 기계적 압착 방식이기 때문에, TAB법에 의해 배선을 100 μm 이하의 간격으로 접속하는 것은 어렵다. 이것에 대하여, 주변 구동회로가 표시소자의 매트릭스와 동일한 기판상에 형성되는 구성에서는, 포토리소그래피법을 이용하는 것이 가능하다. 이상적으로는, 포토리소그래피법은 디자인 룰(design rule) 요건과 실제적으로 동등한 정도까지 배선 간격을 감소시킬 수 있다.

그러나, 최근, 각 표시소자의 면적의 감소가 회로 구성과 관련된 문제를 야기시킬 수 있다는 것이 인식되었다. 즉, 주변 구동회로가 표시소자의 매트릭스와 동일한 기판 상에 모놀리식 형태로 형성될 때라도, 각 신호선엔 전기신호를 공급하는 회로는 각 신호선 사이의 간격 이하의 선폭을 가져야 한다. 예를 들어, 주변 구동회로의 시프트 레지스터의 각 스테

이지는 대략 10개의 트랜지스터를 포함하고, 이들 트랜지스터가 각 신호선의 폭내에 있도록 회로가 설계되는 것이 필요하다. 예를 들어, 5 μm 디자인 룰로 회로를 설계하는 경우, 각 신호선의 허용 가능한 최소 폭은 30 μm이고, 따라서, 각 표시소자의 면적도 최소한 30 μm× 30 μm가 된다.

또한, 매트릭스형 표시장치를 위한 종래의 구동기술에서는, 그의 행 신호선이 상측 신호선으로부터 하측 신호선으로(또는, 하측 신호선으로부터 상측 신호선으로) 순차적으로 구동된다. 이것은, 종래의 매트릭스형 표시장치가 홀수번째 수평 라인 그룹과 짝수번째 수평 라인 그룹을 교대적인 수직주사로 주사하는 통상의 인터레이스(interlace) 주사에 의해 작동될 수 없다는 것을 의미한다. 매트릭스 표시장치의 이러한 제한은 빠르게 이중하는 영상을 표시할 때 불리하다. 또한, 통상의 비디오 신호 입력을 표시하기 위해 인터레이스 주사로부터 비(非)인터레이스 주사로 비디오 신호를 변환시키는 것이 필요하다,

또한, 액정표시장치는, 인접한 표시소자내의 축적 전하(즉, 영상정보) 사이의 상호간섭으로 인한 영상 열화를 방지하기 위해 라인 반전(line inversion) 또는 도트 반전(dot inversion) 표시기술을 통상 이용한다. 이것은 영상정보를 변환시키는 추가 단계를 필요로 한다.

매트릭스형 표시장치의 표시용량의 증가에 따라 고속 주사가 요구된다. 예를 들어, 비디오 그래픽 어레이(VGA) 규격(640× 480 화소)은 9 ㎒의 클럭을 요하고, 엔지니어링 워크스테이션(EWS) 규격은 30 ㎒ 이상의 클럭 주파수를 요한다. 모놀리식 형태로 형성된 매트릭스형 표시장치의 주변 구동회로가 단결정 실리콘보다 열등한 다결정 실리콘과 같은 반도체 재료를 사용하여 형성되기 때문에, 동작속도의 증가는 바람직하지 않다.

## 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 종래·기술의 상기한 문제점들중 적어도 하나를 해결하는데 있다.

## 발명의 구성 및 작용

본 발명의 일 실시형태에 있어서, 표시장치는 매트릭스를 구성하기 위해 기판 상에 배치된 다수의 표시소자와, 상기 매트릭스의 각 행에 신호를 공급하기 위한 적어도 제1 및 제2 행 구동회로를 포함하며, 그들 행 구동회로가 상기 매트릭스와 동일한 기판 상에 서로 떨어져 평행하게 배치되고, 상기 제1 행 구동회로로부터 신호가 공급되는 임의의 한 행 신호선에 인접한 다른 행 신호선에는 상기 제1 행 구동회로가 아닌 다른 행 구동회로로부터 신호가 공급되는 구성을 가진다.

상기 표시장치는, 상기 행 구동회로들중 하나가 상기 매트릭스의 좌측에 위치되는 반면에, 다른 행 구동회로는 상기 매트릭스의 우측에 위치되거나, 또는 모든 행 구동회로가 상기 매트릭스의 좌측 또는 우측에 위치되도록 구성될 수 있다.

본 발명의 다른 실시형태에 있어서, 표시장치는 매트릭스를 구성하기 위해 기판 상에 배치된 다수의 표시소자와, 상기 매트릭스의 각 열에 신호를 공급하기 위한 적어도 제1 및 제2 열 구동회로를 포함하며, 그들 열 구동회로가 상기 매트릭스와 동일한 기판 상에 서로 떨어져 평행하게 배치되고, 상기 제1 열 구동회로로부터 신호가 공급되는 임의의 한 열 신호선에 인접한 다른 열 신호선에는 상기 제1열 구동회로가 아닌 다른 열 구동회로로부터 신호가 공급되는 구성을 가진다.

이 표시장치는, 상기 열 구동회로들중 하나가 상기 매트릭스의 상부 가장자리 위에 위치되는 반면에, 다른 열 구동회로는 상기 매트릭스의 하부 가장자리 아래에 위치되거나, 또는 모든 열 구동회로가 상기 매트릭스의 상부 가장자리 위 또는 하부 가장자리 아래에 위치되도록 구성될 수 있다.

상기한 어느 실시형태에 있어서도, 표시장치는, 모든 행 구동회로 및 열 구동회로가 어드레스 회로로서 이용하기 위한

시프트 레지스터를 사용하거나, 또는 모든 행 구동회로 및 열 구동회로가 어드레스 회로로서 이용하기 위한 디코더 회로를 사용하도록 구성될 수 있다. 또는, 표시장치는, 각 행 구동회로가 어드레스 회로로서 시프트 레지스터를 사용하고, 각 열 구동회로가 어드레스 회로로서 디코더 회로를 사용하도록 구성되거나, 또는 그 반대로, 각 열 구동회로가 어드레스 회로로서 시프트 레지스터를 사용하고, 각 행 구동회로가 어드레스 회로로서 디코더 회로를 사용하도록 구성될 수도 있다.

어드레스 회로로서 시프트 레지스터를 사용하는 2개 이상의 행 구동회로 또는 열 구동회로가 서로 떨어져 설치되는 경우, 표시장치는 제1 구동회로의 최종 스테이지로부터 출력되는 선택신호가 제2 구동회로의 첫번째 스테이지에 입력되도록 구성될 수 있다.

어드레스 회로로서 디코더 회로를 사용하는 2개 이상의 행 구동회로 또는 열 구동회로가 서로 떨어져 설치되는 경우, 표시장치는 이들 디코더 회로가 공통의 카운터에 의해 제어되도록 구성될 수 있다.

표시장치가 2개 이상의 열 구동회로를 포함하는 경우, 그 표시장치는 매트릭스의 다수의 열의 표시소자를 구동하기 위한 신호가 각 열 신호선에 동시에 공급되도록 구성될 수 있다.

상기한 첫번째 실시형태와 두번째 실시형태중 어느 한 형태에 있어서, 구동회로의 각 스테이지(각 신호선이 접속된)의 길이방향 칫수를 감소시키는 것이 가능하다. 2개의 열 구동회로가 서로 떨어진 장소에 제공되어 있는 경우, 각 열 구동회로로부터 분지(分技)하여 있는 열 신호선의 수가 절반으로 될 수 있다. 이것은, 만일 각 신호선의 폭이 불변이라면, 단일의 열 구동회로를 2개로 나눔으로써 2배의 열 신호선을 배치할 수 있다는 것을 의미한다. 즉, 같은 면적에 2배의 표시소자(화소)를 배치할 수 있다.

본 발명의 상기한 특징을 예로서 더 상세히 설명한다. 종래의 매트릭스 표시장치의 열 구동회로의 전체 길이가 19.2 ㎜이고, 640개의 열 신호선이 열 구동회로로부터 분지하여 있으면, 연속적인 열 신호선들 사이의 간격은 30 μm이다. 즉, 열 구동회로의 각 스테이지는 30 μm의 길이방향 칫수를 가진다. 동일한 신호선 간격으로 설계된 2개의 열 구동회로가 본 발명에 따라 별개의 장소에서 서로 평행하게 설치되면, 열 신호선의 수가 2배로 된다. 구체적으로는, 총 1280개의 열 신호선이 2개의 열 구동회로로부터 분지하여, 비록 각 열 구동회로로부터 분지하는 각 열 신호선 사이의 실제 간격이 여전히 30μm일지라도, 하나의 열 신호선당 전유폭은 15 μm로 된다, 어쨌든, 대규모의 매트릭스 표시장치를 형성하는 것이 가능하다.

본 발명의 한 변형예에 있어서는, 각 열 구동회로의 길이가 절반으로 될 수 있다. 각 열 구동회로에 접속될 수 있는 열 신호선의 수가 320개로 감소할지라도, 2개의 열 구동회로로부터 분지하는 열 신호선의 총 수는 여전히 640개이다. 이것은 결과적으로 화소의 미세화 및 집적화의 증가를 초래한다. 3개, 4개, 또는 그 이상의 별개의 열 구동회로를 제공하는 것에 의해, 3배, 4배, 또는 그 이상의 집적화 또는 매트릭스 대규모화를 달성할 수 있다.

상기한 설명은 행 구동회로 및 행 신호선에도 마찬가지로 적용된다.

본 발명의 또 다른 특징에 있어서는, 교대적인 수직주사로 홀수번째 및 짝수번째 수평 라인(즉, 표시소자들의 행)을 주사하여 인터레이스 주사를 행하는 것이 가능하다. 이것은, 2개의 구동회로가 어드레스 회로로서 시프트 레지스터를 사용하는 경우에, 제1 구동회로의 최종 스테이지로부터 출력되는 선택신호가 제2 구동회로의 첫번째 스테이지에 입력되도록 제1 및 제2 구동회로를 구성함으로써 달성된다. 제1 및 제2 구동회로가 어드레스 회로로서 디코더 회로를 사용하는 경우에는, 디코더 회로가 인터레이스 주사를 행하기 위해 공통의 카운터에 의해 제어되어야 한다.

또한, 3개, 4개, 또는 그 이상의 별개의 열 구동회로가 배치되고, 그들이 미리 정해진 순서로 구동되는 경우, 제2 행마다, 제3 행마다, 등을 주사하는 것도 가능하다.

한편, 다수의 열 구동회로를 실질적으로 동시에 구동함으로써 다수의 열 구동회로에 비디오 신호가 동시에 공급될 수 있다(예를 들어, 상이한 배선 길이에 의해 야기되는 불기피한 지연을 제외한 어떤 신호지연도 없다면). 이것에 의해, 각 열 구동회로의 동작 주파수를 감소시키는 것이 가능하게 된다. 예를 들어, VGA 규격(640개 수평 라인)에 일치하는 매트릭스 표시장치를 구동하기 위해 4개의 열 구동회로가 제공되어 있는 경우, 160개의 열 신호선이 각 열 구동회로에 접속되며, 각 열 구동회로의 동작 주파수가 통상의 등작 주파수의 4분의 1인 2.3 ㎒로 된다.

또한, 임의의 한 열 신호선에 제1 열 구동회로로부터 신호가 공급되고, 상기 임의의 한 열 신호선에 인접한 다른 열 신호선에 제2 열 구동회로로부터 신호가 공급되는 본 발명의 상기한 다른 형태는, 라인 반전으로 동일한 화면에 정(正)의 비디오신호와 부(負)의 비디오 신호를 공급하는데 이용될 수 있다, 즉, 제1 열 구동회로로부터 정의 비디오 신호를 공급하고 제2 열 구동회로로부터 부의 비디오 신호를 공급함으로써, 인접한 열 신호선들 사이에서 비디오 신호의 극성이 서로 다른 라인 반전이 가능하다. 비디오 신호 극성의 도트 반전도 같은 방식으로 행해질 수 있다.

이하, 본 발명의 실시예에 대하여 설명한다.

실시예 1

도 1A  도 1C는 본 실시예에 따른 매트릭스 표시장치의 회로 구성을 나타내는 것으로, 도 1A는 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시 장치가 간략화를 위해 6행× 14열의 매트릭스(106)를 이용하는 것으로 나타내어져 있으나, 본 실시예는 더욱 대규모의 매트릭스에도 적용 가능하다. 도 1A에 나타낸 바와 같이, 매트릭스를 구동하기 위해 제1 열 구동회로(101)와 제2 열 구동회로(104)가 제공되어 있다. 본 실시예에서는, 도 1A에 나타낸 바와 같이, 제1 열 구동회로(101)가 매트릭스(106)의 상부 가장자리 위에 위치되고, 제2 열 구동회로(104)는 매트릭스(106)의 하부 가장자리 아래에 위치되어 있다. 제1 및 제2 열 구동회로(101, 104)는 출력회로(103, 105)를 통해 열 신호선(112, 113)에 각각 접속되어 있다. 한편, 행 구동회로(102)는 각각의 행 신호선(114)에 구동신호를 공급한다.

도 1A를 참조하면, 비디오 신호(영상신호)가 비디오 신호선(107, 109)을 통해 제1 및 제2 열 구동회로(101, 104) 각각에 공급되고, 클럭 신호가 클럭 신호선(108)을 통해 행 구동회로(102)에 공급된다. 상세하게 나타내지 않았지만, 클럭 신호는 제1 및 제2 열 구동회로(101, 104)에도 공급된다. 각각의 출력회로(103, 105)는 각각의 행 신호선(114)에 공급되는 클럭 신호에 동기하는 래치(latch) 펄스 신호에 의해 구동된다. 래치 펄스는 해치 신호선(110, 111)을 통해 출력회로(103, 105)에 각각 공급된다.

도 1B 및 도 1C는 하나의 행 신호선(114)과 3개의 열 신호선(112, 113) 사이의 접속부를 구체적으로 나타내는 각기 다른 회로도이다. 단순 매트릭스 방식을 나타내는 도 1B에서, 표시소자(화소)(115, 116)가 행 신호선(114)과 열 신호선(112)의 각 교차부와 행 신호선(114)과 열 신호선(113)의 각 교차부에 각각 배치되어 있다. 각각의 열 신호선(112)에 대한 신호가 제1 열 구동회로(101)로부터 공급되고, 각각의 열 신호선(113)에 대한 신호가 제2 열 구동회로(104)로부터 공급된다.

도 1C는 능동소자로서 트랜지스터가 사용되는 액티브 매트릭스 방식을 나타낸다. 이 구조에서, 열 신호선(112, 113)과 제1 및 제2 열 구동회로(101, 104) 사이의 관계는 도 1B에 의거하여 설명한 것과 동일하다. 그러나, 도 1C에서는, 각각의 표시소자(화소)(115, 116)가 트랜지스터와 정전용량을 가지는 회로를 포함한다.

도 7A 및 도 7B는 매트릭스 표시장치를 구동하기 위한 회로 구성을 더 상세히 나타내는 회로도이다. 더 구체적으로는, 도 7A는 행 구동회로 및 열 구동회로가 어드레스 회로를 구성하는 시프트 레지스터(701, 702)를 포함하는 구성을 나타내고, 도 7B는 도 7A의 시프트 레지스터(701, 702)중 어느 하나 또는 모두를 대신하여 사용될 수 있는 디코더 회로를 나타낸다. 도 7A 및 도 7B의 회로 구성은 본 실시예 뿐만 아니라, 아래에 설명되는 다른 실시예들에도 적용 가능하다.

도 7A를 참조하면, 클럭 펄스가 클릭 신호선(703)을 통해 열 구동회로의 시프트 레지스터(701)에 공급되어, 시프트 레지스터(701)가 순차적으로 시프트하는 신호를 출력하도록 한다. 열 구동회로는 시프트 레지스터(701) 이외에도 아날로그 스위치(705)와 아날로그 메모리(706)를 포함한다. 비디오 신호선(713)을 통해 입력된 비디오 신호는 아날로그 스위치(705)에 의해 샘플링되고 각각의 아날로그 메모리 (706)에 보유된다.

스위치(707)가 제어된 방식으로 래치 신호선(714)에 의해 온, 오프됨에 따라, 아날로그 버퍼(708)에 의해 증폭된 비디오 신호가 매트릭스(709)의 개개의 열 신호선(711)에 공급된다. 도 7A에 나타낸 예에서는, 매트릭스(709)는 능등소자로서 트랜지스터를 사용하는 액티브 매트릭스 방식이다.

또한, 클럭 펄스가 클럭 신호선(704)을 통해 행 구동회로의 시프트 레지스터(702)에 공급되어, 시프트 레지스터(702)가 순차적으로 시프트하는 신호 출력하도록 한다. 시프트 레지스터(702)에 공급되는 클럭 펄스는 상기한 시프트 레지스터(701)에 공급되는 것과 다르다. 이것은 행 구동회로의 동작 주파수가 열 구동회로의 것보다 더 낮기 때문이다. 행 구동회로는 상기한 바와 같은 시프트 레지스터(702)로 구성되어 있다.

시프트 레지스터(702)로부터 출력되는 선택신호는 매트릭스(709)에 배치된 행 신호선(710)에 공급된다, 각각의 행 신호선(710)이 표시소자(화소)(712)에 배치된 트랜지스터의 게이트에 접속되어 있기 때문에, 특정한 열 신호선(711)상의 아날로그 메모리(706)에 보유된 비디오 신호가 대응하는 표시소자(화소)(712)에 공급된다.

일본국 공개특허공고 소62-265696호 공보에 개시된 것과 같은 디코더 회로를 사용하는 것이 요구되는 경우에는, 도 7B에 나타낸 회로가 도 7A에 나타낸 시프트 레지스터(701, 702)를 대신하여 사용될 수 있다. 본 실시예에서는, 열 구동회로와 행 구동회로중 어느 하나만을 대신하여 디코더 회로를 사용하는 것이 가능하다.

도 7A 및 도 7B의 매트릭스 구동회로가 아날로그 스위치(705)와 아날로그 메모리(706)를 사용하는 아날로그 방식으로 되어 있지만, 종래의 디지털 기술을 사용하여 동등한 디지털 방식의 회로를 쉽게 구성할 수도 있다.

본 실시예에서는, 총 14개의 열 신호선(112, 113)이 있고, 각각 7개의 열 신호선(112, 113)이 제1 열 구동회로(101)와 제2 열 구동회로(104) 각각에 접속되어 있다. 이와 같이 2개의 열 구동회로(101, 104)를 제공함으로써, 표시소자(화소)의 밀도를 2배로 하는 것이 가능하다.

실시예 2

도 2A  도 2C는 본 실시예에 따른 매트릭스 표시장치의 회로 구성을 나타내는 것으로, 도 2A는 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시장치는 간략화를 위해 6행× 14열의 매트릭스(206)를 이용한다. 도 2A에 나타낸 바와 같이, 매트릭스(206)를 구동하기 위해 제1 열 구동회로(201)와 제2 열 구동회로(202)가 제공되어 있다. 본 실시예에서는, 도 2A에 나타낸 바와 같이, 제1 열 구동회로(201)와 제2 열 구동회로(202) 모두가 매트릭스(206)의 상부 가장자리 위에 위치되어 있다. 제1 및 제2 열 구동회로(201, 202)는 각각 출력회로(203, 204)를 통해 개개의 열 신호선(213, 214)에 접속되어 있다. 한편, 행 구동회로(205)는 개개의 행 신호선(212)에 구동신호를 공급한다.

도 2A를 참조하면, 비디오 신호가 비디오 신호선(207, 208)들 각각을 통해 제1 및 제2 열 구동회로(201, 202)에 공급되고, 클럭 신호가 클럭 신호선(209)을 통해 행 구동회로(205)에 공급된다. 상세하게 나타내지 않았지만, 클럭 신호는 제 1 및 제2 열 구동회로(201, 202)에도 공급된다. 개개의 출력회로(203, 204)는 개개의 행 신호선(212)에 공급되는 클럭 신호에 동기하는 래치 펄스 신호에 의해 구동된다. 래치 펄스는 래치 신호선(210, 211)들 각각을 통해 출력회로(203, 204)에 공급된다.

도 2B 및 도 2C는 하나의 행 신호선(212)과 3개의 열 신호선(213, 214) 사이의 접속부를 구체적으로 나타내는 각기 다른 회로도이다. 단순 매트릭스 방식을 나타내는 도 2B에서, 표시소자(화소)(215, 216)가 행 신호선(212)과 열 신호선(213)의 각 교차부와 행 신호선(212)과 열 신호선(214)의 각 교차부에 각각 배치되어 있다. 열 신호선(214)에 대한 신호가 제1열 구동회로(201)로부터 공급되고, 열 신호선(213)에 대한 신호가 제2 열 구동회로(202)로부터 공급된다.

도 2C는 능동소자로서 트랜지스터가 사용되는 액티브 매트릭스 방식을 나타낸다. 이러한 구조에서, 열 신호선(213, 214)과 열 구동회로(201, 202) 사이의 관계는 도 2B에 의거하여 설명한 것과 동일하다. 그러나, 도 2C에서는, 각각의 표시소자(화소)(215, 216)가 트랜지스터와 정전용량을 가지는 회로를 포함한다.

실시예 3

도 3A  도 3C는 본 실시예에 따른 매트릭스 표시장치의 회로 구성을 나타내는 것으로, 도 3A는 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시장치는 간략화를 위해 11행× 7열의 매트릭스(305)를 이용한다. 도 3A에 나타낸 바와 같이, 매트릭스(305)를 구동하기 위해 제1 행 구동회로(303)와 제2 행 구동회로(304)가 제공되어 있다. 본 실시예에서는, 제1 행 구동회로(303)가 매트리스(305)의 좌측에 위치되고, 제2 행 구동회로(304)가 매트릭스(305)의 우측에 위치되어 있다. 신호는 제1 및 제2 행 구동회로(303, 304)로부터 개개의 행 신호선(312, 311)에 공급된다. 한편, 열 구동회로(301)는 각각의 출력회로(302)를 통해 각각의 열 신호선(310)에 비디오 신호를 공급한다.

도 3A를 참조하면, 비디오 신호가 비디오 신호선(306)을 통해 열 구동회로(301)에 공급되고, 클럭 신호가 클럭 신호선(307, 308)을 통해 제1 및 제2 행 구동회로(303, 304) 각각에 공급된다. 이러한 구성에 의해, 클럭 신호선(307, 308)을 통해 공급되는 클럭 펄스의 타이밍을 제어함으로써, 단일 수직주사(비(非)인터레이스 주사)에서 모든 연속적인 행(즉, 수평 라인)을 순차적으로 주사할 것인지 또는 교대적인 수직주사(인터레이스 주사)로 홀수번째 및 짝수번째 수평 라인을 주사할 것인지를 선택하는 것이 보다 용이하게 된다. 상세하게 나타내지 않았지만, 클럭 신호는 열 구동회로(301)에도 공급된다. 각각의 출력회로(302)는 래치 펄스 신호에 의해 구동된다. 래치 펄스는 래치 신호선(309)을 통해 출력회로(302)에 공급된다.

도 3B 및 도 3C는 하나의 열 신호선(310) 및 3개 행 신호선(311, 312) 사이의 접속부를 구체적으로 나타내는 각기 다른 회로도이다. 단순 매트릭스 방식을 나타내는 도 3B에서, 표시소자(화소)(313, 314)가 열 신호선(310)과 행 신호선(311)의 각 교차부와 열 신호선(310)과 행 신호선(312)의 각 교차부대 각각 배치되어 있다. 행 신호선(312)에 대한 신호가 제1 행 구동회로(303)로부터 공급되고, 행 신호선(311)에 대한 신호가 제2 행 구동회로(304)로부터 공급된다.

도 3C는 능동소자로서 트랜지스터가 사용되는 액티브 매트릭스 방식을 나타낸다. 이 구조에서, 행 신호선(311, 312)과 제1 및 제2 행 구동회로(303, 304) 사이의 관계는 도 3B에 의거하여 설명한 것과 동일하다. 그러나, 도 3C에서는, 각각의 표시소자(화소)(313, 314)가 트랜지스터와 정전용량을 가지는 회로를 포함한다.

실시예 4

도 4A  도 4C는 본 실시예에 따른 매트릭스 표시장치의 회로 구성을 나타내는 것으로, 도 4A는 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시장치는 간략화를 위해 11행× 7열의 매트릭스(405)를 이용한다. 도 4A에 나타낸 바와 같이, 매트릭스(405)를 구동하기 위해 제1 행 구동회로(403)와 제2 행 구동회로(404)가 제공되어 있다. 본 실시예에서는, 도 4A에 나타낸 바와 같이, 제1 행 구동회로(403)와 제2 행 구동회로(404) 모두가 매트릭스(405)의 좌측에 위치되어 있다. 신호는 제1 및 제2 행 구동회로(403, 404)들 각각으로부터 개개의 행 신호선(411, 412)에 공급된다. 한편, 열 구동회로(401)는 각각의 출력회로(402)를 통해 각각의 열 신호선(410)에 비디오 신호를 공급한다.

도 4A를 참조하면, 비디오 신호가 비디오 신호선(406)을 통해 열 구동회로(401)에 공급되고, 클럭 신호가 클럭 신호선(407, 408) 각각을 통해 제1 및 제2 행 구동회로(403, 404)에 공급된다. 이러한 구성에 의해, 클럭 신호선(407, 408)을 통해 공급되는 클럭 펄스의 타이밍을 제어함으로써, 단일 수직주사(비인터레이스주사)로 모든 연속적인 행(즉, 수평 라인)을 순차적으로 주사할 것인지 또는 교대적인 수직주사(인터레이스 주사)로 홀수번째 및 짝수번째 수평 라인을 주사할 것인지를 선택하는 것이 보다 용이하게 된다. 상세하게 나타내지 않았지만, 클럭 신호는 열 구동회로(401)에도 공급된다. 각각의 출력회로(402)는 래치 펄스 신호에 의해 구동된다. 래치 펄스는 래치 신호선(409)을 통해 출력회로(402)에 공급된다.

도 4B 및 도 4C는 하나의 열 신호선(410)과 3개 행 신호선(411, 412) 사이의 접속부를 구체적으로 나타내는 각기 다른 회로도이다. 단순 매트릭스 방식을 나타내는 도 4B에서, 표시소자(화소)(413, 414)가 열 신호선(410)과 행 신호선(411)의 각 교차부와 열 신호선(410)과 행 신호선(412)의 각 교차부에 각각 배치되어 있다.행 신호선(411)에 대한 신호가 제1 행 구동회로(403)로부터 공급되고, 행 신호선(412)에 대한 신호가 제2 행 구동회로(404)로부터 공급된다.

도 4C는 능동소자로서 트랜지스터가 사용되는 액티브 매트릭스 방식을 나타낸다. 이 구조에서, 행 신호선(411, 412)과 제1 및 제2 행 구동회로(403, 404) 사이의 관계는 도 4B에 의거하여 설명한 것과 동일하다. 그러나, 도 4C에서는, 각 표시소자(화소)(413, 414)가 트랜지스터와 정전용량을 가지는 회로를 포함한다.

실시예 5

도 5A는 본 실시예에 따른 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시장치는 간략화를 위해 8행× 14열의 매트릭스(505)를 이용한다. 도 5A에 나타낸 바와 같이, 매트릭스(505)를 구동하기 위해 제1 행 구동회로(502)와 제2 행 구동회로(503)가 제공되어 있다. 본 실시예에서는, 제1 행 구동회로(502)가 매트릭스(505)의 좌측에 위치되고, 제2 행 구동회로(503)가 매트릭스(505)의 우측에 위치되어 있다. 신호는 제1 및 제2 행 구동회로(502, 503)로부터 각각의 행 신호선에 공급된다. 한편, 제1 열 구동회로(501) 및 제2 열 구동회로(504)가 각각 의 출력회로를 통해 개개의 열 신호선에 비디오 신호를 공급한다. 본 실시예에서는, 제1 열 구동회로(501)가 매트릭스(505)의 상부 가장자리 위에 위치되고, 제2 열 구동회로(504)가 매트릭스(505)의 하부 가장자리 아래에 위치되어 있다. 이런방식으로 각각 2개씩의 행 구동회로(502, 503) 및 열 구동회로(501, 504)를 분리하여 제공함으로써, 표시소자(화소)의 밀도가 4배로 될 수 있다.

실시예 6

도 5B는 본 실시예에 따른 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시장치는 간략화를 위해 8행× 14열의 매트릭스(510)를 이용한다. 도 5B에 나타낸 바와 같이, 매트릭스(510)를 구동하기 위해 제1 행 구동회로(50

8)와 제2 행 구동회로(509)가 제공되어 있다. 본 실시예에서는, 제1 행 구동회로(508)가 매트릭스(510)의 좌측에 위치되고, 제2 행 구동회로(509)가 매트릭스(510)의 우측에 위치되어 있다. 신호는 제1 및 제2 행 구동회로(508, 509)로부터 각각의 행 신호선에 공급된다. 한편, 제1 열 구동회로(506)와 제2 열 구동회로(507)가 각각의 출력회로를 통해 각각의 열 신호선에 비디오 신호를 공급한다. 본 실시예에서는, 제1 열 구동회로(506)와 제2 열 구동회로(507) 모두가 매트릭스(510)의 상부 가장자리 위에 위치되어 있다.

실시예 7

도 6A는 본 실시예에 따른 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시장치는 간략화를 위해 8행×14열의 매트릭스(605)를 이용한다. 도 6A에 나타낸 바와 같이, 매트릭스(605)를 구동하기 위해 제1 행 구동회로(602)와 제2 행 구동회로(603)가 제공되어 있다. 본 실시예에서는, 제1 행 구동회로(602)와 제2 행 구동회로(603) 모두가 매트릭스(605)의 좌측에 위치되어 있다. 신호는 제1 및 제2 행 구동회로(602, 603)로부터 각각의 행 신호선에 공급된다. 한편, 제 1 열 구동회로(601)와 제2 열 구동회로(604)가 각각의 출력회로를 통해 각각의 열 신호선에 비디오 신호를 공급한다. 본 실시예에서는, 제1 열 구동회로(601)가 매트릭스(605)의 상부 가장자리 위에 위치되고, 제2 열 구동회로(604)는 매트릭스(605)의 하부 가장자리 아래에 위치되어 있다.

실시예 8

도 6B는 본 실시예에 따른 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시장치는 간략화를 위해 8행×14열의 매트릭스(610)를 이용한다. 도 6B에 나타낸 바와 같이, 매트릭스(610)를 구동하기 위해 제1 행 구동회로(608)와 제2 행 구동회로(609)가 제공되어 있다. 본 실시예에서는, 제1 행 구동회로(608)와 제2 행 구동회로(609) 모두가 매트릭스(610)의 좌측에 위치되어 있다. 신호는 제1 및 제2 행 구동회로(608, 609)로부터 각각의 행 신호선에 공급된다. 한편, 제 1 열 구동회로(606)와 제2 열 구동회로(607)가 각각의 출력회로를 통해 각각의 열 신호선에 비디오 신호를 공급한다. 본 실시예에서는, 제1 열 구동회로(606)와 제2열 구동회로(607) 모두가 매트릭스(610)의 상부 가장자리 위에 위치되어 있다.

실시예 9

도 8A는 본 실시예에 따른 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시장치는 간략화를 위해 11행×27열의 매트릭스(806)를 이용한다. 도 8A에 나타낸 바와 같이, 매트릭스(806)를 구동하기 위해 제1 행 구동회로(804)와 제2 행 구동회로(805)가 제공되어 있다. 본 실시예에서는, 제1 행 구동회로(804)가 매트릭스(806)의 좌측에 위치되고, 제2 행 구동회로(805)가 매트릭스(806)의 우측에 위치되어 있다. 신호는 제1 및 제2 행 구동회로(804, 805)로부터 각각의 행 신호선에 공급된다. 한편, 제1 열 구동회로(801), 제2 열 구동회로(802) 및 제3 열 구동회로(803)가 각각의 출력회로(도시되지 않음)를 통해 각각의 열 신호선에 비디오 신호를 공급한다. 본 실시예에서는, 모든 열 구동회로(801 803)가 매트릭스(806)의 상부 가장자리 위에 위치되어 있다. 이러한 회로 구성에 따라, 각각의 열 구동회로(801 803)의 동작 주파수는, 3개의 열 구동회로(801 803)를 동시에 구동시키고 각기 다른 비디오 신호를 그들 회로 각각에 공급하는 것에 의해 통상의 동작 주파수의 3분의 1로 될 수 있다.

실시예 10

도 8B는 본 실시예에 따른 매트릭스 표시장치의 블록도이다. 본 실시예의 매트릭스 표시장치는 간략화를 위해 11행×27열의 매트릭스(813)를 이용한다. 도 8B에 나타낸 바와 같이, 매트릭스(813)를 구동하기 위해 제1 행 구동회로(80

9)와 제2 행 구동회로(810)가 제공되어 있다. 본 실시예에서는, 제1 행 구동회로(809)가 매트릭스(813)의 좌측에 위치되고, 제2 행 구동회로(810)가 매트릭스(813)의 우측에 위치되어 있다. 신호는 제1 및 제2 행구동회로(809, 810)로부터 각각의 행 신호선에 공급된다. 한편, 제1 열 구동회로(807), 제2 열 구동회로(808), 제3 열 구동회로(811) 및 제4 열 구동회로(812)가 각각의 출력회로(도시되지 않음)를 통해 각각의 열 신호선에 비디오 신호를 공급한다. 본 실시예에서는, 제1 열 구동회로(807)와 제2 열 구동회로(808)가 매트릭스(813)의 상부 가장자리 위에 위치되고, 제3 열 구동회로(811)와 제4 열 구동회로(812)가 매트릭스(813)의 하부 가장자리 아래에 위치되어 있다. 이러한 회로 구성에 따라, 각각의 열 구동회로(807, 808, 811, 812)의 동작 주파수는, 4개의 열 구동회로(807, 808, 811, 812)를 동시에 구동시키고 각기 다른 비디오 신호를 그들 회로 각각에 공급하는 것에 의해 통상의 동작 주파수의 4분의 1로 될 수 있다.

실시예 11

도 9 도 12를 참조하여, 본 발명에 따른 라인 반전방법에 관하여 설명한다.도 9A는 매트릭스 표시장치의 특정 행에 대한 비디오 신호를 나타낸다. 비교적 특징이 없는 패턴을 가지는 이러한 형태의 비디오 신호 입력의 라인 반전에 사용되는 종래기술은, 도 9B에 나타낸 바와 같이 극성이 교대로 반전되도록 비디오 신호 입력을 변환시키는 단계를 포함한다. 비디오 신호의 순차적으로 변하는 값이 매트릭스 어드레스 회로에 공급되고, 열(a z)에 순차로 분배된다. 본 발명은 극성 반전 동작을 현저하게 단순화시킨다.

본 실시예에 따르면, 매트릭스 표시장치의 단일 행에 대한 비디오 신호가 원래 길이의 절반으로 압축된다(즉, 그 비디오 신호의 시간이 절반으로 단축된다). 정규 극성의 이러한 압축된 비디오 신호는 반전된 동일 비디오 신호와 결합되어, 도 9C에 나타낸 바와 같이, 후자가 전자의 바로 뒤를 잇게 한다.

도 9C에 나타낸 합성 비디오 신호 입력이 특정 시점에서 샘플링된 때, 도 9D에 나타낸 신호가 얻어진다. 그렇게 하여 얻어진 입력신호는, 예를 들어, 도 10A에 나타낸 바와 같이, 매트릭스 표시장치의 연속적인 열에 개개의 값의 비디오 신호를 분배하도록 구성된 시프트 레지스터에 공급된다. 도 10A에 나타낸 매트릭스 표시장치는 간략화를 위해 16열(a p)만을 가지는 것으로 되어 있지만, 예를 들어, 26열(a z)을 포함하도록 확장될 수도 있다. 도 10A의 회로 구성에서 주목해야 할 것은, 제1 시프트 레지스터(SR1)의 최종 스테이지(o열)로부터의 선택신호 출력이 제2 시프트 레지스터(SR2)의 첫번째 스테이지(b열)에 공급된다는 것이다.

도 10A를 참조하면, 매트릭스 표시장치가 연속적인 열(a, b, c, d, e . . . .)을 포함하지만, 제1 시프트 레지스터(SRI)와 제2 시프트 레지스터(SR2)가 이들 열에 교대로 접속되어 있다. 따라서, 이러한 회로에서, 도 9D에 나타낸 비디오 신호의 개개의 값이 제1 시프트 레지스터(SRI) 및 제2 시프트 레지스터(SR2)의 연속적인 스테이지에 분배되면, 매트릭스의 주어진 행에 공급되는 신호는 도 9E에 나타낸 것과 같이 된다. 이것은 종래의 라인 반전기술에 의해 얻어지는 것과 동일하다.본 실시예의 상기 설명으로부터, 라인 반전 동작이 본 발명에 의해 현저하게 단순화된다는 것을 알 수 있다.

상기한 설명은 어드레스 회로를 구성하기 위해 시프트 레지스터(SR1, SR2)를 사용하는 도 10A의 회로도에 의거하였지만, 도 10B에 나타낸 바와 같이, 시프트 레지스터(SR1, SR2)를 대신하여 디코더(DC1, DC2)를 사용할 수도 있다. 도 10B의 회로를 위한 카운터는 16열에 신호를 전송하도록 4개의 디지털값, 즉, $2^0$ $2^3$으로 나타내어지는 4개 비트를 출력하는 것으로 되어 있지만, 이것은 회로도를 간략화하기 위한 것이다. 1개 이상의 비트를 취급할 수 있도록 도 10B의 회로를 확장시킴으로써, 26열의 매트릭스 표시장치를 구동하는 것이 가능하다.

도 11에 나타낸 신호가 도 10B의 회로의 각 비트 라인($2^0$ $2^3$)에 공급되면, 제1 디코더(DC1)가 열 a, c, e, g, I, k, m, o에 대한 신호를 순차적으로 출력하고, 그 다음, 제2 디코더(DC2)가 열 b, d, f, h, j, l, u, p에 대한 신호를 순차적으로 출력한다. 이것은, 제1 및 제2 디코더(DC1, DC2)가 도 10A에 나타낸 제1 및 제2 시프트 레지스터(SR1, SR2)와 동일한 기능을 수행한다는 것을 의미한다.

도 12는 상기한 라인 반전동작에 의거한 매트릭스 표시장치의 블록도이다. 2개의 디코더(1201, 1202)가 제공되어 있지만, 그들은 하나의 카운터(1203)에 의해 구동된다. 도 12의 매트릭스 표시장치 구동회로는, 비디오 신호를 비디오 콘트롤러(1204)로부터 매트릭스(1205)에 공급함으로써 라인 반전 동작이 행해지는 것에 특징이 있다.

## 발명의 효과

본 발명에 의하면, 화소가 대규모화 및 집적화되고, 인터레이스 방식의 표시가 가능하고, 라인 반전이 용이하며, 열 구동회로의 동작 주파수를 저감시킬 수 있다는 효과가 얻어지는 것이다.

## (57) 청구의 범위

### 청구항 1.

기판;

상기 기판 위에 제공된 제1 데이터 구동회로;

상기 기판 위에 제공된 제2 데이터 구동회로;

상기 기판 위에 제공되고, 상기 제1 데이터 구동회로로부터 분지(分枝)하여 있으며, 홀수번째 열(列)들이 각각 배치된 다수의 홀수번째 데이터 신호선;

상기 기판 위에 제공되고, 상기 제1 데이터 구동회로로부터 분지하여 있으며, 짝수번째 열들이 각각 배치된 다수의 짝수번째 데이터 신호선;

액티브 매트릭스에서 상기 기판 위에 제공되고, 소스영역과 드레인영역중 하나가 상기 홀수번째 데이터 신호선들중 해당하는 하나의 데이터 신호선에 접속되어 있는 적어도 하나의 화소 박막트랜지스터; 및

액티브 매트릭스에서 상기 기판 위에 제공되고, 소스영역과 드레인영역중 하나가 상기 짝수번째 데이터 신호선들중 해당하는 하나의 데이터 신호선에 접속되어 있는 적어도 하나의 화소 박막트랜지스터를 포함하고;

행(行)에 배치된 화소들을 위한 제1 비디오 신호들이 그 제1 비디오 신호들의 반시간 길이로 단축된 제2 비디오 신호들로 처리되고,

상기 제2 비디오 신호들이 상기 홀수번째 데이터 신호선들에 분배되며,

상기 제2 비디오 신호들의 파형에 대하여 반전된 파형을 가지고 상기 제2 비디오 신호들과 반대의 극성을 가지는 제3 비디오 신호들이 상기 짝수번째 데이터 신호선들에 분배되는 것을 특징으로 하는 반도체장치.

### 청구항 2.

기판;

상기 기판 위에 제공되고, 적어도 제1 시프트 레지스터를 포함하는 제1 데이터 구동회로;

상기 기판 위에 제공되고, 적어도 제2 시프트 레지스터를 포함하는 제2 데이터 구동회로;

상기 기판 위에 제공되고, 상기 제1 데이터 구동회로로부터 분지하여 있으며, 홀수번째 열들이 각각 배치된 다수의 홀수번째 데이터 신호선;

상기 기판 위에 제공되고, 상기 제2 데이터 구동회로로부터 분지하여 있으며, 짝수번째 열들이 각각 배치된 다수의 짝수번째 데이터 신호선;

액티브 매트릭스에서 상기 기판 위에 제공되고, 소스영역과 드레인영역중 하나가 상기 홀수번째 데이터 신호선들중 해당하는 하나의 데이터 신호선에 접속되어 있는 적어도 하나의 화소 박막트랜지스터;

액티브 매트릭스에서 상기 기판 위에 제공되고, 소스영역과 드레인영역중 하나가 상기 짝수번째 데이터 신호선들중 해당하는 하나의 데이터 신호선에 접속되어 있는 적어도 하나의 화소 박막트랜지스터; 및

상기 기판 위에 제공된 게이트선을 포함하고;

행에 배치된 화소들을 위한 제1 비디오 신호들이 그 제1 비디오 신호들의 반시간 길이로 단축된 제2 비디오 신호들로 처리되고,

상기 제2 비디오 신호들이 상기 홀수번째 데이터 신호선들에 분배되며,

상기 제2 비디오 신호들의 파형에 대하여 반전된 파형을 가지고 상기 제2 비디오 신호들과 반대의 극성을 가지는 제3 비디오 신호들이 상기 짝수번째 데이터 신호선들에 분배되는 것을 특징으로 하는 반도체장치.

청구항 3.

기판;

상기 기판 위에 제공되고, 적어도 제1 시프트 레지스터를 포함하는 제1 데이터 구동회로;

상기 기판 위에 제공되고, 적어도 제2 시프트 레지스터를 포함하는 제2 데이터 구동회로;

상기 기판 위에 제공되고, 상기 제1 데이터 구동회로로부터 분지하여 있으며, 홀수번째 열들에 각각 배치된 다수의 홀수번째 데이터 신호선;

상기 기판 위에 제공되고, 상기 제2 데이터 구동회로로부터 분지하여 있으며, 짝수번째 열들에 각각 배치된 다수의 짝수번째 데이터 신호선;

액티브 매트릭스에서 상기 기판 위에 제공되고, 소스영역과 드레인영역중 하나가 상기 홀수번째 데이터 신호선들증 해당하는 하나의 데이터 신호선에 접속되어 있는 적어도 하나의 화소 박막트랜지스터; 및

액티브 매트릭스에서 상기 기판 위에 제공되고, 소스영역을 가지는 적어도 하나의 다른 화소 박막트랜지스터를 포함하고;

행에 배치된 화소들을 위한 제1 비디오 신호들이 그 제1 비디오 신호들의 반시간 길이로 단측된 제2 비디오 신호들로 처리되고,

상기 제2 비디오 신호들이 상기 제1 시프트 레지스터를 통해 상기 홀수번째데이터 신호선들에 분배되고,

상기 제2 비디오 신호를의 파형에 대하여 반전된 파형을 가지고 상기 제2 비디오 신호들과 반대의 극성을 가지는 제3 비디오 신호들이 상기 제2 시프트 레지스터를 통해 상기 짝수번째 데이터 신호선들에 분배되며,

상기 제1 데이터 구동회로가 상기 제2 데이터 구동회로 반대 쪽의 상기 액티브 매트릭스 측부에 제공된 것을 특징으로 하는 반도체장치.

청구항 4.

제 1 항 내지 제 3 항중 어느 한 항에 있어서, 상기 반도체장치가 액정표시장치인 것을 특징으로 하는 반도체장치.

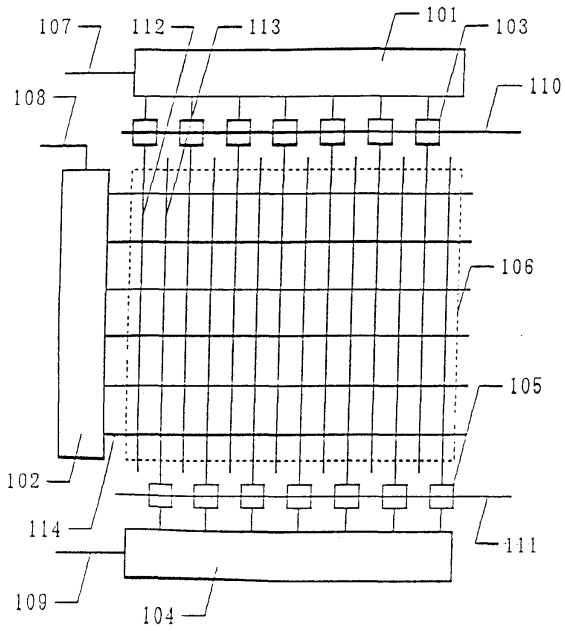
청구항 5.

제 1 항 내지 제 3 항중 어느 한 항에 있어서, 상기 반도체장치가 전기장 발광 표시장치인 것을 특징으로 하는 반도체장치.

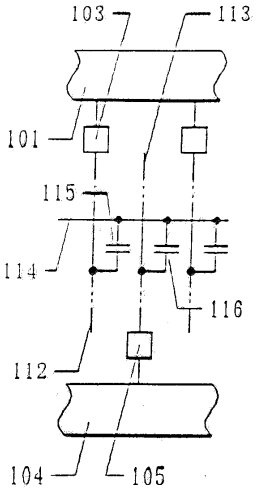
청구항 6.

제 1 항 내지 제 3 항중 어느 한 항에 있어서, 상기 반도체장치가 플랫 패널형 표시장치인 것을 특징으로 하는 반도체장치.

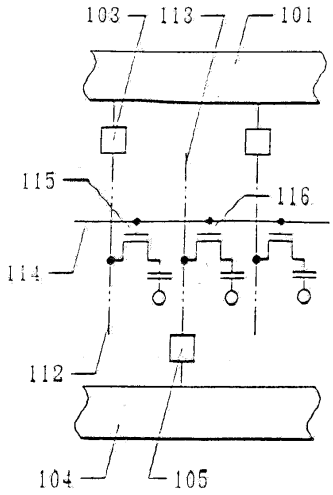
도면 1a



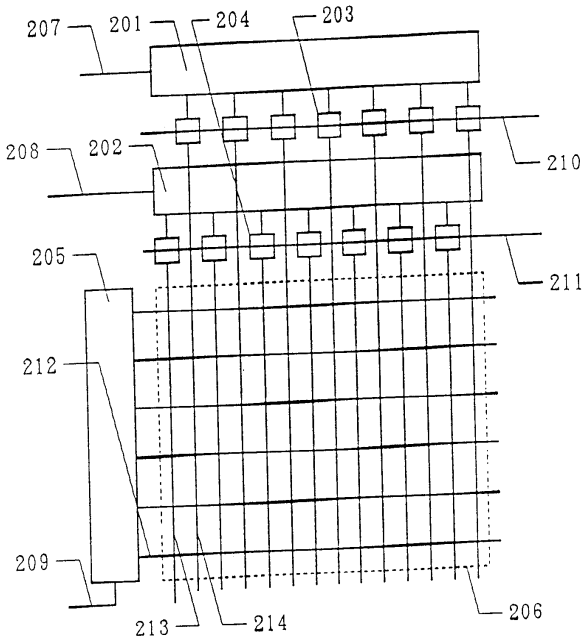
도면 1b


103
113
101
115
114
116
112
104
105

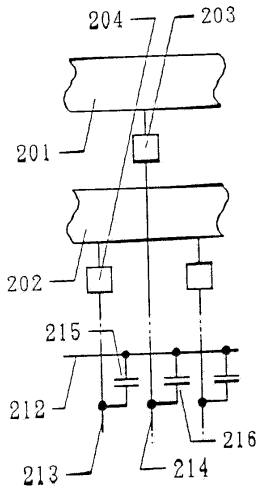
도면 1c


103
113
101
115
116
114
112
104
105

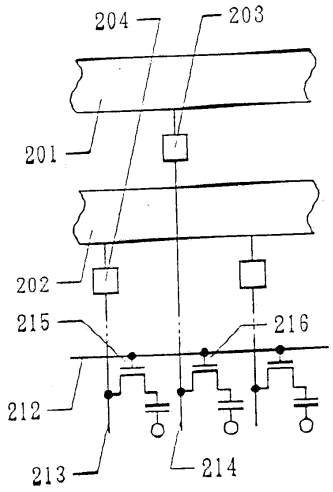
도면 2a


207
201
204
203
208
202
210
205
211
212
209
213
214
206

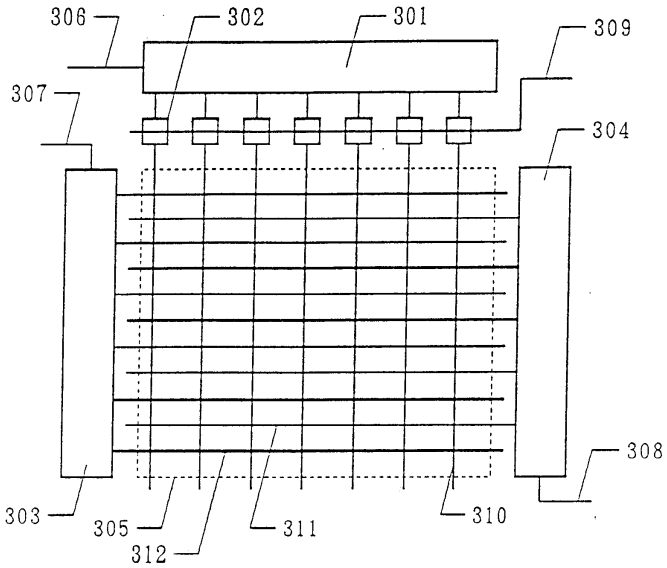
도면 2b


204
203
201
202
215
212
216
213
214

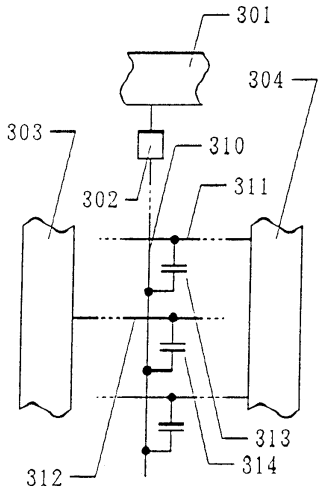
도면 2c


204
203
201
202
215
216
212
213
214

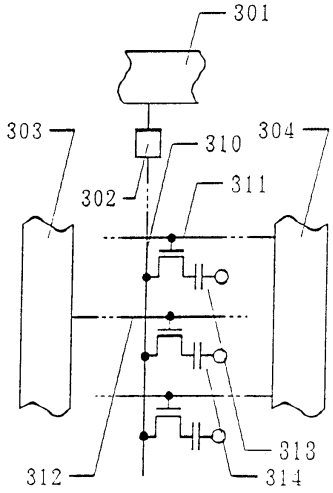
도면 3a


306
302
301
309
307
304
308
303
305
312
311
310

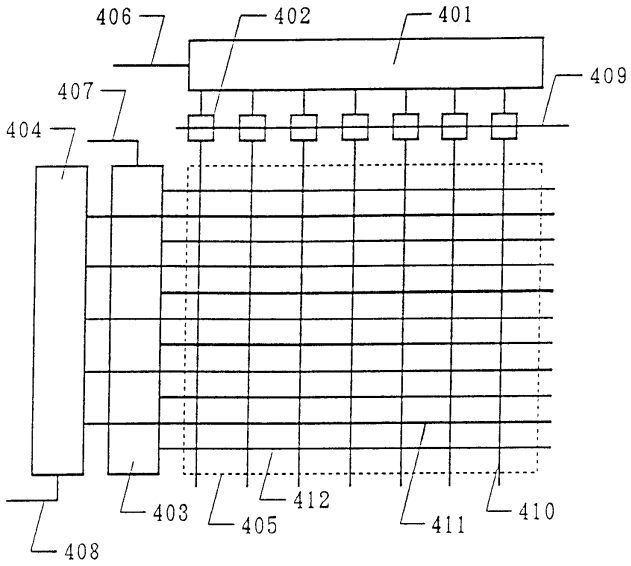
도면 3b


301
304
303
310
311
302
313
314
312

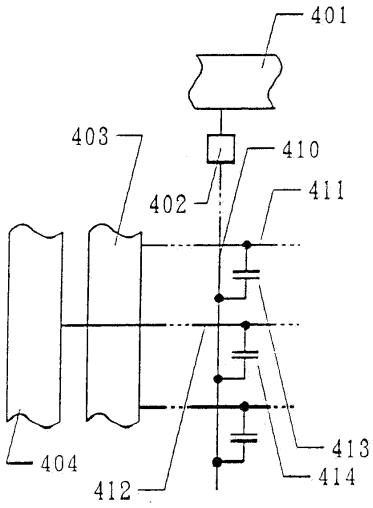
도면 3c


301
303
310
304
311
302
313
314
312

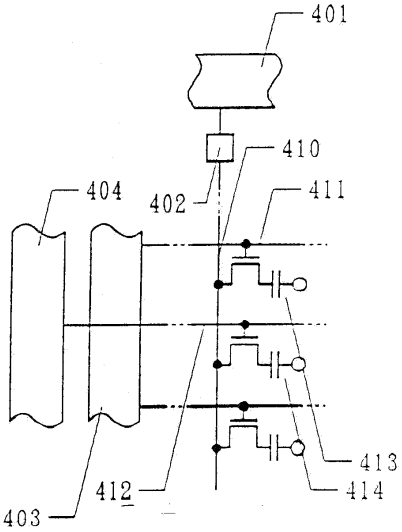
도면 4a


406
402
401
409
407
404
403
405
412
411
410
408

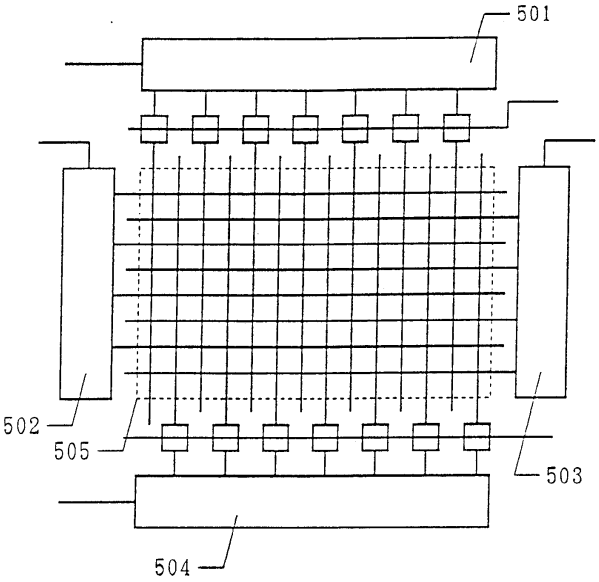
도면 4b


401
403
410
402
411
413
404
414
412

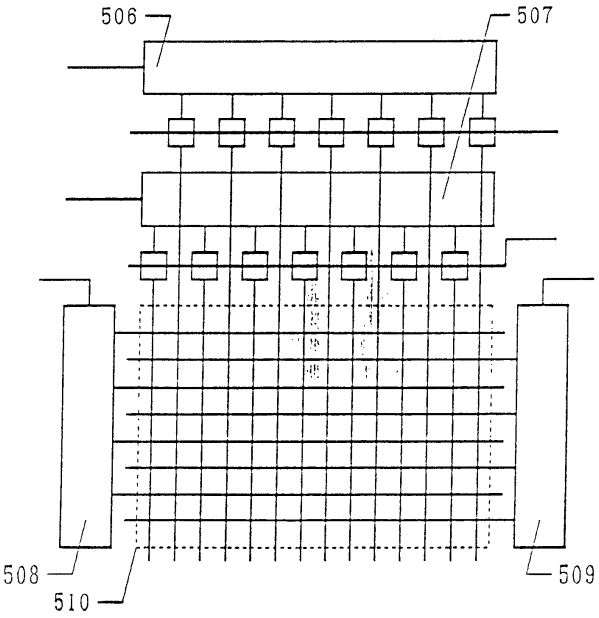
도면 4c



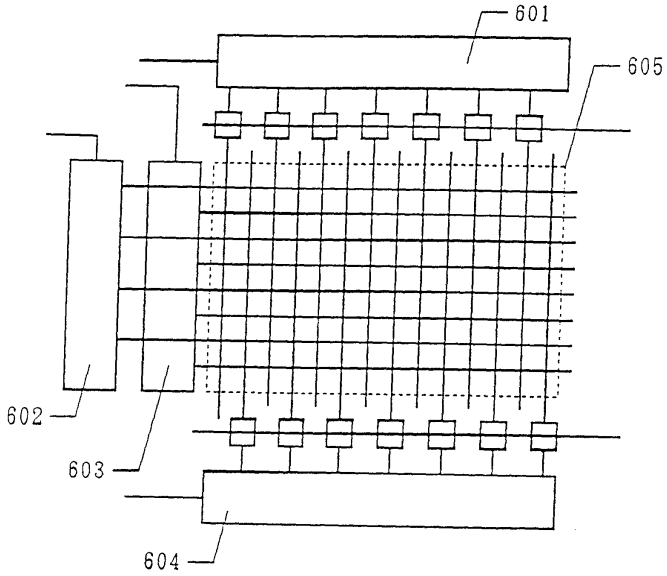

도면 5a



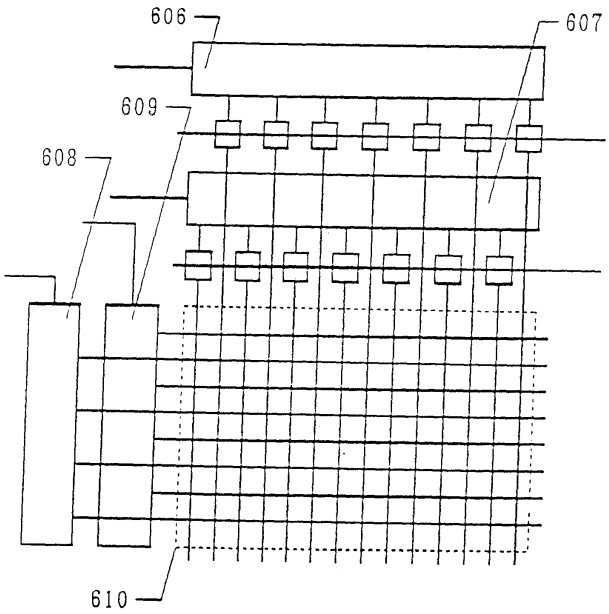
도면 5b



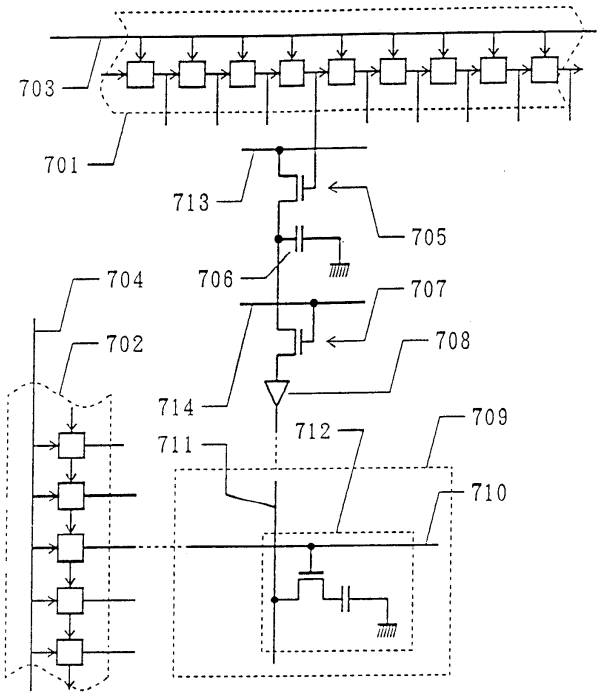

도면 6a



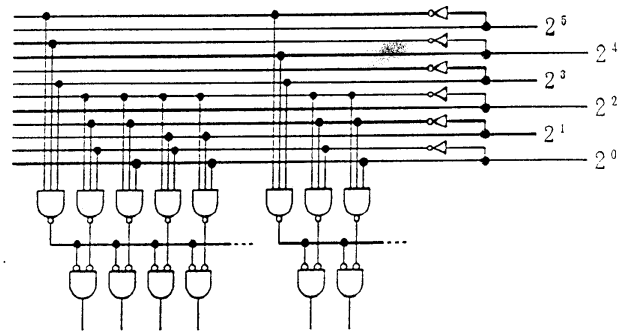
도면 6b


606
607
609
608
610

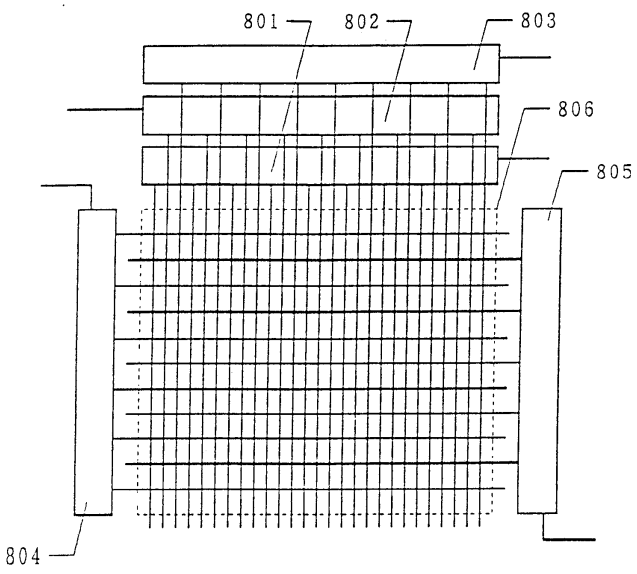
도면 7a


703
701
713
705
704
706
707
702
708
714
709
712
711
710

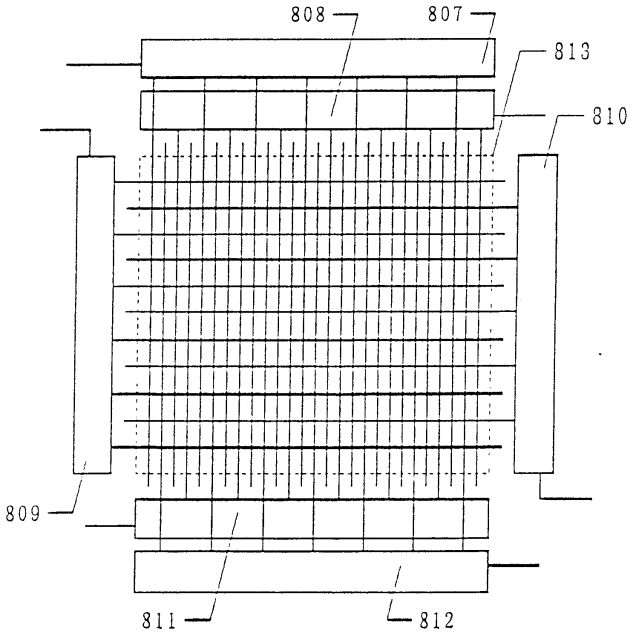
도면 7b




도면 8a



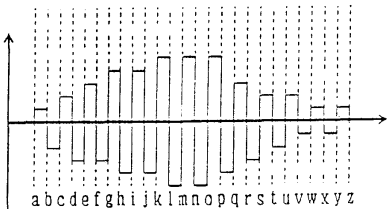
도면 8b



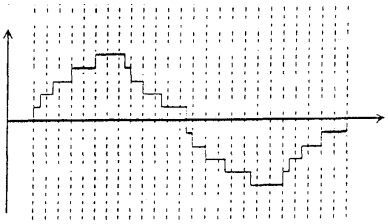

도면 9a



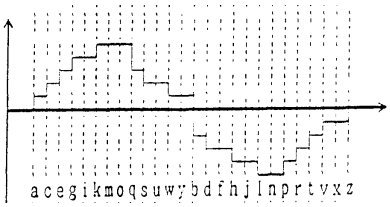
도면 9b



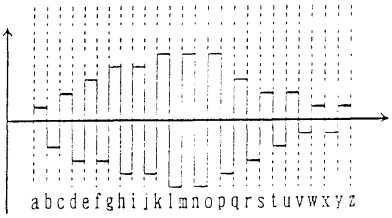
도면 9c



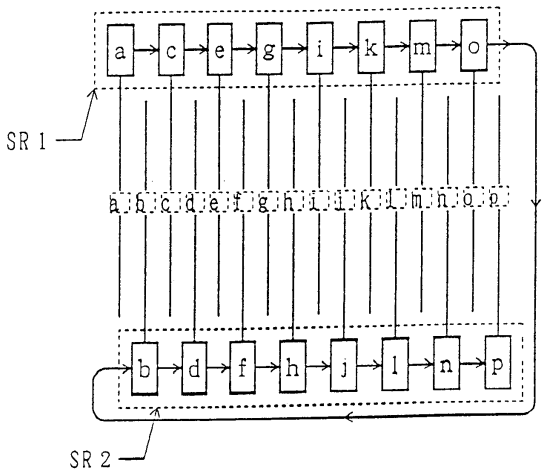
도면 9d



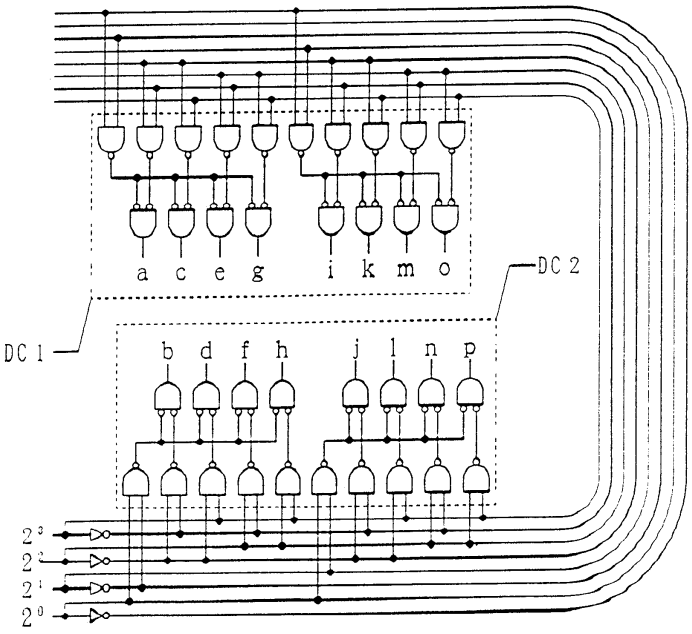

도면 9e



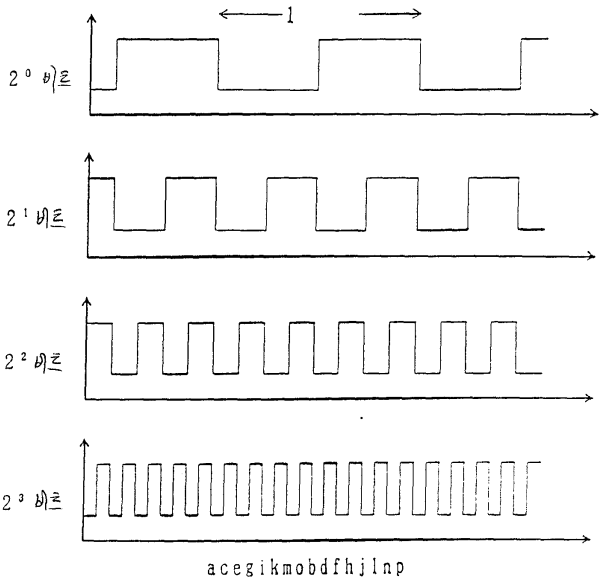

도면 10a



도면 10b


a c e g i k m o
DC 2
DC 1
b d f h j l n p
$2^3$
$2^2$
$2^1$
$2^0$

도면 11


1
$2^0$ 비트
$2^1$ 비트
$2^2$ 비트
$2^3$ 비트
acegikmobdfhjlnp

도면 12

