

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4551321号
(P4551321)

(45) 発行日 平成22年9月29日 (2010.9.29)

(24) 登録日 平成22年7月16日 (2010.7.16)

(51) Int. Cl. F I
 HO 1 L 25/10 (2006.01) HO 1 L 25/14 Z
 HO 1 L 25/11 (2006.01) HO 1 L 23/12 5 O 1 B
 HO 1 L 25/18 (2006.01)
 HO 1 L 23/12 (2006.01)

請求項の数 9 (全 20 頁)

(21) 出願番号	特願2005-373859 (P2005-373859)	(73) 特許権者	000190688 新光電気工業株式会社 長野県長野市小島田町80番地
(22) 出願日	平成17年12月27日 (2005.12.27)	(74) 代理人	100091672 弁理士 岡本 啓三
(65) 公開番号	特開2007-53327 (P2007-53327A)	(72) 発明者	五明 利雄 長野県長野市小島田町80番地 新光電気 工業株式会社内
(43) 公開日	平成19年3月1日 (2007.3.1)	(72) 発明者	竹内 之治 長野県長野市小島田町80番地 新光電気 工業株式会社内
審査請求日	平成20年7月3日 (2008.7.3)	(72) 発明者	高柳 秀則 長野県長野市小島田町80番地 新光電気 工業株式会社内
(31) 優先権主張番号	特願2005-211938 (P2005-211938)		
(32) 優先日	平成17年7月21日 (2005.7.21)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 電子部品実装構造及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

複数のシート状のユニットが厚さ方向に積層されて構成された電子部品実装構造において、前記ユニットが、第1の絶縁層と、

前記第1の絶縁層の一方の面上に形成された配線と、

前記配線に接続された電子部品と、

前記第1の絶縁層の前記一方の面側に形成されて前記電子部品を覆う第2の絶縁層と、

前記配線と他のユニットの配線とを電気的に接続する接続部とを有し、

厚さ方向に隣り合うユニットにおいて、前記第1の絶縁層、前記電子部品、前記配線及び前記第2の絶縁層の配置が対称であり、かつ、

前記接続部が、前記第1の絶縁層を貫通して形成されて前記配線の一方の面に接合された端子と、前記第2の絶縁層を貫通して形成されて前記配線の他方の面に接合されたコンタクトビアとにより構成され、

前記端子が前記第1の絶縁層の表面から突出しており、

前記コンタクトビアの頂部が前記第2の絶縁層の表面から突出しており、

前記各ユニットは前記端子同士又は前記コンタクトビア同士により接続されていることを特徴とする電子部品実装構造。

【請求項2】

前記第1の絶縁層が、ソルダーレジストからなることを特徴とする請求項1に記載の電子部品実装構造。

【請求項 3】

前記各ユニットの前記端子同士又は前記コンタクトビア同士は、異方性導電フィルムを介して接続されていることを特徴とする請求項 1 に記載の電子部品実装構造。

【請求項 4】

前記電子部品が半導体チップであることを特徴とする請求項 1 に記載の電子部品実装構造。

【請求項 5】

前記半導体チップが前記配線とフリップチップ接合していることを特徴とする請求項 4 に記載の電子部品実装構造。

【請求項 6】

基板上に絶縁性樹脂からなる第 1 の絶縁層を形成する第 1 工程と、
 前記第 1 の絶縁層をパターニングして開口部を形成する第 2 工程と、
 前記開口部の内側に露出した前記基板をエッチングして窪みを形成する第 3 工程と、
 前記開口部の内側に金属を充填して端子を形成する第 4 工程と、
 前記第 1 の絶縁層の上に、前記端子と接続する配線を形成する第 5 工程と、
 前記配線の上に電子部品を接合する第 6 工程と、
 前記第 1 の絶縁層の上に前記電子部品を覆う第 2 の絶縁層を形成する第 7 工程と、
 前記第 2 の絶縁層の上面から前記配線に到達する孔を形成する第 8 工程と、
 前記孔内に金属を充填してコンタクトビアを形成する第 9 工程と、
 前記基板を除去する第 10 工程とを遂行することにより、

前記第 1 の絶縁層と、前記第 1 の絶縁層の一方の面上に形成された前記配線と、前記配線に接続された前記電子部品と、前記第 1 の絶縁層の一方の面側に形成されて前記電子部品を覆う前記第 2 の絶縁層と、前記配線と電氣的に接続した前記端子及び前記コンタクトビアからなる接続部とにより構成されるシート状のユニットを複数用意し、

それらのユニットを、厚さ方向に隣り合うユニットの向きを交互に逆に配置して相互に積層して前記端子同士又は前記コンタクト同士を接合し、前記接続部を介して各ユニットの電子部品を相互に電氣的に接続することを特徴とする電子部品実装構造の製造方法。

【請求項 7】

前記第 9 工程の後に、2 つのユニットを前記電子部品が搭載された面を向かい合わせて接合し、その後、前記第 10 工程を実施して前記基板を剥離することを特徴とする請求項 6 に記載の電子部品実装構造の製造方法。

【請求項 8】

前記第 10 工程において、前記基板のうち縁部の部分を枠状に残し、その後各ユニットを接合した後に前記枠状の部分を切断除去することを特徴とする請求項 6 に記載の電子部品実装構造の製造方法。

【請求項 9】

前記第 1 工程において、前記基板の下面に第 3 の絶縁層を形成し、
 前記第 9 工程の終了から第 10 工程の開始までの間に、前記第 3 の絶縁層を除去することを特徴とする請求項 6 に記載の電子部品実装構造の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電子部品実装構造及びその製造方法に関し、特に薄型化を図るために配線基板の内部に半導体素子（チップ）等の電子部品を実装したパッケージ構造を有する電子部品実装構造及びその製造方法に関する。

【背景技術】

【0002】

近年、電子機器の高機能化が促進されており、そのキーテクノロジーである L S I (Large Scale Integration : 大規模集積回路) 技術は、データ伝送の高速化及び大容量化に向って着実に進んでいる。また、L S I の実装技術も年々進歩しており、狭いスペースに

10

20

30

40

50

多数のLSIを高密度に実装できるようになっている。

【0003】

さらなる高密度化の要求から、配線基板上に複数の半導体チップを3次元的に積層して実装したマルチチップパッケージ(半導体装置)が開発されている。その一例として、配線基板上に複数の半導体チップが絶縁膜に埋設された状態で3次元的に実装され、かつ絶縁膜に形成されたビアホール及び配線パターンを介して複数の半導体チップが相互に接続された構造を有する半導体装置がある(例えば、特許文献1~5)。

【特許文献1】特開2001-196525号公報

【特許文献2】特開2001-177045号公報

【特許文献3】特開2000-323645号公報

【特許文献4】特開2005-217225号公報

【特許文献5】特開2005-209689号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、半導体チップを被覆する絶縁膜が樹脂からなる場合、樹脂膜の中にはそれと熱膨張係数が異なる半導体チップや配線(金属膜)が存在することとなるため、樹脂膜が熱処理されて形成される際に、これらの熱膨張係数の差に基づく熱応力によって半導体装置自体に反りが発生しやすい。このため、後工程での半導体装置のハンドリングに支障をきたしたり、半導体装置を実装基板(マザーボード)に実装する際にそれらの接合の信頼性が低下するなどの不具合が発生したりするおそれがある。

【0005】

上記した特許文献1~5には、いずれも絶縁膜(樹脂膜)内に半導体チップが埋設されて実装された構造が記載されているものの、上記したような熱応力に基づく半導体装置の反りに関しては何ら考慮されていない。

【0006】

本発明は以上の課題を鑑みて創作されたものであり、電子部品が絶縁膜に埋設された状態で実装された構造を有する電子部品実装構造において、従来に比べてより一層の高密度化が可能であるとともに、反りの発生が防止される電子部品実装構造及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記課題を解決するため、本発明は、複数のシート状のユニットが厚さ方向に積層されて構成された電子部品実装構造において、前記ユニットが、第1の絶縁層と、前記第1の絶縁層の一方の面上に形成された配線と、前記配線に接続された電子部品と、前記第1の絶縁層の前記一方の面側に形成されて前記電子部品を覆う第2の絶縁層と、前記配線と他のユニットの配線とを電気的に接続する接続部とを有し、厚さ方向に隣り合うユニットにおいて、前記第1の絶縁層、前記電子部品、前記配線及び前記第2の絶縁層の配置が対称であることを特徴とする。

【0008】

本発明の電子部品実装構造は、電子部品が埋設されたシート状のユニットを積層して構成されている。各ユニットは第1の絶縁層と、配線と、半導体チップ等の電子部品と、第2の絶縁層と、接続部とにより構成されており、コアとなる高強度の支持基板(厚い基板)を有していない。そして、複数のユニットを積層することで、全体的な強度を確保している。これにより、本発明の電子部品実装構造は、支持基板を有する従来の電子部品実装構造に比べて電子部品のより一層の高密度化が達成される。

【0009】

また、本発明においては、厚さ方向に隣り合うユニットにおいて、第1の絶縁層、電子部品、配線及び第2の絶縁層の配置が対称となっている。このため、電子部品と絶縁層及び配線(金属膜)との熱膨張係数の差に基づく熱応力が発生するとしても、厚さ方向に隣

10

20

30

40

50

り合うユニットで熱応力による反りの方向が逆となって相殺され、電子部品実装構造に反りが発生することが防止される。

【0010】

本発明の一つの好適な態様では、前記第1の絶縁層をソルダーレジストにより形成する。本発明では、電子部品実装構造の最外面に第1の絶縁層が配置される。電子部品を埋設する絶縁層(第2の絶縁層)には通常エポキシ等の樹脂により形成されるが、ソルダーレジストは一般的にエポキシ樹脂よりも強度が高い。このため、最外面に配置される第1の絶縁層をソルダーレジストにより形成すると、電子部品実装構造の強度が高くなり、破損等の不具合の発生が抑制される。

【0011】

前記電子部品が半導体チップの場合、半導体チップの素子形成面を保護膜により保護することが好ましい。この場合、保護膜中にシリカ等を混入して熱膨張係数が、半導体チップの熱膨張係数と第1の絶縁層の熱膨張係数との中間となるように調整すると、半導体チップと第1の絶縁層との熱膨張係数の差により発生する応力を分散することができる。

【0012】

また、上記した課題を解決するため、本発明に係る電子部品実装構造の製造方法では、第1の絶縁層と、前記第1の絶縁層の一方の面上に形成された配線と、前記配線に接続された電子部品と、前記第1の絶縁層の一方の面側に形成されて前記電子部品を覆う第2の絶縁層と、前記配線と電気的に接続した接続部とにより構成されるシート状のユニットを複数用意し、それらのユニットを、厚さ方向に隣り合うユニットの向きを交互に逆

【0013】

に配置して接合するので、厚さ方向に隣り合うユニットにおいて第1の絶縁層、電子部品、配線及び第2の絶縁層の配置が対称となり、その結果電子部品と絶縁層及び配線(金属膜)との熱膨張係数の差に基づく熱応力が発生するとしても、それらのユニットにおいて熱応力が発生する方向が逆になり、電子部品実装構造の反りが回避される。

【0014】

前記ユニットは、例えば 基板上に絶縁性樹脂からなる第1の絶縁層を形成する第1工程と、前記第1の絶縁層をパターニングして開口部を形成する第2工程と、前記開口部の内側に露出した前記基板をエッチングして窪みを形成する第3工程と、前記開口部の内側に金属を充填して端子を形成する第4工程と、前記第1の絶縁層の上に、前記端子と接続する配線を形成する第5工程と、前記配線の上に電子部品を接合する第6工程と、前記第1の絶縁層の上に前記電子部品を覆う第2の絶縁層を形成する第7工程と、前記第2の絶縁層の上面から前記配線に到達する孔を形成する第8工程と、前記孔内に金属を充填してコンタクトビアを形成する第9工程と、前記基板を除去する第10工程とを経て製造される。

【0015】

このようにして製造されたユニットは、コアとなる高強度の支持基板(厚い基板)を有していないため、支持基板を有する従来の電子部品実装構造に比べて電子部品のより一層の高密度化が達成される。また、本発明方法においては、第9工程までは第1の絶縁層、配線、電子部品及び第2の絶縁層等を基板により支持しており、例えば2つのユニットを接合した後に第10工程を実施して基板を除去するので、製造工程におけるハンドリングに支障が生じることはない。

【0016】

本発明の一つの好適な態様では、第1工程において、前記基板の下面に第3の絶縁層を形成し、前記第9工程の終了から第10工程の開始までの間に、前記第3の絶縁層を除去する。基板の上面のみに絶縁層(第1の絶縁層)を形成した場合、基板と絶縁層との熱膨張係数の差により、ポストベーキング等の熱処理時に反りが発生することが考えられる。

10

20

30

40

50

上述したように基板の下面にも絶縁層（第3の絶縁層）を形成しておけば、基板の上下で反りが発生する方向が逆となり、結果的に反りが抑制される。

【0017】

更に、上記した課題を解決するため、本発明に係る他の電子部品実装構造の製造方法では、第1の絶縁層と、前記第1の絶縁層の一方の面上に形成された配線と、前記配線に接続された電子部品と、前記第1の絶縁層の一方の面側に形成されて前記電子部品を覆う第2の絶縁層とにより構成される複数のシート状のユニットを形成する工程と、前記複数のユニットを、厚さ方向に隣り合うユニットの向きを交互に逆に配置して積層し積層構造体とする工程と、前記積層構造体に各ユニットの前記第1の絶縁層、前記配線及び前記第2の絶縁層を貫通する貫通孔を形成する工程と、前記貫通孔内に導電体を充填して各ユニットの前記配線間を電氣的に接続する接続部を形成する工程とを有することを特徴としている。

10

【0018】

本発明においても、厚さ方向に隣り合うユニットの向きを交互に逆に配置するので、厚さ方向に隣り合うユニットにおいて第1の絶縁層、電子部品、配線及び第2の絶縁層の配置が対称となり、その結果電子部品と絶縁層及び配線（金属膜）との熱膨張係数の差に基づく熱応力が発生するとしても、それらのユニットにおいて熱応力が発生する方向が逆になり、電子部品実装構造の反りが回避される。

【0019】

本発明の一つの好適な形態では、前記ユニットは、基板上に絶縁性樹脂からなる第1の絶縁層を形成する工程と、前記第1の絶縁層上に配線を形成する工程と、前記配線の上に電子部品を接合する工程と、前記第1の絶縁膜の上に前記電子部品を覆う第2の絶縁層を形成する工程とを経て形成される。また、前記積層構造体は、前記基板を有する2つのユニットを前記電子部品が搭載された面を向い合わせて接合してペアユニットとするペアユニット形成工程と、前記ペアユニットから前記基板を除去する基板除去工程と、複数のペアユニットを積層する積層工程と順番に実施して形成される。

20

【0020】

本発明では、積層構造体に各ユニットの第1の絶縁層、配線及び第2の絶縁層を貫通する貫通孔を形成し、その後貫通孔内に導電体を充填して各ユニットの配線間を電氣的に接続する。この場合、例えば最下層のユニットのみ基板を残しておき、積層構造体の上面から基板に到達する貫通孔をドリル又はレーザ照射により形成し、めっき法により貫通孔内に銅等の導電体を堆積させることにより、接続部を形成することができる。前記最下層のユニットの基板は、接続部形成後に除去する。

30

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施形態について、添付の図面を参照して説明する。

【0022】

（第1の実施形態）

図1は、本発明の第1の実施形態の電子部品実装構造を示す断面図である。

【0023】

本実施形態の電子部品実装構造（半導体装置）1は、複数個（図1では4個）のシート（薄膜）状のユニット10を絶縁層11を挟んで積層した構造を有している。各ユニット10は、絶縁性樹脂層（第2の絶縁層）30と、絶縁性樹脂層30内に埋設された半導体チップ（電子部品）27と、ソルダーレジスト層（第1の絶縁層）22と、配線26と、端子24と、コンタクトビア31とにより構成されている。1つのユニット10の厚さは例えば200 μ m程度（100～300 μ m程度）であり、上下方向（厚さ方向）に隣り合うユニット10は、端子24又はコンタクトビア31（接続部）を介して相互に電氣的に接続されている。

40

【0024】

本実施形態の電子部品実装構造1では、図1に示すように、上下方向に隣り合うユニッ

50

ト 10 が相互に逆向きに配置されていることが特徴の一つとなっている。すなわち、上下方向に隣り合う 2 つのユニット 10 では、ソルダーレジスト層 22、半導体チップ 27、配線 26、端子 24 及びコンタクトビア 31 等の配置が対称となっている。

【0025】

1 つのユニット 10 は、上述したように、絶縁性樹脂層 30 と、半導体チップ 27 と、ソルダーレジスト層 22 と、配線 26 と、端子 24 と、コンタクトビア 31 とにより構成されている。ソルダーレジスト層 22 は、絶縁性樹脂層 30 の一方の面に接合している。配線 26 はソルダーレジスト層 22 の絶縁性樹脂層 30 側の面上に形成されており、半導体チップ 27 の接続端子とパンプ 28 を介して電氣的に接続されている。半導体チップ 27 とソルダーレジスト層 22 との間には、半導体チップ 27 の素子形成面を保護するためにアンダーフィル（保護膜）29 が充填されている。

10

【0026】

端子 24 はソルダーレジスト層 22 を貫通して形成されており、配線 26 の一方の面に接合されている。また、コンタクトビア 31 は絶縁性樹脂層 30 に埋め込まれて形成されており、配線 26 の他方の面に接合されている。

【0027】

上述の如く、本実施形態の電子部品実装構造 1 では、各ユニット 10 がソルダーレジスト層 22、半導体チップ 27 及び絶縁性樹脂層 30 等により構成されており、コアとなる高強度の支持基板（換言すると、厚い基板）を有していない。そして、複数のユニット 10 を積層することで全体的な強度を確保している。これにより、本実施形態の電子部品実装構造 1 では、支持基板を有する従来の電子部品実装構造に比べて、より一層の高密度化が可能になるという効果を奏する。

20

【0028】

また、本実施形態の電子部品実装構造 1 では、上下方向に隣り合うユニット 10 において、ソルダーレジスト層 22、半導体チップ 27、配線 26、端子 24 及びコンタクトビア 31 等が対称の関係で配置されている。このため、半導体チップ 27 と絶縁性樹脂層 30 及び配線（金属膜）26 との熱膨張係数の差に基づく熱応力が発生するとしても、上下方向に隣り合うユニット 10 で熱応力による反りの方向が逆となり、その結果熱応力が相殺されて電子部品実装構造 1 に反りが発生することが防止される。

【0029】

また、本実施形態の電子部品実装構造 1 では、最外面がアクリル系樹脂又はエポキシ系樹脂からなるソルダーレジスト層 22 に覆われている。一般的に、ソルダーレジスト層 22 はエポキシ等の樹脂からなる絶縁性樹脂層 30 に比べて強度が高い。このため、本実施形態では、エポキシ等の樹脂からなる絶縁性樹脂層が最外面に露出している場合に比べて、電子部品実装構造の強度が高く破損しにくいという利点もある。

30

【0030】

図 2 ~ 図 6 は、本発明の第 1 の実施形態に係る電子部品実装構造の製造方法を工程順に示す断面図である。なお、図 2 ~ 図 6 では説明を簡単にするために 1 個分のユニット形成領域しか示していないが、実際には 1 枚の基板 21 の上に複数のユニット 10 を同時に形成する。

40

【0031】

まず最初の工程では（図 2（a）参照）、例えば大きさが 300 mm x 500 mm、厚さが 0.1 mm の銅（Cu）からなる基板 21 を用意する。そして、スクリーン印刷法により、基板 21 の一方の面上に感光性のソルダーレジストを塗布して、厚さが例えば 20 ~ 30 μm のソルダーレジスト層 22 を形成する。次に、所定の露光マスク（不図示）を介してソルダーレジスト層 22 を露光する。その後、現像処理を施して、ソルダーレジスト層 22 に、基板 21 の表面が露出する開口部 22a を形成する。その後、例えば 150 ~ 200 の温度でポストバークする。

【0032】

なお、基板 21 には、ソルダーレジスト層 22 等を支持する支持体としての役割と、電

50

解めつき時の電流供給層としての役割とがある。従って、基板 2 1 にはある程度の強度と導電性とが要求される。また、基板 2 1 は、後述する工程で容易に除去できるものであることが必要である。基板 2 1 としては、上述した銅板の他にも、例えば 4 2 アロイ (Fe-Ni 合金) 板を使用することができる。但し、基板 2 1 の厚さが厚すぎると、後述の基板 2 1 を除去する工程にかかる時間が長くなるので、ハンドリングに支障がない範囲で薄くすることが好ましい。

【 0 0 3 3 】

次の工程では (図 2 (b) 参照)、ソルダーレジスト層 2 2 をマスクとして基板 2 1 をエッチングし、深さが数 1 0 μm (例えば 3 0 μm) の窪み 2 1 a を形成する。この窪み 2 1 a の深さにより、端子 2 4 がソルダーレジスト層 2 2 から突出する突出量が決定される。

10

【 0 0 3 4 】

その後、次の工程 (図 2 (c) 参照) において、ソルダーレジスト層 2 2 をマスクとしてはんだを電解めつきし、窪み 2 1 a の表面に厚さが例えば 2 0 ~ 7 0 μm のはんだ層 2 3 を形成する。このはんだ層 2 3 は、後述する工程において基板 2 1 をエッチングにより除去する際にエッチングストッパーとして作用する。なお、はんだ層 2 3 に替えて、例えば錫 (Sn) をめつきしてもよい。

【 0 0 3 5 】

このはんだ層 2 3 を形成した後、プラズマ処理 (ドライエッチング) を施して、ソルダーレジスト層 2 2 の表面を粗化しておく。このプラズマ処理は必須ではないが、後工程で使用するドライフィルムやめつき層の密着性を十分確保するために、実施しておくことが好ましい。

20

【 0 0 3 6 】

次の工程では (図 2 (d) 参照)、銅の電解めつきにより、ソルダーレジスト層 2 2 の開口部 2 2 a に銅を充填して、端子 2 4 を形成する。その後、銅を無電解めつきして、ソルダーレジスト層 2 2 の上及び端子 2 4 の上にシード層 (不図示) を形成する。

【 0 0 3 7 】

次の工程では (図 2 (e) 参照)、基板 2 1 の上側にドライフィルム (感光性レジストフィルム) 2 5 を貼り付ける。そして、所定の露光マスク (不図示) を使用してドライフィルム 2 5 を露光した後、現像処理を施してドライフィルム 2 5 に開口部 2 5 a を形成する。この開口部 2 5 a は、次工程で配線 2 6 を形成するためのものである。

30

【 0 0 3 8 】

次の工程では (図 3 (a) 参照)、銅の電解めつきにより、ドライフィルム 2 5 の開口部 2 5 a に銅を埋め込み、配線 2 6 を形成する。そして、次の工程では (図 3 (b) 参照)、剥離液によりドライフィルム 2 5 を剥離する。その後、露出しているシード層をエッチングにより除去して、各配線 2 6 間を電氣的に分離する。

【 0 0 3 9 】

次の工程では (図 3 (c) 参照)、配線 2 6 に半導体チップ 2 7 をフリップチップ接合する。この半導体チップ 2 7 は、厚さが例えば 1 5 0 μm 以下 (好適には 5 0 μm 程度) に薄型化されており、素子形成面 (図 3 (c) では下側) の縁部に接続電極が設けられている。そして、接続電極の上 (図 3 (c) では下側) にはパンプ (例えば Au スタッドパンプ) 2 8 が形成され、このパンプ 2 8 により配線 2 6 と電氣的に接続される。

40

【 0 0 4 0 】

次の工程では (図 3 (d) 参照)、半導体チップ 2 7 と基板 2 1 (ソルダーレジスト層 2 2 及び配線 2 6) との間にアンダーフィル 2 9 を充填する。アンダーフィル 2 9 としては、例えばエポキシ樹脂を使用することができる。アンダーフィル 2 9 中には例えばシリカ等のフィラーを含有させ、アンダーフィル 2 9 の熱膨張係数が半導体チップ 2 7 の熱膨張係数とソルダーレジスト層 2 2 の熱膨張係数との中間になるように調整することが好ましい。

【 0 0 4 1 】

50

次の工程では(図4(a)参照)、基板21の上に、半導体チップ27を覆うようにフィルム状のエポキシ樹脂を貼り付けて、絶縁性樹脂層30を形成する。その後、絶縁性樹脂層30を構成するエポキシ樹脂を硬化(キュア)させる。フィルム状のエポキシ樹脂を貼り付ける代わりに、エポキシ樹脂を塗布して絶縁性樹脂層30を形成してもよい。また、エポキシ樹脂に替えて、ポリイミド又はその他の絶縁性樹脂を使用してもよい。

【0042】

次の工程では(図4(b)参照)、絶縁性樹脂層30を炭酸ガス(CO₂)レーザ等により穴あけ加工して、配線26が露出する開口部30aを形成する。開口部30aの直径は、例えば100μmである。

【0043】

次の工程では(図4(c)参照)、電解めっきにより、開口部30a内に銅を充填して、コンタクトビア31を形成する。この場合に、図4(c)に示すように、コンタクトビア31の頂部が絶縁性樹脂層30よりも若干(例えば、30μm程度)盛り上がるようにする。その後、コンタクトビア31の頂部にNi(ニッケル)及びAu(金)を順次電解めっきして、厚さが数μmのNi-Auめっき層(不図示)を形成する。

【0044】

このようにしてユニット10が形成された基板21を複数用意する。そして、次の工程において(図5(a)参照)、2枚の基板21を、半導体チップ搭載面を向い合わせて配置し、両者の間に絶縁層11を挟んで接合する。絶縁層11として異方性導電フィルム(ACF: Anisotropic Conductive Film)を使用し、プレス機により加圧して各基板21に形成されたユニット10を接合すると、異方性導電フィルムのうち対向するコンタクトビア31間の部分が強く加圧されて厚さ方向(Z方向)に導電性を示すようになり、それらのコンタクトビア31間が電氣的に接続される。以下、このようにして接合された2つのユニット10を、ペアユニットと呼ぶ。

【0045】

なお、本実施形態では絶縁層11として異方性導電フィルムを使用しているが、2つのユニット10の相互に対向するコンタクトビア31同士をはんだ等により接合した後、ユニット10間に絶縁性樹脂を充填するなどの方法により絶縁層11を形成してもよい。

【0046】

次の工程では(図5(b)参照)、エッチングによりユニット10から基板21を除去する。本実施形態では基板21として銅板を使用しているため、エッチング液としては例えば塩化第二鉄水溶液、塩化第二銅水溶液又は過硫酸アンモニウムを使用する。この場合、端子24の端面ははんだ層23に覆われているため、端子24のエッチングが防止される。

【0047】

次の工程では(図6参照)、絶縁層11を挟んで複数のペアユニットを重ね合わせて接合する。この場合も、本実施形態では絶縁層11として異方性導電フィルムを使用して上下方向に隣り合う端子24間を電氣的に接続しているが、端子24間をはんだ等により接合した後、ペアユニット間に絶縁性樹脂を充填するなどの方法により絶縁層11を形成してもよい。

【0048】

このようにして複数のユニット10を積層して積層構造体1aを形成した後、この積層構造体1aを切断して個々の電子部品実装構造1を分離する。これにより、図1に示す本実施形態の電子部品実装構造1が完成する。

【0049】

本実施形態の製造方法によれば、2つのユニット10を接合してペアユニットとするまでの間はソルダーレジスト層22及び絶縁性樹脂層30等が基板21により支持されている。このため、ハンドリングが容易である。また、ペアユニットとした後に基板21を除去し、複数のペアユニットを重ね合わせて本実施形態に係る電子部品実装構造(半導体装置)1を製造するので、支持基板を有する従来の電子部品実装構造に比べて薄型化でき、

10

20

30

40

50

より一層の高密度化が達成される。

【0050】

更に、本実施形態の製造方法により製造された電子部品実装構造1では、上下方向に隣り合うユニット10において、ソルダーレジスト層22、半導体チップ27、配線26、端子24及びコンタクトビア31等の配置が対称になっている。このため、半導体チップ27、絶縁性樹脂層30及び配線(金属膜)26等の熱膨張係数の差に起因する反りの発生方向が上下方向に隣り合うユニット10で逆になり、その結果電子部品実装構造1に反りが発生することが回避される。

【0051】

例えば、配線26、端子24及びコンタクトビア31を構成する銅の熱膨張係数は16.2ppm/、半導体チップ27(シリコンチップ)の熱膨張係数は3.4ppm/、絶縁性樹脂層30(エポキシ樹脂)の熱膨張係数は60ppm/、アンダーフィル29(エポキシ系樹脂)の熱膨張係数は33ppm/、ソルダーレジスト層22(エポキシ系樹脂)の熱膨張係数は60ppm/であるが、本実施形態によれば、このように熱膨張係数が異なる部材により構成された電子部品実装構造(半導体装置)においても、反りが極めて少なく、製品歩留りが高い。

【0052】

なお、上述した実施形態では図5(a)に示す工程において2枚のユニット10を接合してペアユニットとした後、図5(b)に示す工程において基板21を除去し、図6に示す工程において複数のペアユニットを重ね合わせて積層構造体1aとしているが、図4(c)に示す工程の後に、図7に示すようにユニット10から基板21を除去し、その後図6に示すように複数のユニット10を交互に向きを変えて絶縁層11を挟んで重ね合わせて接合してもよい。

【0053】

また、上記の実施形態では半導体チップ27の素子形成面を基板21に向けて搭載する場合(いわゆるフェースダウン)について説明したが、本発明は半導体チップ27の素子形成面を基板21と逆側に向けて搭載し、ワイヤボンディングで配線と電氣的に接続する場合(いわゆるフェースアップ)に適用することも可能である。

【0054】

(第2の実施形態)

図8は本発明の第2の実施形態の電子部品実装構造の製造方法を示す断面図、図9は同じくその模式平面図(全体図)である。なお、図8において、図5(b)と同一物には同一符号を付している。

【0055】

本実施形態が第1の実施形態と異なる点は、基板21をエッチングにより除去する際に縁部を枠状に残すことにあり、その他の構成は基本的に第1の実施形態と同様であるので、ここでは重複する部分の説明は省略する。

【0056】

第1の実施形態では、図5(b)に示す工程においてユニット10から基板21を完全に除去していた。前述したように、第1の実施形態では1枚の基板21を使用して複数のユニット10を同時に形成するので、同時に形成するユニット10の数にもよるが、基板21を除去すると剛性が不足してハンドリングに支障がでることが考えられる。

【0057】

そこで、第2の実施形態においては、基板21をエッチングする際に、フォトリソグラフィ法を用いて図8、図9に示すように、外縁に沿って枠状に金属膜(基板21の縁部)21aを残す。

【0058】

これにより、ハンドリング時の撓みが抑制され、ハンドリングが容易になるという効果を奏する。なお、この枠状の金属膜21aは、個々のユニット10に分離する際に、切断して除去する。

10

20

30

40

50

【 0 0 5 9 】

(第3の実施形態)

図10(a), (b)は、本発明の第3の実施形態の電子部品実装構造の製造方法を示す断面図である。

【 0 0 6 0 】

本実施形態が第1の実施形態と異なる点は、基板21の裏面(半導体チップ搭載面と逆側の面)にもソルダーレジスト層22を形成することであり、その他の構成は基本的に第1の実施形態と同様であるので、ここでは重複する部分の説明は省略する。

【 0 0 6 1 】

本実施形態においては、図10(a)に示すように、基板21の両面にソルダーレジスト層22を形成する。その後、第1の実施形態と同様にして、図10(b)に示すように、端子24及び配線26を形成し、配線26の上に半導体チップ27を搭載する。そして、半導体チップ27と配線26及びソルダーレジスト層22との間にアンダーフィル29を充填した後、半導体チップ27を覆う絶縁樹脂層30を形成し、更にコンタクトビア31を形成する。

10

【 0 0 6 2 】

次いで、裏面側のソルダーレジスト層22を機械研磨又はプラズマエッチングにより除去する。そして、ユニット10が形成された2つの基板21を、図5(a)に示すように、その半導体チップ搭載面を相互に対向させて配置し、絶縁層11を挟んで接合する。このようにしてペアユニットを形成した後、図5(b)に示すように、基板21をエッチングにより除去する。その後、図6に示すように、複数のペアユニットを絶縁層11を挟んで重ね合わせて接合する。

20

【 0 0 6 3 】

第1の実施形態のように銅からなる基板21の片面にソルダーレジスト層22を形成した場合、150~200の温度でポストバークすると、基板21とソルダーレジスト層22との熱膨張係数の差により、基板21に反りが発生してハンドリングに支障がでることがある。本願発明者等の実験では、基板21として直径が150mm、厚さが0.3mmのウェハ形状の銅板を使用し、片側の面上のみにソルダーレジスト層21を25μmの厚さに形成した場合、ポストバーク後に約6mmの反りが発生することが確認された。一方、本実施形態のように、基板21の両面にソルダーレジスト層21を形成した場合は、反りが殆ど発生しなかった。このことから、基板21の裏面側にもソルダーレジスト層21を形成することが好ましいことがわかる。

30

【 0 0 6 4 】

なお、基板21の裏面側に形成する層の材質は、その熱膨張係数が表面側のソルダーレジスト層の熱膨張係数に近いものであれば、特に限定されない。

【 0 0 6 5 】

(第4の実施形態)

図11は、本発明の第4の実施形態の電子部品実装構造を示す断面図である。

【 0 0 6 6 】

本実施形態の電子部品実装構造(半導体装置)51は、複数の(図11では4個)のシート(薄膜)状のユニット60を絶縁層61を挟んで積層した構造を有している。各ユニット60は、絶縁性樹脂層(第2の絶縁層)80と、絶縁性樹脂層80内に埋設された半導体チップ(電子部品)77と、ソルダーレジスト層(第1の絶縁層)72と、配線76とにより構成されている。1つのユニット60の厚さは例えば200μm程度(100~300μm程度)であり、各ユニット60は当該電子部品実装構造51の一方の面側から他方の面側に貫通する貫通電極81(接続部)を介して相互に電氣的に接続されている。貫通電極81の両端部は、Ni-Auめっき層81aで覆われている。

40

【 0 0 6 7 】

本実施形態の電子部品実装構造51においても、第1の実施形態と同様に、上下方向に隣り合うユニット60が相互に逆向きに配置されている。すなわち、上下方向に隣り合う

50

2つのユニット60は、ソルダーレジスト層72、半導体チップ77、配線76及び絶縁性樹脂層80等の配置が対称となっている。

【0068】

1つのユニット60は、上述したように、半導体チップ77と、ソルダーレジスト層72と、配線76と、絶縁性樹脂層80とにより構成されている。ソルダーレジスト層72は、絶縁性樹脂層80の一方の面に接合されている。配線76はソルダーレジスト層72の絶縁性樹脂層80側の面上に形成されており、半導体チップ77の接続端子とパンプ78を介して電氣的に接続されている。半導体チップ77とソルダーレジスト層72の間には、半導体チップ77の素子形成面を保護するためにアンダーフィル（保護膜）79が充填されている。

10

【0069】

上述の如く、本実施形態の電子部品実装構造51では、各ユニット60がソルダーレジスト層72、半導体チップ77及び絶縁性樹脂層80等により構成されており、コアとなる高強度の支持基板（換言すると、厚い基板）を有していない。そして、複数のユニット60を積層することで全体的な強度を確保している。これにより、本実施形態の電子部品実装構造51は、第1の実施形態と同様に、従来に比べてより一層の高密度化が可能である効果を奏する。

【0070】

また、本実施形態の電子部品実装構造51では、上下方向に隣り合うユニット60において、ソルダーレジスト層72、半導体チップ77、配線76及び絶縁性樹脂層80等が対称の関係で配置されている。このため、半導体チップ77と絶縁性樹脂層80及び配線（金属膜）76との熱膨張係数の差に基づく熱応力が発生するとしても、上下方向に隣り合うユニット60で熱応力による反りの方向が逆となり、その結果熱応力が相殺されて電子部品実装構造51に反りが発生することが防止される。

20

【0071】

更に、本実施形態の電子部品実装構造51では最外面がエポキシ樹脂等に比べて強度が高いアクリル系樹脂又はエポキシ系樹脂からなるソルダーレジスト層72に覆われているので、第1の実施形態と同様に破損しにくいという利点もある。

【0072】

更にまた、本実施形態においては、各ユニット60が貫通電極81により共通接続されているので、第1の実施形態に比べて各ユニット60間の電氣的接続の信頼性が高いという利点もある。

30

【0073】

図12～図18は、本発明の第4の実施形態に係る電子部品実装構造の製造方法を工程順に示す断面図である。なお、図12～図18では説明を簡単にするために1個分のユニット形成領域しか示していないが、実際には1枚の基板71の上に複数のユニット60を同時に形成する。

【0074】

まず最初の工程では（図12（a）参照）、例えば大きさが300mm×500mm、厚さが0.1mmの銅（Cu）からなる基板71を用意する。そして、スクリーン印刷法により、基板71の一方の面上に感光性のソルダーレジストを塗布して、厚さが例えば20～30μmのソルダーレジスト層72を形成する。その後、プラズマ処理（ドライエッチング）を施して、ソルダーレジスト層72の表面を粗化しておく。次いで、銅を無電解めっきして、ソルダーレジスト層72の上にシード層（不図示）を形成する。なお、プラズマ処理は必須ではないが、後工程で使用するドライフィルムやめっき層の密着性を十分確保するために、実施しておくことが好ましい。

40

【0075】

次の工程では（図12（b）参照）、基板71の上側（シード層の上）にドライフィルム（感光性レジストフィルム）75を貼り付ける。そして、所定の露光マスク（不図示）を使用してドライフィルム75を露光した後、現像処理を施してドライフィルム75に開

50

口部 75 a を形成する。この開口部 75 a は、次の工程で配線 76 を形成するためのものである。

【0076】

次の工程では（図 12（c）参照）、銅の電解めっきにより、ドライフィルム 75 の開口部 75 a 内に銅を埋め込み、配線 76 を形成する。そして、次の工程（図 12（d）参照）では、剥離液によりドライフィルム 75 を剥離する。その後、露出しているシード層をエッチングにより除去して、各配線 76 間を電氣的に分離する。

【0077】

次の工程では（図 12（e）参照）、配線 76 に半導体チップ 77 をフリップチップ接合する。この半導体チップ 77 は、厚さが例えば 150 μm 以下（好適には 50 μm 程度）に薄型化されており、素子形成面（図 12（e）では下側）の縁部に接続電極が設けられている。そして、接続電極の上（図 12（e）では下側）にはバンプ（例えば Au スタッドバンプ）78 が形成され、このバンプ 78 により配線 76 と電氣的に接続される。

【0078】

次の工程では（図 13（a）参照）、半導体チップ 77 と基板 71（ソルダーレジスト層 72 及び配線 76）との間にアンダーフィル 79 を充填する。アンダーフィル 79 としては、例えばエポキシ樹脂を使用することができる。アンダーフィル 79 中には例えばシリカ等のフィラーを含有させ、アンダーフィル 79 の熱膨張係数が半導体チップ 77 の熱膨張係数とソルダーレジスト層 72 の熱膨張係数との中間になるように調整することができる。

【0079】

次の工程では（図 13（b）参照）、基板 71 の上に、半導体チップ 77 を覆うようにフィルム状のエポキシ樹脂を貼り付けて、絶縁性樹脂層 80 を形成する。その後、絶縁性樹脂層 80 を構成するエポキシ樹脂を硬化（キュア）させる。フィルム状のエポキシ樹脂を貼り付ける替りに、エポキシ樹脂を塗布して絶縁性樹脂層 80 を形成してもよい。また、エポキシ樹脂に替えて、ポリイミド又はその他の絶縁性樹脂を使用してもよい。このようにしてユニット 60 が形成された基板 71 を複数用意する。

【0080】

そして、次の工程では（図 13（c）参照）、2つのユニット 60 を、半導体チップ搭載面を向い合わせて配置し、両者の間に絶縁層 61 を挟んで接合する。第 1 の実施形態では 2つのユニットの接合に異方性導電体膜（図 5（a）の絶縁層 11）を使用した。本実施形態では、2つのユニット 60 を接合する絶縁層 61 として、エポキシ樹脂等の一般的な接着性樹脂フィルムを使用する。以下、このようにして絶縁層 61 により接合された 2つのユニット 60 を、ペアユニットと呼ぶ。

【0081】

次の工程では（図 14（a）参照）、例えば塩化第 2 鉄水溶液、塩化第 2 銅水溶液又は過硫酸アンモニウムを使用したエッチングにより、基板 71 を除去する。但し、後工程で積層するペアユニットのうちの 1つは、一方の面側の基板 71 をレジスト膜で被覆して、エッチング後も一方の基板 71 が残るようにしておく。

【0082】

次の工程では（図 14（b）参照）、一般的な接着性樹脂フィルムからなる絶縁層 61 を挟んで複数のペアユニットを重ね合わせて接合する。この場合、基板 71 を残したユニット 60 を一番下側とする。

【0083】

このようにして、複数のユニット 60 を積層して構成され、一番下側のみに基板 71 を有する積層構造体 51 a を形成した後、次の工程では（図 15 参照）、YAG レーザにより、積層構造体 51 a の上側の面から基板 71 に到達する貫通孔 80 a を形成する。本実施形態では、後述するように電解めっきにより貫通孔 80 a 内に銅を充填するので、貫通孔 80 a が基板 71 に到達し且つ基板 71 に孔があかないようにレーザの照射条件（レーザのパワー及び照射時間等）を設定する。このときの最適なレーザ照射条件は、樹脂層

10

20

30

40

50

80の材質や厚さ、配線76の厚さ及びユニット60の積層数等により変化するので、予め実験等により求めておくことが必要である。なお、レーザ照射に替えて、ドリル加工により貫通孔80aを形成してもよい。

【0084】

次の工程では、(図16参照)、電解めっきにより基板71上に銅を堆積させて貫通孔80a内に銅を充填し、貫通電極81を形成する。このとき、図16のように、貫通電極81の先端が上側のソルダーレジスト層72よりも若干突出するまでめっきする。

【0085】

次の工程では(図17参照)、積層構造体51aの上側(貫通電極81が突出した側)のソルダーレジスト層72の上にエッチングレジスト膜82を形成して、貫通電極81の突出部を保護する。そして、積層構造体51aの下側の基板71をエッチングにより除去する。

10

【0086】

次の工程では(図18参照)、貫通電極81の露出している部分、すなわち貫通電極81の上側及び下側にNi及びAuを順次無電解めっきして、厚さが数 μm のNi-Auめっき層81aを形成する。

【0087】

次いで、この積層構造体51aを切断して個々の電子部品実装構造51を分離する。これにより、図11に示す本実施形態の電子部品実装構造51が完成する。

【0088】

20

前述の第1の実施形態では、図5、図6に示すように、異方性導電フィルム(絶縁層11)を用いてユニット10間の電氣的接続を行っている。この場合、異方性導電フィルムを挟むコンタクトビア31同士又は端子24同士の位置がずれてしまうと、十分な導通性能を得ることができなくなってしまう。これに対し、本実施形態においては、各ユニット60を積層して積層構造体51aとした後に貫通孔80aを形成し、この貫通孔80a内に銅を充填して貫通電極81を形成する。そして、この貫通電極81により各ユニット60間の電氣的接続を得る。従って、本実施形態は、第1の実施形態に比べて各ユニット60間の電氣的接続が容易であり、信頼性が高い電子部品実装構造を製造することができるという効果を奏する。

【0089】

30

なお、上述した第4の実施形態では貫通孔80aを形成するときに基板71に孔が貫通しないようにしたが、基板71を貫通するように貫通孔80aを形成してもよい。その場合は、例えば貫通孔80a内の壁面に無電解銅めっきと電解銅めっきとを順次を施して各ユニット60間を電氣的に接続すればよい。

【0090】

また、本発明においても、第2の実施形態で説明したように、基板71をエッチングにより除去する際に、縁部を棒状に残してもよい。更に、第3の実施形態で説明したように、基板71の裏面側(下面側)にもソルダーレジスト層を形成し、基板71の上に半導体チップ77を搭載した後に、裏面側のソルダーレジスト層を除去してもよい。

【図面の簡単な説明】

40

【0091】

【図1】図1は、本発明の第1の実施形態の電子部品実装構造を示す断面図である。

【図2】図2は、本発明の第1の実施形態に係る電子部品実装構造の製造方法を示す断面図(その1)である。

【図3】図3は、本発明の第1の実施形態に係る電子部品実装構造の製造方法を示す断面図(その2)である。

【図4】図4は、本発明の第1の実施形態に係る電子部品実装構造の製造方法を示す断面図(その3)である。

【図5】図5は、本発明の第1の実施形態に係る電子部品実装構造の製造方法を示す断面図(その4)である。

50

【図6】図6は、本発明の第1の実施形態に係る電子部品実装構造の製造方法を示す断面図（その5）である。

【図7】図7は、本発明の第1の実施形態に係る電子部品実装構造の製造方法の変形例を示す断面図である。

【図8】図8は、本発明の第2の実施形態の電子部品実装構造の製造方法を示す断面図である。

【図9】図9は、本発明の第2の実施形態の電子部品実装構造の製造方法を示す模式平面図（全体図）である。

【図10】図10（a）、（b）は、本発明の第3の実施形態の電子部品実装構造の製造方法を示す断面図である。

10

【図11】図11は、本発明の第4の実施形態の電子部品実装構造を示す断面図である。

【図12】図12は、本発明の第4の実施形態に係る電子部品実装構造の製造方法を示す断面図（その1）である。

【図13】図13は、本発明の第4の実施形態に係る電子部品実装構造の製造方法を示す断面図（その2）である。

【図14】図14は、本発明の第4の実施形態に係る電子部品実装構造の製造方法を示す断面図（その3）である。

【図15】図15は、本発明の第4の実施形態に係る電子部品実装構造の製造方法を示す断面図（その4）である。

【図16】図16は、本発明の第4の実施形態に係る電子部品実装構造の製造方法を示す断面図（その5）である。

20

【図17】図17は、本発明の第4の実施形態に係る電子部品実装構造の製造方法を示す断面図（その6）である。

【図18】図18は、本発明の第4の実施形態に係る電子部品実装構造の製造方法を示す断面図（その7）である。

【符号の説明】

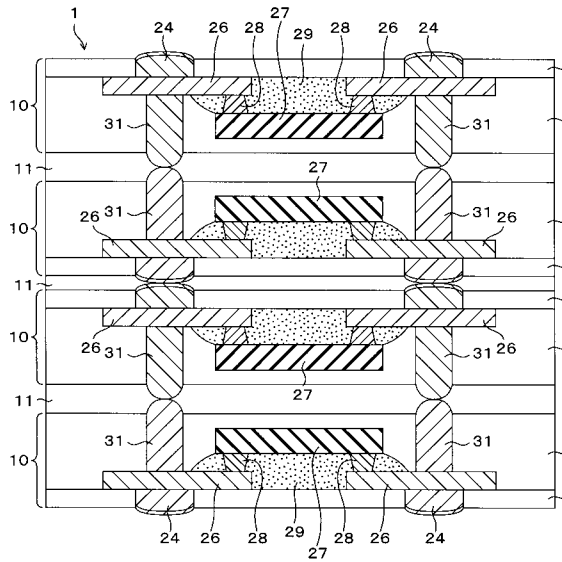
【0092】

- 1, 51 ... 電子部品実装構造（半導体装置）、
- 10, 60 ... ユニット、
- 11, 61 ... 絶縁層、
- 21, 71 ... 基板、
- 21a ... 棒状の金属膜、
- 22, 72 ... ソルダーレジスト層、
- 23 ... はんだ層、
- 24 ... 端子、
- 25, 75 ... ドライフィルム、
- 26, 76 ... 配線、
- 27, 77 ... 半導体チップ、
- 28, 78 ... パンプ、
- 29, 79 ... アンダーフィル（保護膜）、
- 30, 80 ... 絶縁性樹脂層、
- 31 ... コンタクトビア、
- 81 ... 貫通電極、
- 83 ... エッチングレジスト膜。

30

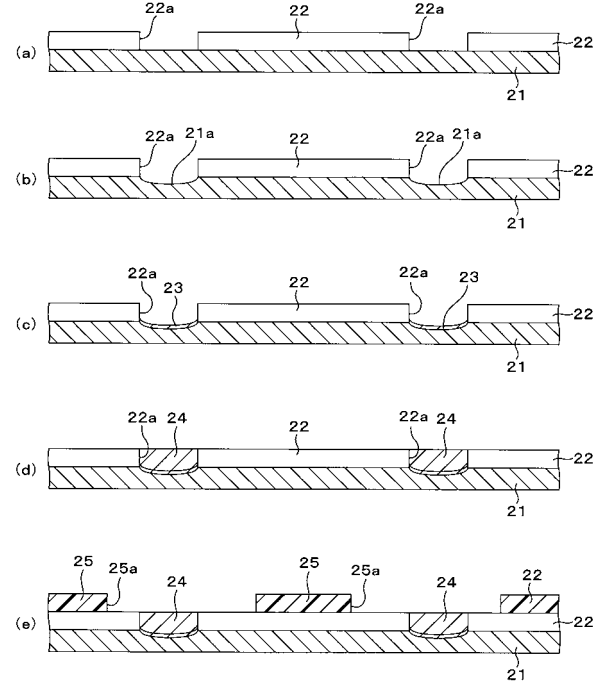
40

【図1】



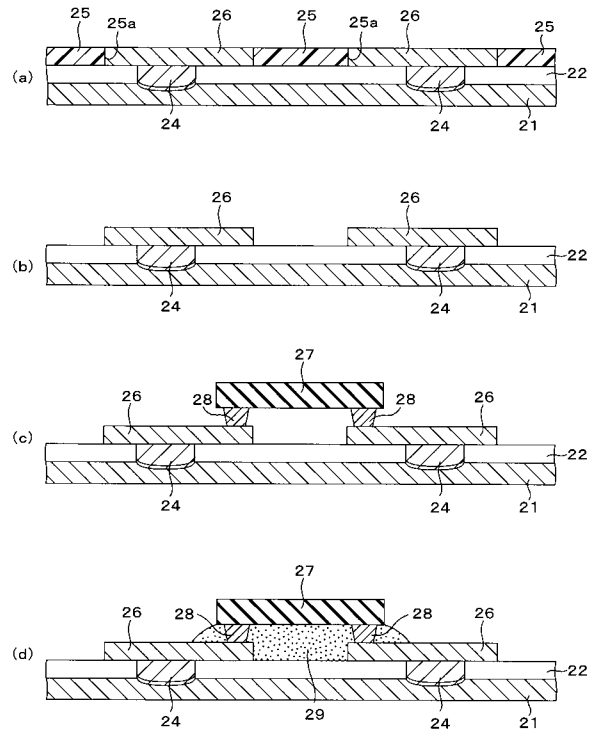
1: 電子部品実装構造 26: 配線
 10: ユニット 27: 半導体チップ
 11: 絶縁層 30: 絶縁性樹脂層
 22: ソルダーレジスト層 31: コンタクトビア

【図2】



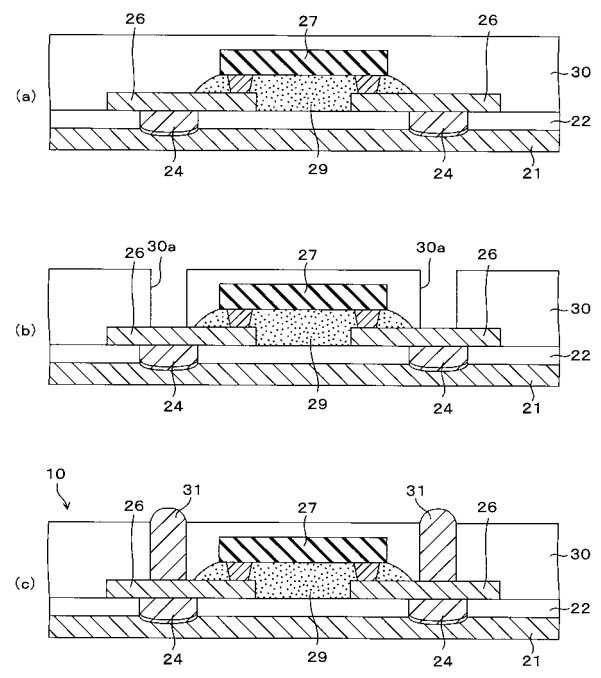
21: 基板
 22: ソルダーレジスト層
 24: 端子

【図3】



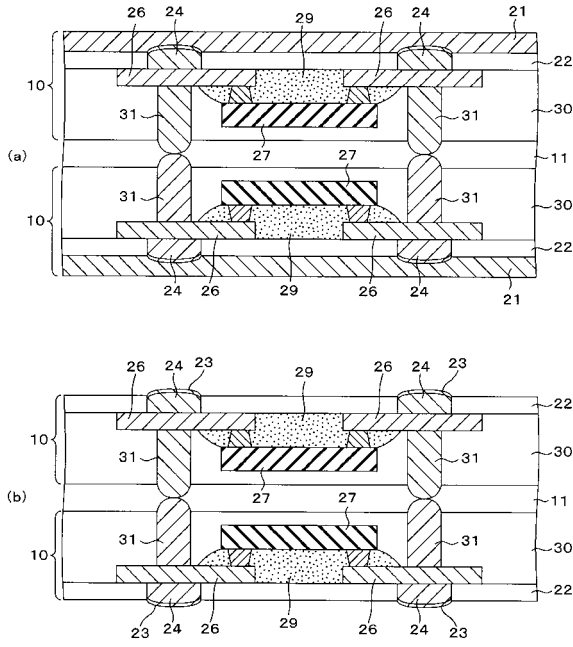
26: 配線
 27: 半導体チップ
 29: アンダーフィル

【図4】



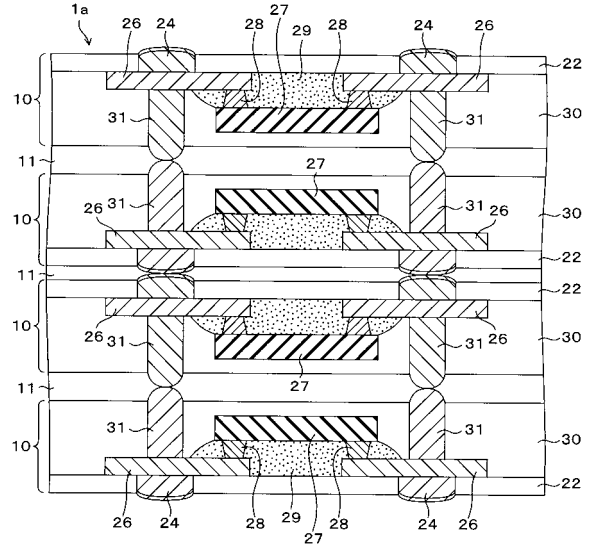
24: 端子
 30: 絶縁性樹脂層
 31: コンタクトビア

【図5】



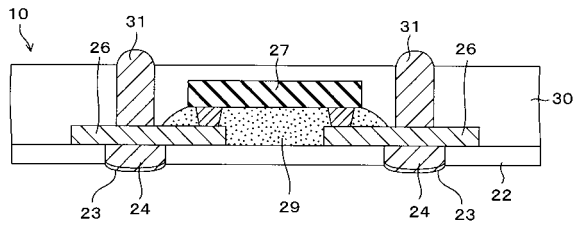
- 10: ユニット
- 11: 絶縁層
- 22: ソルダーレジスト層
- 26: 配線
- 27: 半導体チップ
- 30: 絶縁性樹脂層

【図6】



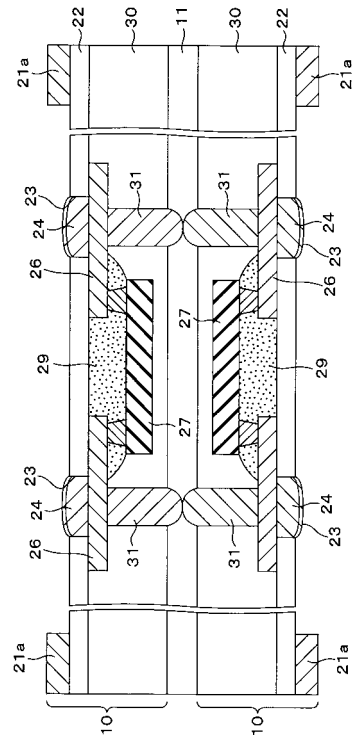
- 1a: 積層構造体
- 10: ユニット
- 11: 絶縁層
- 22: ソルダーレジスト層
- 26: 配線
- 27: 半導体チップ
- 30: 絶縁性樹脂層
- 31: コンタクトビア

【図7】



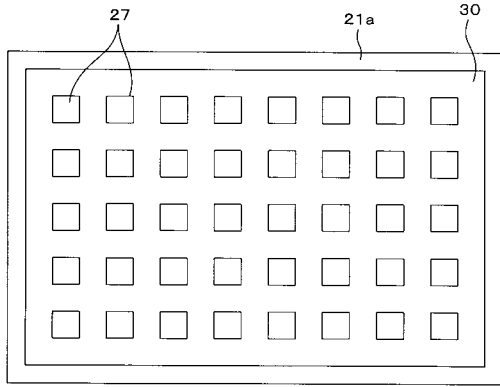
- 10: ユニット
- 22: ソルダーレジスト層
- 23: はんだ層
- 26: 配線
- 27: 半導体チップ
- 30: 絶縁性樹脂層

【図8】



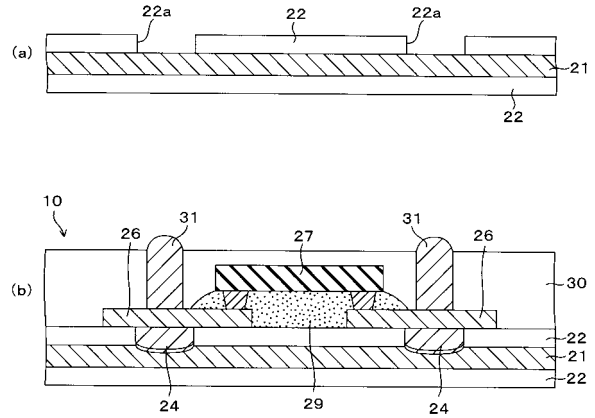
- 10: ユニット
- 11: 絶縁層
- 21a: 金属膜
- 22: ソルダーレジストチップ
- 27: 半導体チップ
- 30: 絶縁性樹脂層

【図9】



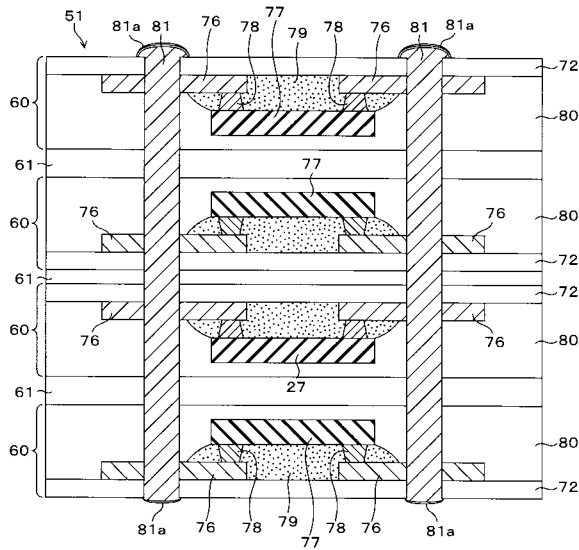
21a: 金属膜
 27: 半導体チップ
 30: 絶縁性樹脂層

【図10】

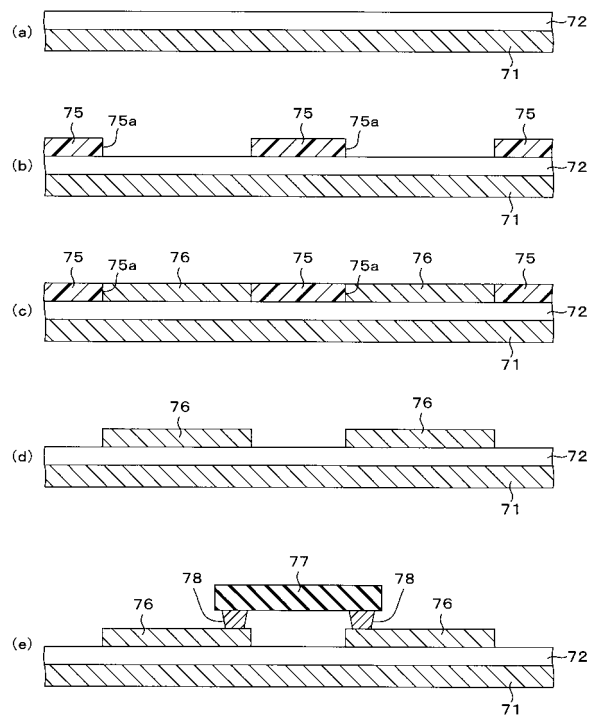


10: ユニット
 21: 基板
 22: ソルダーレジスト層
 26: 配線
 27: 半導体チップ
 30: 絶縁性樹脂層

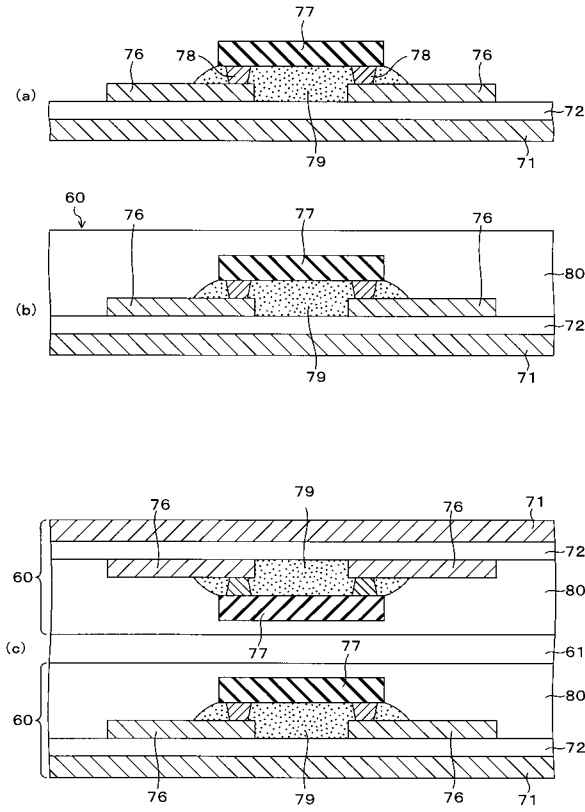
【図11】



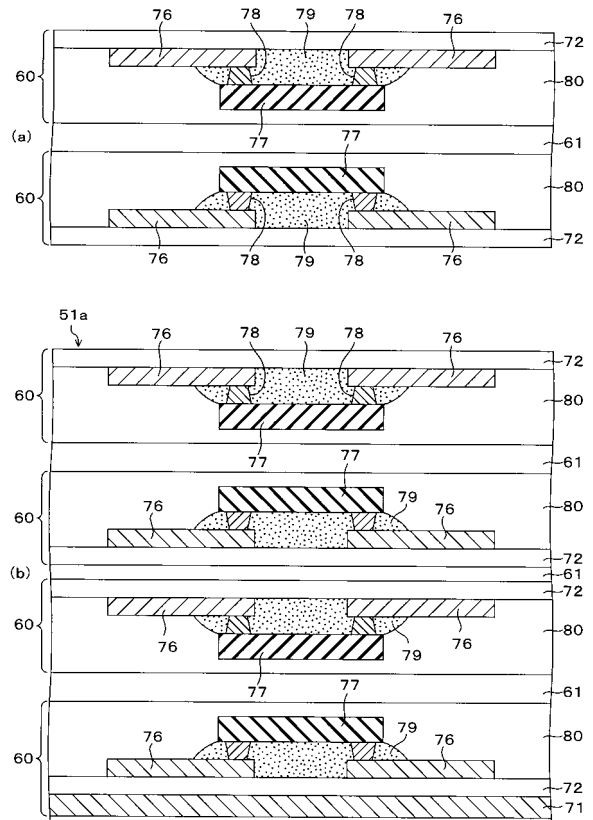
【図12】



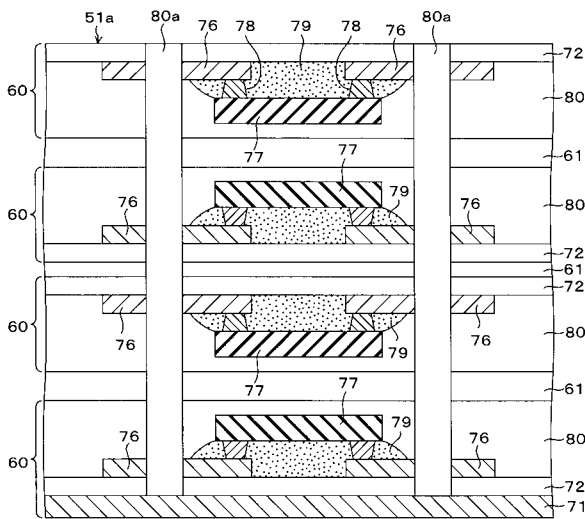
【図13】



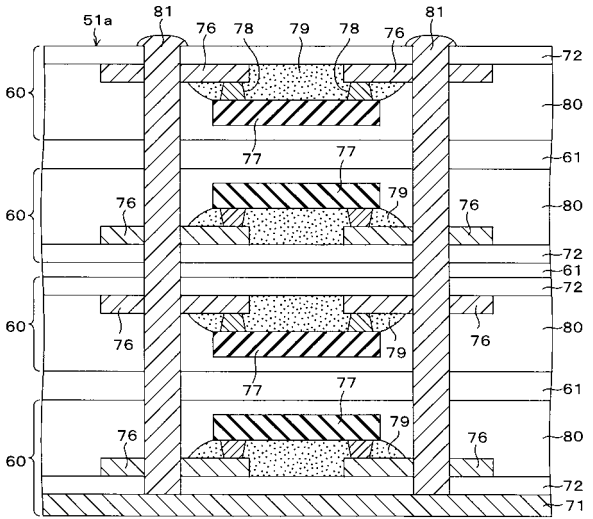
【図14】



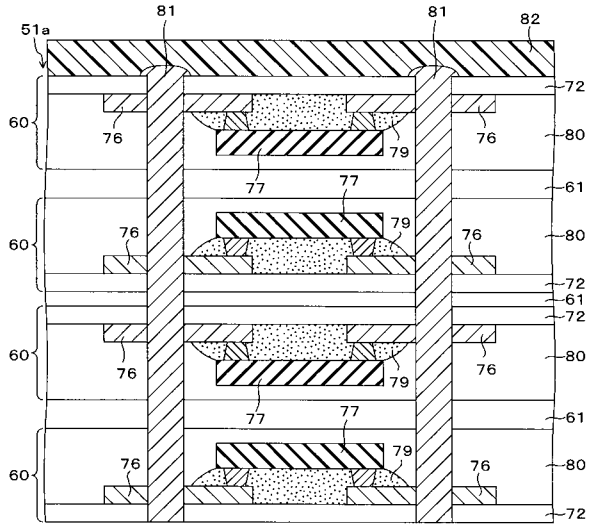
【図15】



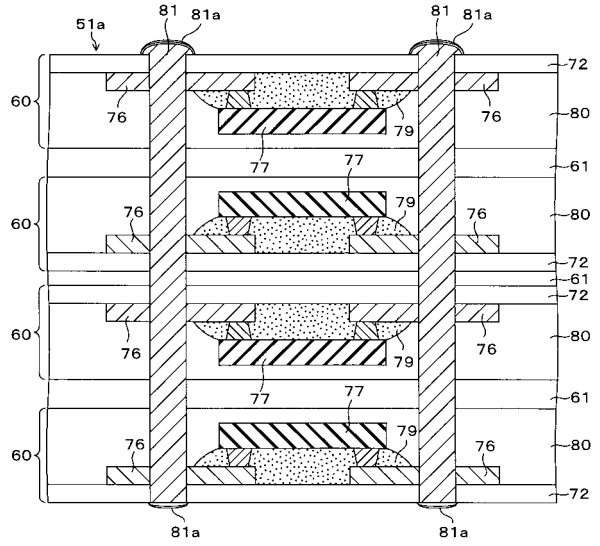
【図16】



【図17】



【図18】



フロントページの続き

(72)発明者 山野 孝治
長野県長野市小島田町80番地 新光電気工業株式会社内

審査官 酒井 英夫

(56)参考文献 特開2002-026250(JP,A)
特開2003-289128(JP,A)
特開2003-318361(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 25/00 - 25/18