

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5320948号
(P5320948)

(45) 発行日 平成25年10月23日(2013.10.23)

(24) 登録日 平成25年7月26日(2013.7.26)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 H
HO2M 3/156 (2006.01) HO2M 3/156

請求項の数 9 (全 13 頁)

(21) 出願番号	特願2008-254962 (P2008-254962)	(73) 特許権者	000006747
(22) 出願日	平成20年9月30日 (2008.9.30)		株式会社リコー
(65) 公開番号	特開2010-88216 (P2010-88216A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成22年4月15日 (2010.4.15)	(74) 代理人	100082670
審査請求日	平成23年7月1日 (2011.7.1)		弁理士 西脇 民雄
		(72) 発明者	西田 淳二
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		(72) 発明者	真綱 晋也
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		審査官	永田 和彦

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ

(57) 【特許請求の範囲】

【請求項1】

出力電圧が変更可能なインダクタを用いたDC-DCコンバータにおいて、出力端子に接続されたダミー負荷回路と、前記ダミー負荷回路の動作を制御するロード制御回路と、

DC-DCコンバータの動作が非連続モードか連続モードであるかを検出する検出手段とを備え、

前記ロード制御回路は、出力電圧を変更する前に、前記検出手段からの出力に基づいて、前記DC-DCコンバータの動作が非連続モードの場合は、前記ダミー負荷回路を作動状態にし、前記DC-DCコンバータの動作が連続モードとなるようにダミー負荷電流を流すように制御することを特徴とするDC-DCコンバータ。

10

【請求項2】

前記ロード制御回路は、前記検出手段からの検出信号と、出力電圧が設定された目標出力電圧であるか否かを検出する出力設定完了検出回路からの信号と、出力電圧設定信号と、前記ダミー負荷回路に流れるダミー負荷電流が設定値であるか否かを検出する電流設定完了検出回路からの信号が入力され、各信号に基づき、前記ダミー負荷回路の動作を制御するダミー負荷制御信号を前記ダミー負荷回路に出力するとともに、所定の基準電圧の電圧値を変更する基準電圧設定信号を基準電圧回路に出力することを特徴とする請求項1に記載のDC-DCコンバータ。

【請求項3】

20

前記出力電圧が前記目標出力電圧に達するまでの時間を変更可能に設定する手段を備えたことを特徴とする請求項 2 に記載の DC - DC コンバータ。

【請求項 4】

前記ダミー負荷回路は、ソフトスタート回路を備え、前記ソフトスタート回路は、所定の時間をかけて前記ダミー負荷電流を増加させることを特徴とする請求項 1 または請求項 2 に記載の DC - DC コンバータ。

【請求項 5】

前記所定の時間を変更可能に構成したことを特徴とする請求項 4 に記載の DC - DC コンバータ。

【請求項 6】

前記ロード制御回路は、前記ダミー負荷電流が前記 DC - DC コンバータの動作が連続モードとなる所定の電流に達した後に、前記出力電圧を変更するようにした請求項 1 ないし請求項 5 のいずれか 1 項に記載の DC - DC コンバータ。

【請求項 7】

前記ロード制御回路は、前記出力電圧が、目標出力電圧に到達した後に、前記ダミー負荷電流を減少させオフすることを特徴とする請求項 1 ないし請求項 6 のいずれか 1 項に記載の DC - DC コンバータ。

【請求項 8】

前記ダミー負荷電流の電流値を設定する手段を備えたことを特徴とする請求項 1 ないし請求項 7 のいずれか 1 項に記載の DC - DC コンバータ。

【請求項 9】

前記ダミー負荷電流が、負荷電流が流れる配線抵抗によって生ずる電圧降下に応じて設定されることを特徴とする請求項 1 ないし請求項 8 のいずれか 1 項に記載の DC - DC コンバータ。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、DC - DC コンバータに関し、特に出力電圧設定信号に応じて出力電圧を変更することが可能な DC - DC コンバータに関する。

【背景技術】

【0002】

近年、環境対策上からも省エネルギー化が求められている。携帯電話やデジタルカメラ等の電池を使用する機器においては、電池寿命を伸ばすという観点からも、機器内で消費する電力の削減の重要度は増している。このため、電源回路としては、高効率でしかも小型化が可能な、インダクタを用いた非絶縁型の DC - DC コンバータが多く用いられている。

【0003】

また、機器の高機能化も進んでおり、例えば、静止画に代わって動画の録画再生なども頻繁に行われるようになってきた。その結果、機器内で用いられる CPU など高性能となり、より高速のクロックで動作するようになってきた。ところが、クロックを高速にすると、クロック周波数に比例して消費電流が増加するという問題が発生する。さらに、クロックを高速にするためには、より高い電源電圧を必要とする。その結果、従来に比べ消費電力が大幅に増加してしまう。

【0004】

そこで、通常の動作時には電源電圧を下げ低速のクロックで動作を行い低消費電力とし、動画など高速処理が必要な場合にだけ、電源電圧を高くして高速クロックで動作させることで、消費電力の増加を最小限に抑えるようにしている。

【0005】

そのような要求に応えるため、出力電圧設定信号に応じて出力電圧を変更することができる DC - DC コンバータが必要とされている。

10

20

30

40

50

【 0 0 0 6 】

ところが、消費電流が少なくDC - DCコンバータが不連続モードで動作している状態から、急に出力電圧を変更しようとする、電圧制御回路のフィードバックループの遅れが大きく出力電圧の設定に時間が掛かったり、大きなオーバーシュートやアンダーシュートを発生したりする。これは、DC - DCコンバータが不連続モードで動作すると出力端子側からDC - DCコンバータに向かって逆向きの電流が流れる、所謂逆流を防止するため、逆流を検出すると同期整流トランジスタをオフして逆流を防止している。この結果、電圧制御回路の動作周波数帯域が非常に狭くなり、高速応答ができなくなってしまうからである。

【 0 0 0 7 】

また、急激な出力電圧の変動は、CPUなどの誤動作を招くため、出力電圧の変化速度は、負荷回路の要求仕様に合わせて、正確に行わなくてはならない。

【 0 0 0 8 】

特に、不連続モードで動作している時に出力電圧を変更する場合は、逆流検出回路の動作を一時中断して、電圧制御回路の応答を早くするようにした技術が提案されている（例えば、特許文献1参照）。この特許文献1に記載のものは、入力端子に入力された入力電圧を、設定電圧に変換して出力端子から出力する同期整流型の降圧型スイッチングレギュレータにおいて、制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行う第1スイッチング素子と、該第1スイッチング素子の出力端と前記出力端子との間に接続されたインダクタ、及び制御電極に入力された制御信号に応じて該インダクタに蓄積されたエネルギーの放出を行う同期整流用の第2スイッチング素子を有し、前記第1スイッチング素子から出力された電圧を平滑して前記出力端子に出力する平滑回路部と、前記出力端子から出力される出力電圧が前記設定電圧になるように前記第1スイッチング素子に対するスイッチング制御を行うと共に、前記第2スイッチング素子に対して前記第1スイッチング素子と相反するスイッチング動作を行わせるスイッチング制御回路部と、前記インダクタから第2スイッチング素子へ流れる電流である逆電流の検出を行い、該逆電流を検出すると前記スイッチング制御回路部に対して前記第2スイッチング素子をオフさせて遮断状態にさせる逆電流検出回路部と、を備え、前記逆電流検出回路部は、前記設定電圧が変えられたことを検出すると、所定の期間、前記逆電流の検出によって前記第2スイッチング素子をオフさせる、前記スイッチング制御回路部に対する動作を停止した後、前記逆電流を検出すると前記スイッチング制御回路部に対して前記第2スイッチング素子をオフさせるように構成されている。

【特許文献1】特開2006 - 262446号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

しかしながら、上記した特許文献1の方式では、出力電圧の変更は高速にできるようになったが、前記したように負荷回路の電源電圧はあまり高速に変化すると誤動作を起こす場合がある。このため、通常電源電圧を上昇あるいは降下させる場合は、単位時間当たりの電圧の変化率が規定されている。そのため、出力電圧の変更に際しては、出力電圧が上昇する速度あるいは低下する速度を正確に設定できることが要求される。

【 0 0 1 0 】

この発明は、上述した実情を考慮してなされたものであって、出力電圧の変更速度を正確に設定可能なDC - DCコンバータを提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 1 】

上記の課題を解決するために、この発明のDC - DCコンバータは、出力電圧が変更可能なインダクタを用いたDC - DCコンバータにおいて、出力端子に接続されたダミー負荷回路と、前記ダミー負荷回路の動作を制御するロード制御回路と、

10

20

30

40

50

DC - DCコンバータの動作が非連続モードか連続モードであるかを検出する検出手段とを備え、前記ロード制御回路は、出力電圧を変更する前に、前記検出手段からの出力に基づいて、前記DC - DCコンバータの動作が非連続モードの場合は、前記ダミー負荷回路を作動状態にし、前記DC - DCコンバータの動作が連続モードとなるようにダミー負荷電流を流すように制御することを特徴とする。

【0012】

また、前記ロード制御回路は、前記検出手段からの検出信号と、出力電圧が設定された目標出力電圧であるか否か検出する出力設定完了検出回路からの信号と、出力電圧設定信号と、前記ダミー負荷回路に流れるダミー負荷電流が設定値であるか否か検出する電流設定完了検出回路からの信号が入力され、各信号に基づき、前記ダミー負荷回路の動作を制御するダミー負荷制御信号を前記ダミー負荷回路に出力するとともに、所定の基準電圧の電圧値を変更する基準電圧設定信号を基準電圧回路に出力するように構成できる。

10

【0013】

また、前記ダミー負荷回路は、ソフトスタート回路を備え、前記ソフトスタート回路は、所定の時間をかけて前記ダミー負荷電流を増加させるように構成できる。

【0014】

また、前記ロード制御回路は、前記ダミー負荷電流が前記DC - DCコンバータの動作が連続モードとなる所定の電流に達した後に、前記出力電圧を所定の時間かけて変更するように構成すればよい。

【0015】

また、前記ロード制御回路は、前記出力電圧が、目標出力電圧に到達した後に、前記ダミー負荷電流を所定の時間をかけて減少させオフするように構成できる。

20

【0016】

前記所定の時間が変更可能に構成することができる。

【0017】

また、前記ダミー負荷電流の電流値を設定する手段を備えることができる。

【0018】

さらに、前記ダミー負荷電流が、負荷電流が流れる配線抵抗によって生ずる電圧降下に応じて設定されるように構成することができる。

【0019】

また、前記出力電圧を前記目標出力電圧に達するまでの時間が変更可能に設定する手段を備えてもよい。

30

【発明の効果】

【0020】

この発明によれば、DC - DCコンバータの動作が非連続モードの場合は、ダミー負荷電流を流して連続モードにし、制御回路の応答速度を速めてから出力電圧の変更を行うようにしたので負荷回路の要求仕様に沿った速度で出力電圧の変更を行うことができる。

【0021】

また、ダミー負荷電流は所定の時間をかけて漸増・漸減させるよう構成することで、ダミー負荷電流を追加することによる出力電圧の変動を無くすことができる。

40

【0022】

さらに、出力電圧が設定電圧に到達した後は、ダミー負荷電流をオフするように構成することで、消費電力を抑えることができる。

【0023】

さらに、ダミー負荷電流は外部信号により変更できるように構成することで、負荷電流が流れる配線抵抗によって生ずる電圧降下に応じて設定することができるようになり、負荷電流検出抵抗を別途設ける必要がない。

【0024】

さらに、出力電圧が目標出力電圧に達するまでの時間を変更可能に構成することで、負荷回路の要求仕様に合わせて、出力電圧の変更速度を設定することができるようになる。

50

【発明を実施するための最良の形態】

【0025】

この発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付し、説明の重複を避けるためにその説明は繰返さない。

【0026】

図1は、この発明の実施形態を示す降圧型DC-DCコンバータの回路図である。DC-DCコンバータは、制御回路100と、インダクタL1、出力コンデンサC1とC2で構成されている。インダクタL1は制御回路100の端子LXとDC-DCコンバータの出力端子Vo間に接続されている。コンデンサC1は制御回路側の出力端子Voと接地端子Vss間に接続されている。DC-DCコンバータの負荷側の出力端子Voutと接地端子Vss間にはコンデンサC2と負荷回路70が接続されている。また、電源入力端子Vinと接地端子Vss間には図示していないが直流電源が接続されている。なお、抵抗Roは制御回路側の出力端子Voから負荷側の出力端子Voutまでの配線抵抗である。

10

【0027】

制御回路100は、電流モード制御DC-DCコンバータであり、基準電圧Vref、ソフトスタート回路10、誤差増幅回路1、PWMコンパレータ2、電流検出回路3、発振回路4、ランプ電圧発生回路5、加算回路6、DUTY制御回路20、スイッチングトランジスタM1、同期整流トランジスタM2、逆流検出コンパレータ8、出力設定完了検出回路7、LOAD(ロード)制御回路30、ダミー負荷回路40、および出力電圧検出抵抗R1とR2で構成されている。

20

【0028】

誤差増幅回路1の反転入力には、出力端子Voの電圧Voを出力電圧検出抵抗R1とR2で分圧した電圧Vfbが入力されている。また、非反転入力にはソフトスタート回路10を介して基準電圧Vrefが印加されている。誤差増幅回路1の出力はPWMコンパレータ2の非反転入力に接続されている。

【0029】

基準電圧Vrefは制御入力を備えており、LOAD制御回路30から出力される基準電圧設定信号Vrsetに応じて基準電圧Vrefの電圧値を変更することができる。

【0030】

ソフトスタート回路10は抵抗R11とコンデンサC11で構成されている。抵抗R11は基準電圧Vrefと誤差増幅回路1の非反転入力の間接続され、コンデンサC11は誤差増幅回路1の非反転入力と接地端子Vss間に接続されている。

30

【0031】

ソフトスタート回路10は制御入力を備えており、端子TVadjに接続されている。端子TVadjに入力される設定信号TVadjによって、抵抗R11もしくはコンデンサC11の値を変更して、ソフトスタート回路10の時定数を変更することができる。

【0032】

PWMコンパレータ2の反転入力には、インダクタL1に流れている電流を検出する電流検出回路3の出力に、発振回路4の出力とランプ電圧発生回路5で生成したランプ電圧をスローブ補償電圧として加算回路6で加算した電圧が印加されている。PWMコンパレータ2の出力はDUTY制御回路20に入力されている。

40

【0033】

DUTY制御回路20は、PMOSトランジスタからなるスイッチングトランジスタM1とNMOSトランジスタからなる同期整流トランジスタM2を相補的にオン/オフ制御する制御信号PHSとNLSを出力する。制御信号PHSはスイッチングトランジスタM1のゲートに、制御信号NLSは同期整流トランジスタM2のゲートに接続されている。

【0034】

また、DUTY制御回路20には、逆流検出コンパレータ8の出力が入力され、逆流が発生した場合は同期整流トランジスタM2をオフすると共に、その信号を処理して逆流検出信号IrpをLOAD制御回路30に出力している。

50

【 0 0 3 5 】

スイッチングトランジスタM1のソースは電源入力端子Vinに接続され、ドレインは同期整流トランジスタM2のドレインと、端子LXを介してインダクタL1の一端に接続されている。同期整流トランジスタM2のソースは接地端子Vssに接続されている。

【 0 0 3 6 】

逆流検出コンパレータ8の非反転入力端子LXに接続され、反転入力端子Vssに接続されている。また、出力はDUTY制御回路20に入力されている。

【 0 0 3 7 】

出力設定完了検出回路7の第1入力端子Vrefに接続され、第2入力端子は誤差増幅回路1の反転入力端子に接続されている。また、出力設定完了検出回路7からは電圧設定完了信号VsoがLOAD制御回路30に出力されると共に、端子Vsoに接続されている。

10

【 0 0 3 8 】

LOAD制御回路30には、前記したDUTY制御回路20から逆流検出信号Irpと、出力設定完了検出回路7の電圧設定完了信号Vsoの他に、端子Vsetから出力電圧設定信号Vsetとダミー負荷回路40から電流設定完了信号Isoが入力されている。また、LOAD制御回路30からは、ダミー負荷制御信号LOADがダミー負荷回路40に、基準電圧設定信号Vrsetが基準電圧Vrefに出力されている。

【 0 0 3 9 】

ダミー負荷回路40は、演算増幅回路41と42、電流設定完了検出回路43、インバータ回路44、可変電流源I41、ソフトスタート回路50、PMOSトランジスタM41、NMOSトランジスタM42からM45、および抵抗R52で構成されている。

20

【 0 0 4 0 】

演算増幅回路41の非反転入力端子Voinを介して、DC-DCコンバータの出力端子Voに接続されている。反転入力端子は可変電流源I41を介して電源入力端子Vinに接続されると共に、抵抗R52の一端に接続されている。また、出力はPMOSトランジスタM41のゲートに接続されている。

【 0 0 4 1 】

可変電流源I41は制御入力を備えており、制御入力端子Iadjに接続されている。端子Iadjに印加された制御信号Iadjに応じて出力電流を変更することができる。

【 0 0 4 2 】

PMOSトランジスタM41のソースは電源入力端子Vinに接続され、ドレインはNMOSトランジスタM42のドレインに接続されている。

30

【 0 0 4 3 】

NMOSトランジスタM42のソースは、NMOSトランジスタM43とM44のドレインに接続されている。また、ゲートはインバータ回路44の出力に接続されている。

【 0 0 4 4 】

インバータ回路44の入力にはLOAD制御回路30の出力であるダミー負荷制御信号LOADが入力されている。また、ダミー負荷制御信号LOADはNMOSトランジスタM43のゲートにも接続されている。

【 0 0 4 5 】

NMOSトランジスタM43とM44のソースは共に接地端子Vssに接続されている。NMOSトランジスタM44のゲートは自身のドレインに接続されると共に、電流設定完了検出回路43の第1入力端子と、ソフトスタート回路50の入力端子にも接続されている。

40

【 0 0 4 6 】

電流設定完了検出回路43の第2入力端子はソフトスタート回路50の出力端子で、且つNMOSトランジスタM45のゲートに接続されている。また、電流設定完了検出回路43からは電流設定完了信号IsoがLOAD制御回路30に出力されている。

【 0 0 4 7 】

ソフトスタート回路50は抵抗R51とコンデンサC51で構成されている。抵抗R51はNMOSトランジスタM44とM45のゲート間に接続され、コンデンサC51はN

50

M O S トランジスタ M 4 5 のゲートと接地端子 V s s 間に接続されている。

【 0 0 4 8 】

ソフトスタート回路 5 0 は制御入力を備えており、端子 T I a d j に接続されている。端子 T I a d j に入力される設定信号 T I a d j によって、抵抗 R 5 1 もしくはコンデンサ C 5 1 の値を変更して、ソフトスタート回路 5 0 の時定数を変更することができる。

【 0 0 4 9 】

N M O S トランジスタ M 4 5 のドレインは端子 I l o a d を介して、D C - D C コンバータの出力端子 V o u t に接続されている。また、ソースは接地端子 V s s に接続されている。

【 0 0 5 0 】

抵抗 R 5 2 の他端は演算増幅回路 4 2 の出力に接続されている。演算増幅回路 4 2 の反転入力自身は自身の出力に接続され、非反転入力端子 V o u t i n を介して、D C - D C コンバータの負荷側の出力端子 V o u t に接続されている。

【 0 0 5 1 】

次に、この発明の実施形態回路の動作を説明する。

【 0 0 5 2 】

図 2 は図 1 に示した D C - D C コンバータの各部の信号を示すタイミングチャートである。図 2 において、I r p は逆流検出信号、V s e t は出力電圧設定信号、L O A D はダミー負荷制御信号、I l o a d は出力端子 V o u t から端子 I l o a d に流れるダミー負荷電流、I o u t は配線抵抗 R o に流れる負荷電流、I s o は電流設定完了信号、V r s e t は基準電圧設定信号、V r e f は基準電圧の電圧値、V o は出力端子 V o の電圧値、V s o は電圧設定完了信号である。

【 0 0 5 3 】

まず、D C - D C コンバータが不連続モードで動作しているときに、出力電圧 V o を上げる場合を説明する。

【 0 0 5 4 】

不連続モードの場合は、同期整流トランジスタ M 2 がオン状態において、インダクタ L 1 の電流が反転し、端子 L X から同期整流トランジスタ M 2 を介して接地端子 V s s に向かって電流が流れる場合が発生する。このとき端子 L X の電位は正電位となる。逆流検出コンパレータ 8 はこの正電位を検出して、D U T Y 制御回路 2 0 に出力する。D U T Y 制御回路 2 0 は、同期整流トランジスタ M 2 がオン状態の場合に、逆流検出コンパレータ 8 の出力がハイレベルになると、同期整流トランジスタ M 2 をオフに制御すると共に、逆流検出信号 I r p をハイレベルにする。この逆流検出コンパレータ 8 の出力により、D C - D C コンバータが不連続モードで動作しているか連続モードで動作しているかを検出できる。

【 0 0 5 5 】

時刻 t 0 以前の状態は、L O A D 制御回路 3 0 のダミー負荷制御信号 L O A D はハイレベル、基準電圧設定信号 V r s e t はローレベルとなっている。ダミー負荷制御信号 L O A D がハイレベルなので、N M O S トランジスタ M 4 3 はオンしている。このため、ソフトスタート回路 5 0 の入力端子は接地電位 V s s になり、N M O S トランジスタ M 4 5 のゲート電圧も同電圧になっている。すなわち、N M O S トランジスタ M 4 5 はオフしているので、N M O S トランジスタ M 4 5 のドレイン電流、すなわちダミー負荷電流 I l o a d は流れず 0 アンペアである。

【 0 0 5 6 】

また、インバータ回路 4 4 の出力はローレベルなので、N M O S トランジスタ M 4 2 はオフしている。そのため、P M O S トランジスタ M 4 1 のドレイン電流も流れない。

【 0 0 5 7 】

電流設定完了検出回路 4 3 は、第 1 入力端子と第 2 入力端子の電圧がほぼ等しい場合にハイレベルを出力するウィンドコンパレータで構成されているので、電流設定完了信号 I s o はハイレベルである。

【 0 0 5 8 】

さらに、基準電圧設定信号 V r s e t がローレベルなので、基準電圧 V r e f の電圧は電圧 V r e f 1 に設定されている。

10

20

30

40

50

【 0 0 5 9 】

時刻 t_0 で出力電圧設定信号 V_{set} がハイレベルになると、LOAD 制御回路 30 はダミー負荷制御信号 $LOAD$ をローレベルにする。すると、NMOS トランジスタ M_{43} はオフする。また、インバータ回路 44 の出力はハイレベルとなり、NMOS トランジスタ M_{42} はオンとなる。NMOS トランジスタ M_{42} がオンになると、PMOS トランジスタ M_{41} のドレイン電流が NMOS トランジスタ M_{44} のドレイン電流となって流れる。そのため、NMOS トランジスタ M_{42} がオンした直後は、NMOS トランジスタ M_{44} のゲート電圧はステップ状に上昇するが、ソフトスタート回路 50 内のコンデンサ C_{51} は抵抗 R_{51} を介して充電されるため、NMOS トランジスタ M_{45} のゲート電圧は時間をかけて上昇する。その結果、NMOS トランジスタ M_{45} のドレイン電流であるダミー負荷電流 I_{load} はソフトスタート回路 50 の時定数に応じた時間をかけて増加する。また、その間、電流設定完了検出回路 43 の第 1、第 2 入力 of 電位が異なるため、電流設定完了検出回路 43 の出力信号 I_{so} はローレベルとなる。

10

【 0 0 6 0 】

ソフトスタート回路 50 は、ダミー負荷電流 I_{load} の変化によって、出力電圧 V_o の変動が起こらず、しかもできるだけ短い時間で電流値を増加させるように設定信号 T_{Iadj} によって抵抗 R_{51} とコンデンサ C_1 の時定数を設定している。

【 0 0 6 1 】

NMOS トランジスタ M_{44} と M_{45} は、ソフトスタート回路 50 で接続されたカレントミラー回路なので、時刻 t_1 に達すると、ダミー負荷電流 I_{load} は NMOS トランジスタ M_{44} のドレイン電流に比例した電流値で安定する。

20

【 0 0 6 2 】

ここで、ダミー負荷電流 I_{load} に付いて詳しく説明する。ダミー負荷電流 I_{load} は NMOS トランジスタ M_{45} のドレイン電流であるから、前記したようにカレントミラー回路を構成している NMOS トランジスタ M_{44} のドレイン電流に比例している。また、NMOS トランジスタ M_{44} のドレイン電流は、PMOS トランジスタ M_{41} のドレイン電流と等しいので、PMOS トランジスタ M_{41} のドレイン電流がどのようにして設定されるかを説明すればよい。

【 0 0 6 3 】

PMOS トランジスタ M_{41} のドレイン電流は演算増幅回路 41 によって制御されている。演算増幅回路 41 は非反転入力に接続されている DC - DC コンバータの出力端子 V_o の電位と反転入力に接続されている抵抗 R_{52} の一端の電位 V_a が等しくなるように PMOS トランジスタ M_{41} のゲート電圧を制御している。抵抗 R_{52} の他端は演算増幅回路 42 の出力に接続されている。演算増幅回路 42 は DC - DC コンバータの出力端子 V_{out} の電位を出力するボルテージフォロア回路であるから、抵抗 R_{52} の他端の電位は出力端子 V_{out} の電位と同じである。また、抵抗 R_{52} には、可変電流源 I_{41} の出力電流が供給されているので、演算増幅回路 41 の反転入力 of 電位 V_a は、下記 (1) 式に示される。

30

【 0 0 6 4 】

$$V_a = V_{out} + R_{52} \times I_{41} \quad \dots \dots (1)$$

40

【 0 0 6 5 】

また、非反転入力 of 電位は V_o であるから、下記 (2) 式に示される。

【 0 0 6 6 】

$$V_o = V_{out} + R_o \times I_{out} \quad \dots \dots (式 2)$$

【 0 0 6 7 】

なお、 I_{out} は配線抵抗 R_o を流れる負荷電流である。演算増幅回路 41 は V_a と V_o が同電位になるように PMOS トランジスタ of ゲート電圧を制御するので、(3) 式に示すようになる。

【 0 0 6 8 】

$$V_{out} + R_{52} \times I_{41} = V_{out} + R_o \times I_{out} \quad \dots \dots (3)$$

50

【 0 0 6 9 】

抵抗 R_{52} と配線抵抗 R_o の比を K とすると、 $R_{52} = K \times R_o$ であるから、この関係を (3) に代入し、負荷電流 I_{out} に付いて解くと、(4) 式になる。

【 0 0 7 0 】

$$I_{out} = I_{42} \times \frac{K}{\dots} \quad (4)$$

【 0 0 7 1 】

可変電流源 I_{41} の電流値は、DC-DCコンバータが確実に連続モードになる最小の負荷電流 I_{out} になるように設定すればよい。

【 0 0 7 2 】

配線抵抗 R_o の値は、この発明のDC-DCコンバータを用いる電子回路毎に異なるため、抵抗 R_{52} と配線抵抗 R_o の比例定数 K も異なる。そのため、この発明では、電流源 I_{42} を電流設定信号 I_{adj} により可変できるようにしている。

10

【 0 0 7 3 】

なお、負荷電流 I_{out} はダミー負荷電流 I_{load} と、負荷回路70に供給される電流 I_o の和であるから、ダミー負荷電流 I_{load} の値は、負荷回路70に供給される電流 I_o が少ない場合は多くなり、多い場合は少なくなる。

【 0 0 7 4 】

ダミー負荷電流 I_{load} の値が安定した状態では、ソフトスタート回路50の入出力間の電位が等しくなる。すなわち、電流設定完了検出回路43の第1、第2入力電圧が等しくなるので、電流設定完了検出回路43は電流設定完了信号 I_{so} をハイレベルにする。電流設定完了信号 I_{so} がハイレベルになると、LOAD制御回路30は直ちに、もしくは所定の時間経過した時刻 t_2 に基準電圧設定信号 V_{rset} をハイレベルにする。

20

【 0 0 7 5 】

基準電圧設定信号 V_{rset} がハイレベルになると、基準電圧 V_{ref} の電圧が V_{ref2} に上昇する。しかし、ソフトスタート回路10内のコンデンサ C_{11} は抵抗 R_{11} を介して充電されるため、誤差増幅回路1の非反転入力の電圧は所定の時間をかけて上昇する。その結果、DC-DCコンバータの出力電圧 V_o も時間をかけて電圧 V_{o1} から V_{o2} に上昇する。上昇にかかる時間は、ソフトスタート回路10を構成している抵抗 R_{11} とコンデンサ C_{11} の時定数で決定されるので、この時定数は負荷回路70の要求仕様に合わせて設定する必要がある。そのため、設定信号 T_{Vadj} を用いてソフトスタート回路10の時定数変更できるようにしている。

30

【 0 0 7 6 】

出力設定完了検出回路7も電流設定完了検出回路43と同様、第1入力と第2入力の電圧がほぼ等しい場合にハイレベルを出力するウインドコンパレータで構成されている。

【 0 0 7 7 】

誤差増幅回路1の反転入力の電圧は、非反転入力の電圧と等しいので、出力電圧 V_o が上昇している間は、出力設定完了検出回路7の第1、第2入力の電位が異なるため、出力設定完了検出回路7の出力である電圧設定完了信号 V_{so} はローレベルとなる。

【 0 0 7 8 】

時刻 t_3 になると、出力電圧 V_o は目標出力電圧 V_{o2} に達する。すると、ソフトスタート回路10の入出力の電圧が等しくなるので電圧設定完了信号 V_{so} はハイレベルとなる。電圧設定完了信号 V_{so} がハイレベルになると、LOAD制御回路30は直ちに、もしくは所定の時間経過した時刻 t_4 にダミー負荷制御信号 $LOAD$ をハイレベルにする。

40

【 0 0 7 9 】

すると、前記したように、NMOSトランジスタ M_{43} がオン、NMOSトランジスタ M_{42} がオフとなり、ソフトスタート回路50の入力電圧をローレベルに下げると共に、PMOSトランジスタ M_{41} のドレイン電流を遮断する。

【 0 0 8 0 】

NMOSトランジスタ M_{45} のゲート電圧は、ソフトスタート回路50内の抵抗 R_{51} とコンデンサ C_{51} の時定数に応じた速度で低下するので、ダミー負荷電流 I_{load} は漸減

50

する。また、電流設定完了信号 I_{so} はローレベルとなる。

【0081】

時刻 t_5 でダミー負荷電流 I_{load} が 0 アンペアになると、電流設定完了信号 I_{so} はハイレベルに戻る。以上で、出力電圧 V_o を上昇させる動作が終了する。

【0082】

次に、出力電圧 V_o を下げる場合を説明する。

【0083】

時刻 t_6 で出力電圧設定信号 V_{set} がローレベルになると、LOAD制御回路30はダミー負荷制御信号LOADをローレベルにする。すると、ダミー負荷回路40は前記した出力電圧 V_o を上げる場合と同様の動作を行い、ダミー負荷電流 I_{load} を生成し、DC-DCコンバータを連続モードにする。

10

【0084】

時刻 t_7 でダミー電流 I_{load} の増加が止まると、電流設定完了信号 I_{so} がハイレベルになる。

【0085】

電流設定完了信号 I_{so} がハイレベルになると、LOAD制御回路30は直ちに、もしくは所定の時間経過した時刻 t_8 に、基準電圧設定信号 V_{rset} をローレベルにする。すると、基準電圧 V_{ref} の電圧は電圧 V_{ref1} に低下する。このため、ソフトスタート回路10の時定数に応じて出力電圧 V_o が V_{o2} から V_{o1} へ低下する。このとき電圧設定完了信号 V_{so} はローレベルとなる。

20

【0086】

時刻 t_9 で出力電圧 V_o が目標出力電圧 V_{o1} まで低下すると、電圧設定完了信号 V_{so} はハイレベルとなる。すると、LOAD制御回路30は直ちに、もしくは所定の時間経過した時刻 t_{10} にダミー負荷制御信号LOADをハイレベルにして、ダミー負荷電流 I_{load} を停止させる。ダミー負荷電流 I_{load} は前記したように所定の時間かけて時刻 t_{11} に0アンペアに戻る。

【0087】

上記のように、DC-DCコンバータが不連続モードで動作している場合は、出力電圧 V_o を上げる場合も下げる場合も、ダミー負荷電流 I_{load} を供給し、負荷電流 I_{out} が連続モードとなる電流値まで増やすことで、DC-DCコンバータの出力電圧 V_o を設定するフィードバックループの周波数特性を広帯域まで伸ばすことができ、その状態にしてから出力電圧 V_o の変更を行うようにしたので、負荷回路70の仕様に合わせた電圧変化速度で出力電圧 V_o の変更を行うことができるようになった。また、ダミー負荷電流 I_{load} の増減に際しては、ソフトスタート回路50により時間をかけて行うようにしたので、出力電圧 V_o の不用意な変動も抑えることができるようになった。

30

【0088】

次に、DC-DCコンバータが連続モードで動作している場合を説明する。

【0089】

負荷電流 I_{out} が増加して時刻 t_{12} で、DC-DCコンバータが連続モードになると、逆流検出コンパレータ8の出力は、同期整流トランジスタM2がオンしている期間はローレベルのままである。この信号を受けてDUTY制御回路20は逆流検出信号 I_{rp} をローレベルにする。

40

【0090】

出力電圧を上げる場合は、時刻 t_{13} で出力電圧設定信号 V_{set} がハイレベルになると、LOAD制御回路30はダミー負荷制御信号LOADをハイレベルにしたまま、基準電圧設定信号 V_{rset} をハイレベルにする。すると出力設定検出回路7の電圧設定完了信号 V_{so} はローレベルとなる。誤差増幅回路1の非反転入力にソフトスタート回路10の時定数に応じた速度で上昇するので、出力電圧 V_o も時間を掛けて上昇する。

【0091】

時刻 t_{14} で出力電圧 V_o が目標出力電圧 V_{o2} になると、電圧設定完了信号 V_{so} はハイ

50

レベルとなる。これで、出力電圧 V_o を上げる動作が終了する。

【0092】

出力電圧 V_o を下げる場合は、時刻 t_{15} で出力電圧設定信号 V_{set} をローレベルにすると、LOAD制御回路30はダミー負荷制御信号LOADをハイレベルにしたまま、基準電圧設定信号 V_{reset} をローレベルにする。すると電圧設定完了信号 V_{so} はローレベルとなる。誤差増幅回路1の非反転入力はソフトスタート回路10の時定数に応じた速度で低下するので、出力電圧 V_o も時間を掛けて低下する。

【0093】

時刻 t_{16} で出力電圧 V_o が目標出力電圧 V_{o1} に戻ると、電圧設定完了信号 V_{so} はハイレベルとなる。これで、出力電圧 V_o を下げる動作が終了する。

10

【0094】

このように、DC-DCコンバータが連続モードで動作している場合は、ダミー負荷電流 I_{load} を追加せずに、直ちに出力電圧 V_o の変更を行うことができる。

【0095】

なお、この実施形態では、LOAD制御回路30に逆流検出信号 I_{rp} を入力し、DC-DCコンバータが連続モードで動作しているか、不連続モードの動作であるかを識別し、連続モードで動作している場合に、LOAD制御回路30はダミー負荷回路40を動作させないようにしていた。しかし、DC-DCコンバータが連続モードで動作している場合でも、ダミー負荷回路40を動作させても構わない。

【0096】

20

DC-DCコンバータが連続モードで動作している場合に、LOAD制御回路30のダミー負荷制御LOADをローレベルにした場合は、ダミー負荷回路40の演算増幅回路41の非反転入力の電位は反転入力の電位より高くなっているため、演算増幅回路41の出力電圧はハイレベルとなり、PMOSトランジスタM41をオフしてしまう。このため、NMOSトランジスタM44にはドレイン電流が流れないので、カレントミラーを構成しているNMOSトランジスタM45のドレイン電流、すなわちダミー負荷電流 I_{load} も流れない。

【0097】

また、ソフトスタート回路50の入出力間にも電位が発生しないので、電流設定完了検出回路43の出力はハイレベルのままである。よって、LOAD制御回路30に逆流検出信号を I_{rp} が入力されていなくても、前記と同様の動作を行うことができる。

30

【0098】

さらに、出力電圧 V_o を高速に低下させた場合に、出力コンデンサC1、C2の容量の放電に時間がかかると、負荷電流 I_{out} が減少し、出力電圧 V_o の低下途中で連続モードから不連続モードに移行してしまう場合がある。しかし、ダミー負荷回路40を動作させておけば、不連続モードになる前に、ダミー負荷電流 I_{load} が生成され、不連続モードに移行するのを防止することもできるという効果もある。

【0099】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。この発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

40

【図面の簡単な説明】

【0100】

【図1】この発明の実施形態を示すDC-DCコンバータの回路図である。

【図2】この発明の実施形態回路のタイミングチャートである。

【符号の説明】

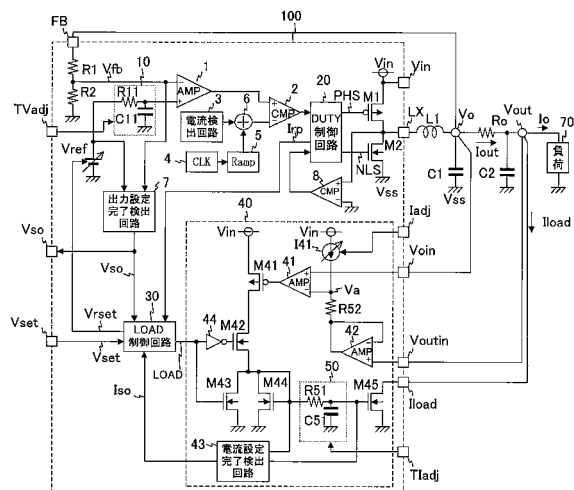
【0101】

100 降圧型DC-DCコンバータ、1 誤差増幅回路、2 PWMコンパレータ、7 出力設定完了検出回路、8 逆流検出コンパレータ、10,50 ソフトスタート回

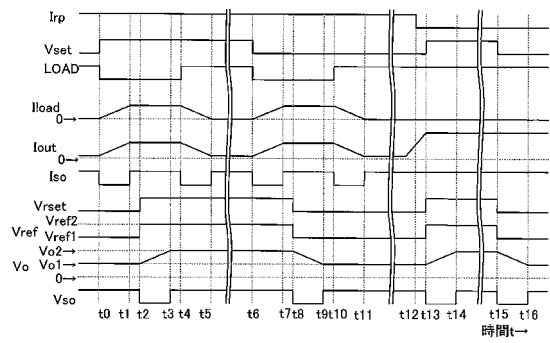
50

路、20 DUTY制御回路、30 LOAD制御回路、40 ダミー負荷回路、43 電流設定完了検出回路、70 負荷回路、Vref 基準電圧、L1 インダクタ、C1,C2 出力コンデンサ、Ro 配線抵抗、I41 可変電流源。

【図1】



【図2】



フロントページの続き

- (56)参考文献 特開平4 - 37913 (JP, A)
特開2006 - 74901 (JP, A)
特開平1 - 157267 (JP, A)
特開平7 - 182056 (JP, A)
特開平8 - 280172 (JP, A)
特開2006 - 158038 (JP, A)
特開平7 - 295666 (JP, A)
特開平9 - 308233 (JP, A)
特開2004 - 328834 (JP, A)
特開昭61 - 76064 (JP, A)
特開2006 - 262646 (JP, A)

- (58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44