



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0148060
(43) 공개일자 2021년12월07일

(51) 국제특허분류(Int. Cl.)
H01L 45/00 (2006.01) G11C 13/00 (2006.01)
(52) CPC특허분류
H01L 45/1253 (2013.01)
G11C 13/0002 (2018.05)
(21) 출원번호 10-2021-0167417(분할)
(22) 출원일자 2021년11월29일
심사청구일자 2021년11월29일
(62) 원출원 특허 10-2020-0025108
원출원일자 2020년02월28일
심사청구일자 2020년02월28일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경
희대학교 국제캠퍼스내)
(72) 발명자
이승현
경기도 수원시 영통구 광고호수공원로 45,1005동
1101호
서샘
인천광역시 남동구 호구포로 294, 108동 104호
(74) 대리인
김홍석

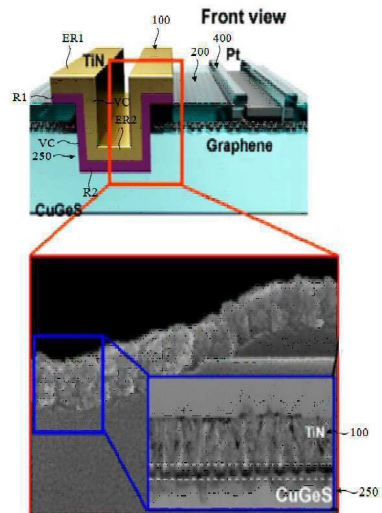
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 그래핀의 엣지를 이용한 저전력 셀렉터

(57) 요약

본 발명에 따른 저전력 셀렉터를 구비한 저항 메모리가 제공된다. 상기 저항 메모리는 상부 전극; 상기 상부 전극의 하부에 배치되고, 엣지 영역에 그래핀 전극(graphene electrode)이 형성된 그래핀 층(graphene layer); 및 상기 상부 전극과 상기 그래핀 전극 사이에 형성된 셀렉터로 이루어진 셀렉터 층(selector layer)을 포함할 수 있다.

대표도 - 도6



(52) CPC특허분류

H01L 45/1233 (2013.01)

H01L 45/141 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1345280751
과제번호	2018R1A6A1A03025708
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공학학술연구기반구축(R&D)
연구과제명	웨어러블융합전자연구소
기 여 율	1/2
과제수행기관명	경희대학교(국제캠퍼스)
연구기간	2018.06.01 ~ 2019.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711116245
과제번호	10085646
부처명	과학기술정보통신부
과제관리(전문)기관명	한국산업기술평가관리원
연구사업명	전자정보디바이스산업원천기술개발(R&D)
연구과제명	3D 맵리스터 어레이 결점 극복을 위한 뉴로모픽 시스템
기 여 율	1/2
과제수행기관명	경희대학교산학협력단
연구기간	2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

저전력 셀렉터를 구비한 저항 메모리에 있어서,

상부 전극;

상기 상부 전극의 하부에 배치되고, 엣지 영역에 그래핀 전극(graphene electrode)이 형성된 그래핀 층(graphene layer);

상기 상부 전극과 상기 그래핀 전극 사이에 형성된 셀렉터로 이루어진 셀렉터 층(selector layer)을 포함하고,

상기 셀렉터는 칼코겐나이드 물질로 이루어진 칼코겐나이드 셀렉터로 형성되며, CuGeS 칼코겐나이드 물질로 이루어진 CuGeS 셀렉터인 것, 저항 메모리.

청구항 2

제1 항에 있어서,

상기 상부 전극은 TiN 전극으로 구성되고, 상기 그래핀 층의 엣지 영역은 그래핀 엣지 전극(graphene edge electrode)로 구성되는, 저항 메모리.

청구항 3

제1 항에 있어서,

상기 그래핀 층은 0.3nm 이하의 그래핀 층으로 구성되고, 상기 그래핀 층의 엣지 영역이 상기 저항 메모리의 전극으로 형성되는, 저항 메모리.

청구항 4

제3 항에 있어서,

상기 그래핀 층과 접합되도록 구성된 Pt 전극을 더 포함하고, 상기 Pt 전극은 상기 그래핀 층의 두께보다 더 두껍게 형성되는, 저항 메모리.

청구항 5

제2 항에 있어서,

상기 TiN 전극은 제1 전극 영역(electrode region)과 상기 제1 전극 영역보다 소정 높이만큼 하부에 형성되는 제2 전극 영역을 포함하는, 저항 메모리.

청구항 6

제5 항에 있어서,

상기 TiN 전극은 상기 제1 전극 영역과 상기 제2 전극 영역을 수직하게 연결하는 수직 연결부를 더 포함하는, 저항 메모리.

청구항 7

제5 항에 있어서,

상기 셀렉터는 제1 영역과 상기 제1 영역보다 소정 높이만큼 하부에 형성되는 제2 영역을 포함하고,

상기 셀렉터의 상기 제1 영역 및 상기 제2 영역은 상기 TiN 전극의 상기 제1 전극 영역과 상기 제2 전극 영역과 접합되도록 구성되는, 저항 메모리.

청구항 8

제7 항에 있어서,

상기 셀렉터는 상기 제1 영역과 상기 제2 영역을 수직하게 연결하는 수직 연결부를 더 포함하는, 저항 메모리.

청구항 9

제1 항에 있어서,

상기 그래핀 층은 제1 그래핀 층 및 상기 제1 그래핀 층의 하부에 배치되는 제2 그래핀 층을 포함하고,

상기 상부 전극과 상기 제1 그래핀 층 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함하는, 수직 구조 저항 메모리.

청구항 10

제9 항에 있어서,

상기 수직 구조 메모리 셀은 상기 제1 그래핀 층 및 상기 제2 그래핀 층과 접합되도록 구성되는, 저항 메모리.

청구항 11

제9 항에 있어서,

상기 그래핀 층은 상기 제2 그래핀 층의 하부에 배치되는 제3 그래핀 층을 더 포함하고,

상기 수직 구조 메모리 셀은 상기 제1 그래핀 층 내지 상기 제3 그래핀 층과 접합되도록 구성되는, 저항 메모리.

청구항 12

비휘발성 메모리(non-volatile memory)에 있어서,

상부 전극;

상기 상부 전극의 하부에 배치되고, 엣지 영역에 그래핀 전극(graphene electrode)이 형성된 그래핀 층(graphene layer);

상기 상부 전극과 상기 그래핀 전극 사이에 형성된 셀렉터로 이루어진 셀렉터 층(selector layer); 및

상기 상부 전극과 상기 그래핀 층 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함하고,

상기 셀렉터는 CuGeS 칼코겐나이드 물질로 이루어진 CuGeS 셀렉터인 것을 특징으로 하는, 비휘발성 메모리.

청구항 13

제12 항에 있어서,

상기 수직 구조 메모리 셀은 상기 상부 전극과 상기 그래핀 층 사이에 복수의 열과 행으로 배치되는 수직 구조 메모리 셀인 것을 특징으로 하는, 비휘발성 메모리.

청구항 14

제12 항에 있어서,

상기 상부 전극은 TiN 전극으로 구성되고, 상기 그래핀 층의 엣지 영역은 그래핀 엣지 전극(graphene edge electrode)으로 구성되는, 비휘발성 메모리.

청구항 15

제12 항에 있어서,

상기 그래핀 층은 0.3nm 이하의 그래핀 층으로 구성되고, 상기 그래핀 층의 엣지 영역이 상기 수직 구조 메모리의 전극으로 형성되는, 비휘발성 메모리.

청구항 16

제12 항에 있어서,

상기 비휘발성 메모리는 resistive random access memory (RRAM)로 구성되고, 이전에 흘렸던 전류의 과거 정보에 따라 저항의 세기가 변하는 것을 특징으로 하는, 비휘발성 메모리.

청구항 17

제16 항에 있어서,

상기 RRAM은 뉴로모픽 프로세서와 동작 가능하게 결합되고, 상기 뉴로모픽 프로세서로부터 임계값 이상의 전압이 인가되면 상기 수직 구조 메모리의 소자 저항이 상기 임계값 이하의 전압이 인가된 경우보다 낮은 저항 값으로 변경되고, 상기 임계값 이하의 전압이 인가되면 상기 소자 저항이 이전의 저항 값으로 다시 변경되는, 비휘발성 메모리.

발명의 설명

기술 분야

[0001] 본 발명은 저항 메모리에 있어 저전력 셀렉터에 관한 것이다. 보다 상세하게는, 그래핀의 엣지를 이용한 저전력 셀렉터에 대한 것이다.

배경 기술

[0002] 저항 메모리는 제작이 용이한 단순한 구조와 소형제작 등의 장점으로 복잡한 뉴로모픽 네트워크 구현에서 핵심 하드웨어 요소로 간주된다. 그러나, 저항 메모리를 집적할 때 나타나는 단점인 sneak path 현상으로 인해 누설전류의 증가와 불안정 구동이 발생한다. 이를 보완하기 위해 셀렉터 물질을 저항메모리에 적용을 한다.

[0003] 기존 저항 메모리 장치의 집적화 및 소형화가 많이 진전되었음에도 불구하고, 셀렉터 재료의 집적화와 소형화 가능성은 불확실하다. 대다수의 셀렉터 재료는 전도성 필라멘트를 형성하지 못할 가능성이 높기 때문에 이에 대한 전기장의 영향의 이해가 어렵기 때문이다.

발명의 내용

해결하려는 과제

[0004] 따라서, 본 발명의 목적은 전술한 문제를 해결하기 위해, 그래핀의 엣지를 이용한 저전력 셀렉터를 제공함에 있다.

[0005] 또한, 본 발명의 목적은 그래핀 엣지에 CuGeS 칼코겐 물질을 적용하여 저항 메모리(Resistive RAM, RRAM)의 누설전류 감소와 안정적인 구동을 위한 것이다.

과제의 해결 수단

[0006] 상기와 같은 과제를 해결하기 위한 본 발명에 따른 저전력 셀렉터를 구비한 저항 메모리가 제공된다. 상기 저항 메모리는 상부 전극; 상기 상부 전극의 하부에 배치되고, 엣지 영역에 그래핀 전극(graphene electrode)이 형성된 그래핀 층(graphene layer); 및 상기 상부 전극과 상기 그래핀 전극 사이에 형성된 셀렉터로 이루어진 셀렉터 층(selector layer)을 포함할 수 있다.

[0007] 일 실시 예에 따르면, 상기 상부 전극은 TiN 전극으로 구성되고, 상기 그래핀 층의 엣지 영역은 그래핀 엣지 전극(graphene edge electrode)로 구성될 수 있다.

[0008] 일 실시 예에 따르면, 상기 셀렉터는 칼코겐나이드 물질로 이루어진 칼코겐나이드 셀렉터로 형성될 수 있다.

[0009] 일 실시 예에 따르면, 상기 셀렉터는 CuGeS 칼코겐나이드 물질로 이루어진 CuGeS 셀렉터인 것을 특징으로 할 수 있다.

[0010] 일 실시 예에 따르면, 상기 그래핀 층은 0.3nm 이하의 그래핀 층으로 구성되고, 상기 그래핀 층의 엣지 영역이

상기 저항 메모리의 전극으로 형성될 수 있다.

- [0011] 일 실시 예에 따르면, 상기 그래핀 층과 접합되도록 구성된 Pt 전극을 더 포함하고, 상기 Pt 전극은 상기 그래핀 층의 두께보다 더 두껍게 형성될 수 있다.
- [0012] 일 실시 예에 따르면, 상기 TiN 전극은 제1 전극 영역(electrode region)과 상기 제1 전극 영역보다 소정 높이만큼 하부에 형성되는 제2 전극 영역을 포함할 수 있다.
- [0013] 일 실시 예에 따르면, 상기 TiN 전극은 상기 제1 전극 영역과 상기 제2 전극 영역을 수직하게 연결하는 수직 연결부를 더 포함할 수 있다.
- [0014] 일 실시 예에 따르면, 상기 셀렉터는 제1 영역과 상기 제1 영역보다 소정 높이만큼 하부에 형성되는 제2 영역을 포함하고, 상기 셀렉터의 상기 제1 영역 및 상기 제2 영역은 상기 TiN 전극의 상기 제1 전극 영역과 상기 제2 전극 영역과 접합되도록 구성될 수 있다.
- [0015] 일 실시 예에 따르면, 상기 셀렉터는 상기 제1 영역과 상기 제2 영역을 수직하게 연결하는 수직 연결부를 더 포함할 수 있다.
- [0016] 일 실시 예에 따르면, 상기 그래핀 층은 제1 그래핀 층 및 상기 제1 그래핀 층의 하부에 배치되는 제2 그래핀 층을 포함하고, 상기 상부 전극과 상기 제1 그래핀 층 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함할 수 있다.
- [0017] 일 실시 예에 따르면, 상기 수직 구조 메모리 셀은 상기 제1 그래핀 층 및 상기 제2 그래핀 층과 접합되도록 구성될 수 있다.
- [0018] 일 실시 예에 따르면, 상기 그래핀 층은 상기 제2 그래핀 층의 하부에 배치되는 제3 그래핀 층을 더 포함하고, 상기 수직 구조 메모리 셀은 상기 제1 그래핀 층 내지 상기 제3 그래핀 층과 접합되도록 구성될 수 있다.
- [0019] 본 발명의 다른 양상에 따른 비휘성 메모리(non-volatile memory)가 제공된다. 상기 비휘성 메모리는 상부 전극; 상기 상부 전극의 하부에 배치되고, 엣지 영역에 그래핀 전극(graphene electrode)이 형성된 그래핀 층(graphene layer); 상기 상부 전극과 상기 그래핀 전극 사이에 형성된 셀렉터로 이루어진 셀렉터 층(selector layer); 및 상기 상부 전극과 상기 그래핀 층 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀을 포함할 수 있다.
- [0020] 일 실시 예에 따르면, 상기 수직 구조 메모리 셀은 상기 상부 전극과 상기 그래핀 층 사이에 복수의 열과 행으로 배치되는 수직 구조 메모리 셀인 것을 특징으로 한다.
- [0021] 일 실시 예에 따르면, 상기 상부 전극은 TiN 전극으로 구성되고, 상기 그래핀 층의 엣지 영역은 그래핀 엣지 전극(graphene edge electrode)으로 구성될 수 있다.
- [0022] 일 실시 예에 따르면, 상기 셀렉터는 CuGeS 칼코겐나이드 물질로 이루어진 CuGeS 셀렉터인 것을 특징으로 한다.
- [0023] 일 실시 예에 따르면, 상기 그래핀 층은 0.3nm 이하의 그래핀 층으로 구성되고, 상기 그래핀 층의 엣지 영역이 상기 수직구조 저항 메모리의 전극으로 형성될 수 있다.
- [0024] 일 실시 예에 따르면, 상기 비휘성 메모리는 resistive random access memory (RRAM)로 구성되고, 이전에 흘렀던 전류의 과거 정보에 따라 저항의 세기가 변하는 것을 특징으로 할 수 있다.
- [0025] 일 실시 예에 따르면, 상기 RRAM은 뉴로모픽 프로세서와 동작 가능하게 결합되고, 상기 뉴로모픽 프로세서로부터 임계값 이상의 전압이 인가되면 상기 수직 구조 저항 메모리의 소자 저항이 상기 임계값 이하의 전압이 인가된 경우보다 낮은 저항 값으로 변경되고, 상기 임계값 이하의 전압이 인가되면 상기 소자 저항이 이전의 저항 값으로 다시 변경될 수 있다.

발명의 효과

- [0026] 본 발명에 따르면, 기술한 문제점들을 극복하기 원자적으로 얇은(0.3 nm) 그래핀의 엣지를 전극으로 사용하는 CuGeS Chalcogenide 물질을 셀렉터로 적용할 수 있다.
- [0027] 또한, 본 발명에 따르면, 그래핀 엣지 전극은 두꺼운 금속 기반의 전극에 비해 전극-셀렉터 간의 계면의 저항이 증가하여 OFF 상태 누출 전류가 감소하는 결과를 도출한다. CuGeS 셀렉터가 수직 구조에 내장될 때, 얇은 그래핀 엣지 전극과 넓은 TiN 필러 전극은 비대칭 전류 분포가 큰 I-V 특성을 보인다. 이 현상은 전압 극성과 Cu 이

온 수송 방향에 따라 크게 달라지는 이온 혼잡 효과 때문이다.

[0028] 또한, 본 발명에 따르면, 그래핀 엣지를 적용한 셀렉터와 RRAM을 결합하였을 때 누설 전류가 최대 10^3 배 감소되고 메모리 윈도우가 증가하는 장점이 있다.

[0029] 또한, 본 발명에 따르면, 얇은 그래핀을 사용하여 집적도를 높였으며 이와 함께 셀렉터를 사용하여 작은 누설전류의 장점을 도출할 수 있어 전자전기분야에 적용시킬 수 있다. 특히, 저항 메모리에 적용할 시 sneak path 문제를 해결할 수 있어 메모리 반도체 분야에도 적용시킬 수 있다.

[0030] 또한, 본 발명에 따르면, 결과적으로 그래핀 엣지를 이용한 저전력 셀렉터는 얇은 2차원 물질을 이용함으로써 집적도를 높일 수 있을 뿐만 아니라 전극과 셀렉터 사이의 계면 저항이 증가하기 때문에 누설 전류를 대폭 감소시킬 수 있다. 또한 저항 메모리에 적용하면 sneak path 문제를 보완할 수 있는 장점이 있다.

[0031] 현재 디지털과 아날로그 산업은 실리콘 bulk 반도체 기반으로 이뤄지고 있으나 반도체 회로의 집적도가 더욱 더 중요시 되면서 얇은 2차원 물질의 적용과 누설전류의 감소가 중요하다. 이를 고려할 때 그래핀 엣지를 이용한 저전력 셀렉터는 초고밀도 3D 메모리의 중요한 기반이 될 수 있다.

[0032] 상술한 본 발명의 특징 및 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다.

도면의 간단한 설명

[0033] 도 1은 본 발명에 따른 그래핀 엣지 전극과 Cu 기반 칼코겐나이드 셀렉터에 대한 구조와 구성 요소 매핑 관계를 나타낸 것이다.

도 2는 본 발명에 따른 셀렉터 장치의 동작 메커니즘을 나타낸다

도 3은 본 발명에 따른 반대 극성을 나타내는 그래핀 칼코겐나이드 셀렉터의 I-V 특성을 나타낸다.

도 4는 본 발명에 따른 다양한 예시에 따른 그래핀 엣지 RRAM의 I-V 특성을 나타낸다.

도 5는 본 발명에 따른 1S-1R 그래핀 엣지 장치의 I-V 특성 및 저항 특성을 나타낸다.

도 6은 그래핀 엣지를 이용한 저전력 셀렉터의 전반적인 구조와 투과 전자 현미경 및 에너지분산형 분광분석 이미지를 보여준다.

발명을 실시하기 위한 구체적인 내용

[0034] 상술한 본 발명의 특징 및 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다.

[0035] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 구체적으로 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0036] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용한다.

[0037] 제1, 제2등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0038] 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 및/또는 이라는 용어는 복수의 관련된 기재된 항목들의 조합 또는 복수의 관련된 기재된 항목들 중의 어느 항목을 포함한다.

[0039] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미가 있다.

- [0040] 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않아야 한다.
- [0041] 이하의 설명에서 사용되는 구성요소에 대한 접미사 모듈, 블록 및 부는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다.
- [0042] 이하, 본 발명의 바람직한 실시 예를 첨부한 도면을 참조하여 당해 분야에 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 설명한다. 하기에 본 발명의 실시 예를 설명함에 있어, 관련된 공지의 기능 또는 공지의 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.
- [0043] Cu-기반 칼코겐나이드(chalcogenide)는 특정 조건 하에서 전류 흐름을 용이하게 하는 많은 양의 Cu + 이온을 갖는 고체 전해질로, 이러한 물질은 얇은 층전재로 쉽게 증착되어 메모리 층에 내장된 셀렉터 장치를 형성할 수 있다. 이러한 박막 기반 셀렉터는 3D 수직 아키텍처의 경우에 특히 적합하며, 이러한 필러는 큰 셀렉터 장치(예를 들어, 수직 트랜지스터)가 필요하지 않으며 RRAM과 함께 큰 ON/OFF 비율이 달성될 수 있기 때문이다. 포인트 아키텍처는 각 층에 대한 임계 리소그래피 단계가 적고 통합 비용이 적기 때문에 간단한 평면 교차점 아키텍처와 비교할 때 더 바람직하다.
- [0044] 3D 수직 구조 밀도(vertical architecture density)는 각 메모리 스택의 평면 전극의 두께에 의해 직접 영향을 받는다. 이와 관련하여, 금속-산화물 RRAM은 그래핀-엣지 전극을 사용하여 원자 한계까지 수직으로 스케일링될 수 있다. 그러나 얇은 셀렉터를 고밀도 3D 수직 아키텍처에 통합하려면 메모리와 셀렉터의 확장 기능을 고려해야 한다. 이와 관련하여, RRAM의 스케일링에 대한 연구 이외에 셀렉터의 스케일링 속성에 대하여 고려된 바가 없다. 본 명세서에서는 3D 수직 구조의 원자적으로 얇은 단일 층 그래핀 엣지 전극을 이용하여 CuGeS의 궁극적인 확장성을 설명하고자 한다. 셀렉터 장치와 함께 이러한 수직 스케일 전극은 누설 전류를 줄이고 메모리 윈도우와 메모리 층의 선택도를 향상시킨다.
- [0045] 이와 관련하여, 도 1은 본 발명에 따른 그래핀 엣지 전극과 Cu 기반 칼코겐나이드 셀렉터에 대한 구조와 구성요소 매핑 관계를 나타낸 것이다. 구체적으로, 도 1의 (a)는 3D 수직 구조의 그래핀 엣지 전극이 있는 Cu 기반 칼코겐나이드 셀렉터의 개략도이다. 도 1의 (b)는 그래핀 엣지 전극이 있는 셀렉터의 등방도(isotropic view)이다. 도 1의 (c)는 장치(device)의 SEM 이미지이다. 이와 관련하여, 스케일 바: 200 nm이고, inset: 고해상도 TEM 이미지; 스케일 바: 50 nm이다. 도 1의 (d)는 장치 단면의 엘리먼트 매핑에 관한 것이다. 이와 관련하여, Cu, 청색; Ge, 빨강; S, 에메랄드; Ti, 녹색; Si, 오렌지; O, 핑크로 표시되었다. 한편, Cu 분포는 상단의 Cu 그리드로 인해 2 개의 밴드로 표시된다.
- [0046] 도 1a 및 b는 그래핀 엣지 전극을 갖는 Cu 계통 칼코겐나이드 셀렉터의 정면도 및 등방도의 개략도를 도시한다. TiN 및 그래핀 엣지 전극은 각각 CuGeS 칼코겐나이드 셀렉터 층이 중간에 있는 상부 및 하부 전극으로서 작용한다.
- [0047] 도 1c는 인셋 내에서 투과 전자 현미경 (TEM) 이미지를 갖는 장치의 주사 전자 현미경 (SEM) 이미지를 도시한다. 본 명세서에서는 분석을 단순화하기 위해 하나의 단일 층만을 갖는 메모리 셀이 고려될 수 있다. RRAM 셀을 사용한 동작을 위한 CuGeS 층의 최적 두께는 20 nm인 것으로 관찰될 수 있다. 더 두꺼운 층은 높은 임계 전압 요구 사항을 가져 왔으며 이는 장치 성능에 이상적이지 않았다. 반면에, 더 얇은 층은 더 많은 터널링 전류로 옴 전도(ohmic conduction)를 증가시킬 수 있다. 분포 이동성 이온 및 다른 원소는 에너지 분산 분광법 (EDS)에 의해 관찰되었으며, 이는 도 1d의 색상 코딩된 맵으로 표시될 수 있다.
- [0048] 본 발명에서 칼코겐나이드 층의 화학량론(stoichiometry)이 특히 3D 수직 메모리 아키텍처에서 중요한 것으로 간주될 수 있다. 간단한 교차점 구조와는 달리, 3D 수직 구조에서 기둥 전극 (TiN)과 평면 전극 (그래핀)의 영역 사이에서 유의미한 차이가 관찰될 수 있다. 따라서 높은 농도의 Cu⁺ 이온 그래핀의 예리한 가장자리 근처에서 더 높은 전계 집중으로 인해 음의 바이어스가 인가될 때 두꺼운 Pt에 비해 그래핀 가장자리 근처에 축적된다.
- [0049] 한편, 도 2는 본 발명에 따른 셀렉터 장치의 동작 메커니즘을 나타낸다. 구체적으로, 도 2의 (a)는 더 낮은 바이어스와 도 2의 (b)는 더 높은 바이어스에서의 셀렉터 장치의 동작 메커니즘을 나타낸다. 도 2의 (c)는 더 낮은 바이어스와 (d) 더 높은 바이어스에서 셀렉터 장치의 전위 분포를 나타낸다. 도 2의 (e), (f)는 Pt 및 Gr 칼코겐나이드 셀렉터의 동작 메커니즘을 나타낸다. 도 2의 (g)는 Pt 및 그래핀 기반 셀렉터 장치의 I-V 특성을 나

타낸다.

- [0050] 도 2(a)에서 Cu + 이온은 바이어스가 전극을 가로 질러 가해질 때 전계의 힘과 농도 구배 사이의 균형에 도달할 때까지 음극쪽으로 이동하다. 전달된 전하로부터의 전위차는 전극 경계에서 분극을 일으켜 이중층을 초래한다. 이온의 고농도 구배를 갖는 부분은 분산 층으로 지칭된다 (도 2(a), (c)). 환원-산화 공정이 이중 층에서 발생하기 위해서는, 인가된 전위는 이중 층과 관련된 전위를 극복해야하며, 이는 과전 위라고도 할 수 있다. 임계 전압 아래에서, 이중 층을 통한 전자 터널링으로 인해 작은 전류가 관찰된다. 임계 값보다 높으면 Cu + 이온이 전극 근처에서 감소하여 큰 이온 전류 흐름이 발생하다 (도 2(b), (d)). 일단 Cu 층이 음극 상에 형성되면, 이러한 층은 새로운 캐소드처럼 작용하고, Cu의 추가 환원을 위한 과전위는 감소된다. 이러한 동작은 접합부 전체에 추가적인 이온 전류가 흐르도록 하다.
- [0051] 본 명세서에서는 원자 적으로 얇은 그래핀-엣지 전극과 두꺼운 금속 (Pt) 전극을 사용하여 두 개의 다른 두께를 갖는 평면 전극의 특성을 비교했다. 이전 보고서에서, 단일 그래핀 층 (0.3 nm 두께)의 엣지는 금속-산화물 RRAM에서 하나의 전극으로 사용되었다. 이러한 얇은 전극은 3D 수직 구조에서 상당히 얇은 활성 메모리 층을 형성하여 스택의 수와 칩의 밀도를 증가시킨다. 전극은 낮은 전력 소비 및 프로그래밍 전압/전류를 나타내는 것으로 관찰되었다. 종래의 e- 빔 증발에 의해 증착된 5nm 이하의 얇은 금속 #1m은 불연속 아일랜드를 형성하는 경향이 있으며, 두께가 감소할 때 시트 저항의 급격한 비선형 증가가 관찰될 수 있음에 주목해야한다. 따라서 그래핀 대신 Pt와 같은 금속을 사용하는 경우 훨씬 두꺼운 전극이 필요하다.
- [0052] 이와 관련하여, 전극 두께가 증가함에 따라, 금속과 칼코겐 화합물 셀렉터 사이의 계면 저항이 감소하여, OFF 상태에서 누설 전류가 커진다. 원자적으로 얇은 그래핀 엣지 전극의 경우, 인터페이스 저항이 증가하여 누설 전류를 자연스럽게 감소시킨다. 도 2(e) 및 (f)는 금속 (Pt 셀렉터) 또는 그래핀 (Gr 셀렉터)을 전극으로 사용하는 동안 셀렉터에 대한 두 가지 다른 동작 메커니즘을 도시한다. 도 2e에 도시된 바와 같이, Cu 칼코겐나이드와 Pt 사이의 접합 면적이 크기 때문에 Pt 셀렉터의 계면 저항은 Gr 셀렉터의 계면 저항보다 낮다. 따라서, Pt 셀렉터는 저전압 바이어스에서 높은 전도성을 갖는다. 대조적으로 도 2f에 도시된 바와 같이, Gr 셀렉터의 계면 저항은 그래핀 두께로 인해 Pt 셀렉터의 계면 저항보다 높다. 도 2g는 두 가지의 I-V 특성을 나타낸다.
- [0053] 이와 관련하여, 칼코겐나이드 셀렉터상의 전극 스케일링 효과는 Gr 셀렉터 구조의 양쪽에 적용될 수 있다. 인가 전압의 극성에 따라 Gr 셀렉터의 비대칭 I-V 특성이 관찰된다.
- [0054] 한편, 도 3은 본 발명에 따른 반대 극성을 나타내는 그래핀 칼코겐나이드 셀렉터의 I-V 특성을 나타낸다. 도 3의 (a)는 그래핀 및 도 3의 (b)는 TiN 전극에 각각 양의 바이어스를 가한 이온 이동의 장치 개략도를 나타낸다. 도 3의 (c)는 그래핀 및 도 3의 (d)는 TiN 전극에 각각 양의 바이어스가 인가된 이온 운동의 I-V 특성을 나타낸다.
- [0055] 도 3(a) 및 (b)는 반대 전압 극성의 경우 Gr 셀렉터의 동작 메커니즘을 나타낸다. 도 3(a)에 도시된 바와 같이, 그래핀 전극에 양의 전압이 인가되면, 전기장은 그 분포 특징으로 인해 그래핀 가장자리 근처에 집중되어 있다. 따라서, Cu + 이온은 넓은 TiN 전극으로 쉽게 전달될 수 있어, 큰 전류를 유발한다. 대조적으로, 양의 전압이 TiN 전극에 인가될 때 (도 3(b)), 그래핀 엣지 근처에서 높은 농도의 Cu + 이온이 관찰될 수 있어 전류 집중 효과를 유발한다. 따라서, TiN 전극에 양의 전압을 인가하면 임계 전압이 크고 누설 전류가 작다. 이러한 물리적 현상의 직접적인 결과는 도 3(c)와 (d)의 I-V 특성에서 확인할 수 있다. Pt 셀렉터는 Gr 셀렉터보다 누설 전류가 더 큰 제로 바이어스에 가까운 셀렉터일 수 있다. 원소 조성비는 두 샘플에서 동일하였다. 도 2(g)에 표시된 바와 같이, Pt 셀렉터는 옴 특성을 나타내며 Gr 셀렉터에 대한 전류는 기하 급수적으로 증가한다.
- [0056] 도 4는 본 발명에 따른 다양한 예시에 따른 그래핀 엣지 RRAM의 I-V 특성을 나타낸다. 구체적으로, 도 4의 (a), (b)는 셀렉터 층이 없는 그래핀 엣지 RRAM의 I-V 특성이고, TiN 층은 두 경우 모두 양극이다. 도 4의 (c)는 1S1R 구조와 다양한 엣지 전극 재료 (그래핀 및 Pt)의 I-V 곡선을 비교한 것이다. 도 4의 (d)는 셀렉터 층의 유무에 따른 그래핀 RRAM의 SET 및 RESET 전압 분포를 나타낸다. 도 4의 (e)는 셀렉터 층 유무에 따른 그래핀의 저항 분포를 나타낸다. 1S1R 구조의 메모리 윈도우는 셀렉터가 없는 그래핀 RRAM의 메모리 창보다 크다. 도 4의 (f) 셀렉터 층유무에 따른 그래핀의 $1/3 V_{read}$ 전류 분포를 나타낸다.
- [0057] 그래핀 전극 유무에 따른 그래핀 엣지 RRAM의 I-V 특성이 실험적으로 획득될 수 있다 (각각 도 4(a)와 (b)). 도 4(a)에 도시된 바와 같이, 셀렉터 층 유무에 따른 RRAM의 비선형성 계수는 각각 1.9×10^3 및 5.41이다. 2 개의 다른 엣지 전극 재료 (그래핀 및 Pt)와 1S1R 구조의 비교가 도 4(c)에 도시되어 있다. Pt 디바이스는 예상보다 훨씬 높은 전류 레벨을 나타낸다. 이러한 차이의 이유는 전극의 두께 차이 때문이다. 옴의 법칙에 따라 셀

영역의 역수가 증가함에 따라 HRS의 저항이 증가하는 것으로 알려져 있다. Pt는 그래핀보다 훨씬 두껍기 때문에, Pt 전극의 단면 또한 훨씬 더 커서 HRS 값이 더 작고 메모리 윈도우가 더 작다. 저항 레벨의 큰 차이로 인해, 셀렉터 재료는 그래핀 전극과 관련하여 더 강한 비선형성을 나타낼 수 있다.

[0058] 도 4(d)는 독립형 RRAM (1R) 및 1S1R 구조의 경우 SET/RESET 전압 분포를 나타낸다. 1S1R 구조는 셀렉터 층에 걸친 전압 강하로 인해 1R 구조에서 요구되는 것과 비교할 때 동작을 위해 더 큰 SET 전압이 필요하다. 도 4 (e)에 도시된 바와 같이, 1S1R의 메모리 윈도우는 더 높은 HRS 저항으로 인해 그래핀 RRAM의 메모리 윈도우보다 크다. 1S1R 구조의 전체 HRS 전류 분포는 도 4f에 표시된 것처럼 1R 구조보다 2 배 이상 낮다. 감소된 오프 상태 전류 및 증가된 메모리 윈도우는 내장된 셀렉터 계층의 직접적인 결과이다.

[0059] 한편, 도 5는 본 발명에 따른 1S-1R 그래핀 엣지 장치의 I-V 특성 및 저항 특성을 나타낸다. 구체적으로, 도 5(a)는 대표적인 1S-1R 그래핀 엣지 장치의 반복된 DC I-V 곡선 (50 사이클)을 나타낸다. 이와 관련하여, 최악의 케이스는 빨간색 선으로 표시된다. 도 5 (b)는 대표적인 1S-1R 그래핀 엣지 장치의 반복 펄스 측정을 나타낸다. SET 및 RESET의 펄스 폭과 진폭은 각각 200ms, 100ms 및 3.5V, -4V이다. 판독 전압은 1.8V였다.

[0060] 대표적인 1S-1R 그레이 페인 엣지 장치의 반복 DC 및 펄스 측정 결과가 도 5에 나와 있다. 셀렉터의 존재로 인해 셀렉터가 커질 때까지 이 장치는 낮은 전류를 나타낸다 (도 5(a)). 전원 전압은 0.5-1.2V 사이였으며 최악의 경우 빨간색 곡선으로 표시된다. 도 5(b)에서 1S-1R 구조의 반복성을 조사하기 위해 펄스 측정 방식이 사용될 수 있다. LRS 및 HRS 값은 변동을 보였지만 여전히 800 사이클 이상 동안 합리적인 메모리 윈도우를 유지할 수 있다.

[0061] 전술한 본 발명에 따른 저항 메모리와 관련하여, 저전력 셀렉터를 구비한 메모리에 대해 설명하면 다음과 같다. 이와 관련하여, 도 6은 그래핀 엣지를 이용한 저전력 셀렉터의 전반적인 구조와 투과 전자 현미경 및 에너지분산형 분광분석 이미지를 보여준다. TiN 을 상부전극으로 사용한 경우이며 그래핀 엣지 전극과 상부 전극 사이에 CuGeS 셀렉터가 있는 구조이다. SiO2를 이용하여 보호막(passivation)을 형성해준다. Pt 는 측정 용이를 위한 패드로서 그래핀과 접합시킨다.

[0062] 도 6을 참조하면, 저전력 셀렉터를 구비한 저항 메모리는 상부 전극(100), 그래핀 층(graphene layer, 200) 및 셀렉터(250)로 이루어진 셀렉터 층(selector layer)을 포함할 수 있다. 이와 관련하여, 상부 전극(100)은 TiN 전극으로 구성되고, 그래핀 층(200)의 엣지 영역은 그래핀 엣지 전극(graphene edge electrode)으로 구성될 수 있다.

[0063] 그래핀 층(200)은 상부 전극(100)의 하부에 배치되고, 엣지 영역에 그래핀 전극(graphene electrode)이 형성될 수 있다. 한편, 셀렉터 층(selector layer)은 상부 전극(100)과 그래핀 전극 사이에 형성된 셀렉터(250)로 이루어질 수 있다.

[0064] 일 실시 예에 따르면, 셀렉터(250)는 칼코겐나이드 물질로 이루어진 칼코겐나이드 셀렉터로 형성될 수 있다.

[0065] 일 실시 예에 따르면, 셀렉터(250)는 CuGeS 칼코겐나이드 물질로 이루어진 CuGeS 셀렉터로 형성될 수 있다.

[0066] 일 실시 예에 따르면, 그래핀 층(200)은 0.3nm 이하의 그래핀 층으로 구성되고, 상그래핀 층(200)의 엣지 영역이 저항 메모리의 전극으로 형성될 수 있다.

[0067] 도 6을 참조하면, 저항 메모리는 그래핀 층(200)과 접합되도록 구성된 Pt 전극(400)을 더 포함할 수 있다. Pt 전극(400)은 그래핀 층(200)의 두께보다 더 두껍게 형성될 수 있다.

[0068] 일 실시 예에 따른 상부 전극(100)과 셀렉터(250)는 층상 구조의 다수의 영역으로 형성될 수 있다. 이와 관련하여, 상부 전극(100)에 해당하는 TiN 전극은 제1 전극 영역(electrode region, ER1)과 제1 전극 영역(ER1)보다 소정 높이만큼 하부에 형성되는 제2 전극 영역(ER2)을 포함할 수 있다. 또한, 상부 전극(100)에 해당하는 TiN 전극은 제1 전극 영역(ER1)과 제2 전극 영역(ER2)을 수직하게 연결하는 수직 연결부(VC)를 더 포함할 수 있다.

[0069] 셀렉터(250)는 제1 영역(R1)과 제1 영역(R1)보다 소정 높이만큼 하부에 형성되는 제2 영역(R2)을 포함할 수 있다. 이와 관련하여, 셀렉터(250)의 제1 영역(R1) 및 제2 영역(R2)은 상부 전극(100)에 해당하는 TiN 전극의 제1 전극 영역(ER1)과 제2 전극 영역(ER2)과 접합되도록 구성될 수 있다. 한편, 셀렉터(250)는 제1 영역(R1)과 상제 2 영역(R2)을 수직하게 연결하는 수직 연결부(VC)를 더 포함할 수 있다.

[0070] 본 명세서에서 설명되는 저전력 셀렉터를 구비하는 저항 메모리는 3D 수직 구조 메모리로 구성될 수 있다.

[0071] 도 6을 참조하면, 그래핀 층(200)은 제1 그래핀 층(210) 및 제1 그래핀 층(210)의 하부에 배치되는 제2 그래핀

층(220)을 포함할 수 있다. 이와 관련하여, 저항 메모리는 상부 전극(100)과 제1 그래핀 층(210) 사이에 메모리 물질로 형성되는 수직 구조 메모리 셀(300)을 더 포함할 수 있다.

[0072] 일 실시 예에 따르면, 수직 구조 메모리 셀(300)은 제1 그래핀 층(210) 및 제2 그래핀 층(220)과 접합되도록 구성될 수 있다.

[0073] 일 실시 예에 따르면, 그래핀 층(200)은 제2 그래핀 층(220)의 하부에 배치되는 제3 그래핀 층을 더 포함할 수 있다. 수직 구조 메모리 셀(300)은 제1 그래핀 층(210) 내지 제3 그래핀 층(230)과 접합되도록 구성될 수 있다.

[0074] 본 발명의 다른 양상에 따른 저전력 셀렉터를 구비하는 비휘성 메모리(non-volatile memory)가 제공된다. 상기 비휘성 메모리(non-volatile memory)는 상부 전극(100), 그래핀 층(graphene layer, 200), 셀렉터(250) 및 수직 구조 메모리 셀(300)을 포함하도록 구성될 수 있다. 그래핀 층(200)은 상부 전극(100)의 하부에 배치되고, 엣지 영역에 그래핀 전극(graphene electrode)이 형성되도록 구성될 수 있다. 셀렉터 층(selector layer)은 상부 전극(100)과 그래핀 전극 사이에 형성된 셀렉터로 이루어질 수 있다.

[0075] 수직 구조 메모리 셀(300)은 상부 전극(100)과 그래핀 층(200) 사이에 메모리 물질로 형성될 수 있다. 수직 구조 메모리 셀(300)은 상부 전극(100)과 그래핀 층(200) 사이에 복수의 열과 행으로 배치되는 수직 구조 메모리 셀인 것을 특징으로 할 수 있다.

[0077] *일 실시 예에 따르면, 상부 전극(100)은 TiN 전극으로 구성되고, 그래핀 층의 엣지 영역은 그래핀 엣지 전극(graphene edge electrode)으로 구성될 수 있다.

[0078] 일 실시 예에 따르면, 셀렉터(250)는 CuGeS 칼코겐나이드 물질로 이루어진 CuGeS 셀렉터일 수 있다.

[0079] 일 실시 예에 따르면, 그래핀 층(200)은 0.3nm 이하의 그래핀 층으로 구성되고, 그래핀 층(200)의 엣지 영역이 수직구조 저항 메모리의 전극으로 형성될 수 있다.

[0080] 일 실시 예에 따르면, 비휘성 메모리는 resistive random access memory (RRAM)로 구성될 수 있다. 이와 관련하여, RRAM로 구성된 비휘성 메모리는 이전에 흘렀던 전류의 과거 정보에 따라 저항의 세기가 변하는 것을 특징으로 할 수 있다.

[0081] 일 실시 예에 따르면, RRAM은 뉴로모픽 프로세서와 동작 가능하게 결합되고, 뉴로모픽 프로세서로부터 임계값 이상의 전압이 인가되면 상기 수직 구조 저항 메모리의 소자 저항이 상기 임계값 이하의 전압이 인가된 경우보다 낮은 저항 값으로 변경되도록 구성될 수 있다. 또한, RRAM은 뉴로모픽 프로세서로부터 임계값 이하의 전압이 인가되면 소자 저항이 이전의 저항 값으로 다시 변경될 수 있다.

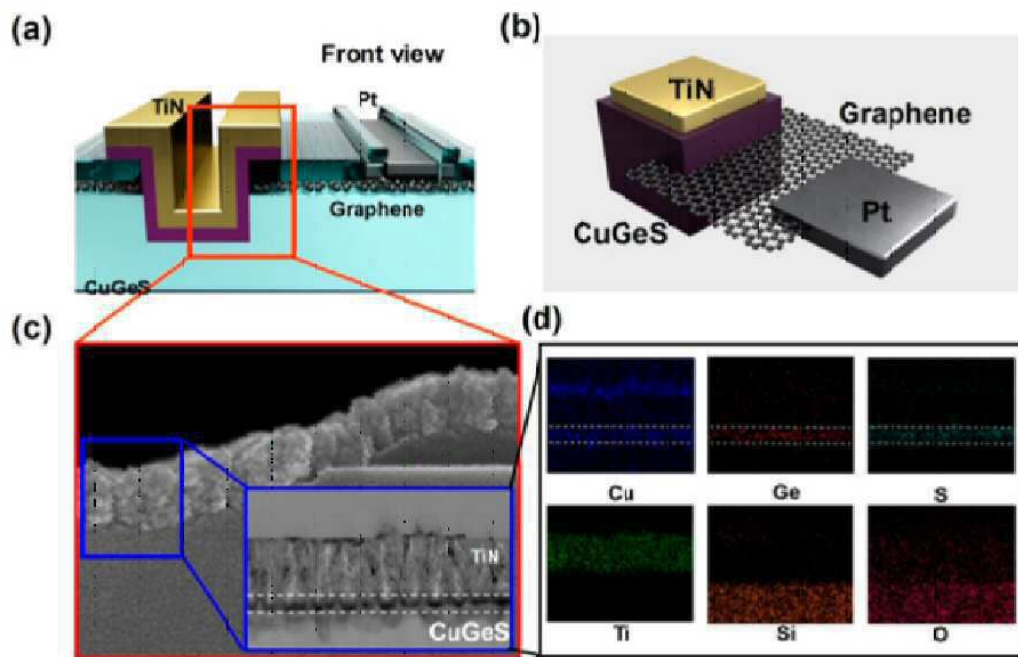
[0082] 이상에서는 본 명세서에 따른 저전력 셀렉터를 구비한 메모리에 대하여 설명하였다. 이와 관련하여, 본 명세서에서 원자적으로 얇은 그래핀 가장자리 전극을 사용하여 3D 수직 RRAM 구조에서 CuGeS chalcogenide 셀렉터의 스케일링 특성에 대하여 설명하였다. 그래핀-엣지 전극은 더 두꺼운 금속계 전극에 의해 나타나는 것과 비교할 때 전극-셀렉터 계면에 걸쳐 증가된 저항을 나타내어, 오프 상태 누설 전류의 감소를 초래 하였다. 셀렉터가 3D 수직 구조에 내장된 경우, 얇은 그래핀 엣지 및 넓은 TiN 필터 전극은 고도로 비대칭적인 전류 분포로 I-V 특성에 급격한 차이를 나타낸다. 이 현상은 이온 극성의 직접적인 결과이며, 이는 전압 극성과 Cu 이온 수송 방향에 크게 의존하다. 셀렉터를 금속-산화물 RRAM과 결합함으로써, 누설 전류가 크게 감소하는 것이 관찰될 수 있다. 또한, 강한 비선형성이 도입되어 메모리 윈도우가 증가할 수 있다. 스케일링된 저항성 메모리를 위한 다양한 3D 아키텍처의 관점에서 최근의 개발은 고밀도 RRAM 저장을 위한 경로를 제공할 수 있다. 또한, 이러한 RRAM 스케일링 트렌드를 수용할 수 있는 임베디드 셀렉터의 개발은 초 고밀도 3D 메모리 기술을 달성하기 위한 중요한 단계가 될 것이다.

[0083] 이와 관련하여, 저항성 메모리는 단순성, 소형성 및 관리 가능한 전력 손실로 인해 복잡한 신경 형성 네트워크의 하드웨어 구현에서 핵심 구성 요소로 간주된다. 그러나, two-terminal 장치의 장점을 유지하면서 충분한 장치 밀도를 제공하기 위해서는 셀렉터 재료 기술 및 비트 비용 효율적인 3 차원 (3D) 장치 아키텍처에 관한 획기적인 기술이 필요하다. 멤리스터 장치의 스케일링 진행에서 셀렉터 재료의 스케일링 가능성은 불확실한 상태로 유지된다. 본 명세서에서, 3D 수직 메모리 구조에서 원자 적으로 얇은 그래핀 엣지는 CuGeS 칼코겐나이드 셀렉터 층에서 고도로 집중된 전기장의 영향을 연구하는데 사용된다. 본 명세서는 고체 칼코겐나이드 전해질에서 이동성 이온의 특성을 이해하고 초소형 셀렉터 장치의 잠재력을 이해하는 데 중요한 단계를 제시한다.

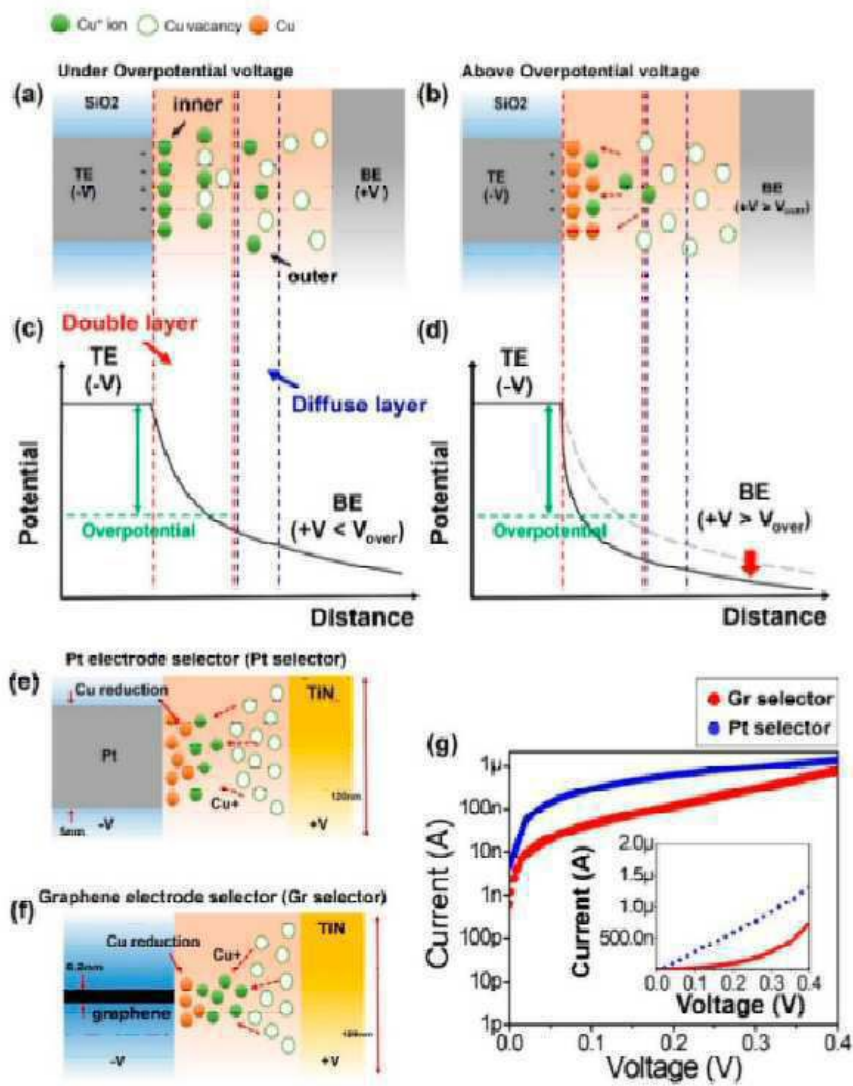
- [0084] 본 발명에 따르면, 전술한 문제점들을 극복하기 원자적으로 얇은(0.3 nm) 그래핀의 엣지를 전극으로 사용하는 CuGeS Chalcogenide 물질을 셀렉터로 적용할 수 있다.
- [0085] 또한, 본 발명에 따르면, 그래핀 엣지 전극은 두꺼운 금속 기반의 전극에 비해 전극-셀렉터 간의 계면의 저항이 증가하여 OFF 상태 누출 전류가 감소하는 결과를 도출한다. CuGeS 셀렉터가 수직 구조에 내장될 때, 얇은 그래핀 엣지 전극과 넓은 TiN 필러 전극은 비대칭 전류 분포가 큰 I-V 특성을 보인다. 이 현상은 전압 극성과 Cu 이온 수송 방향에 따라 크게 달라지는 이온 혼잡 효과 때문이다.
- [0086] 또한, 본 발명에 따르면, 그래핀 엣지를 적용한 셀렉터와 RRAM을 결합하였을 때 누설 전류가 최대 10^3 배 감소되고 메모리 윈도우가 증가하는 장점이 있다.
- [0087] 또한, 본 발명에 따르면, 얇은 그래핀을 사용하여 집적도를 높였으며 이와 함께 셀렉터를 사용하여 작은 누설전류의 장점을 도출할 수 있어 전자전기분야에 적용시킬 수 있다. 특히, 저항 메모리에 적용할 시 sneak path 문제를 해결할 수 있어 메모리 반도체 분야에도 적용시킬 수 있다.
- [0088] 또한, 본 발명에 따르면, 결과적으로 그래핀 엣지를 이용한 저전력 셀렉터는 얇은 2차원 물질을 이용함으로써 집적도를 높일 수 있을 뿐만 아니라 전극과 셀렉터 사이의 계면 저항이 증가하기 때문에 누설 전류를 대폭 감소시킬 수 있다. 또한 저항 메모리에 적용하면 sneak path 문제를 보완할 수 있는 장점이 있다.
- [0089] 현재 디지털과 아날로그 산업은 실리콘 bulk 반도체 기반으로 이뤄지고 있으나 반도체 회로의 집적도가 더욱 더 중요시 되면서 얇은 2차원 물질의 적용과 누설전류의 감소가 중요하다. 이를 고려할 때 그래핀 엣지를 이용한 저전력 셀렉터는 초고밀도 3D 메모리의 중요한 기반이 될 수 있다.
- [0090] 상술한 본 발명의 특징 및 효과는 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 그에 따라 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 것이다.
- [0091] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시 예를 가질 수 있는바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 구체적으로 설명하고자 한다. 그러나 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0092] 소프트웨어적인 구현에 의하면, 본 명세서에서 설명되는 절차 및 기능뿐만 아니라 각각의 구성 요소들에 대한 설계 및 파라미터 최적화는 별도의 소프트웨어 모듈로도 구현될 수 있다. 적절한 프로그램 언어로 쓰여진 소프트웨어 어플리케이션으로 소프트웨어 코드가 구현될 수 있다. 상기 소프트웨어 코드는 메모리에 저장되고, 제어부(controller) 또는 프로세서(processor)에 의해 실행될 수 있다.

도면

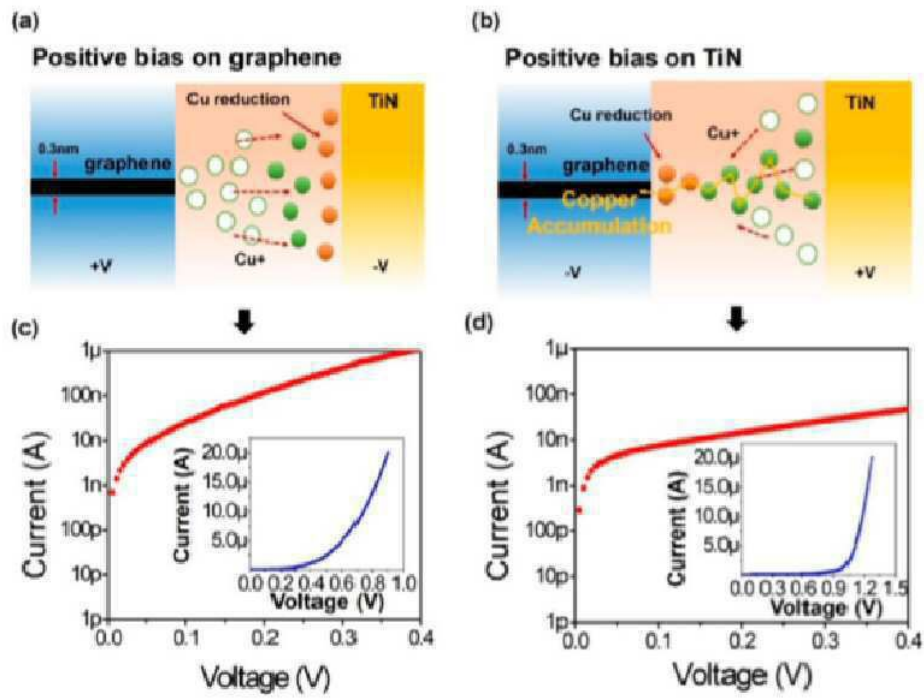
도면1



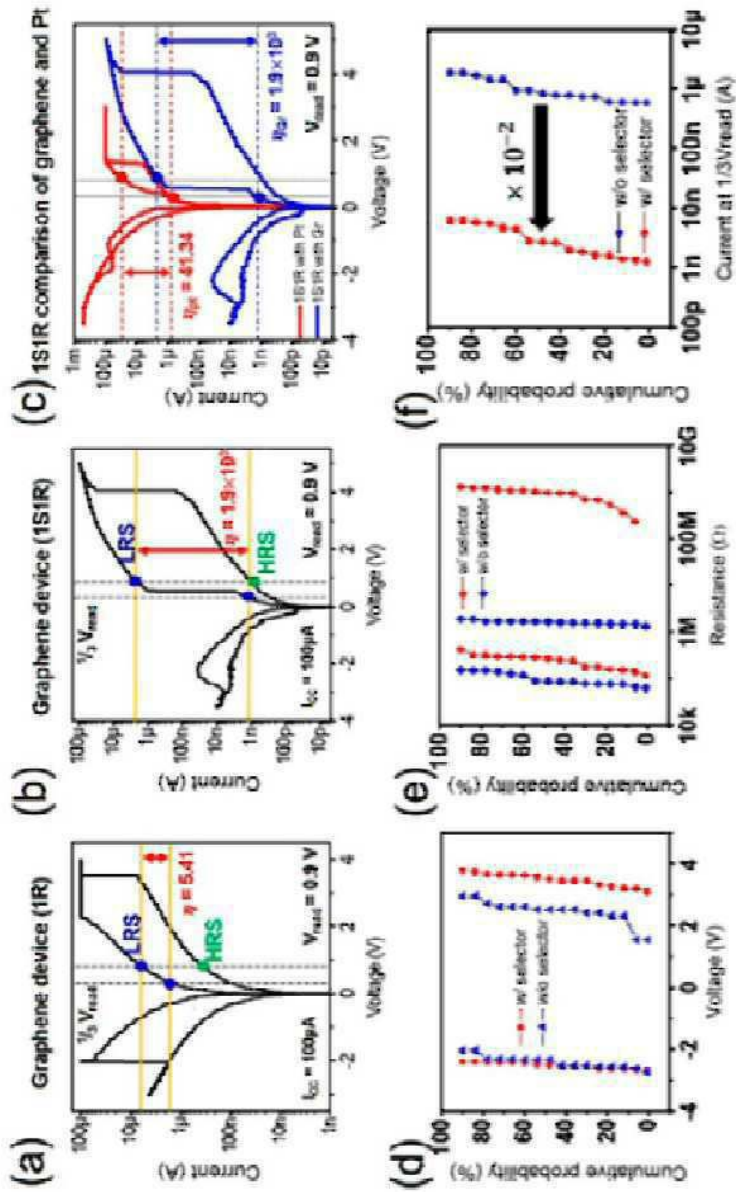
도면2



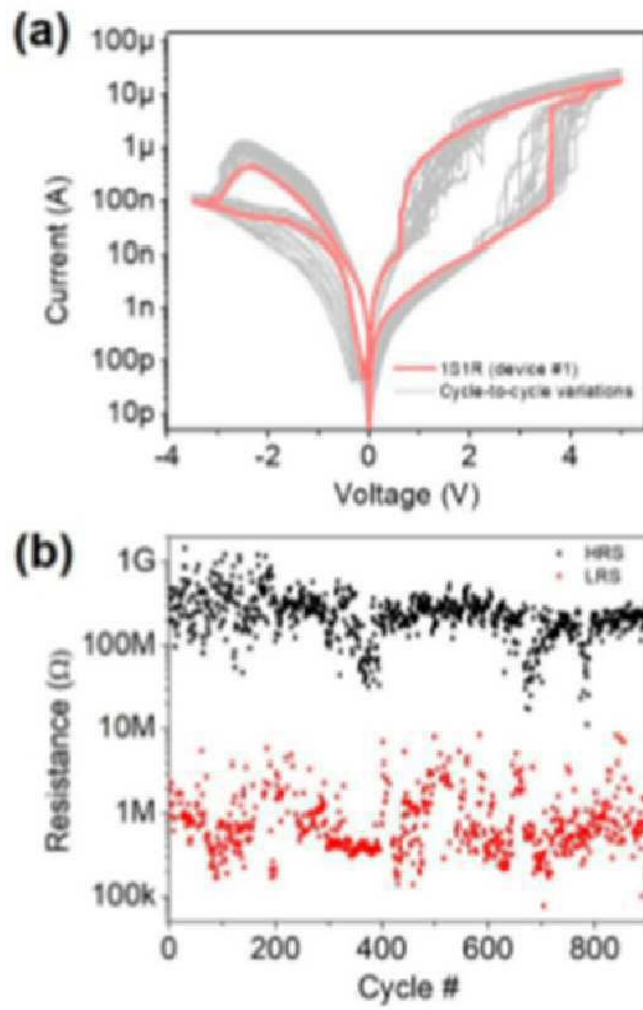
도면3



도면4



도면5



도면6

