

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成29年6月15日(2017.6.15)

【公表番号】特表2016-521953(P2016-521953A)

【公表日】平成28年7月25日(2016.7.25)

【年通号数】公開・登録公報2016-044

【出願番号】特願2016-515120(P2016-515120)

【国際特許分類】

H 02 J 7/02 (2016.01)

H 01 M 10/44 (2006.01)

【F I】

H 02 J 7/02 F

H 01 M 10/44 Q

【手続補正書】

【提出日】平成29年4月26日(2017.4.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

バッテリ充電器のための回路であって、

制御入力と、クロック入力と、誘導エレメントに接続するように構成されるスイッチング出力とを有するスイッチング回路と、

バッテリ端子に接続されたバッテリを充電するように電力を提供するために前記バッテリ端子に前記誘導エレメントを電気的に接続するように構成される充電端子と、

制御端子と、

クロック端子と、

前記スイッチング回路の前記制御入力および前記制御端子に内部で生成された制御信号を供給する第1の構成で動作することと、前記スイッチング回路の前記制御入力に前記制御端子上で受信された外部で生成された制御信号を供給する第2の構成で動作することとを行うように構成される制御セレクタと、

前記スイッチング回路の前記クロック入力および前記クロック端子に内部で生成されたクロック信号を供給する第1の構成で動作することと、前記スイッチング回路の前記クロック入力に前記クロック端子上で受信された外部で生成されたクロック信号を供給する第2の構成で動作することとを行うように構成されたクロックセレクタと

を備える、回路。

【請求項2】

前記スイッチング回路の前記スイッチング出力に接続された第1のFETと第2のFETとをさらに備え、前記第1のFETは、前記第2のFETに接続され、前記第1のFETと前記第2のFETとは、前記制御入力上で受信した制御信号と前記クロック入力上で受信したクロック信号とにしたがう前記スイッチング回路によってONとOFFが切り替えられる、

請求項1に記載の回路。

【請求項3】

前記クロック入力に前記クロック端子上で受信した外部で生成されたクロック信号を供給するために、前記クロック入力と前記クロック端子との間の前記クロックセレクタによ

って選択的に接続することができる遅延エレメントをさらに備える、

請求項 1 に記載の回路。

【請求項 4】

前記遅延エレメントは、前記外部で生成されたクロック信号の選択可能な位相シフトを提供するように構成される、

請求項 3 に記載の回路。

【請求項 5】

前記内部で生成されたクロック信号を生成するクロック信号生成器と、遅延エレメントと

をさらに備え、

前記クロックセレクタは、前記第 1 の構成で動作するとき、前記スイッチング回路の前記クロック入力および前記クロック端子に前記クロック信号生成器を接続し、

前記クロックセレクタは、前記第 2 の構成で動作するとき、前記クロック入力に前記クロック端子上で受信した外部で生成されたクロック信号を供給するために、前記クロック端子と前記クロック入力との間に前記遅延エレメントを接続する、

請求項 1 に記載の回路。

【請求項 6】

前記遅延エレメントは、前記外部で生成されたクロック信号の位相シフトを生成するように構成される、

請求項 5 に記載の回路。

【請求項 7】

前記内部で生成された制御信号を生成する制御信号生成器をさらに備え、

前記制御セレクタは、前記第 1 の構成で動作するとき、前記スイッチング回路の前記制御入力および前記制御端子に、前記制御信号生成器を接続し、

前記制御セレクタは、前記第 2 の構成で動作するとき、前記制御入力に前記制御端子上で受信した外部で生成された制御信号を提供するために前記制御入力に前記制御端子を接続する、

請求項 1 に記載の回路。

【請求項 8】

外部選択インジケータに接続するように構成されるセレクタ入力をさらに備え、前記制御セレクタと前記クロックセレクタは、前記選択インジケータに依存する前記第 1 または第 2 の構成において動作する、

請求項 1 に記載の回路。

【請求項 9】

前記遅延エレメントは、前記選択インジケータに依存する前記外部で生成されたクロック信号の位相シフトを生成するように構成される、

請求項 8 に記載の回路。

【請求項 10】

前記外部選択インジケータは、デジタル信号である、

請求項 8 に記載の回路。

【請求項 11】

前記外部選択インジケータは、アナログ信号である、

請求項 8 に記載の回路。

【請求項 12】

前記外部選択インジケータは、1つまたは複数の抵抗エレメントを備える、

請求項 8 に記載の回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 3

【補正方法】変更

【補正の内容】**【0053】**

[0063]特許請求の範囲は以下の通りである。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C1]

バッテリ充電器のための回路であって、

制御入力と、クロック入力と、誘導エレメントに接続するように構成されるスイッチング出力とを有するスイッチング回路と、

バッテリ端子に接続されたバッテリを充電するように電力を提供するために前記バッテリ端子に前記誘導エレメントを電気的に接続するように構成される充電端子と、

制御端子と、

クロック端子と、

前記スイッチング回路の前記制御入力および前記制御端子に内部で生成された制御信号を供給する第1の構成で動作することと、前記スイッチング回路の前記制御入力に前記制御端子上で受信された外部で生成された制御信号を供給する第2の構成で動作することとを行うように構成される制御セレクタと、

前記スイッチング回路の前記クロック入力および前記クロック端子に内部で生成されたクロック信号を供給する第1の構成で動作することと、前記スイッチング回路の前記クロック入力に前記クロック端子上で受信された外部で生成されたクロック信号を供給する第2の構成で動作することとを行うように構成されたクロックセレクタとを備える、回路。

[C2]

前記スイッチング回路の前記スイッチング出力に接続された第1のFETと第2のFETとをさらに備え、前記第1のFETは、前記第2のFETに接続され、前記第1のFETと前記第2のFETとは、前記制御入力上で受信した制御信号と前記クロック入力上で受信したクロック信号とにしたがう前記スイッチング回路によってONとOFFが切り替えられる、

[C1]に記載の回路。

[C3]

前記クロック入力に前記クロック端子上で受信された外部で生成されたクロック信号を供給するために、前記クロック入力と前記クロック端子との間の前記クロックセレクタによって選択的に接続されることができる遅延エレメントをさらに備える、

[C1]に記載の回路。

[C4]

前記遅延エレメントは、前記外部で生成されたクロック信号の選択可能な位相シフトを提供するように構成される、

[C3]に記載の回路。

[C5]

前記内部で生成されたクロック信号を生成するクロック信号生成器と、遅延エレメントとをさらに備え、

前記クロックセレクタは、前記第1の構成で動作するとき、前記スイッチング回路の前記クロック入力および前記クロック端子に前記クロック信号生成器を接続し、

前記クロックセレクタは、前記第2の構成で動作するとき、前記クロック入力に前記クロック端子上で受信された外部で生成されたクロック信号を供給するために、前記クロック端子と前記クロック入力との間に前記遅延エレメントを接続する、

[C1]に記載の回路。

[C6]

前記遅延エレメントは、前記外部で生成されたクロック信号の位相シフトを生成するように構成される、

[C 5] に記載の回路。

[C 7]

前記内部で生成された制御信号を生成する制御信号生成器をさらに備え、

前記制御セレクタは、前記第1の構成で動作するとき、前記スイッチング回路の前記制御入力および前記制御端子に、前記制御信号生成器を接続し、

前記制御セレクタは、前記第2の構成で動作するとき、前記制御入力に前記制御端子上で受信した外部で生成された制御信号を提供するために前記制御入力に前記制御端子を接続する、

[C 1] に記載の回路。

[C 8]

外部選択インジケータに接続するように構成されるセレクタ入力をさらに備え、前記制御セレクタと前記クロックセレクタは、前記選択インジケータに依存する前記第1または第2の構成において動作する、

[C 1] に記載の回路。

[C 9]

前記遅延エレメントは、前記選択インジケータに依存する前記外部で生成されたクロック信号の位相シフトを生成するように構成される、

[C 8] に記載の回路。

[C 10]

前記外部選択インジケータは、デジタル信号である、

[C 8] に記載の回路。

[C 11]

前記外部選択インジケータは、アナログ信号である、

[C 8] に記載の回路。

[C 12]

前記外部選択インジケータは、1つまたは複数の抵抗エレメントを備える、

[C 8] に記載の回路。

[C 13]

制御端子と、

クロック端子と、

ハイサイドFETおよびローサイドFETと、

前記ハイサイドFETおよび前記ローサイドFETを駆動するためのPWMドライバと、

複数の制御ループを備えるフィードバック回路、前記フィードバック回路は、制御信号を生成する、と、

クロック生成器と遅延エレメントとを備えるクロックモジュール、前記クロックモジュールは、前記PWMドライバに提供されるクロック信号を生成する、と、

第1の構成または第2の構成における前記充電回路を構成する選択モジュールとを備え、前記第1の構成において、前記制御信号は、前記PWMドライバに、そして前記制御端子に供給され、前記クロック信号は、前記クロック生成器から生成され、

前記第2の構成において、前記制御端子上で受信した外部で生成された制御信号は、前記PWMドライバに供給され、前記クロック端子上で受信した外部で生成されたクロック信号は、前記遅延エレメントに供給され、前記クロック信号は、前記遅延エレメントの出力である、

充電回路。

[C 14]

前記遅延エレメントは、選択可能な位相シフトを提供する、

[C 13] に記載の充電回路。

[C 15]

前記第1の構成において、前記クロック信号は、前記遅延エレメントから生成されず、

前記第2の構成において、前記クロック信号は、前記クロック生成器から生成されない、
[C 1 3] に記載の充電回路。

[C 1 6]

前記第1の構成において、前記フィードバック回路によって生成され、前記制御端子上で供給される前記制御信号は、外部で生成された制御信号としての役割を果たす、
[C 1 3] に記載の充電回路。

[C 1 7]

前記第1の構成において、前記クロックモジュールによって生成され、前記クロック端子上で供給される前記クロック信号は、外部で生成されたクロック信号としての役割を果たす、
[C 1 3] に記載の充電回路。

[C 1 8]

ハイサイドFETとローサイドFETとを駆動するためのPWMドライバと、
遅延エレメントと、

第1の入力ピン上で受信した外部で供給される制御信号を前記PWMドライバに提供する、前記PWMドライバに接続された前記第1の入力ピンと、

第2の入力ピン上で受信した外部で供給されるクロック信号を前記遅延エレメントに提供するために、前記遅延エレメントに接続された前記第2の入力ピンと

を備え、前記遅延エレメントは、前記PWMドライバに提供される遅延クロック信号を供給するために前記クロック信号を遅延する、
充電回路。

[C 1 9]

前記PWMドライバへの前記制御信号は、前記外部で供給された制御信号によってのみ供給される、
[C 1 8] に記載の充電回路。

[C 2 0]

前記PEMドライバへの前記クロック信号は、前記外部で供給されたクロック信号からのみ生じる、
[C 1 8] に記載の充電回路。