



(12) 发明专利

(10) 授权公告号 CN 101295687 B

(45) 授权公告日 2012. 05. 16

(21) 申请号 200810093595. 4

(56) 对比文件

(22) 申请日 2008. 04. 25

CN 1862798 A, 2006. 11. 15,

(30) 优先权数据

审查员 吕媛

2007-118833 2007. 04. 27 JP

2007-162684 2007. 06. 20 JP

(73) 专利权人 瑞萨电子株式会社

地址 日本神奈川

(72) 发明人 武藤邦治 波多俊幸 佐藤仁久

冈浩伟 池田靖

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 杜娟

(51) Int. Cl.

H01L 23/48 (2006. 01)

H01L 23/485 (2006. 01)

H01L 23/495 (2006. 01)

H01L 23/31 (2006. 01)

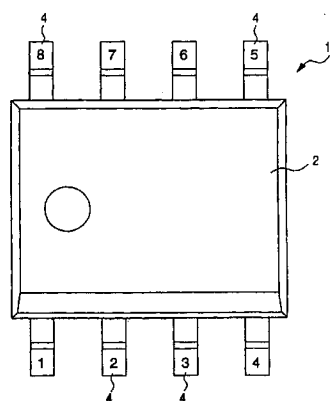
权利要求书 2 页 说明书 13 页 附图 27 页

(54) 发明名称

半导体器件

(57) 摘要

本发明公开了一种半导体器件。本发明的目的是实现其中密封功率 MOSFET 的小表面安装封装的导通电阻的减小。硅芯片安装在与构成漏极引线的引线集成的芯片焊盘部上。硅芯片的主表面上具有源极焊盘和栅极焊盘。硅芯片的背面构成功率 MOSFET 的漏极, 并经由 Ag 浆料键合至芯片焊盘部的顶表面。构成源极引线的引线经由 Al 带电极耦合至源极焊盘, 而构成栅极引线的引线经由 Au 线电极耦合至栅极焊盘。



1. 一种半导体器件的制造方法,包含以下步骤:

a. 提供引线框,所述引线框包括芯片安装部和第一引线,所述芯片安装部与所述第一引线电隔离;

b. 将半导体芯片安装在所述引线框的芯片安装部上,所述半导体芯片具有主表面和与该主表面相反的背表面、以及设置在所述主表面上的第一焊盘;

c. 使用键合工具将所述半导体芯片的第一焊盘和所述引线框的第一引线与第一金属带电连接,

其中在步骤 c,通过向所述键合工具添加超声波将所述第一金属带键合到所述半导体芯片的第一焊盘和所述引线框的第一引线,以及

其中将所述第一金属带键合到所述半导体芯片的第一焊盘和所述引线框的第一引线,使得所述第一金属带与所述半导体芯片的第一焊盘连接的第一连接部的连接尺寸和所述第一金属带与所述引线框的第一引线连接的第二连接部的连接尺寸相同。

2. 根据权利要求 1 的半导体器件的制造方法,其中形成所述第一连接部的键合工具和形成所述第二连接部的键合工具相同。

3. 根据权利要求 1 的半导体器件的制造方法,其中在步骤 c,还在所述半导体芯片的第一焊盘上形成所述第一金属带与所述半导体芯片的第一焊盘连接的第三连接部。

4. 根据权利要求 3 的半导体器件的制造方法,其中所述第三连接部被形成以使得所述第三连接部位于所述第一连接部和所述第二连接部之间。

5. 根据权利要求 4 的半导体器件的制造方法,其中所述第三连接部被形成以使得所述第一金属带在所述第一连接部和第三连接部之间的一部分是突起形状。

6. 根据权利要求 4 的半导体器件的制造方法,其中所述第三连接部被形成以使得所述第一金属带在所述第一连接部和第三连接部之间的一部分高于所述第一连接部和所述第三连接部。

7. 根据权利要求 1 的半导体器件的制造方法,其中所述第一金属带与所述半导体芯片的第一焊盘连接的第三连接部的连接尺寸和所述第一连接部的连接尺寸相同。

8. 根据权利要求 1 的半导体器件的制造方法,其中在步骤 c 之后,通过向所述键合工具添加超声波将第二金属带键合到所述半导体芯片的第一焊盘和所述引线框的第一引线。

9. 根据权利要求 8 的半导体器件的制造方法,其中所述第一金属带的宽度与所述第二金属带的宽度相同。

10. 根据权利要求 1 的半导体器件的制造方法,其中所述第一金属带是 Al 带。

11. 根据权利要求 1 的半导体器件的制造方法,

其中所述半导体芯片还具有第二焊盘,

其中所述引线框还具有第二引线,所述第二引线与所述芯片安装部电隔离,

其中在步骤 c 之前或之后,将金属线键合到所述半导体芯片的第二焊盘和所述引线框的第二引线。

12. 根据权利要求 11 的半导体器件的制造方法,其中所述金属线是 Au 线。

13. 根据权利要求 1 的半导体器件的制造方法,还包括如下步骤:

d. 使用模制树脂密封所述半导体芯片、所述第一引线的一部分、所述芯片安装部的一部分和所述第一金属带;

- e. 从所述引线框切割所述第一引线暴露在所述模制树脂外部的另一部分；
- f. 将所述第一引线形成为翅形。
- 14. 根据权利要求 13 的半导体器件的制造方法，
其中在步骤 d, 使用模制树脂密封所述芯片安装部以使得所述芯片安装部的背表面从所述模制树脂暴露。
- 15. 根据权利要求 11 的半导体器件的制造方法，
其中所述半导体芯片形成功率 MOSFET，
其中所述半导体芯片的第一焊盘是源极焊盘，并且
其中所述半导体芯片的第二焊盘是栅极焊盘。
- 16. 根据权利要求 15 的半导体器件的制造方法，
其中所述源极焊盘具有比所述栅极焊盘宽的面积。
- 17. 根据权利要求 16 的半导体器件的制造方法，
其中所述半导体芯片的背表面是所述功率 MOSFET 的漏极。
- 18. 根据权利要求 17 的半导体器件的制造方法，
其中使用 Ag 浆料或无 Pb 焊料将所述半导体芯片的背表面附接到所述芯片安装部上。

半导体器件

[0001] 相关申请的交叉引用

[0002] 分别于 2007 年 6 月 20 和 2007 年 4 月 27 日提交的本申请的相关日本专利申请 2007-162684 和 2007-118833 均包含专利说明书、附图和摘要,在此通过引用并入其全部内容。

技术领域

[0003] 本发明涉及半导体器件,尤其是涉及具有小表面安装封装的半导体器件。

背景技术

[0004] 用于便携式信息装置的功率控制开关或者充电/放电保护电路的功率 MOSFET(金属氧化物半导体场效应晶体管)密封在小表面安装封装(例如 SOP8)中。这种功率 MOSFET 例如在日本公开专利申请 2000-164869 或日本公开专利申请 2000-299464 中进行了描述。

[0005] 日本公开专利申请 2000-164869 公开了一种用于降低在包含构成 n^+ 型硅衬底的上层的 p 型外延层的结构中形成的沟槽栅极功率 MOSFET(金属氧化物半导体场效应晶体管)中的穿通击穿的风险的技术:形成 n 型漏极区使其在 n^+ 型硅衬底和沟槽的底部之间延伸;以及形成 n 型漏极区和 p 型外延层之间的结以使其在 n^+ 型硅衬底和沟槽的间隔之间延伸。

[0006] 日本公开专利申请 2000-299464 公开了一种用于降低漏极区的导通电阻的技术:在第一导电类型的半导体衬底上布置第一导电类型的外延层和第二导电类型的阱层;在由这些外延层和阱层构成的上侧层中形成由绝缘层隔离的深沟槽栅极;在所述沟槽栅极下方形成漏极区;形成与所述沟槽栅极相邻的源极区;以及在所述阱层的上方形成主体区,所述主体区被利用杂质与所述阱层相比更重地掺杂。

发明内容

[0007] 本发明人研究了用于在其中密封上述功率 MOSFET 的 SOP8。本发明人研究的 SOP8 具有一种封装结构,其中其上形成有功率 MOSFET 的硅芯片利用模制树脂密封。

[0008] 硅芯片安装在与漏极引线集成的芯片焊盘部上,其中硅芯片的主表面向上。硅芯片的背面形成功率 MOSFET 的漏极,并经由 Ag 浆料键合到芯片焊盘部的顶表面。

[0009] 硅芯片在其主表面上具有源极焊盘和栅极焊盘。源极焊盘和栅极焊盘由导电膜制成,该导电膜主要由形成于硅芯片的最上层上的 Al 膜构成。源极焊盘具有比栅极焊盘更宽的面积以降低功率 MOSFET 的导通电阻。基于类似的原因,硅芯片的整个背表面形成功率 MOSFET 的漏极。

[0010] 在模制树脂的外部,露出构成 SOP8 的外部连接端子的源极引线、漏极引线、和栅极引线。源极引线和源极焊盘,以及栅极引线和栅极焊盘经由 Au 线彼此电耦合。具有小面积的栅极焊盘利用单条 Au 线耦合至栅极引线。另一方面,具有比栅极焊盘宽的面积 of 的源极焊盘利用多条 Au 线电耦合至源极引线。

[0011] 但是,在具有这种结构的 SOP8 中,不能充分地降低源极焊盘与 Au 线或者源极引线
与 Au 线之间的接触电阻。由于源极焊盘或源极引线
与 Au 线之间的小接触面积使得即使通过增加 Au 线的数目也难以提供足够的接触面积,因此产生降低接触电阻的上述困难。而
为了获得许多 Au 线的耦合而增加源极焊盘的面积增加了硅芯片的尺寸,因此增加了其在
SOP8 中的安装面积。

[0012] 本发明的一个目的是提供能够实现具有低导通电阻的小表面安装封装的技术。

[0013] 本发明的另一目的是提供能够实现表面安装封装的尺寸减小的技术。

[0014] 本发明的又一目的是提供能够实现表面安装封装的产率和可靠性的提高的技术。

[0015] 本发明的再一目的是提供能够实现表面安装封装的生产成本的降低的技术。

[0016] 本发明的上述及其它目的和新颖特征将从此处的描述和附图中变得清楚。

[0017] 接下来简述此处公开的本发明的典型发明的概要。

[0018] 本发明的半导体器件具有已经被安装到引线框的芯片焊盘部分上的半导体芯片,
该半导体芯片利用树脂封装密封,并使得引线框的外引线部分露在树脂封装外部,其中引
线框具有栅极引线、源极引线、漏极引线、和与漏极引线集成的芯片焊盘部分。半导体芯片
在其主表面上具有:栅极焊盘,耦合至功率 MOSFET 的栅电极;源极焊盘,耦合至功率 MOSFET
的源极,且具有比栅极焊盘的面积大的面积。半导体芯片的背面形成功率 MOSFET 的漏极,
并利用 Ag 浆料耦合到芯片焊盘部分上。源极引线利用 Al 带耦合至源极焊盘。

[0019] 在本发明中,术语“Al 带”指的是主要由 Al 构成的导电材料所制成的带状连接器。
Al 带通常在被绕卷轴卷绕时安装在键合设备中。Al 带例如通过超声键合或激光键合被耦
合至引线或焊盘。由于 Al 带非常薄,在其耦合至引线或焊盘时它的长度和环形状可以自由
确定。

[0020] 有一种称为夹片 (clip) 的材料,作为类似于 Al 带的连接器。夹片是由例如 Cu 合
金或 Al 制成的薄金属片,并被预先模制或形成为预定环形状和预定长度。当夹片耦合至引
线和焊盘时,夹片的一端放置在引线上,另一端放置在焊盘上,且它们同时耦合。耦合方法
的实例包括焊料键合、Ag 浆料键合、和超声键合。

[0021] 在本发明中,术语“带”指的是包含夹片的连接器。带的长度或环形状可以根据引
线或焊盘的面积或者引线和焊盘之间的距离自由确定,不过,所述带优选为其环形状和长
度已经预先确定的夹片。

[0022] 接下来将简述此处公开的本发明的典型发明可以获得的优点。

[0023] 本发明可以实现具有低导通电阻的表面安装半导体器件。

附图说明

[0024] 图 1 为示出根据本发明实施例 1 的半导体器件的外观的平面图;

[0025] 图 2 为示出根据本发明实施例 1 的半导体器件的外观的侧视图;

[0026] 图 3 为示出根据本发明实施例 1 的半导体器件的内部结构的平面图;

[0027] 图 4 为沿图 3 的 A-A 线所取的截面图;

[0028] 图 5 为沿图 3 的 B-B 线所取的截面图;

[0029] 图 6 为示出在半导体芯片上形成的功率 MOSFET 的局部截面图;

[0030] 图 7 为示出最上层的导电膜以及位于导电膜下方的栅电极的平面图,该导电膜包

括源极焊盘、栅极焊盘、形成在硅芯片上方的栅极互连；

[0031] 图 8 为示出根据本发明实施例 1 的半导体器件的制造步骤的一个实例的流程图；

[0032] 图 9 示出在将 Al 带楔入键合到硅芯片的源极焊盘时将振荡能添加到 Ag 浆料的方式；

[0033] 图 10 解释用于导出 Ag 浆料的最佳弹性模量的选择指南等式；

[0034] 图 11 为示出四个 Ag 浆料的抗断试验的结果的图表，用于确认选择指南等式的有效性；

[0035] 图 12 为示出 Ag 浆料的弹性模量与剪切强度的关系的测量结果的图表；

[0036] 图 13 为示出根据实施例 2 的半导体器件的内部结构的平面图；

[0037] 图 14 为示出利用键合工具同时键合多个 Al 带的步骤的局部透视图；

[0038] 图 15 为示出根据本发明实施例 3 的半导体器件的内部结构的平面图；

[0039] 图 16 为示出根据本发明实施例 4 的半导体器件的内部结构的平面图；

[0040] 图 17 为示出根据本发明实施例 5 的半导体器件的内部结构的平面图；

[0041] 图 18 为示出根据本发明实施例 6 的半导体器件的外观的平面图；

[0042] 图 19 为示出根据本发明实施例 6 的半导体器件的外观的平面图；

[0043] 图 20 为示出根据本发明实施例 6 的半导体器件的内部结构的平面图；

[0044] 图 21 为沿图 20 的 C-C 线所取的截面图；

[0045] 图 22 示意性地示出根据本发明实施例 6 的半导体器件的操作；

[0046] 图 23 为示出在根据本发明实施例 6 的半导体器件的制造步骤期间夹片与引线的接触区的局部平面图；

[0047] 图 24 为示出在硅芯片上形成的 IGBP 的局部截面图；

[0048] 图 25 示出使用本发明的实施例 6 的半导体器件的一个电路实例；

[0049] 图 26 为示出根据本发明实施例 7 的半导体器件的内部结构的平面图；

[0050] 图 27 为沿图 26 的 D-D 线所取的截面图；

[0051] 图 28 为沿图 26 的 E-E 线所取的截面图；

[0052] 图 29 为沿图 26 的 F-F 线所取的截面图；

[0053] 图 30 为示出根据本发明实施例 7 的半导体器件的内部结构的平面图；

[0054] 图 31 为沿本发明的 G-G 线所取的截面图；

[0055] 图 32 为沿图 30 的 H-H 线所取的截面图；

[0056] 图 33 为示出根据本发明另一实施例的半导体器件的内部结构的平面图；

[0057] 图 34 为示出根据本发明再一实施例的半导体器件的内部结构的平面图；

[0058] 图 35 为示出根据本发明又一实施例的半导体器件的内部结构的平面图。

具体实施方式

[0059] 以下将基于附图具体描述本发明的实施例。在用于例示本发明实施例的所有附图中，具有相同功能的部件由相同的标号来标识，并将省略重复的描述。在用于例示本发明实施例的附图中，即便是平面图有时也带有阴影线，以辅助理解其构成。

[0060] 实施例 1

[0061] 图 1 至图 5 示出根据本实施例的半导体器件，其中图 1 为的该半导体器件的外观

平面图；图 2 为其外观侧视图；图 3 为其内部结构的平面图；图 4 为沿图 3 的 A-A 线所取的截面图；图 5 为沿图 3 的 B-B 线所取的截面图。

[0062] 本实施例的半导体器件 1A 适用于 SOP8, SOP8 是一种小表面安装封装。构成 SOP8 的外部连接端子的八条引线 4 中的每一个的外引线部露在由环氧树脂制成的模制树脂 2 的外部。在图 1 所示的引线 4 中, 第一至第三引线为源极引线, 第四引线为栅极引线, 第五至第八引线为漏极引线。

[0063] 在模制树脂 2 内密封其上具有功率 MOSFET 的硅芯片 3 (将在后文描述)。该功率 MOSFET 用于例如便携式信息装置的功率控制开关或充电 / 放电保护电路。硅芯片 3 具有例如 3.9mm (长边) × 2.2mm (短边) 的平面形状。

[0064] 硅芯片 3 安装在芯片焊盘部 4D 上, 硅芯片的主表面向上, 其中芯片焊盘部 4D 与形成漏极引线的四条引线 4 (第五至第八引线) 集成。硅芯片 3 的背面形成功率 MOSFET 的漏极, 并经由 Ag 浆料 5 键合到芯片焊盘部 4D 的顶表面。芯片焊盘部 4D 和八条引线 4 (第一引线至第八引线) 由 Cu 或 Fe-Ni 合金制成, 并且它们在其表面上分别具有三层 (Ni/Pd/Au) 镀层 (未示出), 该镀层通过在用作主成分的 Pd 膜上方和下方堆叠 Ni 膜和 Au 膜而获得。主要由 Pd 膜构成的镀层的作用将在后文描述。

[0065] 源极焊盘 (源电极) 7 和栅极焊盘 8 形成在硅芯片 3 的主表面上。源极焊盘 7 和栅极焊盘 8 由形成硅芯片 3 的最上层、且主要由 Al 膜构成的导电膜制成。源极焊盘 7 具有比栅极焊盘 8 更宽的面积, 以降低功率 MOSFET 的导通电阻。由于类似的理由, 硅芯片 3 的整个背面形成功率 MOSFET 的漏极。

[0066] 在本实施例的半导体器件 1A 中, 形成源极引线的三条引线 4 (第一至第三引线) 在模制树脂 2 内彼此耦合。耦合部经由 Al 带 10 与源极焊盘 7 电耦合。Al 带 10 的厚度约为 0.1mm, 宽度约为 1mm。为了降低功率 MOSFET 的导通电阻, 最好使得 Al 带 10 的宽度接近源极焊盘 7 的宽度, 从而增大 Al 带 10 和源极焊盘 7 之间的接触面积。形成栅极引线的引线 4 (第四引线) 经由 Au 线 11 与栅极焊盘 8 电耦合。

[0067] 以下将描述在硅芯片 3 上形成的功率 MOSFET。图 6 为示出作为功率 MOSFET 的一个实例的 n 沟道沟槽栅极功率 MOSFET 的硅芯片 3 的局部截面图。

[0068] n^+ 型单晶硅衬底 20 在其主表面上具有通过外延生长形成的 n^- 型单晶硅层 21。 n^+ 型单晶硅衬底 20 和 n^- 型单晶硅层 21 构成功率 MOSFET 的漏极。

[0069] 在 n^- 型单晶硅层 21 的一部分中形成 p 阱 22。在 n^- 型单晶硅层 21 的部分表面上形成氧化硅膜 23, 而在 n^- 型单晶硅层 21 的其它部分中形成多个沟槽 24。由氧化硅膜 23 覆盖的 n^- 型单晶硅层 21 的区域构成元件隔离区, 而其中形成沟槽 24 的区域构成元件形成区 (有源区)。尽管未示出, 但沟槽 24 具有多边平面形状 (例如, 方形、六边形或八边形) 或者在一个方向延伸的带状。

[0070] 每个沟槽 24 在其底表面和侧表面上具有用于构成功率 MOSFET 的栅极氧化膜的氧化硅膜 25。沟槽 24 填充有用于构成功率 MOSFET 的栅电极的多晶硅膜 26A。另一方面, 氧化硅膜 23 上具有由多晶膜制成的栅引线电极 26B, 该多晶膜在与构成栅电极的多晶硅膜 26A 相同的步骤中沉积。栅电极 (多晶硅膜 26A) 和栅引线电极 26B 在未示出的区域中电耦合。

[0071] 在元件形成区的 n^- 型单晶硅层 21 中, 形成比沟槽 24 浅的 p^- 型半导体区 27。该 p^- 型半导体区 27 构成功率 MOSFET 的沟道层。 p^- 型半导体区 27 上具有 p 型半导体区 28, p

型半导体区 28 的杂质浓度高于 p^- 型半导体区 27。 p 型半导体区 28 上具有 n^+ 型半导体区 29。 p 型半导体区 28 构成功率 MOSFET 的穿通停止层,而 n^+ 型半导体区 29 构成功率 MOSFET 的源极。

[0072] 在其中构成功率 MOSFET 的元件形成区上,以及在其中形成栅极引线电极 26B 的元件隔离区上,形成氧化硅膜 30 和 31 作为两层。在元件形成区中,形成连接孔 32,连接孔 32 穿透氧化硅膜 31 和 30、 p 型半导体区 28 和 n^+ 型半导体区 29,到达 p^- 型半导体区 27。在元件隔离区,形成连接孔 33,连接孔 33 穿透氧化硅膜 31 和 30,到达栅极引线电极 26B。

[0073] 在包含连接孔 32 和 33 内侧的氧化硅膜 31 上,形成各自都由薄 TiW(钛钨)膜和厚 Al 膜的叠置膜制成的源极焊盘 7 和栅极互连 34。在元件形成区中形成的源极焊盘 7 经由连接孔 32 电耦合至功率 MOSFET 的源极(n^+ 型半导体区 29)。连接孔 32 在其底部具有 p^+ 型半导体区 35,用于使得源极焊盘 7 与 p^- 型半导体区 27 进行欧姆接触。形成在元件隔离区的栅极互连 34 经由连接孔 33 下方的栅极引线电极 26B 耦合至功率 MOSFET 的栅电极(多晶硅膜 26A)。

[0074] 通过楔形键合(wedge bonding)方法将 Al 带 10 的一端电耦合至源极焊盘 7。源极焊盘 7 优选具有氧化硅膜 31 和 30 上的 3 微米或更大的厚度,以在键合 Al 带 10 时减轻对功率 MOSFET 的冲击。

[0075] 图 7 为示出作为最上层的导电膜的平面图,该导电膜包括形成于硅芯片 3 上的源极焊盘 7、栅极焊盘 8 和栅极互连 34,以及形成在硅芯片 3 下的栅电极(多晶硅膜 26A)。栅极互连 34 电耦合至栅极焊盘 8,源极焊盘 7 电耦合至 Al 互连 36。硅芯片 3 在其周边具有 Al 互连 37 和 38。栅极焊盘 8 和 Al 互连 36、37 和 38 由位于与源极焊盘 7 和栅极互连 34 的导电膜相同的层中的导电膜(TiW 膜和 Al 膜的叠层)制成。在实际硅芯片 3 中,栅极互连 34 和 Al 互连 36、37 和 38 覆盖有表面保护膜(未示出),从而在最上导电膜中,仅源极焊盘 7 和栅极焊盘 8 从硅芯片 3 的表面露出。应该注意,在图 7 所示的实例中,其中形成栅电极(多晶硅膜 26A)的沟槽 24 为正方平面形,因而栅电极(多晶硅膜 26A)也为正方平面形。

[0076] 图 8 为示出本实施例的半导体器件 1A 的制造步骤的一个实例的流程图。半导体器件 1A 的制造开始于根据已知的制造方法在硅晶片上构成功率 MOSFET。然后将硅晶片切片成硅芯片 3。制备其中形成有引线 4 和芯片焊盘部 4D 的引线框。利用 Ag 浆料 5 将硅芯片 3 安装到(芯片键合)到芯片焊盘部 4D 上。

[0077] 通过已知的采用超声波的楔形键合方法,将 Al 带 10 键合在硅芯片 3 的源极焊盘 7 与构成源极引线的引线 4(其中第一至第三引线已经彼此集成的部分)之间。然后,通过已知的采用热和超声波的球键合方法,将 Au 线 11 键合在硅芯片 3 的栅极焊盘 8 与构成栅极引线的引线 4(第四引线)之间。Al 带 10 的键合和 Au 线 11 的键合可以任意次序进行。

[0078] 利用模具,使用模制树脂 2 密封硅芯片 3(和芯片焊盘部 4D、Al 带 10、Au 线 11、和引线 4 的内引线部分)。然后为模制树脂 2 的表面标记产品名称、生产号等等。在切割和去除露在模制树脂 2 外部的引线 4 的多余部分之后,将引线 4 形成为翅(gull-wing)形。在用于将好产品与缺陷产品区分开来的分类步骤之后,完成半导体器件 1A。

[0079] 在本实施例中,具有比 Au 线 11 更宽面积的 Al 带 10 用作导电材料,用于将具有比栅极焊盘 8 较宽面积的源极焊盘 7 电耦合至源极引线(引线 4)。当 Al 带 10 被楔形键合到源极焊盘的表面时,键合工具 12 的大振荡能不仅增加到硅芯片 3 的表面,而且增加到位于

硅芯片 3 和芯片焊盘部 4D 之间的 Ag 浆料 5, 如图 9 所示。因此, 期望选择性地使用具有最佳弹性模量 (Pa) 的 Ag 浆料 5, 作为克服由于键合工具的大振荡能而导致在 Ag 浆料 5 中产生断裂的手段。

[0080] 在本实施例中, 通过如下的等式 (1) 定义 Ag 浆料 5 的弹性模量 (Pa) :

[0081] 弹性模量 (Pa) = $2.6 \times \text{粘合厚度} (\mu\text{m}) / \text{断裂位移} (\mu\text{m}) \times \text{剪切强度 (Pa)}$
(1)

[0082] 在等式 (1) 中, 粘合厚度为 Ag 浆料的厚度 (μm), 剪切强度 (Pa) 为剪切方向的力 / 截面面积 (粘合面积)。断裂位移 (μm) 从图 10 所示的计算等式中导出。由于如下的不等式: 断裂位移 > 允许 A1 带的超声键合的位移 (在 A1 带超声键合期间由键合工具的振荡所导致的 Ag 浆料的位移量) 成立, 本实施例的 Ag 浆料 5 所需的弹性模量 (Pa) 的选择指南等式推导为 { 弹性模量 (Pa) < $2.6 \times \text{粘合厚度} (\mu\text{m}) / \text{允许 A1 带的超声键合的位移} (\mu\text{m}) \times \text{剪切强度 (Pa)}$ }。

[0083] 以下将描述所进行的用于确认选择指南等式的有效性的抗断试验。试验所用的四个市场可购的 Ag 浆料 ((1)-(4)) 各自的弹性模量、剪切强度、和粘合厚度在表 1 中示出。在 A1 带的超声键合期间 Ag 浆料 (1)、(3) 和 (4) 的位移量均为 0.128mm, 而 Ag 浆料 (2) 的位移量为 0.07mm。

[0084] 表 1

[0085]

	弹性模量	剪切强度	粘合厚度
Ag 浆料 (1)	5.30GPa	15.5MPa	15.4 μm
Ag 浆料 (2)	5.34GPa	8.6MPa	13.2 μm
Ag 浆料 (3)	2.42GPa	14.2MPa	24.4 μm
Ag 浆料 (4)	0.611GPa	3.8MPa	16.6 μm

[0086] 图 11 为示出用于确认选择指南等式的有效性的四个 Ag 浆料 ((1)-(4)) 的试验结果的图表。每个图表中的实线表示由等式 (1) 计算的各个 Ag 浆料 ((1)-(4)) 的弹性模量。

[0087] 实线下方的区域为满足选择指南等式的区域, 即可键合 (bondable) 区域。每个图表中的黑点表示各个 Ag 浆料 ((1)-(4)) 的实际弹性模量。

[0088] 根据试验结果, 其实际弹性模量满足选择指南等式的 Ag 浆料 ((3) 和 (4)) 没有断裂, 而不满足选择指南等式的 Ag 浆料 ((1) 和 (2)) 断裂了。因此, 已经从试验结果确认: 通过选择满足上述选择指南等式的 Ag 浆料 5 可以有效地避免由于键合工具的振荡能导致发生的 Ag 浆料的断裂。

[0089] 图 12 的图表示出当将 Ag 浆料的厚度设定为 10 μm 且以标准超声键合输出 (4W) 键合 A1 带时 Ag 浆料的剪切强度与弹性模量的关系的测量结果。图表中的开圆表示不出现断裂的实例, 而黑实圆表示出现断裂的实例。

[0090] 这些测量结果表明 Ag 浆料的弹性模量优选在 0.2GPa-5.3GPa 的范围内, 剪切强度 (MPa) 优选为 8.5MPa 或更大。在弹性模量小于 0.2GPa 时, 由于过小的 Ag 含量导致不能获

得期望的导电性。另一方面,在弹性模量超过 5.3GPa 时,由于太多的硬度阻止了在超声键合期间 Ag 浆料跟随振荡移动而变形,因此出现断裂。当 Ag 浆料具有小于 8.5MPa 的剪切强度时,它不能耐受在超声键合期间发生的冲击。

[0091] 以下将描述在引线框(芯片焊盘部 4D 和引线 4)表面上形成主要由 Pd 膜构成的镀层的作用。表格 2 示出在两种情况下,即在三个 (Ag、Ni、Pd) 镀层均形成在由 Cu 制成的引线框表面上的情况下和在不形成镀层的情况(裸 Cu)下,源极引线和 Al 带、栅极引线和 Au 线、芯片焊盘部和 Ag 浆料之间的粘合状况(A 指的是良好粘合,而 B 指的是差粘合)。

[0092] 表 2

[0093] 源极:Al 带,栅极:Au 线,芯片键合材料:Ag 浆料

[0094]

	镀材			
	Ag	Ni	Pd	裸 Cu
源极柱 - Al 带耦合	B	A	A	A
栅极柱 - Au 线耦合	A	B	A	B
芯片焊盘 - Ag 浆料耦合	A	B	A	B

[0095] 从表 2 明显可见,当在引线框表面上形成主要由 Pd 膜构成的镀层时,源极引线和 Al 带、栅极引线和 Au 线、以及芯片焊盘部与 Ag 浆料中的任意组合均展现良好的粘合状况。

[0096] 表 3

[0097] 源极:Al 带,栅极:Al 线,芯片键合材料:Ag 浆料

[0098]

	镀材			
	Ag	Ni	Pd	裸 Cu
源极柱 - Al 带耦合	B	A	A	A
栅极柱 - Al 线耦合	A	A	A	A
芯片焊盘 - Ag 浆料耦合	A	B	A	B

[0099] 从表 3 明显可见,当在引线框表面上形成主要由 Pd 膜构成的镀层时,甚至用 Al 线时栅极焊盘和栅极引线与之之间的耦合也展现良好的粘合状态。因此,在引线框表面上形成主要由 Pd 膜构成的镀层使得能将任意组合与仅一种镀材耦合,导致制造步骤的简化。

[0100] 根据本实施例,通过利用 Al 带 10 将构成源极引线的引线 4 耦合至源极焊盘 7,与利用 Au 线进行引线 4 和源极焊盘 7 之间的耦合相比可以使得键合面积更大,这使得能降低半导体器件 1A 的电阻。此外,由于 Al 带 10 的成本低于 Au 线的成本,因此可以进一步降低半导体器件 1A 的制造成本。当这些耦合所需的电阻相等时,与利用 Au 线进行引线 4 和源极焊盘 7 之间的耦合相比可以减小源极焊盘的尺寸从而减小硅芯片 3 的尺寸,进而也能够降低半导体器件 1A 的制造成本。

[0101] 本实施例使得能同时改进半导体器件 1A 的产率和可靠性,因为通过优化 Ag 浆料

5 的弹性模量和剪切强度可以防止由 A1 带 10 的超声键合而导致发生的 Ag 浆料 5 的断裂。

[0102] 本实施例通过在引线框（芯片焊盘部 4D 和引线 4）的表面上形成主要由 Pd 构成的镀层,使得能够实现从半导体器件 1A 消除 Pb。

[0103] 实施例 2

[0104] 图 13 为示出根据本实施例的半导体器件 (SOP8) 的内部结构的平面图。本实施例的半导体器件 1B 特征在于:构成源极引线的三条引线 4(第一至第三引线)由多条 A1 带 10 电耦合至源极焊盘 7。尽管对耦合至源极焊盘 7 的 A1 带 10 的数目没有特别限制,在图 13 中示出使用两条 A1 带 10 的耦合实例。

[0105] 半导体器件 (SOP8) 取决于其类型或生成状况而在硅芯片 3 的尺寸上有所不同。源极焊盘 7 的面积根据硅芯片的尺寸而变化。当必须采用多种不同宽度的 A1 带 10 来制造上述半导体器件时,管理这些 A1 带 10 非常麻烦。另一方面,当仅采用一种具有较窄宽度的 A1 带 10、且用于耦合的 A1 带 10 的数目根据源极焊盘 7 的面积而改变时,可以较容易和简单地管理 A1 带 10。

[0106] 对于多条 A1 带 10 至源极焊盘 7 的耦合而言,如图 14 所示的利用一个键合工具 12 同时键合多条 A1 带 10 的处理使得能够进行高效键合。

[0107] 由于通过利用多条 A1 带 10 将构成源极引线的引线 4 耦合至源极焊盘 7 使得键合面积变大,因此可以促进半导体器件 1B 的电阻减小。

[0108] 实施例 3

[0109] 图 15 为示出本实施例的半导体器件 (SOP8) 1C 的内部结构的平面图。本实施例的半导体器件 1C 特征在于:在硅芯片 3 的主表面上形成的栅极焊盘 8 的面积扩大,以及不仅源极焊盘 7 和引线 4、而且栅极焊盘 8 和引线 4(栅极引线)由 A1 带 10 耦合。

[0110] 根据本实施例,与利用 Au 线 11 进行栅极焊盘 8 和引线 4 之间的耦合相比,可以简化制造步骤。

[0111] 实施例 4

[0112] 图 16 为示出本实施例的半导体器件 (SOP8) 1D 的内部结构的平面图。本实施例的半导体器件 1D 特征在于:在模制树脂 2 外部露出的多条引线 4 中,源极引线由单条宽引线制成。

[0113] 在本实施例中,源极引线的宽度增加使得能进一步降低导通电阻。此外,通过使得在模制树脂 2 外部露出的引线 4 的宽度更宽,改进了热辐射性能,从而可以获得具有小热阻的半导体器件 1D。

[0114] 实施例 5

[0115] 图 17 为示出根据本实施例的半导体器件 (SOP8) 1E 的内部结构的平面图。本实施例的半导体器件 1E 特征在于:芯片焊盘部 4D 和引线 4(第一和第二引线)利用 A1 带 10 耦合。在这种情况下,第一引线、第二引线、以及第五至第八引线用作漏极引线,第三引线用作源极引线,而第四引线用作栅极引线。

[0116] 根据本实施例,热可以经由 A1 带 10 从芯片焊盘部 4D 释放到某些引线 4(第一和第二引线)。这种热辐射性能的改进导致具有小热阻的半导体器件 1E 的实现。

[0117] 实施例 6

[0118] 图 18 至 21 示出根据本实施例的半导体器件,其中图 18 为示出封装的顶表面的平

面图,图 19 为示出封装的底表面的平面图,图 20 为示出内部结构的平面图,图 21 为沿 C-C 线所取的截面图。

[0119] 根据本实施例的半导体器件 1F 适用于作为小表面安装封装的 VSON8。从由环氧树脂制成的模制树脂 40 的底部露出构成 VSON8 的外部连接端子的八条引线 41 的外引线部。在图 18 所示的八条引线 41 中,第一至第三引线用作发射极引线,第四引线用作栅极引线,第五至第八引线用作集电极引线。

[0120] 在根据上述实施例 1-5 的 SOP8 中,模制树脂 2 的外部尺寸为 $4.9\text{mm} \times 3.95\text{mm}$ (长边 $\times$ 短边),而在 VSON8 中,模制树脂 40 的外部尺寸为 $4.4\text{mm} \times 3.0\text{mm}$ (长边 $\times$ 短边)。在模制树脂 40 内,密封具有绝缘栅双极晶体管 (IGBT) 的硅芯片 42 (将在后文描述)。

[0121] 如图 20 所示,硅芯片 42 以主表面向上的方式安装在与构成集电极引线的四条引线 41 (第五至第八引线) 集成的芯片焊盘部 41D 上。硅芯片 42 的背面构成 IGBT 的集电极,并经由 Ag 浆料 5 键合到芯片焊盘部 41D 的顶表面。类似于上述 SOP8 的芯片焊盘部 4D 和引线 4,芯片焊盘部 41D 和八条引线 41 (第一至第八引线) 均由 Cu 或 Fe-Ni 合金制成。在它们的表面上,分别形成三层镀层 (Ni/Pd/Au) (未示出),该镀层具有用作主成分的 Pd 膜以及在其上方和下方堆叠的 Ni 膜和 Au 膜。

[0122] 在硅芯片 42 的主表面上,形成发射极焊盘 (发射电极) 43 和栅极焊盘 44。发射极焊盘 43 和栅极焊盘 44 由主要由 Al 膜构成、且形成硅芯片 42 的最上层的导电膜制成。发射极焊盘 43 具有比栅极焊盘 44 更宽的面积,以减小 IGBT 的导通电阻。由于类似的理由,硅芯片 42 的整个背面形成 IGBT 的漏电极。

[0123] 如图 20 所示,在本实施例的半导体器件 1F 中,构成发射极引线的三条引线 41 (第一至第三引线) 中的两条引线 41 (第一和第二引线) 在模制树脂 40 内彼此耦合,它们的耦合部经由 Al 带 45 电耦合至发射极焊盘 43。也构成发射极引线的剩余引线 41 (第三引线) 与上述两条引线 41 (第一和第二引线) 分离,并经由 Au 线 46 电耦合至发射极焊盘 43。构成栅极引线的引线 41 (第四引线) 经由另一 Au 线 46 电耦合至栅极焊盘 44。

[0124] 在构成发射极引线的三条引线 41 (第一至第三引线) 中,经由 Au 线 46 耦合至发射极焊盘 43 的第三引线构成用于驱动栅极的感测端子,而经由 Al 带 45 耦合至发射极焊盘 43 的第一和第二引线构成施加 (force) 端子。

[0125] 如图 22 所示,当在 IGBT 的栅电极和发射极引线之间施加栅极电压时,由于电流通过被耦合至发射极引线的线,产生电压降。该电压降导致硅芯片的表面和发射极引线之间的电位差。因此,输入硅芯片的电压变小与电位差相应的量。该电位差的影响表现为电流变大或者驱动电压变低。

[0126] 在本实施例中,为了克服上述问题,将发射极引线分成感测端子 (第三引线) 和施加端子 (第一和第二引线)。感测端子 (第三引线) 经由 Au 线 46 耦合至发射极焊盘 43,而施加端子 (第一和第二引线) 经由 Al 带 45 耦合至发射极焊盘 43。通过采用上述结构,当在栅电极和发射极引线之间施加栅极电压时,电流在电阻低于感测端子 (第三引线) 的施加端子 (第一和第二引线) 一侧流动,而几乎不在具有较高电阻的感测端子 (第三引线) 一侧流动。因此,在栅电极和发射极引线之间不出现电位差,从而在栅电极和发射极引线之间施加的栅极电压几乎无损失地被输入到硅芯片中。

[0127] 当将发射极引线分成感测端子 (第三引线) 和施加端子 (第一和第二引线) 时,

第一和第二引线之间的耦合面积减小。这使得当并行放置宽 A1 带 45 的长边和硅芯片 42 的长边（沿图 20 的水平方向的边）时难以进行键合。图 20 所示的引线 41 中的第一和第二引线与发射极焊盘 43 之间位置关系，或者发射极焊盘 43 的小面积，特别是其在图 20 的垂直方向上的小宽度，影响上述困难。

[0128] 在这种情况下，使用具有比图 20 所示的 A1 带 45 小的宽度的 A1 带使得能在并行排列它们的长边的情况下键合 A1 带和硅芯片 42。但是，使用具有较小宽度的 A1 带减小了与引线 41 的接触面积，导致它们之间的接触电阻的增加。

[0129] 在本实施例中，如图 20 所示，通过 A1 带 45 到硅芯片 42 一侧或者模制树脂 40 一侧的对角键合，实现宽 A1 带 45 到具有小面积的发射极焊盘 43 的表面的键合。此外，如图 20 所示，由于使得 A1 带 45 的一端与之键合的耦合部的宽度 (A) 宽于引线 41 的参考宽度 (B)，因此，即便 A1 带 45 采用对角布局，A1 带 45 也可以稳定地耦合至引线 41。

[0130] 当宽 A1 带 45 键合至具有小面积的引线 41 的耦合部时，键合装置的夹片和引线 41 之间接触面积减小，从而引线 41 不能由夹片安全地固定，存在 A1 带 45 和引线 41 之间的粘合力降低的危险。在本实施例中，如图 20 所示，通过使得构成施加端子的一部分引线 41（第一和第二引线）在构成感测端子的引线 41（第三引线）和芯片焊盘部 41D 之间延伸，增加构成施加端子的引线 41 的面积。

[0131] 如图 23 所示，上述在键合装置的夹片 47 和引线 41（第一和第二引线）之间的接触面积的增加，使得能够通过夹片 47 安全地键合引线 41。在 A1 带 45 在引线 41（第一和第二引线）表面上的楔形键合期间，键合工具的振荡能被安全地传输到 A1 带 45，导致 A1 带 45 和引线 41 之间的粘合力改进。

[0132] 接着将描述形成于硅芯片 42 上的 IGBT。图 24 为其上具有作为 IGBT 的一个实例的 n 沟道沟槽栅极 IGBT 的硅芯片 42 的局部截面图。

[0133] 在 p 型收集器层 60 上，形成 n 型外延层。该 n 型外延层由 n 型缓冲层 61 和其上的 n 型漂移层 (drift layer) 62 制成。n 型漂移层 61 上具有 p 型阱 63 和 p 型基极层 (base layer) 64。在 p 型基极层 64 的一部分中形成多个沟槽，所述沟槽穿透 p 型基极层 64，到达 n 型漂移层 62。

[0134] 在所述多个沟槽内侧，形成由氧化硅膜制成的栅极绝缘膜 65，并在栅极绝缘膜 65 内侧形成栅电极 66。在 p 型阱 63 上，经由氧化硅膜 67 形成栅极引线电极 66A。栅电极 65 和栅极引线电极 66A 均由 n 型多晶膜制成，并且它们在未示出的区域中彼此耦合。

[0135] 在 p 型基极层 64 的表面上，围绕多个沟槽形成 n 型发射极层 68 和 p 型接触层 69。

[0136] 在 n 沟道 IGBT 上，经由氧化硅膜 70 形成发射极焊盘 43。发射极焊盘 43 经由形成于氧化硅膜 70 中的接触孔耦合至 p 型接触层 69。在栅极引线电极 66A 上，经由氧化硅膜 70 形成栅极焊盘 44。栅极焊盘 44 经由形成于氧化硅膜 70 中的接触孔耦合至栅极引线电极 66A。发射极焊盘 43 和栅极焊盘 44 由例如 WSi（硅化钨）膜和 Al（铝）合金膜的叠层制成。

[0137] 除了其中形成发射极焊盘 43 和栅极焊盘 44 的区域之外，硅芯片 42 的表面由钝化膜 71 覆盖。钝化膜 71 由例如氧化硅膜和氮化硅膜的叠层制成。硅芯片 42 在其背面具有与 p 型集电极层 60 邻接的集电极电极 72。

[0138] 图 25 示出使用本实施例的半导体器件 1F 的电路的一个实例。以标号 73 表示的

是 IGBT 的驱动 IC,74 表示 Xe(氙气)管,75 表示触发变压器。

[0139] 实施例 7

[0140] 图 26 至图 29 示出根据本实施例的半导体器件,其中图 26 为示出封装的内部结构的平面图,图 27 为沿图 26 的 D-D 线所取的截面图,图 28 为沿图 26 的 E-E 线所取的截面图,图 29 为沿 F-F 线所取的截面图。

[0141] 本实施例的半导体器件 1G 适用于 WPAK(一种小表面安装封装)。在由环氧树脂制成的模制树脂 50 的外部露出构成 WPAK 的外部连接端子的八条引线 51 的外引线部。在图 26 所示的八条引线 51 中,第一至第三引线是源极引线,第四引线是栅极引线,第五至第八引线是漏极引线。

[0142] 在 WPAK 中,模制树脂 50 的外部尺寸为 $5.9\text{mm} \times 4.9\text{mm}$ (长边 $\times$ 短边)。类似于实施例 1,其上形成有功率 MOSFET 的硅芯片 52 密封在模制树脂 50 内。WPAK 的一个特点是:其上安装有硅芯片 52 的芯片焊盘部 51D 的背面露在模制树脂 50 外部,以及使得芯片焊盘部 51D 起到热沉的作用,以减小封装的热阻。

[0143] 硅芯片 52 以主表面向上的方式安装在芯片焊盘部 51D 上,芯片焊盘部 51D 与构成漏极引线的四条引线 51(第五至第八引线)集成。硅芯片 52 的背面构成功率 MOSFET 的漏极,并经由 Ag 浆料 5 键合到芯片焊盘部 51D 的上表面。芯片焊盘部 51D 和八条引线 51(第一至第八引线)均由 Cu 或 Fe-Ni 合金制成。在它们的表面上,分别形成三层沉积层(Ni/Pd/Au)(未示出),该沉积层具有用作主成分的 Pd 膜以及在其上方和下方堆叠的 Ni 膜和 Au 膜。

[0144] 在硅芯片 52 的主表面上,形成源极焊盘(源电极)53 和栅极焊盘 54。源极焊盘 53 和栅极焊盘 54 由主要由 Al 膜构成、且形成为硅芯片 52 的最上层的导电膜制成。源极焊盘 53 具有比栅极焊盘 54 更宽的面积,以减小功率 MOSFET 的导通电阻。由于类似的理由,硅芯片 52 的整个背面形成功率 MOSFET 的漏电极。

[0145] 类似于实施例 1 的半导体器件(SOP8)1A,在本实施例的半导体器件 1G 中,构成源极引线的三条引线 51(第一至第三引线)在模制树脂 50 内彼此耦合,且它们的耦合部经由 Al 带 55 电耦合至源极焊盘 53。构成栅极引线的引线 51(第四引线)经由一条 Au 线 56 电耦合至栅极焊盘 54。

[0146] 如上所述,在 WPAK 中,其上安装有硅芯片 52 的芯片焊盘部 51D 的背面在模制树脂 50 的外部露出。这种结构趋于导致如下问题:当由于它们之间的热膨胀系数差异而在模制树脂 50 和芯片焊盘部 51D(和引线 51)之间的界面处形成空间时,诸如水之类的外部物质通过该该空间渗透到模制树脂 50 中,破坏 Ag 浆料 5。特别是在功率 MOSFET 中,硅芯片 52 的背面构成漏电极,因此 Ag 浆料 5 的破坏导致漏电阻的增加。

[0147] 在本实施例中,作为针对上述问题的手段,沿芯片焊盘部 51D 的一侧(其上形成漏极引线的一侧)形成多个突起物 57,如图 26 所示,并且这些突起物 57 配备有阶差(step difference)57s,如图 28 的放大图所示。作为另一手段,沿芯片焊盘部 51D 的三侧(芯片焊盘部 51D 除其上形成突起物 57 的一侧之外的三侧)形成半蚀刻部,如图 28 的放大图所示。阶差 57s 可以通过例如突起物 57 的压力加工来形成。半蚀刻部 58 可以利用蚀刻掩模通过已知的半蚀刻技术来形成。

[0148] 因为通过阶差 57s 或半蚀刻部 58 可以停止由于模制树脂 50 和芯片焊盘部 51D 之

间的热膨胀系数差异而导致的界面分离（界面不对准）的扩展，因此在芯片焊盘部 51D 的周边形成的阶差 57s 或半蚀刻部 58 对于防止界面分离有效。

[0149] 针对模制树脂 50 和芯片焊盘部 51D 之间的界面分离的手段的进一步实例在图 30 至图 32 中示出，其中图 30 为示出封装的内部结构的平面图，图 31 为沿图 30 的 G-G 线所取的截面图，图 32 为沿图 30 的 H-H 线所取的截面图。请注意在图 30 中未示出硅芯片 52、Al 带 55 和 Au 线 56。

[0150] 在本实例中，沿芯片焊盘部 51D 的三侧（芯片焊盘部 51D 除沿其形成突起物 57 的一侧之外的三侧）形成多个突起物 59，并且这些突起物 59 分别配备弯曲部 59b，如图 32 的放大图所示。弯曲部 59b 可以通过例如使突起物 59 弯曲来形成。

[0151] 类似于阶差 57s 或半蚀刻部 58，在芯片焊盘部 51D 的周边形成的弯曲部 59b 防止了由于模制树脂 50 和芯片焊盘部 51D 之间的热膨胀系数差异而导致的界面分离（界面不对准）的扩展，因此它们对于防止界面分离有效。

[0152] 阶差 57s、半蚀刻部 58 和弯曲部 59b 可以单独形成或者组合形成。

[0153] 基于某些实施例具体描述了本发明人做出的本发明。不言而喻，本发明并不限于这些实施例，可以多种方式进行修改，而不脱离本发明的范围。

[0154] 例如，如图 33 所示，在实施例 1 的 SOP8 中，理想地，使得构成源极引线的三条引线 4（第一至第三引线）的耦合部的宽度（A）宽于从模制树脂 2 露出的部分（外引线）的宽度（B）。这使得能够扩大 Al 带 10 和引线 4 之间的接触面积，从而降低它们之间的接触电阻。实施例 6 的 VSON8 和实施例 7 的 WPAK 也可以具有类似的优点。

[0155] 在实施例 4 中，通过由宽引线构成从模制树脂 2 露出的引线 4 的源极引线（参见图 16），意图获得导通电阻的降低和散热的改进。这些效果可以通过由一条宽引线构成每个源极引线和漏极引线进一步加强。

[0156] 如图 7 所示，在硅芯片 3 的表面上形成许多功率 MOSFET。如图 35 所示，可以使得 Al 带 10 和功率 MOSFET 之间的距离均匀，通过在源极焊盘的表面上以近似相等的间距放置 Al 带 10，可以降低用于将 Al 带 10 耦合至功率 MOSFET 的源极焊盘 7 的电阻。

[0157] 在上述实施例中，利用 Ag 浆料将硅芯片安装到芯片焊盘部上，但是可以利用除 Ag 浆料之外的球结合材料（例如，无铅（Pb）焊料）将硅芯片安装到芯片焊盘部上。

[0158] 在上述实施例中，主要由 Pd 膜构成的镀层形成于引线框（芯片焊盘部 4D 和引线 4）的表面上。镀层并不限于此。例如，如表 2 所示，与 Al 带耦合的源极引线的表面可以镀 Ni 或 Pd（或裸 Cu）中的任一个，与 Al 线耦合的栅极引线的表面可以镀 Ag 或 Pd（或裸 Cu）中的任一个，涂覆 Ag 浆料的芯片焊盘部的表面可以镀 Ag 或 Pd 中的任一个。因此，源极引线、栅极引线和芯片焊盘部均可以镀最适合的材料。

[0159] 在上述实施例中，半导体器件适用于 SOP8、VSON8 或 WPAK，而它可以适用于需要具有低电阻的各种小表面安装封装。此外，形成于硅芯片上的元件并不限于功率 MOSFET 或 IGBT。

[0160] 在上述实施例中，Al 带用作将具有大面积的焊盘（源极焊盘或发射极焊盘）耦合至引线的材料，但是也可以使用由具有小电阻的其它金属材料（例如 Au 或 Cu 合金）制成的带。

[0161] 本发明可以为用作便携式信息装置的功率控制开关或充电 / 放电保护电路的半

导体器件所采用。

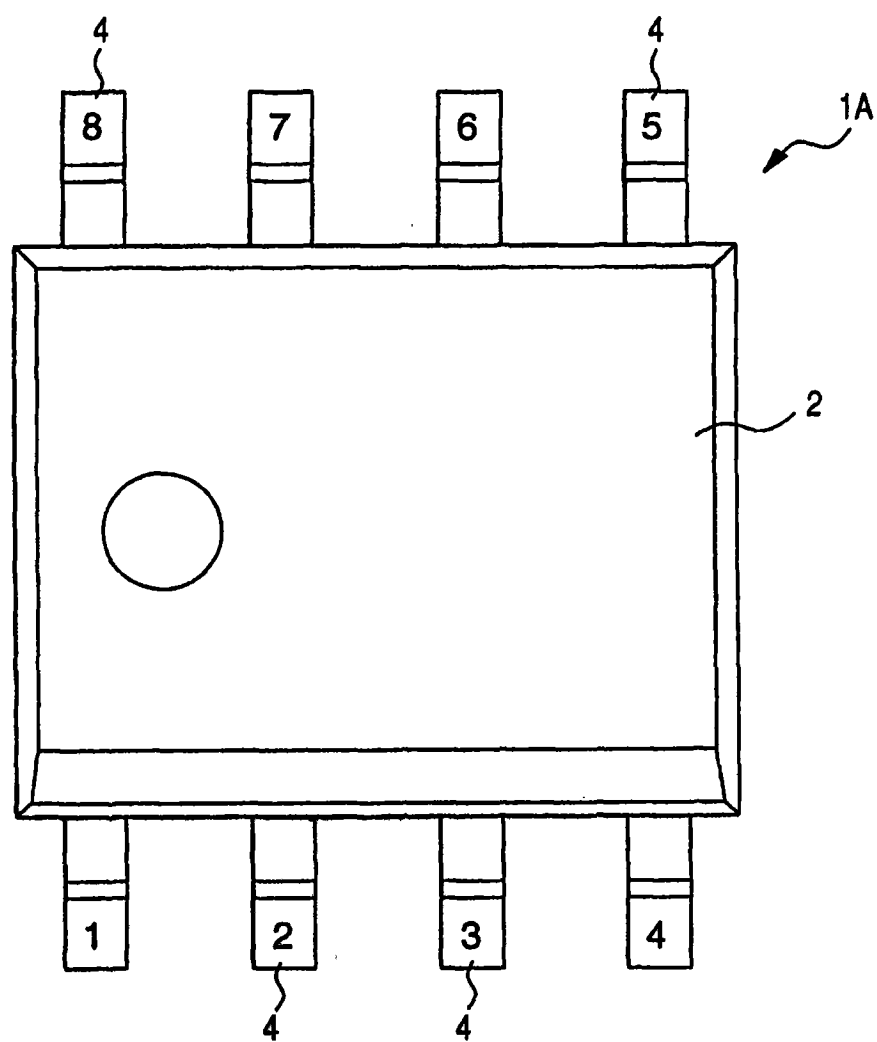


图 1

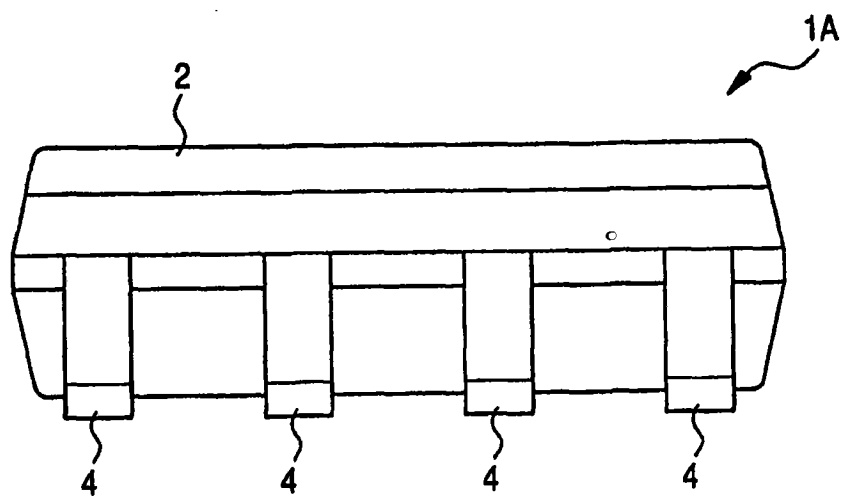


图 2

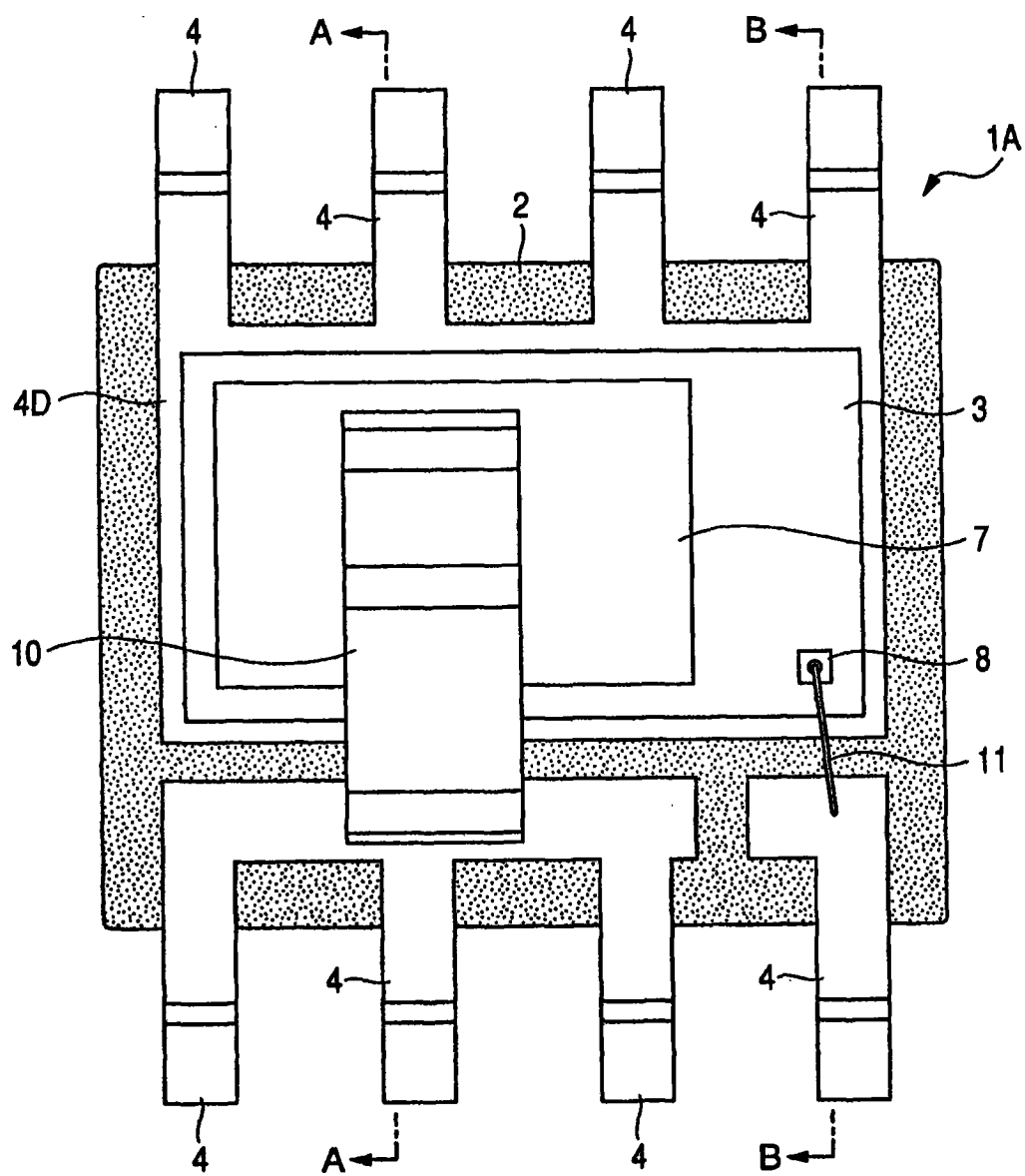


图 3

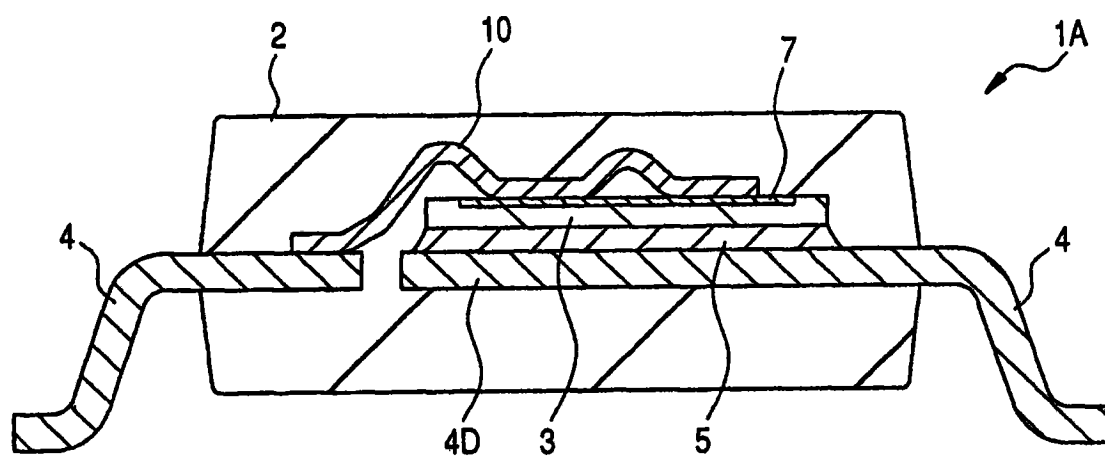


图 4

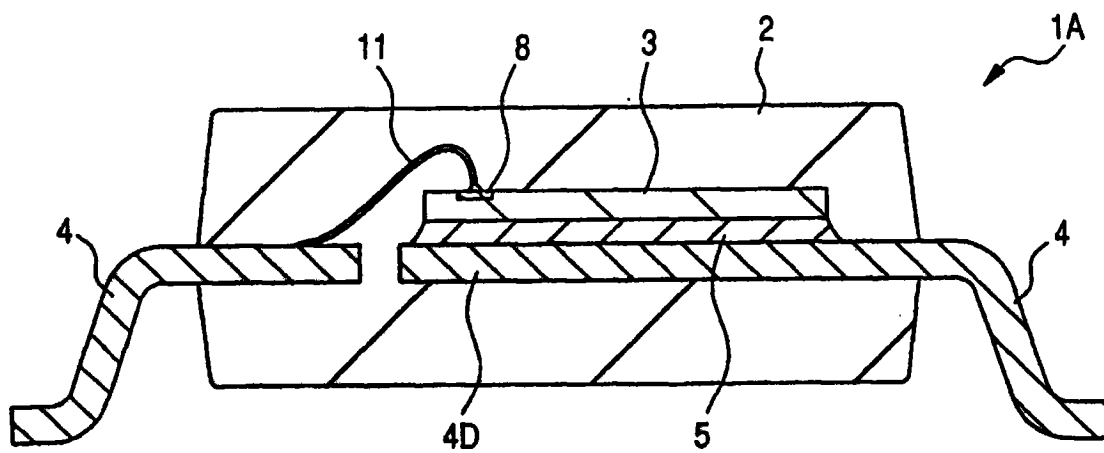


图 5

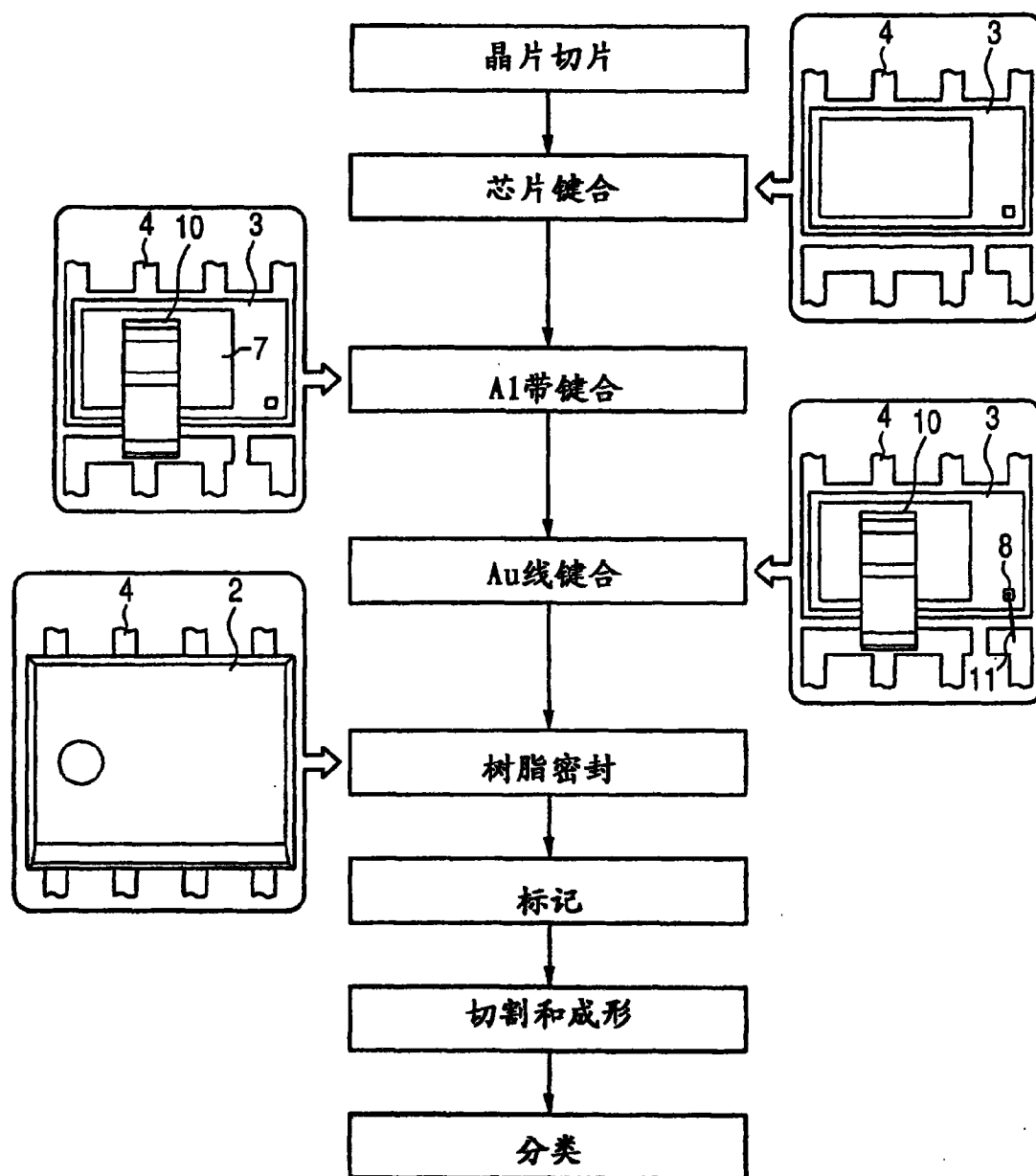


图 8

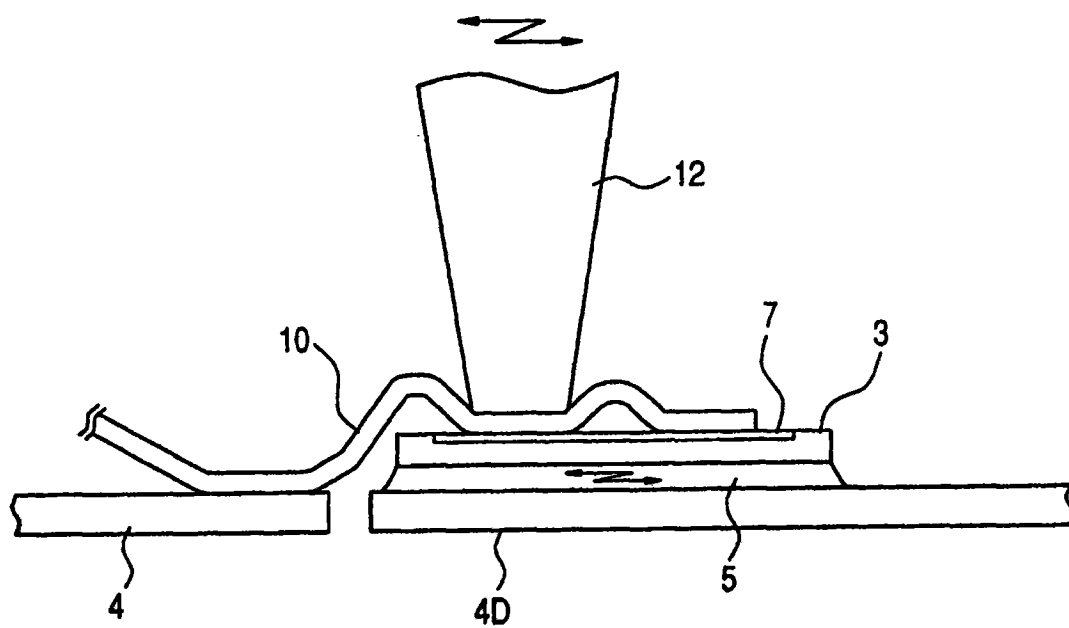


图 9

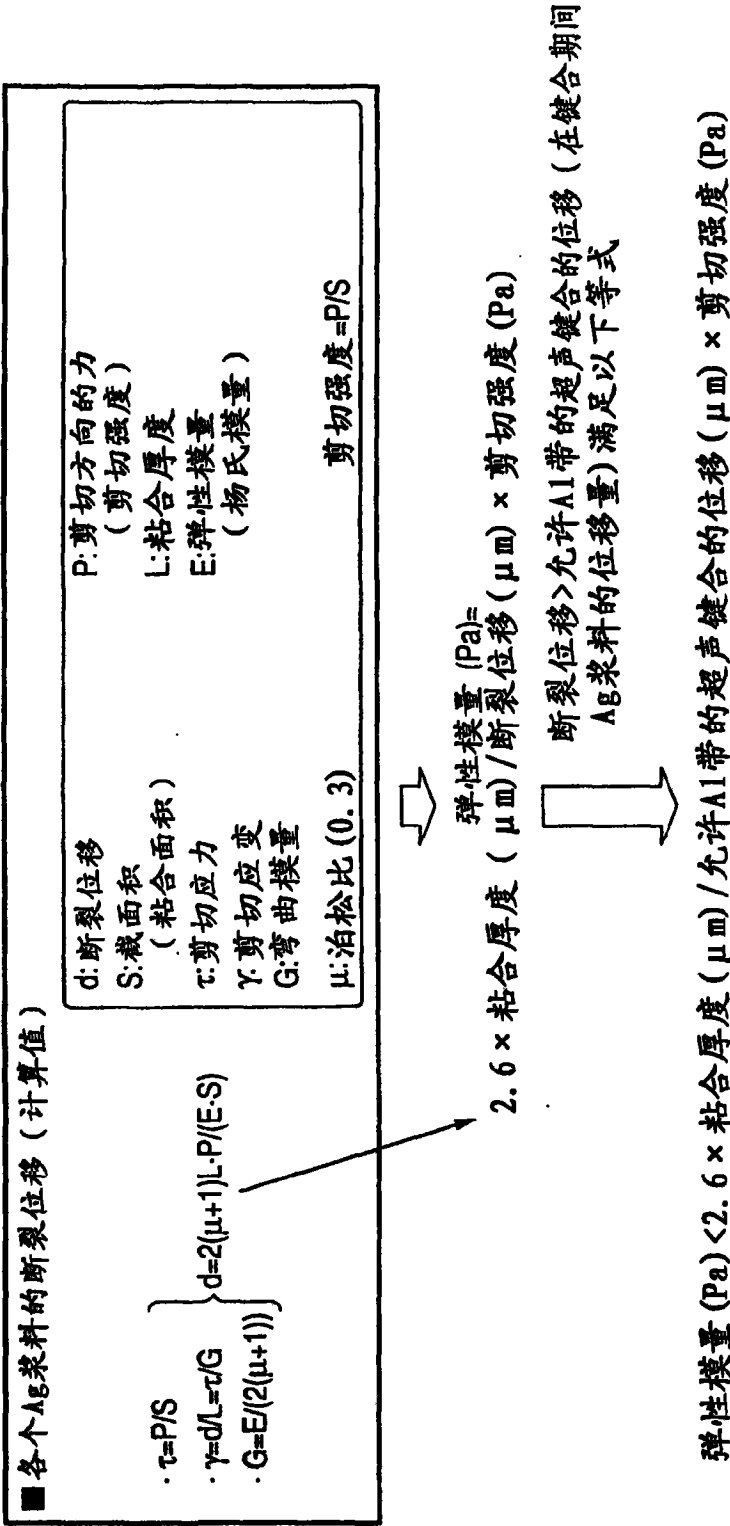


图10

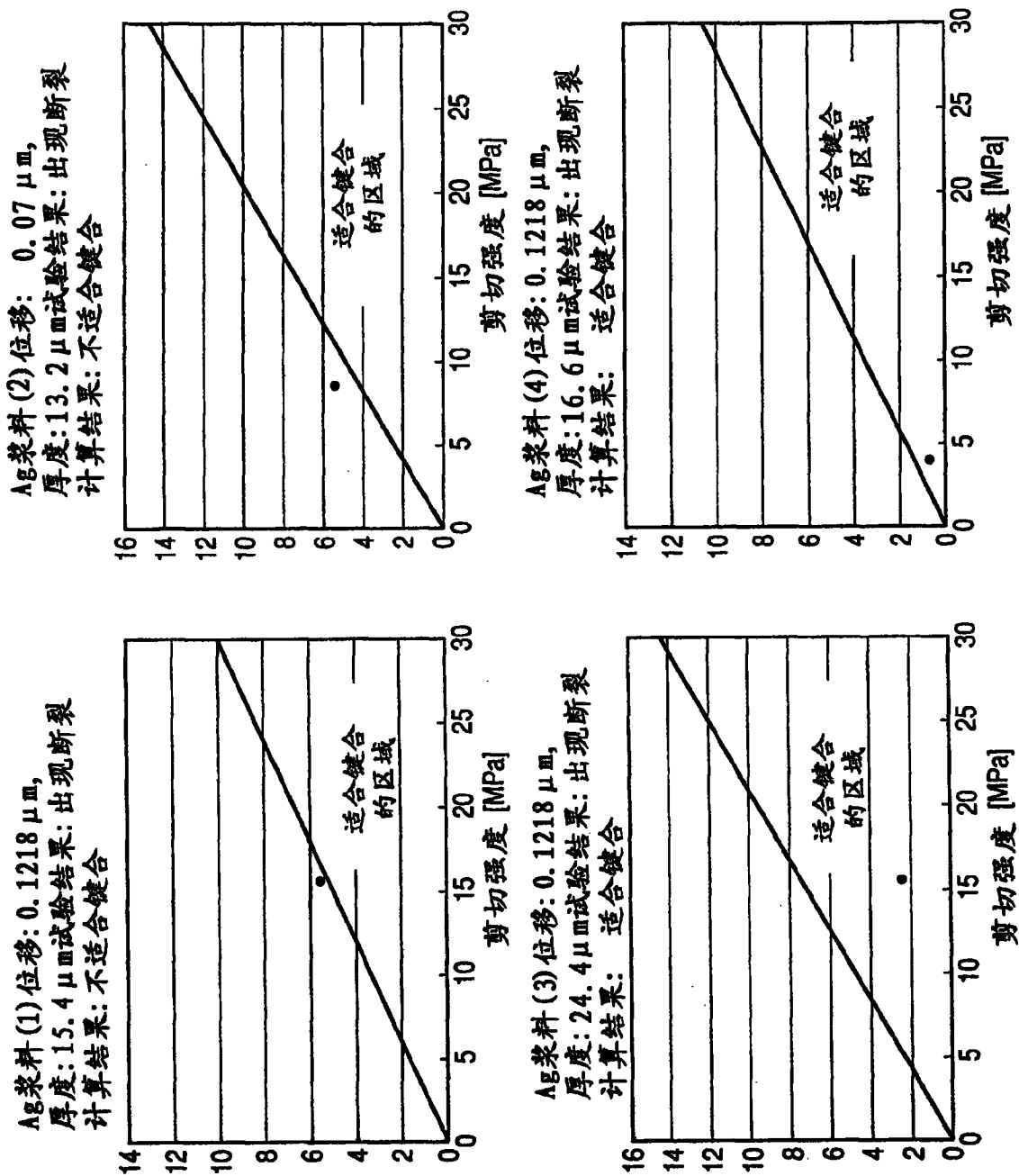


图 11

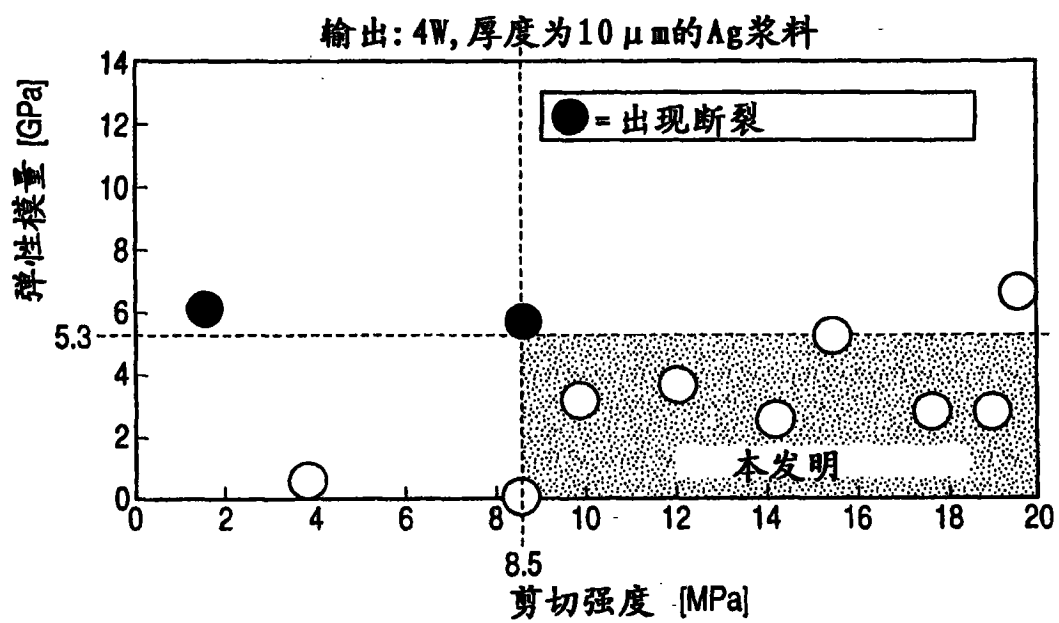


图 12

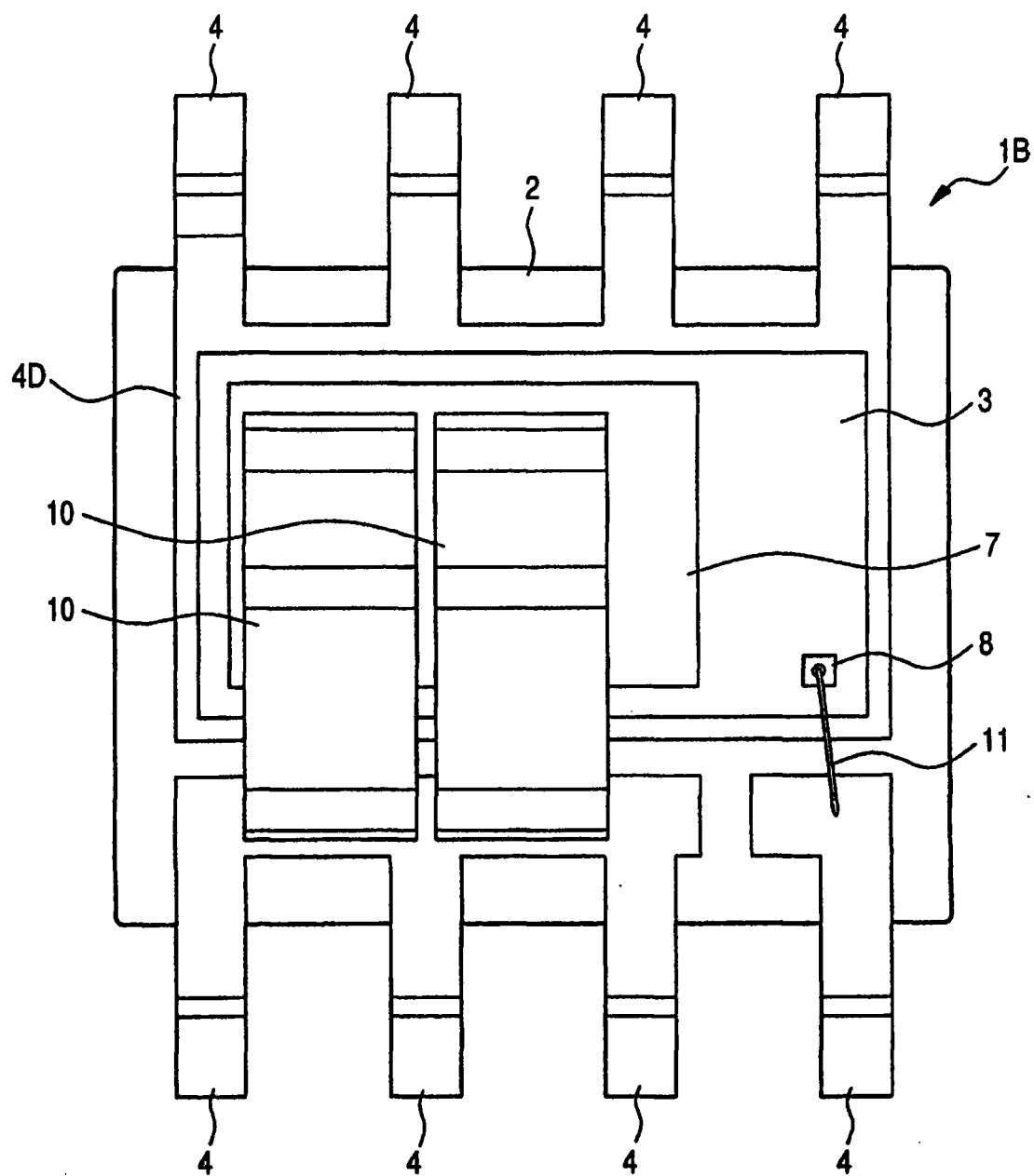


图 13

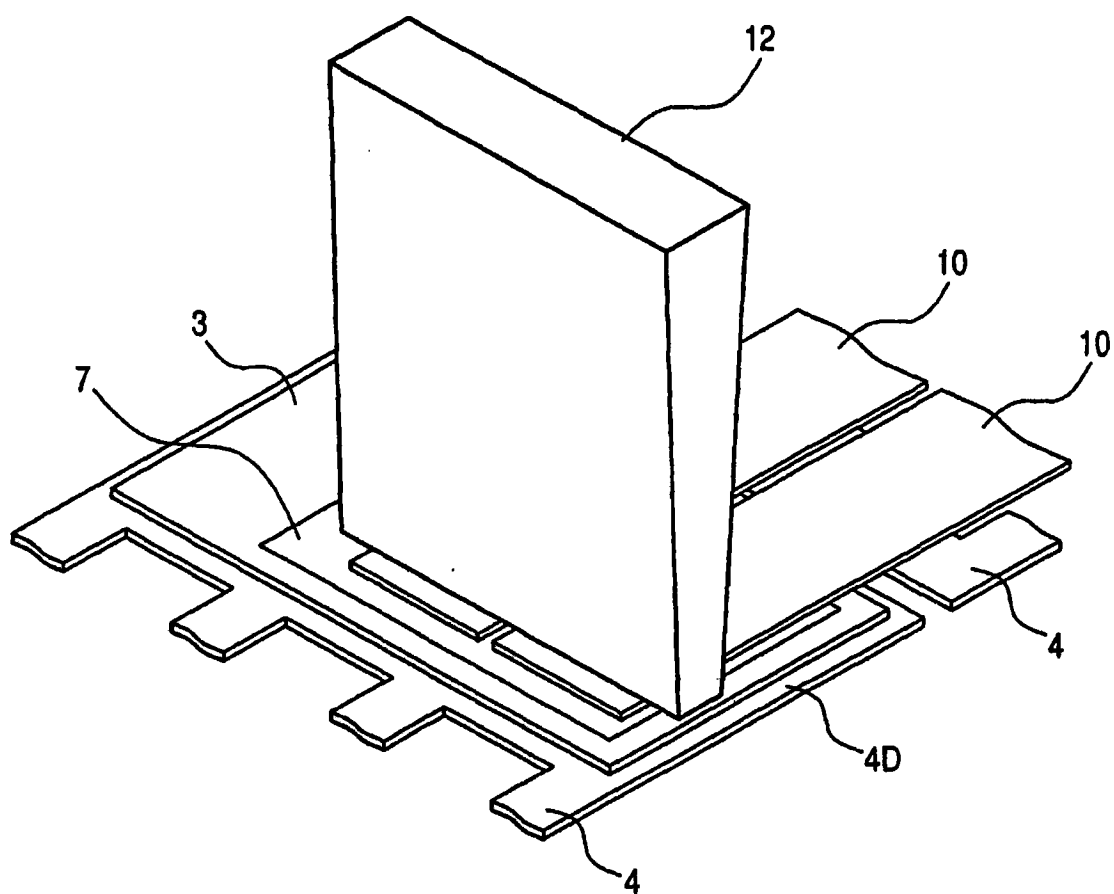


图 14

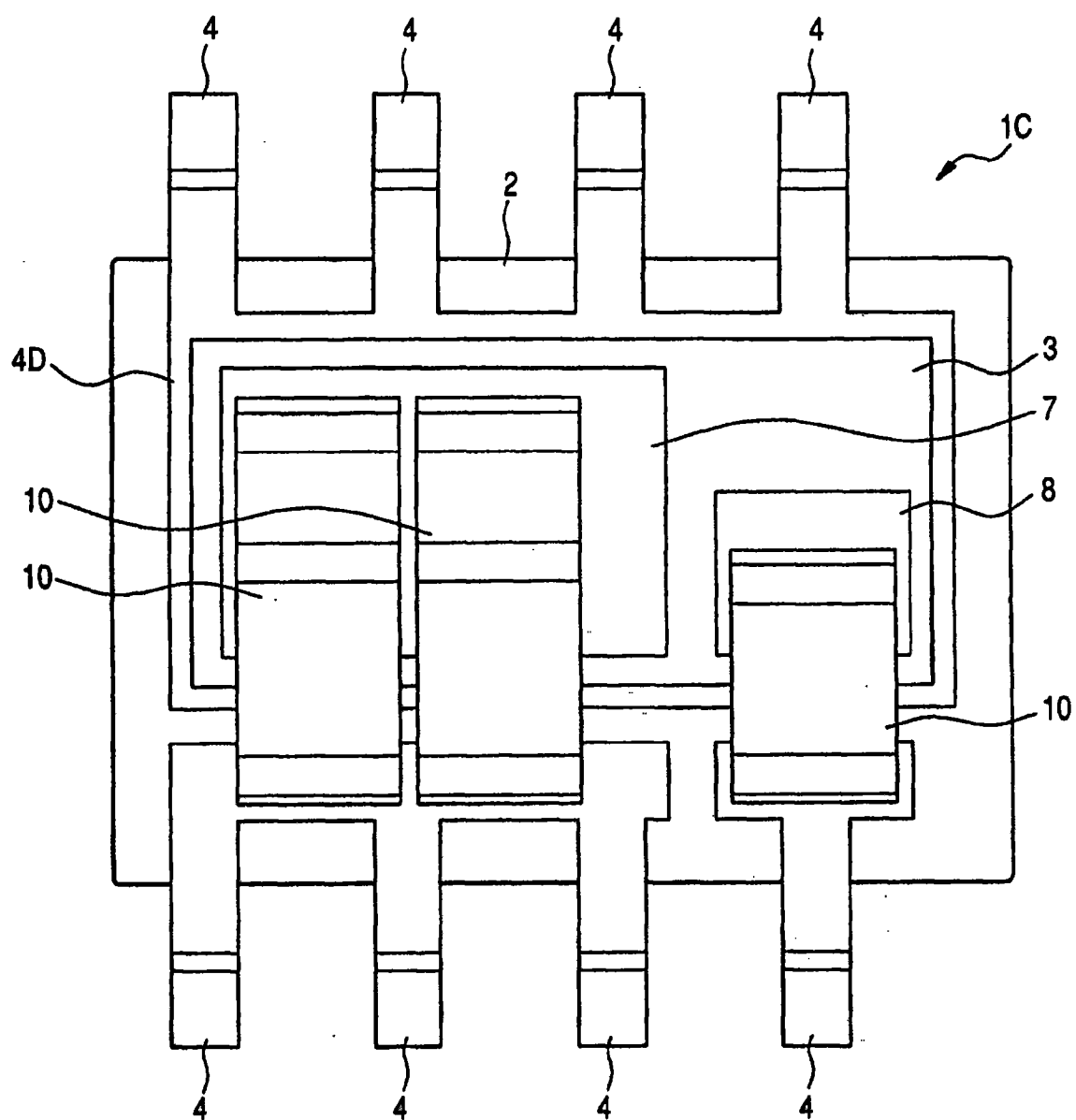


图 15

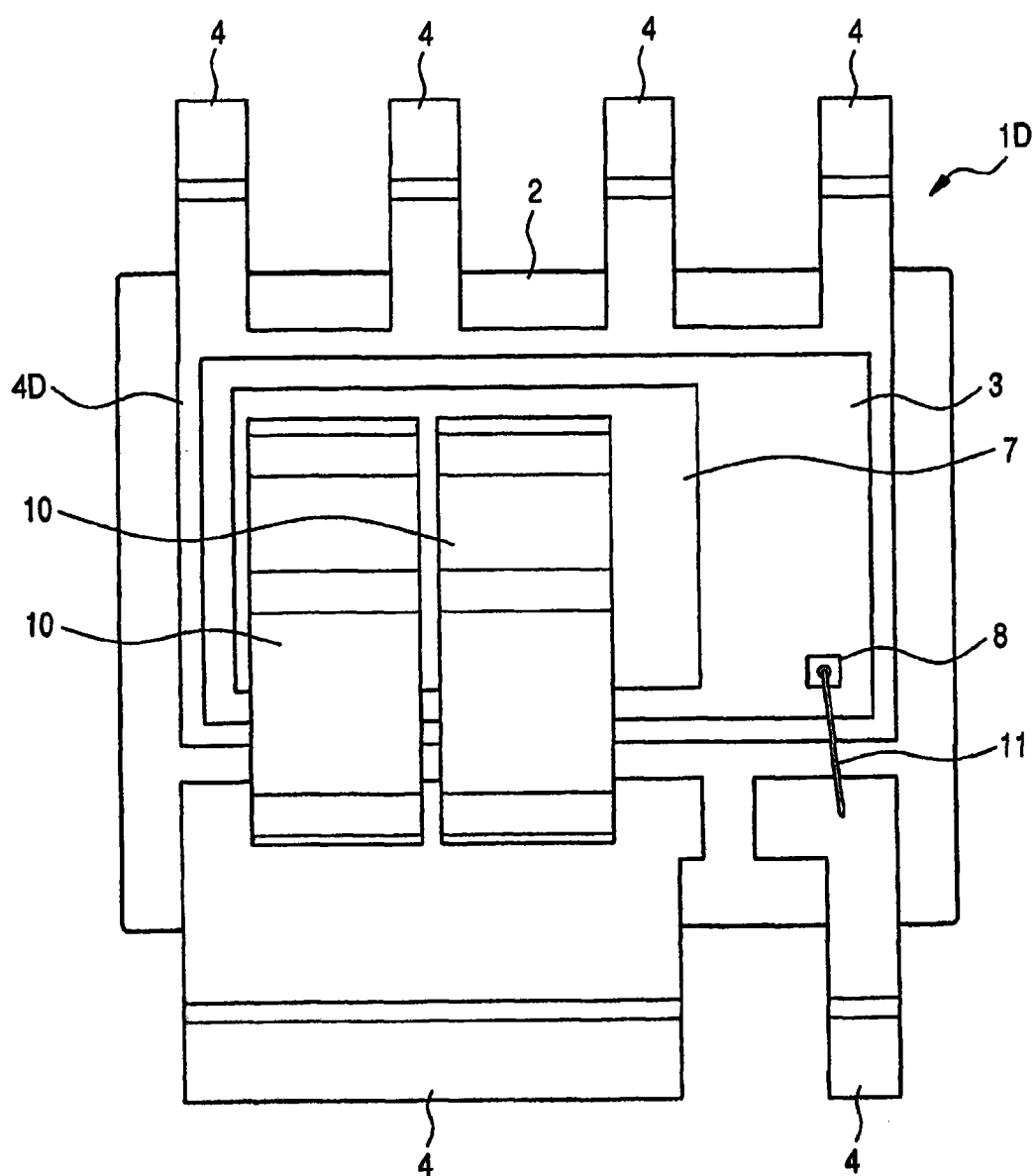


图 16

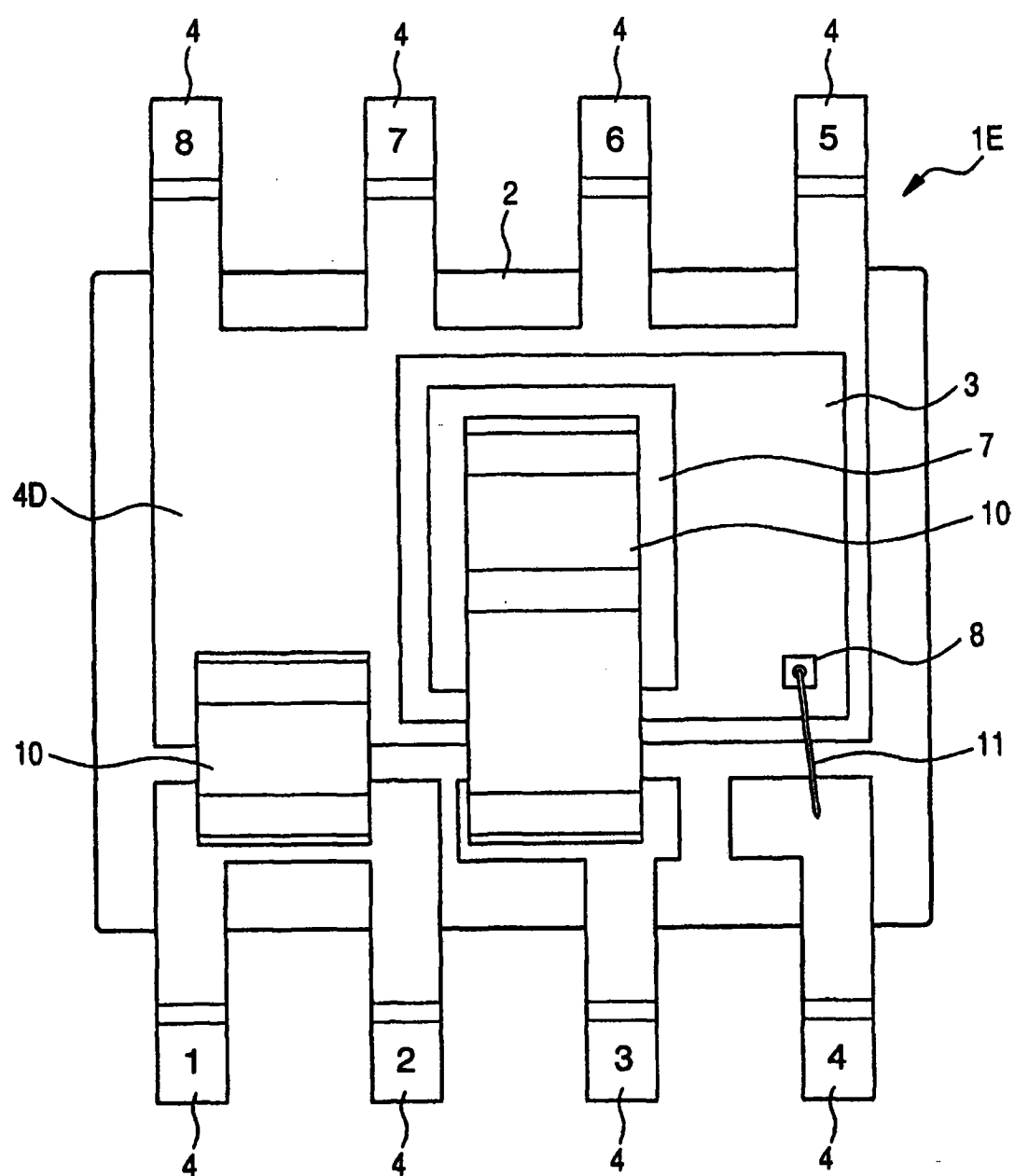


图 17

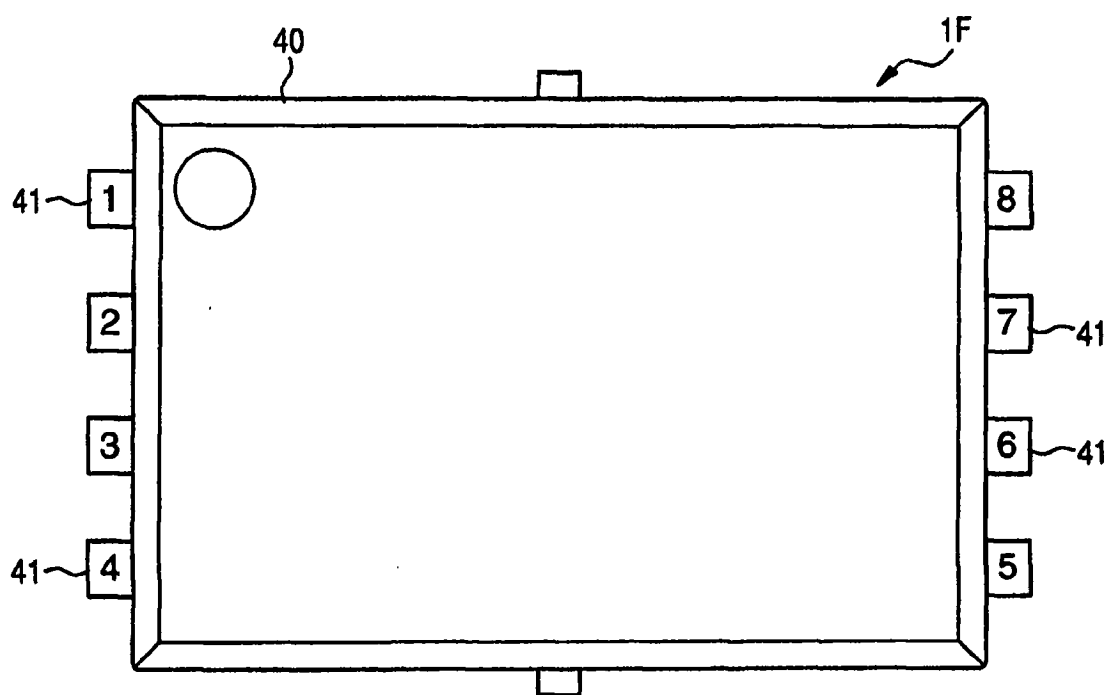


图 18

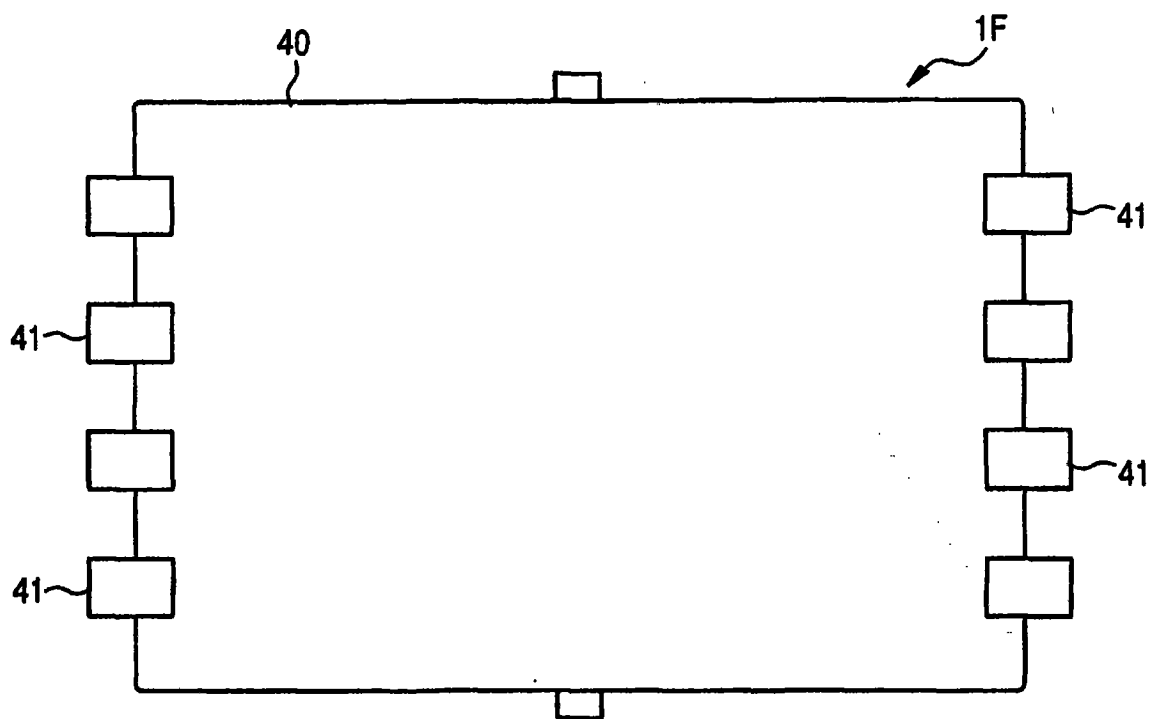


图 19

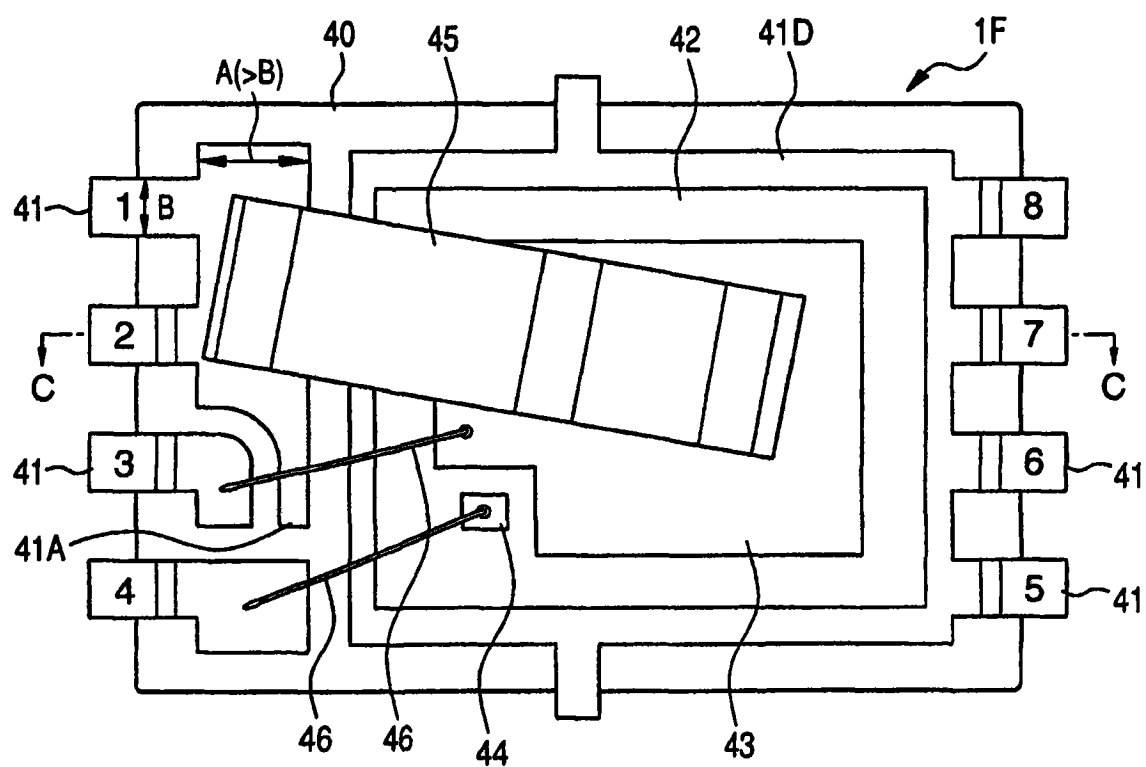


图 20

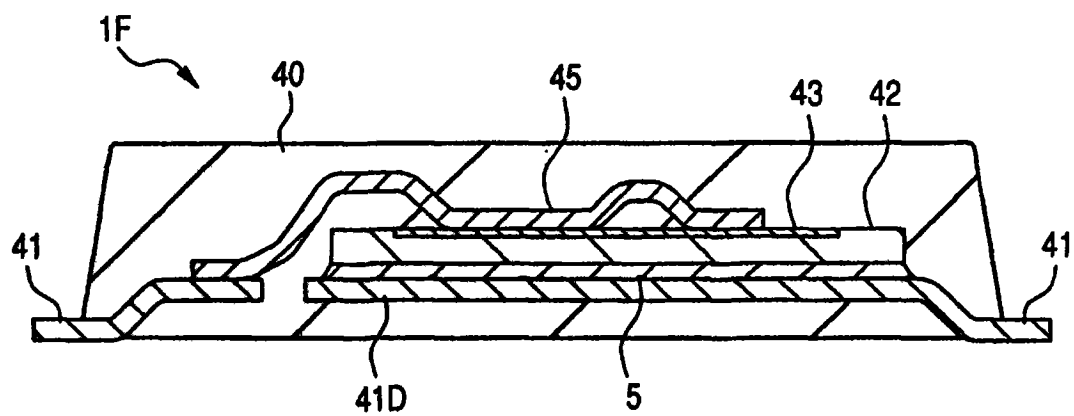


图 21

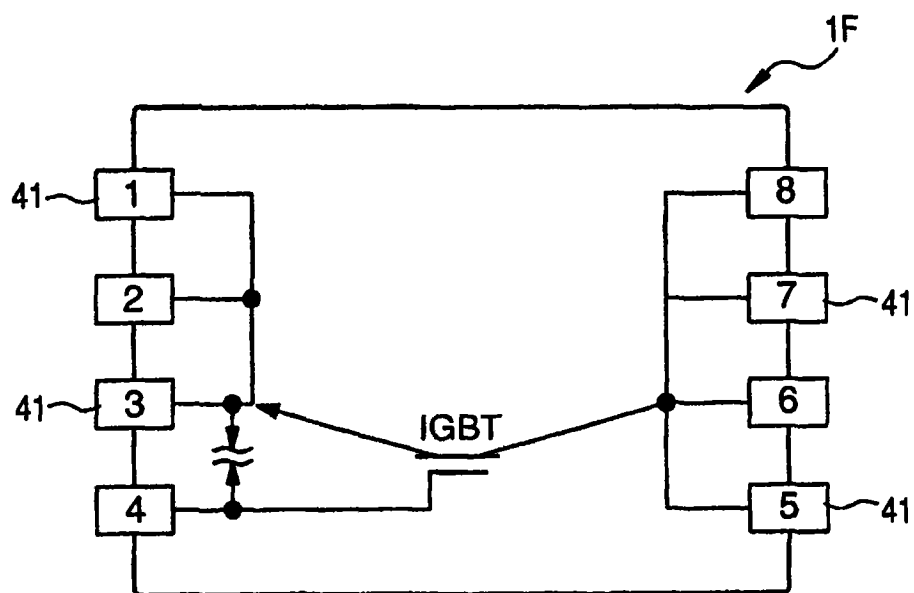


图 22

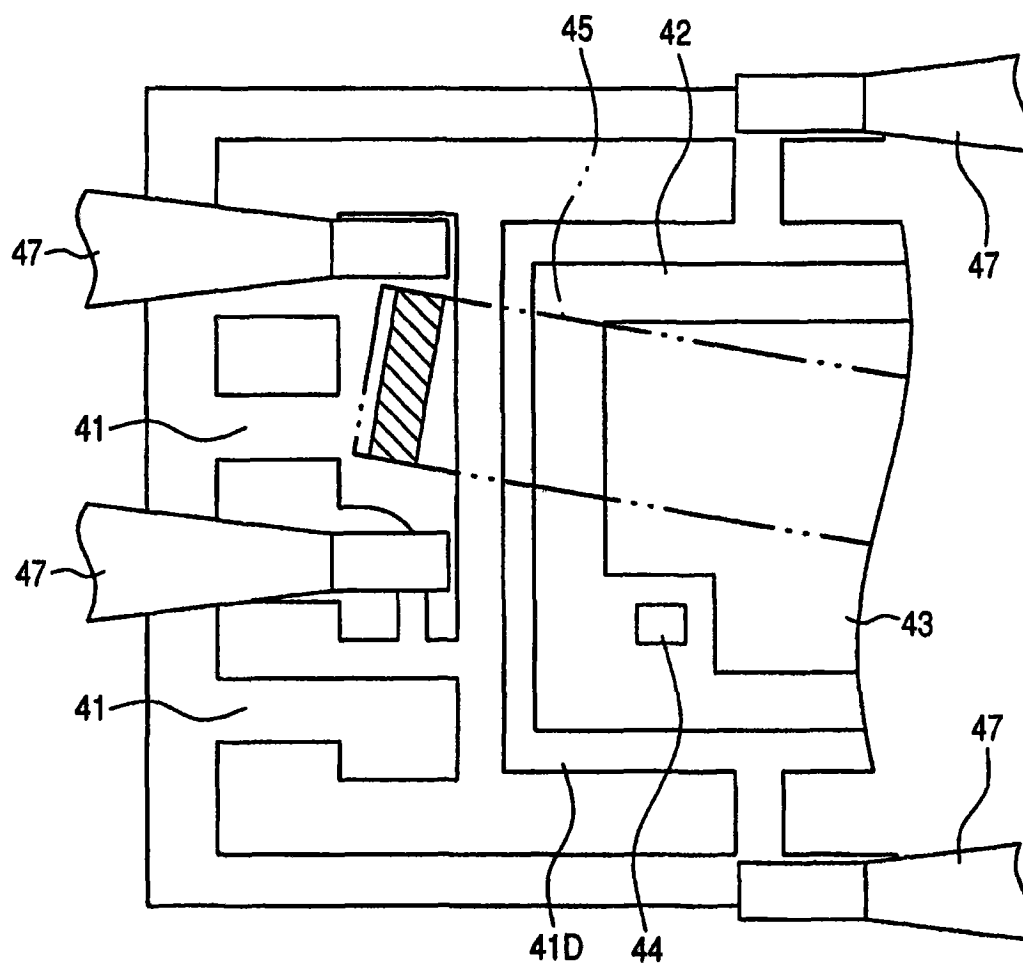


图 23

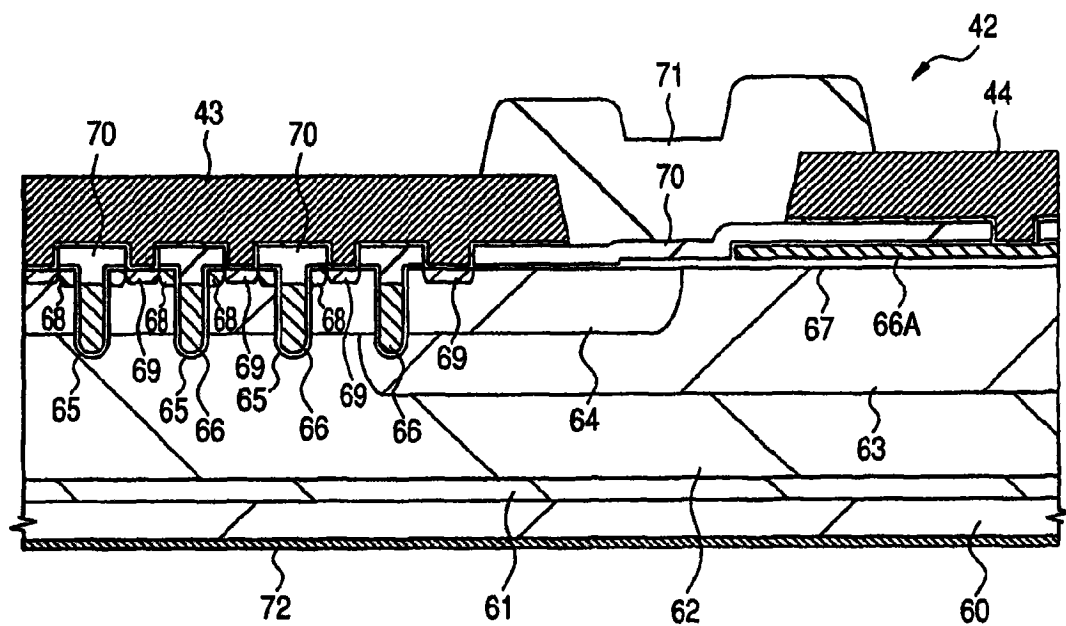


图 24

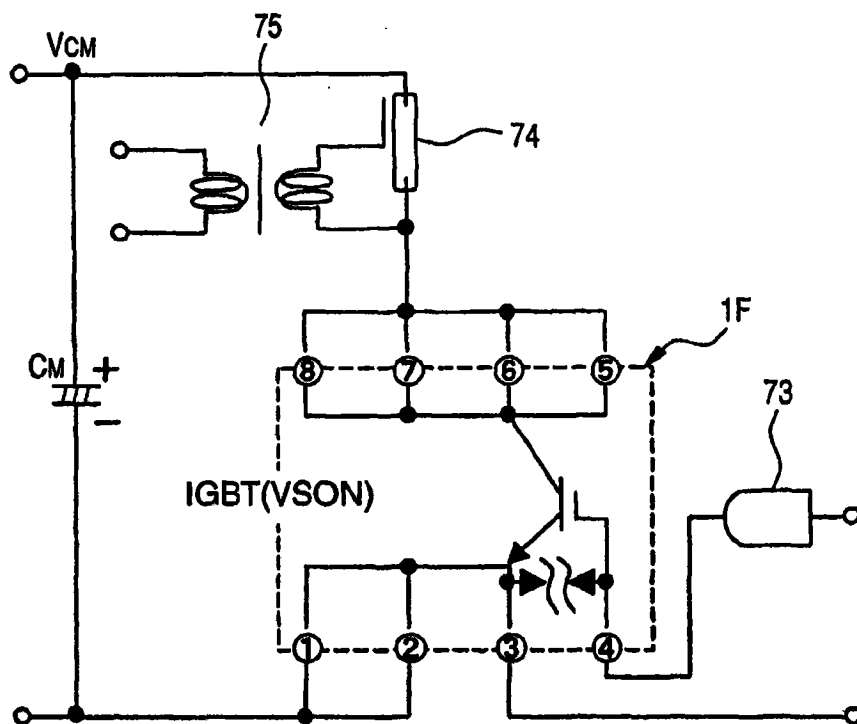


图 25

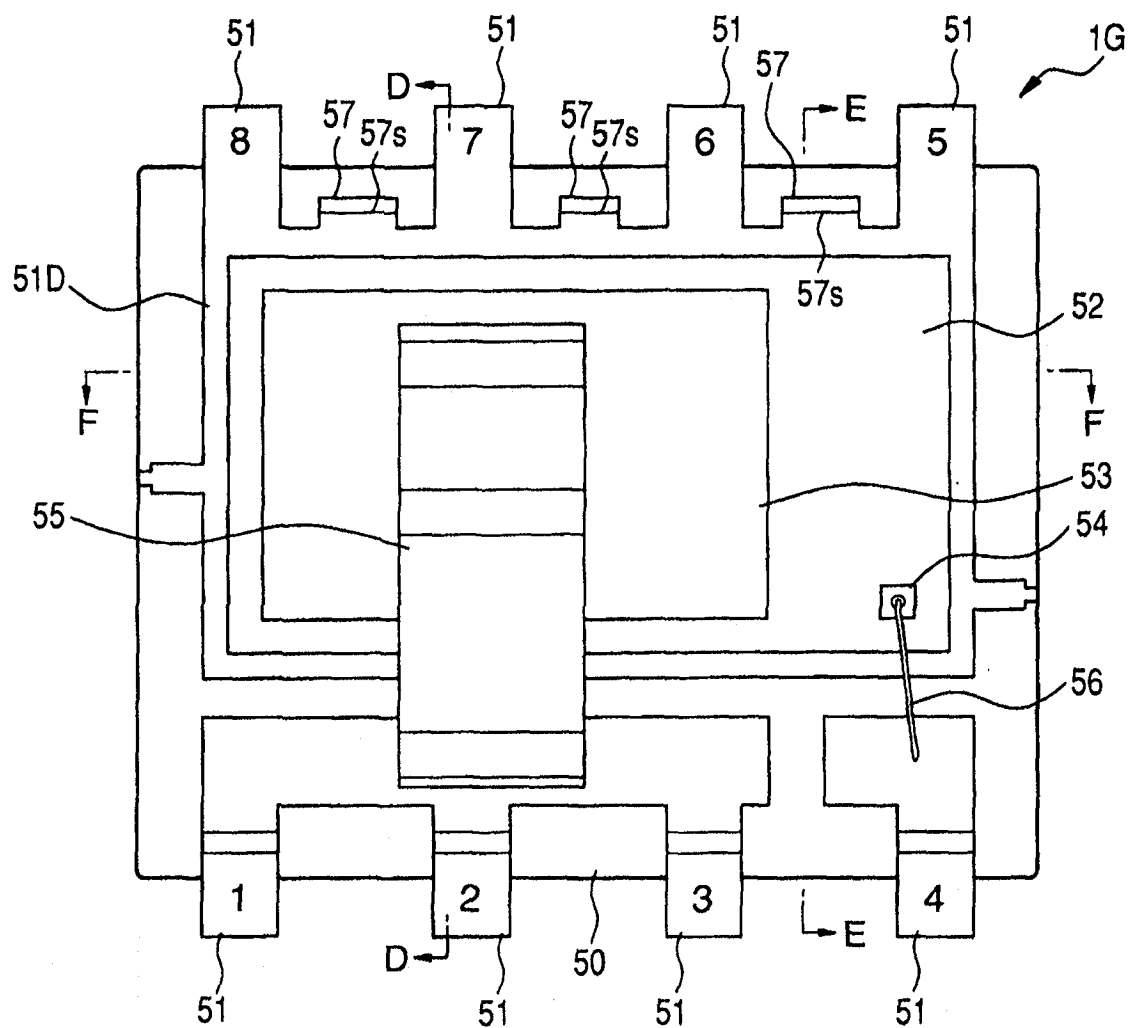


图 26

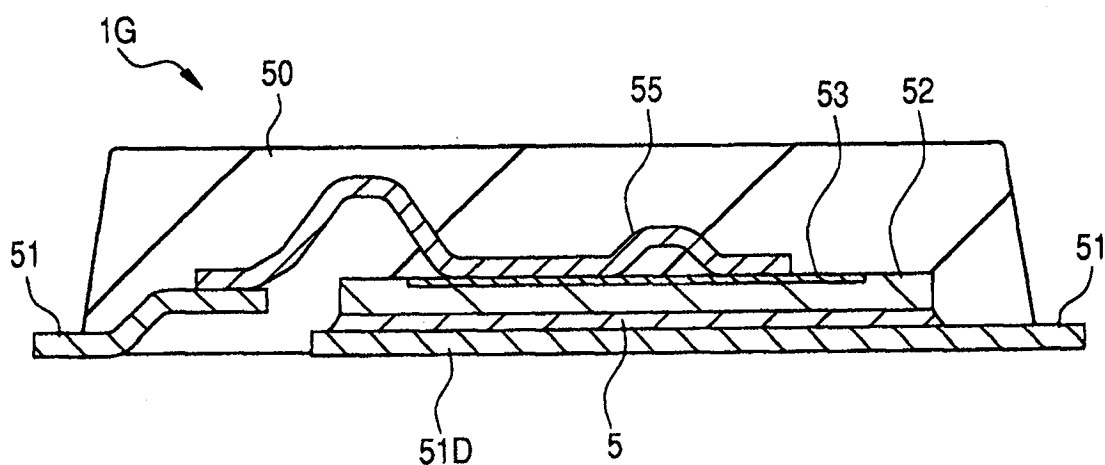
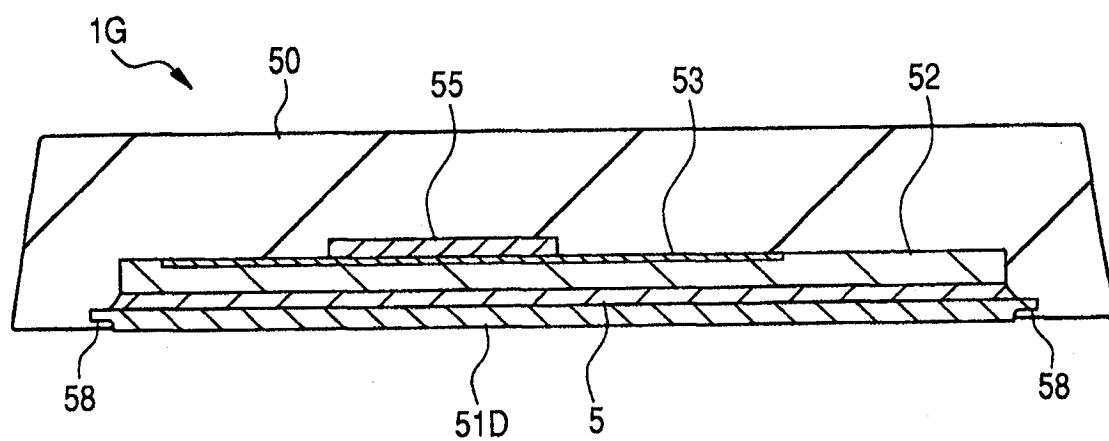
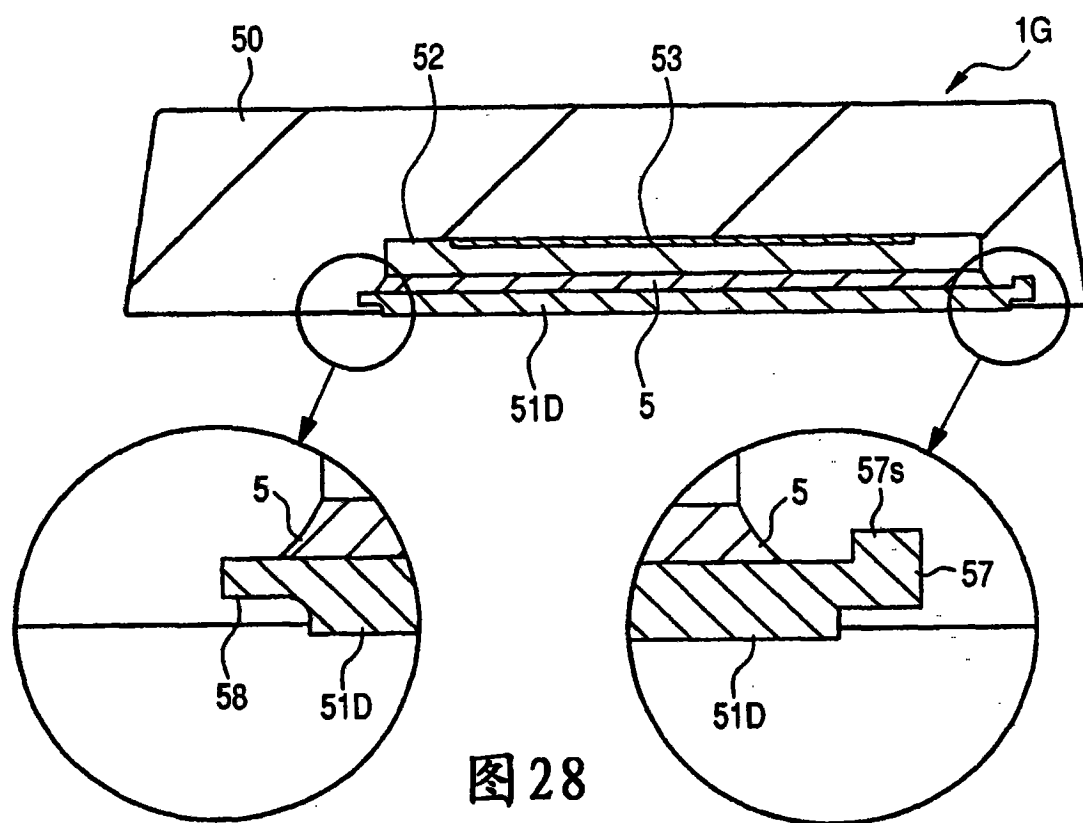


图 27



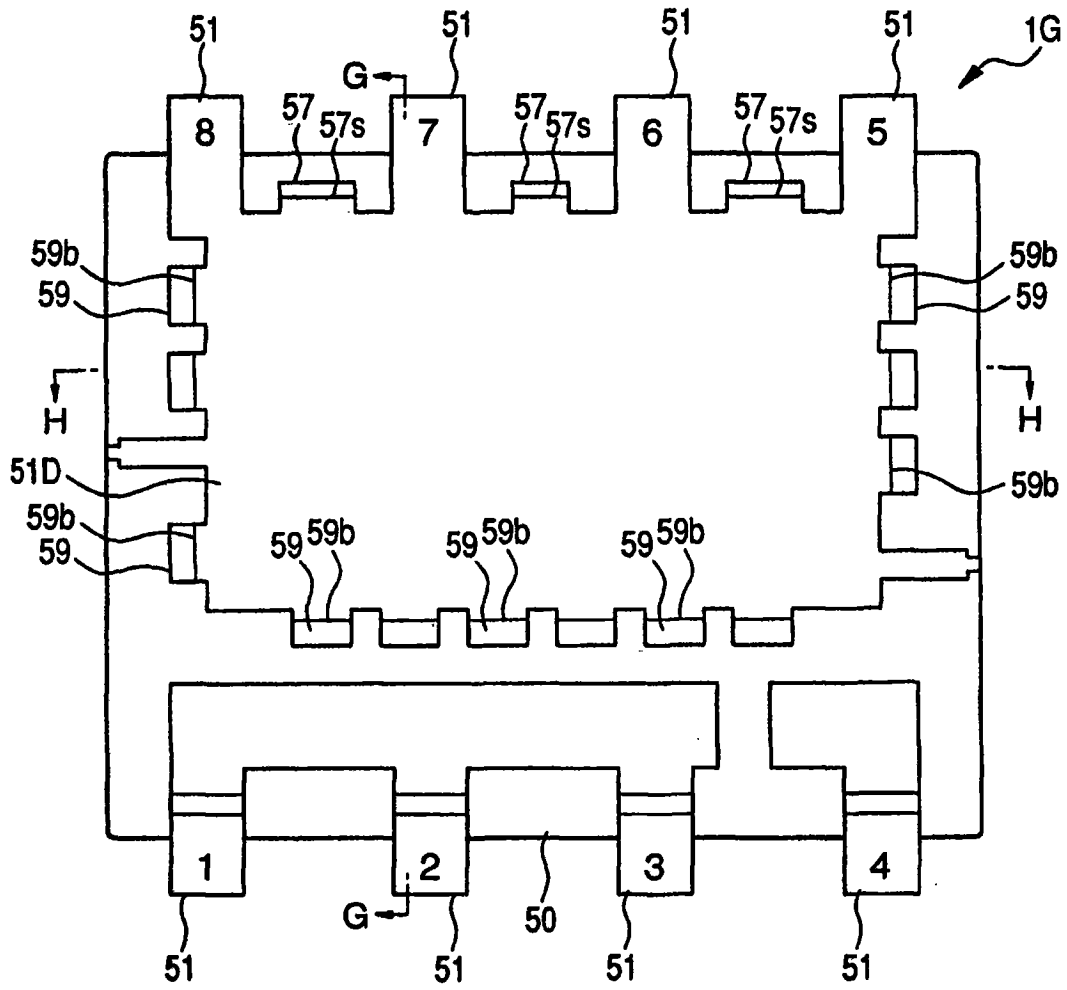


图 30

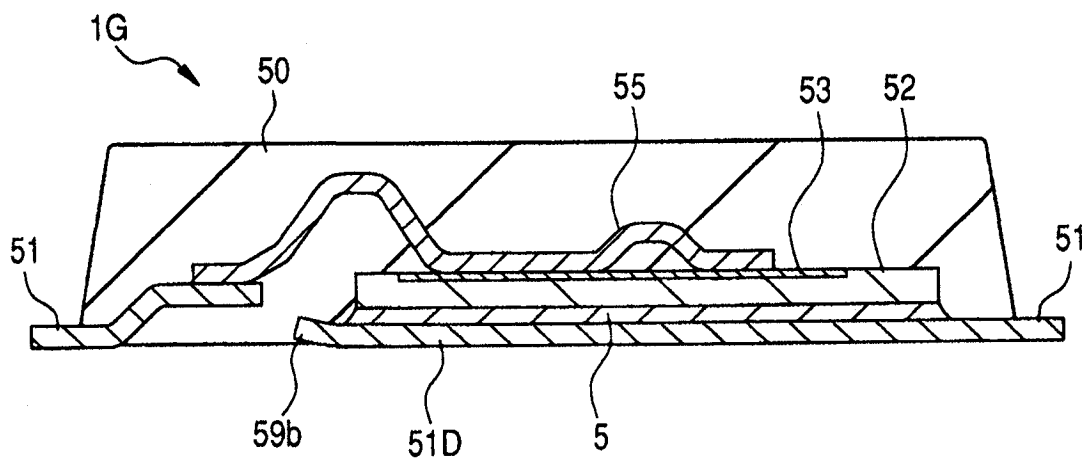


图 31

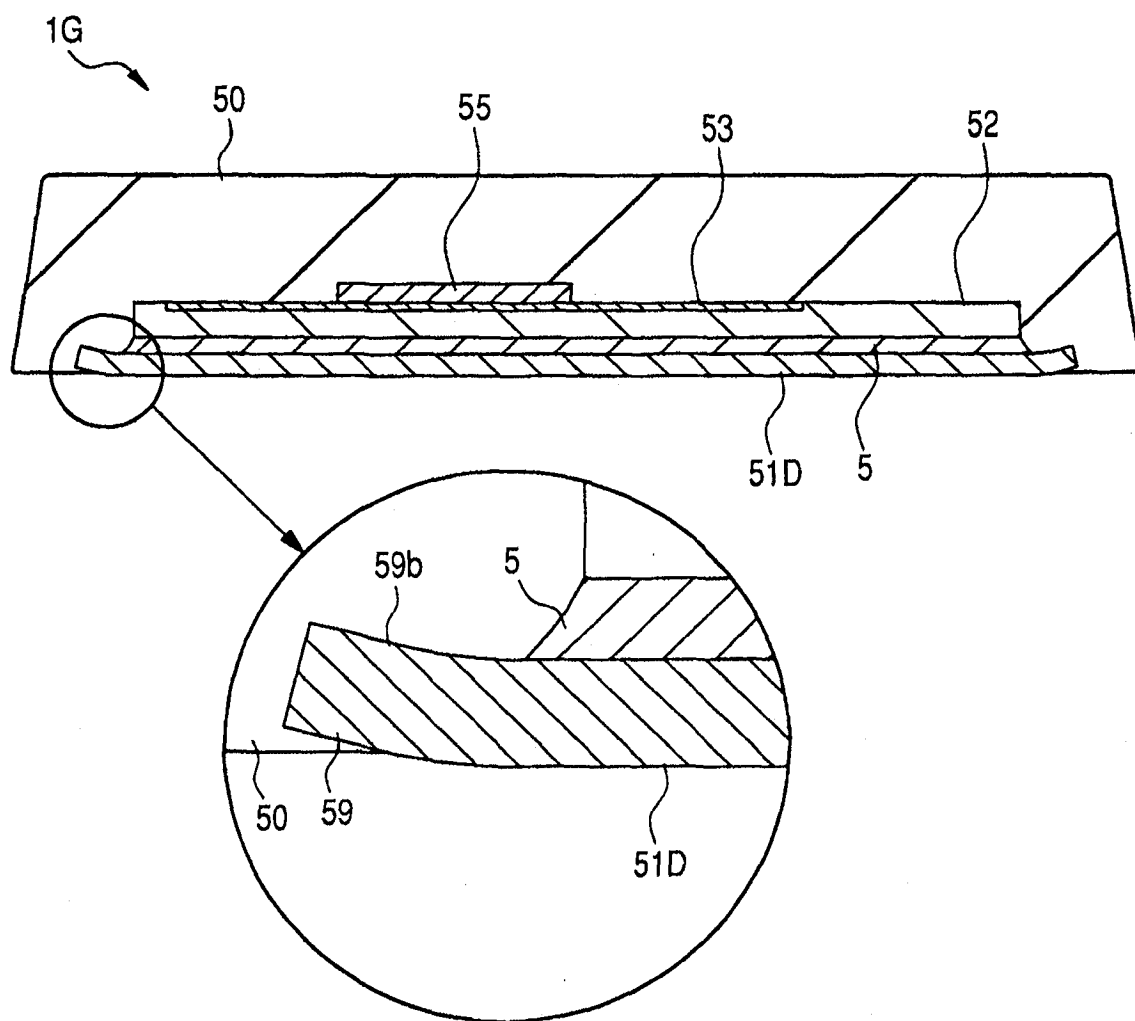


图 32

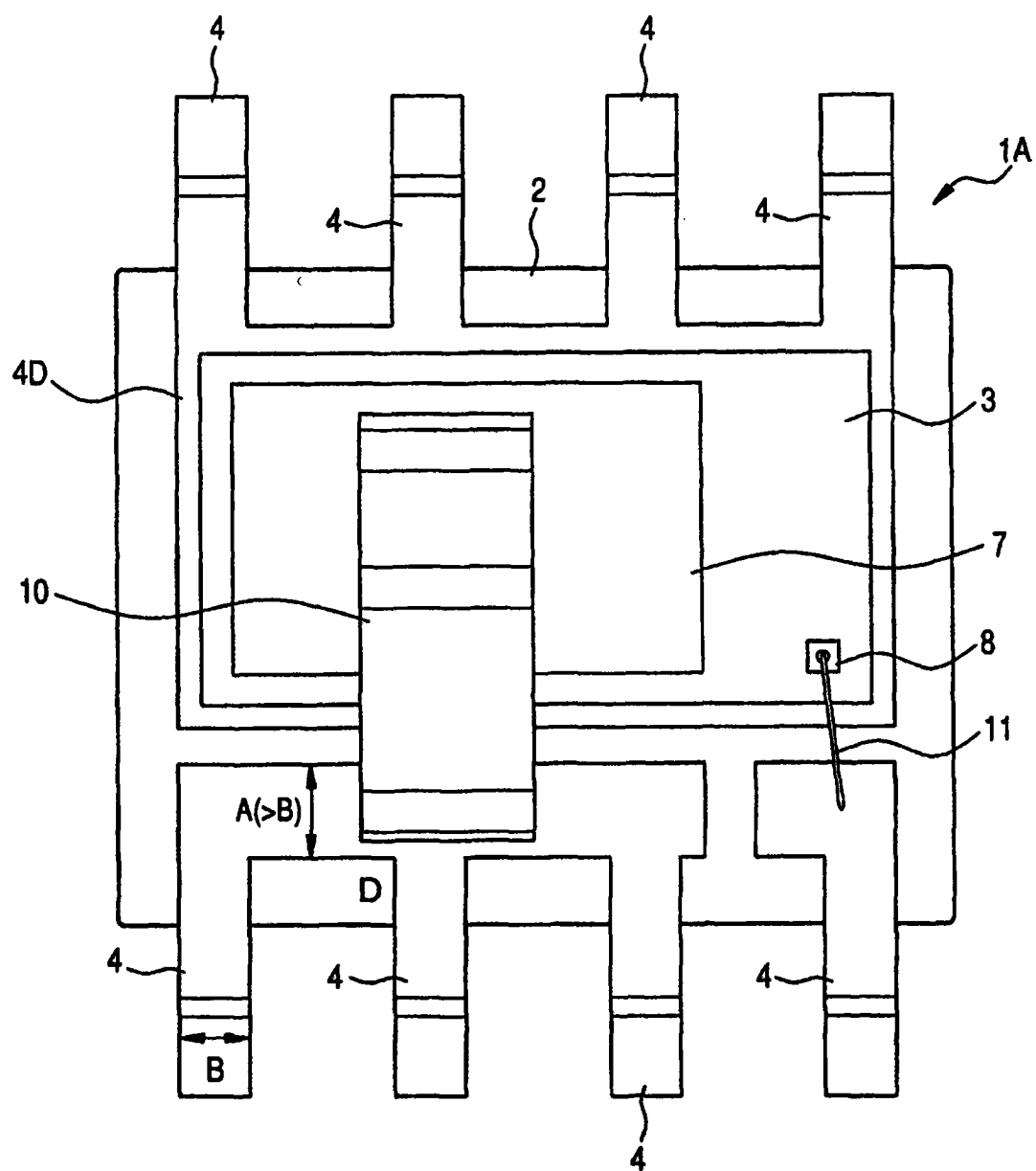


图 33

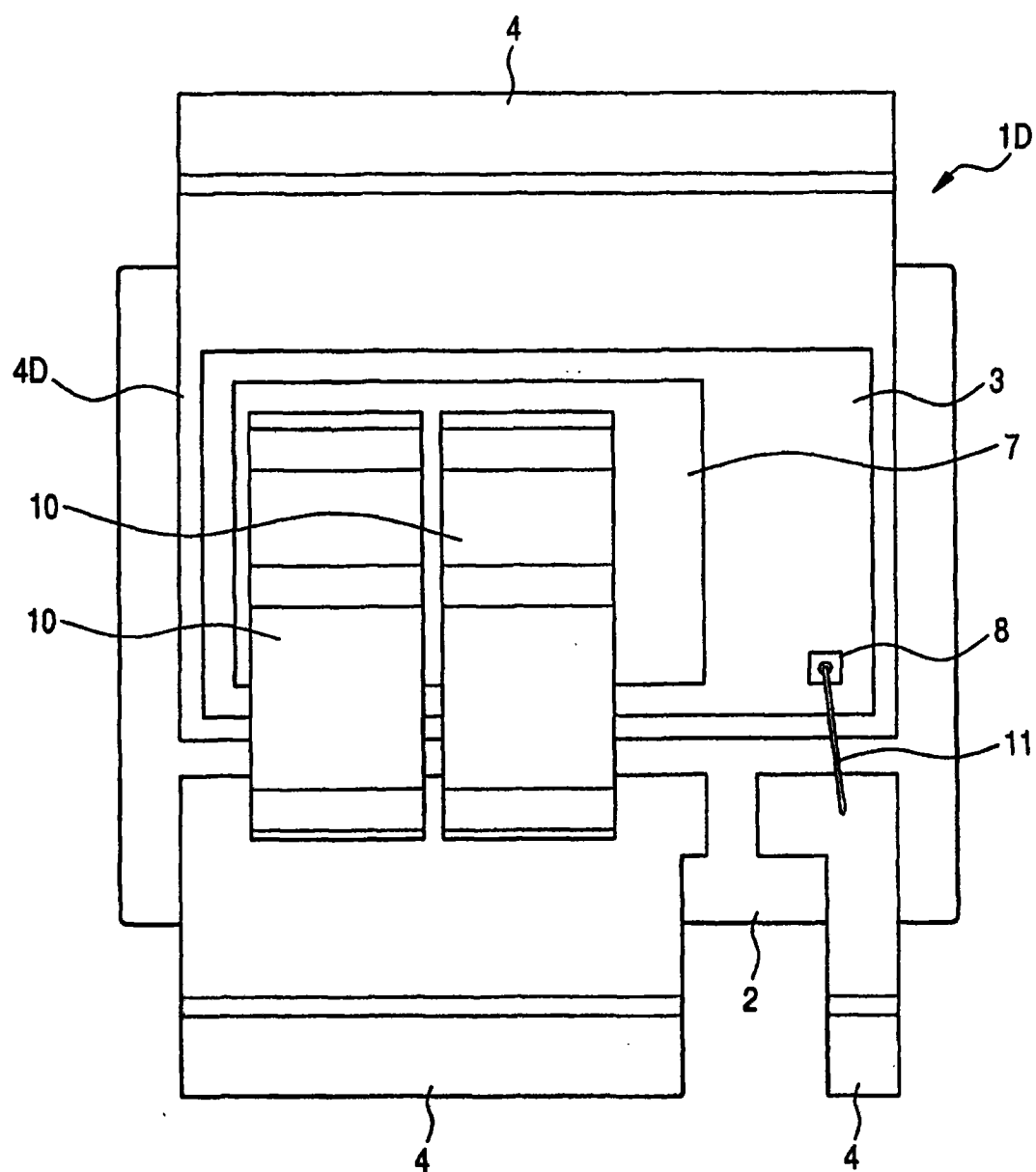


图 34

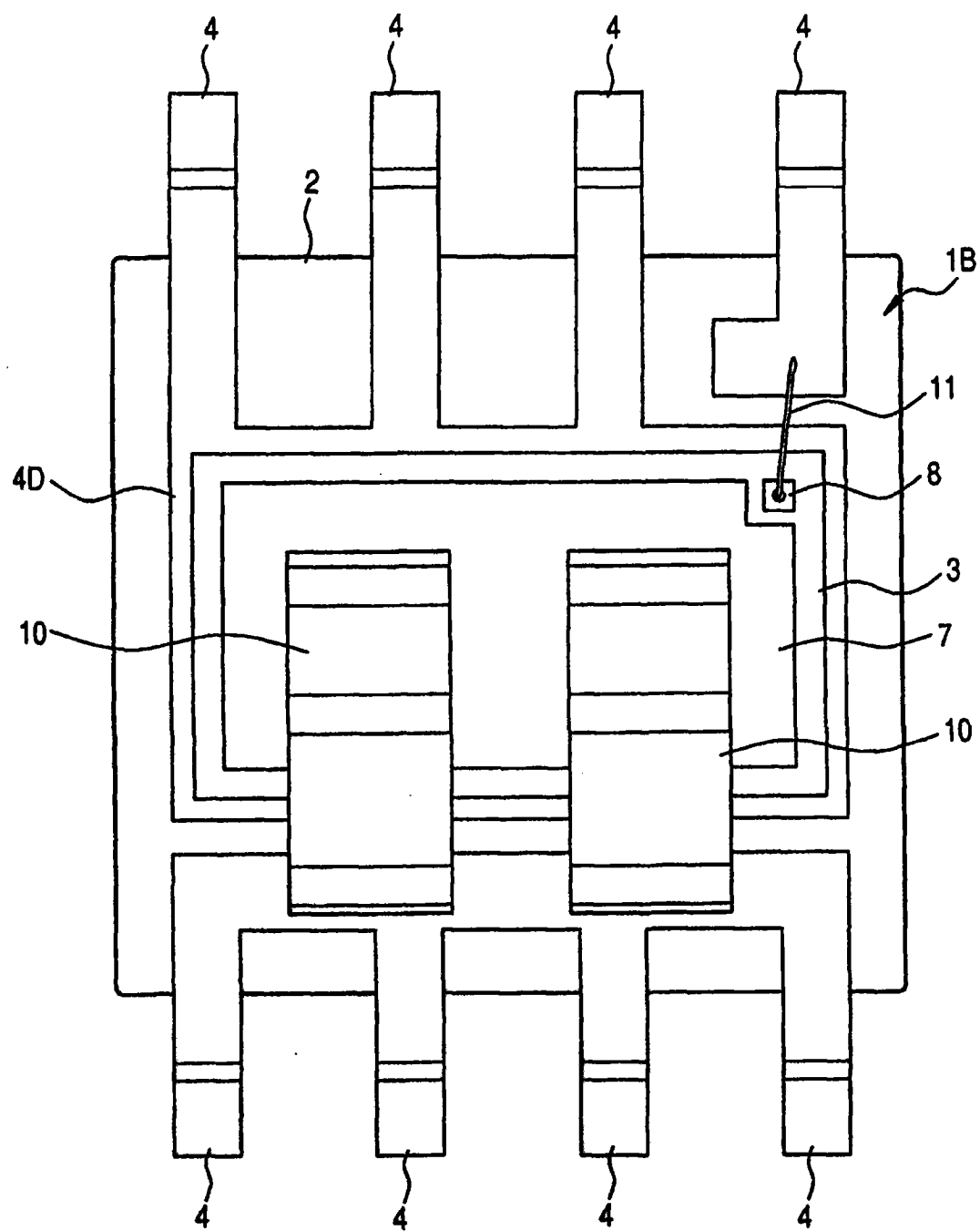


图 35