

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6126509号
(P6126509)

(45) 発行日 平成29年5月10日(2017.5.10)

(24) 登録日 平成29年4月14日(2017.4.14)

(51) Int.Cl.	F 1
HO 1 L 29/786	(2006.01)
HO 1 L 21/336	(2006.01)
HO 1 L 21/28	(2006.01)
HO 1 L 29/41	(2006.01)
	HO 1 L 29/78
	HO 1 L 21/28
	HO 1 L 29/44
	HO 1 L 21/28
	HO 1 L 29/44

請求項の数 10 (全 52 頁) 最終頁に続く

(21) 出願番号	特願2013-208710 (P2013-208710)
(22) 出願日	平成25年10月4日 (2013.10.4)
(65) 公開番号	特開2015-73039 (P2015-73039A)
(43) 公開日	平成27年4月16日 (2015.4.16)
審査請求日	平成28年6月29日 (2016.6.29)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	吉住 健輔 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	田中 哲弘 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	徳丸 亮 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	岩本 勉

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

酸化物層と、半導体層と、一対の電極と、ゲート電極と、ゲート絶縁層とを有し、前記酸化物層は、凸状の表面形状を有する凸部を備え、前記半導体層は、前記酸化物層の前記凸部の上面及び側面に沿って設けられ、前記一対の電極は、前記半導体層と重なる位置で離間し、前記一対の電極の各々は、前記半導体層と電気的に接続し、且つ前記半導体層の上面及び側面に沿って設けられ、

前記ゲート電極は、前記半導体層の上面及び側面に沿って設けられ、

前記ゲート絶縁層は、前記半導体層と前記ゲート電極との間に位置する、半導体装置。

10

【請求項 2】

前記酸化物層の前記上面に垂直な方向からみて、

前記半導体層は、前記一対の電極及び前記ゲート電極と重畳しないオフセット領域を有する、

請求項 1 に記載の、半導体装置。

【請求項 3】

前記酸化物層の前記上面に垂直な方向からみて、

前記半導体層と重畳する前記ゲート電極の端部が、前記一対の電極と重畳して設けられた、

20

請求項 1 に記載の、半導体装置。

【請求項 4】

前記酸化物層の前記凸部の内側に、導電層を備える、
請求項 1 乃至請求項 3 のいずれか一に記載の、半導体装置。

【請求項 5】

前記半導体層は、酸化物半導体を含む、
請求項 1 乃至請求項 4 のいずれか一に記載の、半導体装置。

【請求項 6】

前記半導体層は、c 軸が前記酸化物層の前記凸部の表面の法線方向に配向する結晶部を複数有し、

10

且つ、隣接する 2 つの前記結晶部間に粒界を有さない、

請求項 5 に記載の、半導体装置。

【請求項 7】

前記酸化物層は、化学量論的組成を満たす酸素よりも多くの酸素を含む領域を有する、
請求項 5 または請求項 6 に記載の、半導体装置。

【請求項 8】

前記酸化物層は、前記半導体層に含まれる金属元素を一種以上含む、
請求項 5 乃至請求項 7 のいずれか一に記載の、半導体装置。

【請求項 9】

前記半導体層と前記酸化物層との間に、前記半導体層に含まれる金属元素を一種以上含む第 1 の酸化物層を有する、

20

請求項 5 乃至請求項 8 のいずれか一に記載の、半導体装置。

【請求項 10】

前記半導体層と前記ゲート絶縁層との間に、前記半導体層に含まれる金属元素を一種以上含む第 2 の酸化物層を有する、

請求項 5 乃至請求項 9 のいずれか一に記載の、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。

30

【0002】

なお、本明細書等において、半導体装置とは、半導体特性を利用して機能しうる装置全般を指す。トランジスタ、半導体回路は、半導体装置の一態様である。また、演算装置、記憶装置、撮像装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は半導体装置を有している場合がある。

【背景技術】

【0003】

40

半導体材料を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（I C）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

例えば、酸化物半導体として酸化亜鉛、または In - Ga - Zn 系酸化物半導体を用いてトランジスタを作製する技術が開示されている（特許文献 1 及び特許文献 2 参照）。

【0005】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトランジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。

50

【先行技術文献】**【特許文献】****【0006】**

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】**【発明が解決しようとする課題】****【0007】**

本発明の一態様は、微細化に適した半導体装置を提供することを課題の一とする。

【0008】

または、半導体装置に良好な電気特性を付与することを課題の一とする。または、信頼性の高い半導体装置を提供することを課題の一とする。または、新規な構成の半導体装置を提供することを課題の一とする。

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】**【0010】**

本発明の一態様は、酸化物層と、半導体層と、一対の電極と、ゲート電極と、ゲート絶縁層とを有し、酸化物層は、凸状の表面形状を有する凸部を備え、半導体層は、酸化物層の凸部の上面及び側面に沿って設けられ、一対の電極は、半導体層と重なる位置で離間し、一対の電極の各々は、半導体層と電気的に接続し、且つ半導体層の上面及び側面に沿って設けられ、ゲート電極は、半導体層の上面及び側面に沿って設けられ、ゲート絶縁層は、半導体層とゲート電極との間に位置する、半導体装置である。

【0011】

また、上記において、酸化物層の上面に垂直な方向からみて、半導体層は、電極及びゲート電極と重畳しないオフセット領域を有する構成とすることが好ましい。

【0012】

または、上記において、酸化物層の上面に垂直な方向からみて、半導体層と重畳するゲート電極の端部が、電極と重畳して設けられた構成とすることが好ましい。

【0013】

また、上記において、酸化物層の凸部の内側に、導電層を備える構成とすることが好ましい。

【0014】

また、上記において、半導体層は、酸化物半導体を含むことが好ましい。またこのとき、半導体層は、c軸が酸化物層の凸部の表面の法線方向に配向する結晶部を複数有することが好ましく、さらに隣接する2つの結晶部間に粒界を有さないことが好ましい。

【0015】

また、上記において、酸化物層は、化学量論的組成を満たす酸素よりも多くの酸素を含む領域を有することが好ましい。

【0016】

また、上記において、酸化物層は、半導体層に含まれる金属元素を一種以上含むことが好ましい。または、半導体層と酸化物層との間に、半導体層に含まれる金属元素を一種以上含む第1の酸化物層を有する構成とすることが好ましい。

【0017】

また、上記において、半導体層とゲート絶縁層との間に、半導体層に含まれる金属元素を一種以上含む第2の酸化物層を有する構成とすることが好ましい。

【発明の効果】

10

20

30

40

50

【0018】

本発明の一態様によれば、微細化に適した半導体装置を提供することができる。

【0019】

または、半導体装置に良好な電気特性を付与することができる。または、信頼性の高い半導体装置を提供することができる。または、新規な構成の半導体装置等を提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

10

【0020】

【図1】実施の形態に係る、半導体装置の構成例。

【図2】実施の形態に係る、半導体装置の構成例。

【図3】実施の形態に係る、半導体装置の構成例。

【図4】実施の形態に係る、半導体装置の構成例。

【図5】実施の形態に係る、半導体装置の構成例。

【図6】実施の形態に係る、半導体装置の構成例。

【図7】実施の形態に係る、半導体装置の構成例。

【図8】実施の形態に係る、半導体装置の構成例。

【図9】実施の形態に係る、半導体装置の構成例。

20

【図10】実施の形態に係る、半導体装置の構成例。

【図11】実施の形態に係る、半導体装置の構成例。

【図12】実施の形態に係る、半導体装置の構成例。

【図13】実施の形態に係る、半導体装置の構成例。

【図14】実施の形態に係る、半導体装置の構成例。

【図15】実施の形態に係る、半導体装置の構成例。

【図16】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図17】実施の形態に係る、酸化物層の構成例。

【図18】実施の形態に係る、半導体装置の断面図及び回路図。

【図19】実施の形態に係る、記憶装置の構成例。

30

【図20】実施の形態に係る、R F I D タグの構成例。

【図21】実施の形態に係る、C P U の構成例。

【図22】実施の形態に係る、記憶素子の回路図。

【図23】実施の形態に係る、表示装置の回路図。

【図24】実施の形態に係る、電子機器。

【図25】実施の形態に係る、R F I D の使用例。

【図26】酸化物半導体の断面T E M像および局所的なフーリエ変換像。

【図27】酸化物半導体膜のナノビーム電子回折パターン。

【発明を実施するための形態】

【0021】

40

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0022】

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッシュパターンを同じくし、特に符号を付さない場合がある。

【0023】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、

50

明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0024】

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。

【0025】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。
10

【0026】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の一例について、図面を参照して説明する。ここでは半導体装置の一例として、トランジスタについて説明する。

【0027】

[構成例1]

図1(A)は、本構成例で例示するトランジスタの斜視概略図である。なお、図1(A)中には明瞭化のため、一部の構成要素(例えば絶縁層107、絶縁層108等)を明示していない。また、図1(B)、(C)、(D)はそれぞれ、図1(A)中に示す切断面A1-A2、B2-B2、C1-C2における断面概略図である。図1(B)はトランジスタのチャネル長方向の断面概略図であり、図1(C)はチャネル幅方向の断面概略図である。
20

【0028】

トランジスタは基板101上に設けられ、酸化物層110と、半導体層102と、一対の電極103と、ゲート電極105と絶縁層104を有する。酸化物層110は、凸状の表面形状を有する凸部を備える。半導体層102は酸化物層110の凸状の表面形状における上面及び側面の少なくとも一部に沿って設けられている。一対の電極103は、半導体層102と重なる位置で離間して設けられ、それぞれ半導体層102と電気的に接続し、且つ半導体層102の上面及び側面の少なくとも一部に沿って設けられている。ゲート電極105は、半導体層102の上面及び側面の少なくとも一部に沿って設けられている。絶縁層104は、半導体層102とゲート電極105の間に位置する。
30

【0029】

また、上述の構成を覆って絶縁層107が設けられ、その上部に絶縁層108が設けられていてもよい。また、酸化物層110と基板101との間に絶縁層106が設けられていてもよい。

【0030】

酸化物層110は、基板101の被形成面に対して垂直方向に突出した形状(凸形状)を有する凸部を備える。酸化物層110は凸部のみで構成されていてもよいし、一部に凸部を有する構成であってもよい。また酸化物層110の凸部は、上記被形成面に対して垂直な方向からみたときに、トランジスタのチャネル幅方向の幅よりもチャネル長方向の幅の方が大きい長方形形状を有していることが好ましい。また、酸化物層110の凸部の高さは、トランジスタのチャネル幅方向の幅よりも大きいことが好ましい。また、図1の各図に示すように、酸化物層110の凸部の上端部は角部を有さずなだらかな曲面形状を有し、上端部において側面と上面とが当該曲面を介して連続していることが好ましい。酸化物層110の上端部をこのような形状とすることで、これよりも上部に設けられる層(例えば半導体層102等)の被覆性が向上する。
40

【0031】

半導体層102は、酸化物層110の少なくとも側面の一部と上面の一部を覆って設けられている。半導体層102は、酸化物層110表面に接して設けられていることが好ま
50

しい。また図1の各図に示すように、酸化物層110の凸部の表面のうち、少なくともトランジスタのチャネル幅方向に垂直な側面の一部を覆って設けられていることが好ましい。なお、図1の各図では酸化物層110の凸部の表面全部を覆って半導体層102が設けられる構成を示したが、図2(A)、(B)に示すように、半導体層102がトランジスタのチャネル長方向に垂直な側面を覆わない構成としてもよい。

【0032】

半導体層102は、チャネルが形成される領域やその近傍の領域、ソース領域、ドレイン領域などにおいて、シリコン系半導体などの半導体を含んでいてもよい。または、半導体層102は、チャネルやその近傍、ソース領域、ドレイン領域などにおいて、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、などを有する材料で形成してもよい。特に、半導体層102は、シリコンよりもバンドギャップの大きな半導体を含むことが好ましい。好適には、半導体層102は酸化物半導体を含んで構成される。

【0033】

例えば、上記酸化物半導体として、少なくともインジウム(In)もしくは亜鉛(Zn)を含むことが好ましい。より好ましくは、In-M-Zn系酸化物(MはAl、Ti、Ga、Ge、Y、Zr、Sn、La、CeまたはHf等の金属)で表記される酸化物を含む。

【0034】

以下では、特に断りのない限り、半導体層102が酸化物半導体を含む場合について説明する。

【0035】

一対の電極103は、一方がソース電極として機能し、他方がドレイン電極として機能する。

【0036】

なお、本明細書等において、電極と、電極と電気的に接続する配線とが一体物であってもよい。すなわち、配線の一部が電極として機能する場合や、電極の一部が配線として機能する場合もある。

【0037】

絶縁層104は、トランジスタのゲート絶縁層として機能する。図1では、絶縁層104の上面形状が、ゲート電極105の上面形状と略一致するように、同一のフォトマスクを用いて加工されている構成を示しているが、図3に示すように、絶縁層104を加工せずにゲート電極105のみを加工し、絶縁層104が一対の電極103の表面の少なくとも一部、及び一対の電極に覆われていない半導体層102の表面の少なくとも一部を覆う構成としてもよい。

【0038】

なお、本明細書等において「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なり合わず、上層が下層の内側に位置することや、上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という。

【0039】

ここで、酸化物層110は、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。

【0040】

加熱により酸素を脱離する酸化物材料として、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、昇温脱離ガス分光法(TDS: Thermal Desorption Spectroscopy)分析にて、酸素原子に換算しての酸素

10

20

30

40

50

の脱離量が 1.0×10^{-8} atoms/cm³ 以上、好ましくは 3.0×10^{-9} atoms/cm³ 以上である酸化物膜である。

【0041】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0042】

絶縁層107は、酸素を透過しにくい材料を用いることが好ましい。また、絶縁層107は、酸素以外にも水素や水が透過しにくい材料を用いることがより好ましい。

10

【0043】

酸素を透過しにくい材料としては、例えば窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウムなどの絶縁材料を用いることができる。また上述の材料は、酸素、水素、水が透過しにくい材料である。

【0044】

絶縁層108は、その上部に配線等を設ける場合に、トランジスタの凹凸形状を被覆する機能を有する。絶縁層108としては、無機絶縁材料または有機絶縁材料などを用いることができる。なお、絶縁層108は不要であれば設けなくてもよい。

【0045】

絶縁層106は、これよりも下層に設けられる層または基板101からトランジスタへ不純物が拡散することを抑制する機能を有することが好ましい。例えば、絶縁層107と同様の材料を用いることができる。

20

【0046】

または、絶縁層106は、酸化物層110と同様、加熱により一部の酸素が脱離する酸化物絶縁材料を用いてもよい。また絶縁層106と酸化物層110に同一の材料を用いてもよい。このとき、絶縁層106の上部を凸状に加工することで酸化物層110を形成してもよい。

【0047】

また絶縁層106を2層以上の積層構造とし、基板101側に酸素、水素、水が透過しにくい材料の層を設け、その上層に加熱により一部の酸素が脱離する材料の層を設けることが好ましい。

30

【0048】

このように、トランジスタは、凸状の酸化物層110の上面及び側面を覆うようにチャネルが形成される半導体層102が設けられ、半導体層102の側面と上面を覆って、絶縁層104を介してゲート電極105が設けられている。したがって、半導体層102の上面だけでなく側面にもチャネルが形成されるため、トランジスタの実効的なチャネル幅を大きくすることができる。その結果、トランジスタを微細に作製したとしてもトランジスタのオン状態における電流（オン電流ともいう）を増大させることができる。

【0049】

ここで、凸状の表面形状を有する酸化物層110の幅（チャネル幅方向の幅）が小さいほど、トランジスタを微細化できる。また酸化物層110の高さが高いほど、トランジスタの実効的なチャネル幅を大きくできる。ここで、酸化物層110の幅は、例えば100nm以下、好ましくは50nm以下、より好ましくは30nm以下、より好ましくは20nm以下とする。また、酸化物層110の高さは、酸化物層110の幅よりも高くすればよく、例えば酸化物層110の幅に対して、1倍より大きく50倍以下、好ましくは2倍以上50倍以下、より好ましくは5倍以上50倍以下などとすればよい。

40

【0050】

ところで、トランジスタのチャネル形成領域を含む酸化物半導体に酸素欠損が多く存在すると、チャネル形成領域中にキャリアである電子を生じさせてしまい、トランジスタの

50

しきい値電圧のばらつき、リーク電流の増大、及びストレス印加等によるしきい値電圧の変動など、電気特性の不良を引き起こす要因となる。

【0051】

したがって、半導体層102中の酸素欠損を低減することにより、トランジスタに良好な電気特性を付与し、さらには電気特性の変動を低減することができ、信頼性の高いトランジスタを実現できる。

【0052】

トランジスタの作製工程において、半導体層102を形成した後の工程、あるいは半導体層102となる半導体膜を成膜した後の工程で、加熱処理を行うことにより、酸化物層110から脱離する酸素を半導体層102に供給することができる。

10

【0053】

ここで例えば、酸化物層110が凸部を有さない場合、すなわち、加熱により酸素が脱離する酸化物層として上面が平坦な層を用い、その上層の半導体層を上記トランジスタの半導体層102の上面の高さと一致する程度に厚く成膜した後に凸形状に加工した場合、半導体層の下部に設けられる当該酸化物層から供給される酸素が半導体層の上部に到達せずに酸素欠損が十分に低減できない場合がある。しかしながら、本実施の形態で例示するトランジスタは、半導体層102が酸化物層110の表面を覆って設けられているため、酸化物層110から脱離する酸素の殆どが半導体層102に供給される。さらに、酸化物層110の表面に沿って半導体層102がほぼ均一な厚さで比較的薄く設けることが可能であり、こうすることで半導体層102により均一に酸素を供給することができる。

20

【0054】

さらに、半導体層102として、複数の結晶部を有し、当該結晶部はc軸が半導体層102の被形成面（すなわち酸化物層110の表面）、または半導体層102の上面に対し垂直に配向する酸化物半導体膜を用いることが好ましい。また特に、半導体層102として隣接する結晶部間には粒界を有さない酸化物半導体膜を用いることが好ましい。

【0055】

図4は、図1(C)中の破線で囲った領域を拡大した概略図である。例えば、半導体層102のうち、酸化物層110の上面に沿って設けられた領域R1に対して透過電子顕微鏡観察(TEM: Transmission Electron Microscope)を用いて観察したとき、図4に示すように、酸化物層110の上面または半導体層102の表面に対して平行な金属原子の原子配列を有する結晶部102aを観察することができる。同様に、酸化物層110の側面に沿って設けられた半導体層102の領域R2、または酸化物層110の上端部における上面と側面をつなぐ曲面に沿って設けられた半導体層102の領域R3に対してもTEMを用いて観察すると、図4に示すように、それぞれ酸化物層110の上面または半導体層102の表面に対して平行な金属原子の原子配列を有する結晶部102aを観察することができる。このように、半導体層102内の複数の結晶部102aの殆どは、酸化物層110の表面または半導体層102の表面に沿って配向するように含まれる。

30

【0056】

ここで例えば、単結晶半導体を柱状に加工して用いた場合には、その上面近傍、側面近傍、及び上面と側面が接する角部では結晶の配向が異なるために、ゲート電界が与えられた際にその位置によってその電気特性に差が生じ、良好なトランジスタの電気特性を得られにくいといった恐れがある。例えば位置によってしきい値電圧が異なる場合には、トランジスタのしきい値電圧として所望の値が得られない、またはトランジスタのサブスレッショルド値(S値)が悪化する、などの問題が生じうる。

40

【0057】

しかしながら本実施の形態で例示するトランジスタに図4に示すような半導体層102を用いることで、半導体層102中の結晶部102aのc軸が、酸化物層110の表面の法線方向に常に配向するため、酸化物層110の上面を覆う部分、側面を覆う部分、あるいは上端部を覆う部分の間で、ゲート電界が与えられた際の半導体層102の電気的特性

50

に差が生じなくなる。したがって、半導体層 102 のチャネル形成領域全域に渡って均一な電気特性が得られるため、上述のような問題は生じず、トランジスタの電気特性をより良好なものにすることができる。

【0058】

また、図 1 等に示すトランジスタにおいて、ゲート電極 105 と電極 103 はそれぞれ平行な向きに延在するように配置されている。このような配置方法を用いることで、電極や配線を高密度に配置できるため好ましい。このとき、トランジスタの半導体層 102 は、一対の電極 103 に挟まれた領域において、ゲート電極 105 と重畠しない領域、すなわちオフセット領域を有する。このように、ゲート電極 105 と一対の電極 103 とを平行に配置する場合、ゲート電極 105 と電極 103 を重畠しないように設けることで、これらの電極間の容量が形成されることを抑制し、より高速動作が可能な半導体装置を実現できる。

【0059】

また、トランジスタのオン電流の低下を防ぐため、半導体層 102 のオフセット領域は低抵抗化されていることが好ましい。例えば、オフセット領域がチャネル形成領域（すなわち、ゲート電極 105 と重畠する領域）よりも、水素、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上の元素がより多く含まれている領域を有していてもよい。または、半導体層 102 のオフセット領域において、チャネル形成領域よりも多く酸素欠損が形成されていてもよい。

【0060】

[各構成要素について]

以下では、トランジスタの各構成要素について説明する。

【0061】

[半導体層]

トランジスタのチャネルが形成される半導体層に適用可能な半導体として、例えばシリコンやゲルマニウムなどの半導体材料、化合物半導体材料、有機半導体材料、または酸化物半導体材料などが挙げられる。

【0062】

また、トランジスタに用いる半導体の結晶性としては、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタの特性の劣化が抑制されるため好ましい。

【0063】

例えば、上記半導体としてシリコンを用いる場合、アモルファシリコン、微結晶シリコン、多結晶シリコン、または単結晶シリコンなどを用いることができる。

【0064】

特に、半導体層に含まれる半導体として、酸化物半導体を用いることが好ましい。シリコンよりもバンドギャップが広く、且つキャリア密度の小さい半導体材料を用いると、トランジスタのオフ状態における電流を低減できるため好ましい。

【0065】

特に、半導体層として、複数の結晶部を有し、当該結晶部は c 軸が半導体層の被形成面、または半導体層の上面に対し垂直に配向し、且つ隣接する結晶部間には粒界を有さない酸化物半導体膜を用いることが好ましい。

【0066】

半導体層としてこのような材料を用いることで、電気特性の変動が抑制され、信頼性の高いトランジスタを実現できる。

【0067】

なお、半導体層に適用可能な酸化物半導体の好ましい形態とその形成方法については、後の実施の形態で詳細に説明する。

【0068】

10

20

30

40

50

〔基板〕

基板101の材質などに大きな制限はないが、少なくとも工程中の熱処理に耐えうる程度の耐熱性を有する材料を用いる。例えば、ガラス基板、セラミック基板、石英基板、サファイヤ基板、イットリア安定化ジルコニア(YSZ)基板などを、基板101として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板または多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することもできる。

【0069】

また、各種半導体基板やSOI基板上に半導体素子が設けられたものを、基板101として用いてもよい。その場合、基板101上に層間絶縁層を介してトランジスタを形成する。このとき、当該層間絶縁層に埋め込まれた接続電極により、トランジスタのゲート電極105、一対の電極103の少なくとも一つが、上記半導体素子と電気的に接続する構成とすればよい。半導体素子の上部に層間絶縁層を介してトランジスタを積層して設けることにより、これらを同一平面上に形成した場合に比べて占有面積を縮小することができる。

10

【0070】

〔ゲート電極〕

ゲート電極105は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、上述の金属または合金の窒化物を用いてもよい。また、上記金属としてマンガンまたはジルコニウムを用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。また、ゲート電極105は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタンクステン膜を積層する二層構造、窒化タンタル膜または窒化タンクステン膜上にタンクステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タンクステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくはこれらの窒化膜を用いてもよい。

20

【0071】

〔ゲート絶縁層〕

絶縁層104は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn系金属酸化物、窒化シリコンなどを用いればよく、積層または単層で設ける。また、絶縁層104として、ハフニウムシリケート(HfSiO_x)、窒素が添加されたハフニウムシリケート(HfSi_xO_yN_z)、窒素が添加されたハフニウムアルミネート(HfAl_xO_yN_z)、酸化イットリウムなどのhigh-k材料を用いてもよい。high-k材料を用いることで絶縁層の物理的な厚さを厚くできるため、トランジスタのゲート耐圧を向上させることができる。

30

【0072】

なお、特定の材料をゲート絶縁層に用いると、特定の条件でゲート絶縁層に電子を捕獲せしめて、しきい値電圧を増大させることもできる。例えば、酸化シリコンと酸化ハフニウムの積層膜のように、ゲート絶縁層の一部に酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用い、より高い温度(半導体装置の使用温度あるいは保管温度よりも高い温度、あるいは、125以上450以下、代表的には150以上300以下)の下で、ゲート電極の電位をソース電極やドレイン電極の電位より高い状態を、1秒以上、代表的には1分以上維持することで、半導体層からゲート電極に向かって電子が移動し、そのうちいくらかは電子捕獲準位に捕獲される。

40

50

【0073】

このように電子捕獲準位に必要な量の電子を捕獲されたトランジスタは、しきい値電圧がプラス方向にシフトする。ゲート電極の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。

【0074】

また、電子を捕獲せしめる処理は、トランジスタの作製過程に行えばよい。例えば、トランジスタのソース電極あるいはドレイン電極に接続する配線メタルの形成後、あるいは、前工程（ウェハー処理）の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階でおこなうとよい。いずれの場合にも、その後に125以上1時間以上さらされないことが好ましい。

10

【0075】

〔ソース電極、ドレイン電極〕

一対の電極103は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。または、上述の金属の窒化物を用いてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

20

【0076】

以上が、各構成要素についての説明である。

【0077】

〔変形例1〕

以下では、上記構成例1で示したトランジスタとは構成の一部の異なるトランジスタの構成例について説明する。なお、上記と重複する部分については説明を省略し、相違点について詳細に説明する。また、構成要素の位置や形状が異なる場合であっても、その機能が同等である場合には同一の符号を付し、説明を省略する場合がある。

30

【0078】

図5に、以下で例示するトランジスタの断面概略図を示す。なお、上面概略図については、図1(A)を援用できる。図5(A)はトランジスタのチャネル長方向の断面概略図であり、図5(B)はゲート電極105の延伸方向に沿ったトランジスタのチャネル幅方向の断面概略図であり、図5(C)は電極103の延伸方向に沿ったトランジスタのチャネル幅方向の断面概略図である。

40

【0079】

図5に示すトランジスタは、導電層121及び導電層122を有している点で、構成例1で例示したトランジスタと主に相違している。

【0080】

導電層121は酸化物層110の内部に埋め込まれるように設けられている。より具体的には、導電層121は凸状の表面形状を有しており、その上面及び側面を酸化物層110が覆うように設けられている。したがって、酸化物層110の凸部の表面形状は、構成例1と概略一致している。

【0081】

また、導電層121よりも下方に、導電層121と電気的に接続する導電層122が設けられている。

50

【0082】

ここで、導電層122の上面は、導電層121と電気的に接続する部分を除いて酸化物層110に被覆されている。すなわち、導電層122と一対の電極103の間には酸化物層110が設けられているため、これらが電気的に絶縁されている。

【0083】

導電層121及び導電層122としては、上記ゲート電極105または電極103と同様の材料を用いることができる。

【0084】

導電層122は導電層121に電位を供給するための配線としての機能を有する。また導電層121は、トランジスタの第2のゲート電極として機能する。

10

【0085】

ゲート電極105または導電層121のうち、少なくとも一方に、トランジスタのオン状態を制御する電位を与えることにより、トランジスタのスイッチング動作を実現できる。また、これらの他方には、トランジスタのしきい値電圧を制御する電位を与えることができる。例えば、ソース電極に与える電位よりも低い電位を与えることで、トランジスタのしきい値電圧をプラスシフトさせることができる。ゲート電極105または導電層121の一方に適切な電位を与えることにより、ノーマリーオフのトランジスタ特性を得ることができる。

【0086】

なお、ゲート電極105及び導電層121に与える電位はこれに限られず、両方に対してトランジスタのオン状態を制御する電位を与えてもよい。こうすることで、トランジスタのオン電流を増大させることができるとなる。このとき、図6に示すように、酸化物層110及び絶縁層104に設けられた開口部を介して、ゲート電極105と導電層122とが電気的に接続されることにより、ゲート電極105と導電層121とを電気的に接続する構成としてもよい。

20

【0087】

なお、図5では導電層122と一対の電極103の間に酸化物層110を備える構成としたが、図7に示すように、導電層122の上面を覆う絶縁層123を設ける構成としてもよい。絶縁層123に設けられた開口部を介して、導電層122と導電層121とが電気的に接続している。絶縁層123は上記絶縁層106または絶縁層107と同様の材料を用いることができる。

30

【0088】

以上が変形例1についての説明である。

【0089】

[構成例2]

以下では、上記で例示したトランジスタとは構成の一部の異なるトランジスタの構成例について説明する。なお、上記と重複する部分については説明を省略し、相違点について詳細に説明する。また、構成要素の位置や形状が異なる場合であっても、その機能が同等である場合には同一の符号を付し、説明を省略する場合がある。

【0090】

本発明の一態様の半導体装置は、酸化物半導体層と、該酸化物半導体層と重なる絶縁層との間に、酸化物半導体層を構成する金属元素のうち、少なくとも一の金属元素を構成元素として含む酸化物層を有することが好ましい。これにより、酸化物半導体層と、該酸化物半導体層と重なる絶縁層との界面にトラップ準位が形成されることを抑制することができる。

40

【0091】

すなわち、本発明の一態様は、酸化物半導体層の少なくともチャネル形成領域における上面および底面のうち少なくとも一方が、酸化物半導体層の界面準位形成防止のためのバリア膜として機能する酸化物層に接する構成とすることが好ましい。このような構成とすることにより、酸化物半導体層中および界面においてキャリアの生成要因となる酸素欠損

50

の生成および不純物の混入を抑制することが可能となるため、酸化物半導体層を高純度真性化することができる。高純度真性化とは、酸化物半導体層を真性または実質的に真性にすることをいう。よって、当該酸化物半導体層を含むトランジスタの電気特性の変動を抑制し、信頼性の高い半導体装置を提供することが可能となる。

【0092】

なお、本明細書等において実質的に真性という場合、酸化物半導体層のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 未満、 $1 \times 10^{15} / \text{cm}^3$ 未満、または $1 \times 10^{13} / \text{cm}^3$ 未満である。酸化物半導体層を高純度真性化することで、トランジスタに安定した電気特性を付与することができる。

【0093】

より具体的には、例えば以下の構成とすることができます。

10

【0094】

図8に、以下で例示するトランジスタの断面概略図を示す。図8(A)はトランジスタのチャネル長方向の断面概略図であり、図8(B)はトランジスタのチャネル幅方向の断面概略図である。図8に示すトランジスタは、図1で例示したトランジスタと比較して、第1の酸化物層131及び第2の酸化物層132を有している点で、主に相違している。

【0095】

第1の酸化物層131は、酸化物層110と半導体層102の間に設けられている。また第2の酸化物層132は、半導体層102と絶縁層104の間に設けられている。図8に示す構成では、第1の酸化物層131、半導体層102及び第2の酸化物層132が基板101側から順に積層され、この積層構造が島状に加工されている。

20

【0096】

なお、図8では第1の酸化物層131と第2の酸化物層132の両方を備える構成について示したが、必ずしも両方を備える必要はなく、例えば図9(A)に示すように第1の酸化物層131のみを備える構成としてもよいし、図9(B)に示すように第2の酸化物層132のみを有する構成としてもよい。少なくとも第1の酸化物層131または第2の酸化物層132のいずれか一方を、半導体層102に接して設けることにより、界面準位の形成が抑制され、信頼性の高いトランジスタを実現できる。

【0097】

第1の酸化物層131及び第2の酸化物層132は、それぞれ半導体層102と同一の金属元素を一種以上含む酸化物を含む。

30

【0098】

なお、半導体層102と第1の酸化物層131の境界、または半導体層102と第2の酸化物層132の境界は不明瞭である場合がある。

【0099】

例えば、第1の酸化物層131及び第2の酸化物層132は、In若しくはGaを含み、代表的には、In-Ga系酸化物、In-Zn系酸化物、In-M-Zn系酸化物(MはAl、Ti、Ga、Y、Zr、La、Ce、NdまたはHf)であり、且つ半導体層102よりも伝導帯の下端のエネルギーが真空準位に近い材料を用いる。代表的には、第1の酸化物層131または第2の酸化物層132の伝導帯の下端のエネルギーと、半導体層102の伝導帯の下端のエネルギーとの差が、0.05eV以上、0.07eV以上、0.1eV以上、または0.15eV以上、且つ2eV以下、1eV以下、0.5eV以下、または0.4eV以下とすることが好ましい。

40

【0100】

半導体層102を挟むように設けられる第1の酸化物層131及び第2の酸化物層132に、半導体層102に比べてスタビライザとして機能するGaの含有量が多い酸化物を用いることにより、半導体層102からの酸素の放出を抑制することができる。

【0101】

半導体層102として、例えばIn:Ga:Zn = 1:1:1または3:1:2の原子数比のIn-Ga-Zn系酸化物を用いた場合、第1の酸化物層131または第2の酸化

50

物層 1 3 2 として、例えば $In : Ga : Zn = 1 : 3 : 2$ 、 $1 : 3 : 4$ 、 $1 : 3 : 6$ 、 $1 : 6 : 4$ 、 $1 : 6 : 8$ 、 $1 : 6 : 10$ 、または $1 : 9 : 6$ などの原子数比の $In - Ga - Zn$ 系酸化物を用いることができる。なお、半導体層 1 0 2、第 1 の酸化物層 1 3 1 および第 2 の酸化物層 1 3 2 の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス 20 % の変動を含む。また、第 1 の酸化物層 1 3 1 と第 2 の酸化物層 1 3 2 は、組成の同じ材料を用いてもよいし、異なる組成の材料を用いてもよい。

【0102】

また、半導体層 1 0 2 として $In - M - Zn$ 系酸化物を用いた場合、半導体層 1 0 2 となる半導体膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比を $In : M : Zn = x_1 : y_1 : z_1$ としたときに、 x_1 / y_1 の値が 1 / 3 以上 6 以下、好ましくは 1 以上 6 以下であり、 z_1 / y_1 が 1 / 3 以上 6 以下、好ましくは 1 以上 6 以下の原子数比の酸化物を用いることが好ましい。なお、 z_1 / y_1 を 6 以下とすることで、後述する C A A C - O S 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 1 : 1$ 、 $3 : 1 : 2$ などがある。

【0103】

また、第 1 の酸化物層 1 3 1、第 2 の酸化物層 1 3 2 として $In - M - Zn$ 系酸化物を用いた場合、第 1 の酸化物層 1 3 1、第 2 の酸化物層 1 3 2 となる酸化物膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比を $In : M : Zn = x_2 : y_2 : z_2$ としたときに、 $x_2 / y_2 < x_1 / y_1$ であり、 z_2 / y_2 の値が 1 / 3 以上 6 以下、好ましくは 1 以上 6 以下の原子数比の酸化物を用いることが好ましい。なお、 z_2 / y_2 を 6 以下とすることで、後述する C A A C - O S 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 3 : 4$ 、 $1 : 3 : 6$ 、 $1 : 3 : 8$ などがある。

【0104】

また、第 1 の酸化物層 1 3 1 および第 2 の酸化物層 1 3 2 に、半導体層 1 0 2 に比べて伝導帯の下端のエネルギーが真空準位に近い材料を用いることにより、半導体層 1 0 2 に主としてチャネルが形成され、半導体層 1 0 2 が主な電流経路となる。このように、チャネルが形成される半導体層 1 0 2 を、同じ金属元素を含む第 1 の酸化物層 1 3 1 および第 2 の酸化物層 1 3 2 で挟持することにより、これらの界面準位の生成が抑制され、トランジスタの電気特性における信頼性が向上する。

【0105】

なお、これに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性や電気特性を得るために、半導体層 1 0 2、第 1 の酸化物層 1 3 1、第 2 の酸化物層 1 3 2 のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

【0106】

ここで、半導体層 1 0 2 の厚さは、少なくとも第 1 の酸化物層 1 3 1 よりも厚く形成することが好ましい。半導体層 1 0 2 が厚いほど、トランジスタのオン電流を高めることができる。また、第 1 の酸化物層 1 3 1 は、半導体層 1 0 2 の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、半導体層 1 0 2 の厚さは、第 1 の酸化物層 1 3 1 の厚さに対して 1 倍よりも大きく、好ましくは 2 倍以上、より好ましくは 4 倍以上、より好ましくは 6 倍以上とすればよい。なお、トランジスタのオン電流を高める必要のない場合にはその限りではなく、第 1 の酸化物層 1 3 1 の厚さを半導体層 1 0 2 の厚さ以上としてもよい。

【0107】

また、第 2 の酸化物層 1 3 2 も第 1 の酸化物層 1 3 1 と同様に、半導体層 1 0 2 の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、第 1 の酸化物層 1 3 1 と同等またはそれ以下の厚さとすればよい。第 2 の酸化物層 1 3 2 が厚いと、ゲート電極 1 0 5 による電界が半導体層 1 0 2 に届きにくくなる恐れがあるため、第 2 の酸

10

20

30

40

50

化物層 132 は薄く形成することが好ましい。例えば、半導体層 102 の厚さよりも薄くすればよい。なおこれに限らず、第 2 の酸化物層 132 の厚さは絶縁層 104 の耐圧を考慮して、トランジスタを駆動させる電圧に応じて適宜設定すればよい。

【0108】

ここで、例えば半導体層 102 が、構成元素の異なる絶縁層（例えば酸化シリコン膜を含む絶縁層など）と接する場合、これらの界面に界面準位が形成され、該界面準位はチャネルを形成することがある。このような場合、しきい値電圧の異なる第 2 のトランジスタが出現し、トランジスタの見かけ上のしきい値電圧が変動することがある。しかしながら、本構成のトランジスタにおいては、半導体層 102 を構成する金属元素を一種以上含んで第 1 の酸化物層 131 を有しているため、第 1 の酸化物層 131 と半導体層 102 との界面に界面準位を形成しにくくなる。よって第 1 の酸化物層 131 を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきや変動を低減することができる。

【0109】

また、絶縁層 104 と半導体層 102 との界面にチャネルが形成される場合、該界面で界面散乱があこり、トランジスタの電界効果移動度が低下する場合がある。しかしながら、本構成のトランジスタにおいては、半導体層 102 を構成する金属元素を一種以上含んで第 2 の酸化物層 132 を有しているため、半導体層 102 と第 2 の酸化物層 132 との界面ではキャリアの散乱が起こりにくく、トランジスタの電界効果移動度を高くすることができます。

【0110】

なお、ここで例示したトランジスタに、上記変形例 1 で例示した、第 2 のゲート電極として機能する導電層 121 や導電層 122 を設ける構成としてもよい。また、図 2 で示したように、酸化物層 110 の一部が露出する構成としてもよい。一例として、図 9 (C) では、導電層 121、導電層 122 を備え、且つ酸化物層 110 の一部が露出する構成のチャネル長方向の断面概略図を示している。

【0111】

以上が構成例 2 についての説明である。

【0112】

[変形例 2]

以下では、上記構成例 2 等で示したトランジスタとは構成の一部の異なるトランジスタの構成例について説明する。

【0113】

図 10 に以下で例示するトランジスタの断面概略図を示す。図 10 (A) はトランジスタのチャネル長方向の断面概略図であり、図 10 (B) はトランジスタのチャネル幅方向の断面概略図である。図 10 に示すトランジスタは、図 8 で例示したトランジスタと比較して、酸化物層 110 及び第 1 の酸化物層 131 に換えて、凸状の形状を有する第 1 の酸化物層 131 を有している点で主に相違している。

【0114】

第 1 の酸化物層 131 は、酸化物層 110 と同様の形状を有している。また半導体層 102 は第 1 の酸化物層 131 の上面及び側面の少なくとも一部に沿って設けられている。また第 2 の酸化物層 132 は半導体層 102 に積層して設けられている。

【0115】

ここで、第 1 の酸化物層 131 として、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。このような酸化物を第 1 の酸化物層 131 に適用することで、作製工程中の熱処理によって第 1 の酸化物層 131 から半導体層 102 に酸素が供給され、半導体層 102 中の酸素欠損を低減することができる。さらに第 1 の酸化物層 131 は化学量論的組成よりも多くの酸素を含むため、その一部が脱離したとしても化学量論的組成が保たれるため、第 1 の酸化物層 131 中に酸素欠損が生じることが抑制される。したがって、信頼性の高いトランジスタを実現できる。

10

20

30

40

50

【0116】

また、構成例2で例示したトランジスタと比較して、酸化物層110を有していない構成であるため、酸化物層110のチャネル幅方向の厚さ分だけトランジスタの占有面積を小さくすることができる。

【0117】

また、図10に示すように、第1の酸化物層131を島状に加工し、第1の酸化物層131の全体を覆うように半導体層102を形成することが好ましい。こうすることで、第1の酸化物層131から上部に脱離する酸素が外部に放出されることなく、第1の酸化物層131から放出される酸素のほぼ全てを半導体層102に供給することができる。また第1の酸化物層131を半導体層102で覆うことで、第1の酸化物層131中の酸素が外部に放出され続けることがなく、必要以上に酸素が脱離して第1の酸化物層131中に酸素欠損が形成されてしまうことを抑制できる。

10

【0118】

以上が変形例2についての説明である。

【0119】

[構成例3]

以下では、上記で例示したトランジスタとは構成の一部の異なるトランジスタの構成例について説明する。なお、上記と重複する部分については説明を省略し、相違点について詳細に説明する。また、構成要素の位置や形状が異なる場合であっても、その機能が同等である場合には同一の符号を付し、説明を省略する場合がある。

20

【0120】

図11(A)は、以下で例示するトランジスタの斜視概略図である。なお、図11(A)には明瞭化のため、一部の構成要素を明示していない。また、図11(B)、(C)、(D)はそれぞれ、図11(A)中に示す切断線D1-D2、E1-E2、F1-F2における断面概略図である。図11(B)はトランジスタのチャネル長方向の断面概略図であり、図11(C)はゲート電極105の延伸方向に沿ったトランジスタのチャネル幅方向の断面概略図であり、図11(D)は電極103を含む領域を切断したトランジスタのチャネル幅方向の断面概略図である。

【0121】

図11に示すトランジスタは、図1で例示したトランジスタと比較して、ゲート電極105と一対の電極103の形状およびこれらの相対的な位置が異なる点で主に相違している。

30

【0122】

酸化物層110の上面に垂直な方向から見たときに、ゲート電極105の端部のうち、少なくとも半導体層102と重畳する部分において、一対の電極103と重畳するように設けられている。すなわち、図1で例示したトランジスタはオフセット領域を有していたのに対して、図11に示すトランジスタは、ゲート電極105と電極103のオーバーラップ領域を有する。このように一対の電極103とゲート電極105とを重ねて配置することで、トランジスタのチャネル長を一対の電極103の最小加工寸法と同等にまで縮小できる。さらに半導体層102にオフセット領域が設けられることにより、トランジスタの寄生抵抗が低減され、オン電流を高めることができる。

40

【0123】

また、図1で例示したトランジスタでは一対の電極103の延伸方向がゲート電極105と同じ方向であったのに対し、図11に示すトランジスタではゲート電極105の延伸方向と垂直な方向に延伸するように設けられている。言い換えると、一対の電極103はトランジスタのチャネル長方向に延伸するように設けられている。こうすることで、ゲート電極105と一対の電極103とが重畳する面積を可能な限り小さくし、これら電極間の容量を低減することができ、トランジスタを高速動作させることができるとなる。

【0124】

なお、一対の電極103の延伸方向はこれにかぎられず、図12(A)に示すように、

50

ゲート電極 105 と並行して延伸させてもよい。このように一対の電極 103 とゲート電極 105 を重ね、これらを並行に配置することで、トランジスタや電極（配線を含む）の占有面積を縮小することができる。

【0125】

またこのとき、図 12 (B) に示すように、酸化物層 110 の一部が露出する構成としてもよい。このような構成とすることで、よりトランジスタの占有面積を縮小することができる。

【0126】

本構成例で例示したトランジスタは一対の電極 103 とゲート電極 105 とのオーバーラップ領域を有するため、よりオン電流を増大させることが可能である。

10

【0127】

なお、一対の電極 103 及びゲート電極 105 以外の構成要素については、上記各構成例及び各変形例で例示した構成要素を適宜組み合わせてもよい。例えば、絶縁層 104 を図 3 で例示した絶縁層 104 の構成に置換してもよいし、変形例 1 で例示した導電層 121 及び導電層 122 等を有する構成としてもよいし、構成例 2 または変形例 2 で例示した第 1 の酸化物層 131 及び第 2 の酸化物層 132 のいずれか一方または両方を備える構成としてもよい。

【0128】

図 13 及び図 14 に、第 1 の酸化物層 131 及び第 2 の酸化物層 132 を備える構成の例を示す。図 13 (A)、図 14 (A) はトランジスタのチャネル長方向の断面概略図であり、図 13 (B)、図 14 (B) はトランジスタのチャネル幅方向の断面概略図である。図 13 に示すトランジスタは、酸化物層 110 の側面及び上面を覆うように第 1 の酸化物層 131、半導体層 102 及び第 2 の酸化物層 132 の積層構造が設けられている。また、図 14 に示すトランジスタは、酸化物層 110 の側面及び上面を覆うように第 1 の酸化物層 132 と半導体層 102 が設けられ、第 2 の酸化物層 132 は、一対の電極 103 の上面の一部を覆って設けられている。このとき、主にチャネルが形成される半導体層 102 と一対の電極 103 とが接する構成とすることで、トランジスタのオン電流をより高めることができる。なお、図 14 では第 2 の酸化物層 132 及び絶縁層 104 の上面形状がゲート電極 105 の上面形状と概略一致するように同一のフォトマスクを用いて加工されている構成を示しているが、これに限らず第 2 の酸化物層 132、絶縁層 104、及びゲート電極 105 をそれぞれ別のフォトマスクを用いて加工してもよいし、これらのうち 2 つを同一のフォトマスクを用いて加工してもよい。

20

【0129】

また、変形例 2 で例示した凸状の形状を有する第 1 の酸化物層 131 を、酸化物層 110 に換えて用いてもよい。一例として、図 15 に図 14 で例示したトランジスタの酸化物層 110 に換えて、凸状の形状を有する第 1 の酸化物層 131 を適用する例を示している。このような構成とすることで、トランジスタの占有面積を小さくすることができる。なお、図示しないが、図 13 に示す構成においても酸化物層 110 に換えて凸状の形状を有する第 1 の酸化物層 131 を設ける構成としてもよい。

30

【0130】

40

以上が本構成例についての説明である。

【0131】

[作製方法例]

以下では、本発明の一態様の半導体装置の作製方法例について説明する。ここでは構成例 1 及び図 1 で示したトランジスタの作製方法例について、図 16 を用いて説明する。

【0132】

[絶縁層の形成]

まず、基板 101 上に絶縁層 106 を形成する。

【0133】

絶縁層 106 は、スパッタリング法、CVD (Chemical Vapor Dep

50

osition) 法(熱CVD法、MOCVD(Metal Organic CVD)法、PECVD(Plasma Enhanced CVD)法等を含む)、MBE(Molecular Beam Epitaxy)法、ALD(Atomic Layer Deposition)法、またはPLD(Pulsed Laser Deposition)法等で成膜することにより形成することができる。

【0134】

絶縁層106に酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁層106の成膜を行えばよい。または、成膜後の絶縁層106に酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

【0135】

例えば、成膜後の絶縁層106に酸素(少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む)を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、プラズマ処理などを用いることができる。

【0136】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。

【0137】

なお、絶縁層106を形成した後、その上面の平坦性を高めるためにCMP(Chemical Mechanical Polishing)法等を用いた平坦化処理を行つてもよい。

【0138】

〔酸化物層の形成〕

続いて、絶縁層106上に、後の酸化物層110となる酸化物膜を成膜する。酸化物膜は、スパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法、またはPLD法等で成膜することにより形成することができる。

【0139】

ここで、半導体層102として酸化物半導体を用い、酸化物層110として半導体層102を構成する金属元素を一以上含む酸化物を含む材料を用いる場合には、酸化物膜の形成方法として、後述する半導体膜の形成方法と同様の方法を用いればよい。

【0140】

酸化物膜を形成後、当該酸化物膜上にフォトリソグラフィ法等を用いてレジストマスクを形成し、当該酸化物膜の不要な部分を除去する。その後、レジストマスクを除去することにより、酸化物層110を形成することができる(図16(A))。

【0141】

ここで、酸化物層110等の被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、フォトリソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてよい。また、フォトリソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて、被加工膜をエッチングしてもよい。また被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

【0142】

レジストマスクの形成に用いる光は、例えばi線(波長365nm)、g線(波長436nm)、h線(波長405nm)、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光(EUV: Extreme Ultra-violet)やX線を用いてもよい。また

10

20

30

40

50

、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【0143】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピニコート法などにより、その下層の段差を被覆して表面を平坦化するように形成することができ、当該有機樹脂膜の上層に設けられるレジストマスクの厚さのばらつきを低減できる。また特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばB A R C (Bottom Anti-Reflection Coating) 膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

【0144】

ここで、酸化物層110の加工の際、下層に設けられる絶縁層106の上面がエッチングされることで図17(A)に示すような断面形状となる場合がある。また図17(B)では、絶縁層106の上部を凸状に加工して酸化物層110とした場合について示す。また、図16等では酸化物層110の側面が被形成面に対して略垂直になるように加工された場合を示すが、酸化物層110の形状は加工方法によっては異なる形状となる場合がある。例えば、図17(C)に示すように酸化物層110の側面が裾を引くように、被形成面(ここでは絶縁層106の上面)に近いほど幅が大きくなるような形状であってもよいし、図17(D)に示すように、酸化物層110の側面の一部が窪んだ形状となっていてもよい。

【0145】

酸化物層110となる酸化物膜の成膜後、またはこれを加工して酸化物層110を形成した後に、上述した酸素導入処理を行って酸化物層110に対して酸素を導入することが好ましい。酸素導入処理によって、酸化物層110中に酸素を導入し、化学量論的組成よりも多くの酸素を含有し、加熱により一部の酸素が脱離する酸化物層110とすることができる。

【0146】

〔半導体層の形成〕

続いて、絶縁層106および酸化物層110を覆って半導体膜を成膜する。その後、上記と同様の方法により半導体膜上にレジストマスクを形成し、半導体膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、酸化物層110の上面及び側面の少なくとも一部を覆う、島状の半導体層102を形成することができる(図16(B))。

【0147】

半導体膜の成膜は、スパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法、またはPLD法等を用いることができる。または、ジルゲル法やスプレー法、ミスト法など、液状の材料を用いた薄膜形成技術を用いることもできる。半導体膜の成膜は、スパッタリング法を用いることが好ましい。スパッタリング法としては、RFスパッタリング法、DCスパッタリング法、ACスパッタリング法等を用いることができる。特に、成膜時に発生するゴミを低減でき、且つ膜厚分布も均一とすることから、DCスパッタリング法を用いることが好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0148】

半導体膜の成膜後、加熱処理を行ってもよい。加熱処理は、250以上650以下、好ましくは300以上500以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以

10

20

30

40

50

上含む雰囲気で行ってもよい。加熱処理は、半導体膜を成膜した直後に行ってもよいし、半導体膜を加工して島状の半導体層102を形成した後に行ってもよい。加熱処理により、絶縁層106及び酸化物層110から半導体膜（または半導体層102）に酸素が供給され、半導体層102に含まれる酸化物半導体中の酸素欠損を低減できる。

【0149】

なお、図16では酸化物層110の上面及び側面を全て覆うように半導体層102を設ける場合について示しているが、半導体層102を加工する際に用いるマスクパターンを変更することで、図2等で示したように、酸化物層110の側面の一部を露出させるように半導体層102を形成することができる。

【0150】

10

〔一対の電極の形成〕

続いて、絶縁層106及び半導体層102を覆って導電膜を成膜する。その後上記と同様の方法により導電膜上にレジストマスクを形成し、導電膜上の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、一対の電極103を形成することができる（図16（C））。

【0151】

導電膜は、例えばスパッタリング法、蒸着法、CVD法（熱CVD法、MOCSV法、PECVD法等を含む）などにより成膜することができる。またプラズマによるダメージを減らすには、熱CVD法、MOCSV法あるいはALD法が好ましい。

【0152】

20

ここで、導電膜のエッチングの際に、半導体層102や絶縁層106の上部の一部がエッチングされ、一対の電極103と重ならない部分が薄膜化することがある。したがって、半導体層102となる半導体膜等の厚さを、エッチングされる深さを考慮して予め厚く形成しておくことが好ましい。

【0153】

なお、一対の電極103を加工する際に用いるマスクパターンを変更することで、図11、図12等に示したような様々な形状に加工することができる。

【0154】

〔ゲート絶縁層、ゲート電極の形成〕

続いて、絶縁層106、半導体層102及び一対の電極103上に絶縁膜を成膜する。さらに、絶縁膜上に導電膜を成膜する。

30

【0155】

該絶縁膜は後に絶縁層104となる絶縁膜である。該絶縁膜は、スパッタリング法、CVD法（熱CVD法、MOCSV法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCSV法あるいはALD法が好ましい。

【0156】

該導電膜は、後にゲート電極105となる導電膜である。該導電膜は、例えばスパッタリング法、蒸着法、CVD法（熱CVD法、MOCSV法、PECVD法等を含む）などにより成膜することができる。プラズマによるダメージを減らすには、熱CVD法、MOCSV法あるいはALD法が好ましい。

40

【0157】

続いて、上記と同様の方法により導電膜上にレジストマスクを形成し、導電膜と絶縁膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、ゲート電極105と絶縁層104を同時に形成することができる（図16（D））。

【0158】

なお、導電膜をエッチングした後にレジストマスクを除去し、ゲート電極105をハードマスクとして用いて絶縁層104を加工してもよい。または、ゲート電極105と絶縁

50

層 104 とをそれぞれ異なるフォトマスクにより個別に加工してもよい。または、ゲート電極 105 の加工のみを行い、加工されていない絶縁膜を絶縁層 104 として用いてよい。

【 0159 】

なお、ゲート電極 105 及び絶縁層 104 の加工に用いるマスクパターンを変更することで、図 11 や図 12 等で示したようにゲート電極 105 が一対の電極 103 と重畳するような形状に加工することができる。

【 0160 】

また、ゲート電極 105 と一対の電極 103 とがオーバーラップしない構成、すなわちオフセット領域を有する構成の場合、オフセット領域における半導体層 102 に対して、導電性を付与する不純物を添加してもよい。例えば、水素、ホウ素、窒素、フッ素、アルミニウム、リン、ヒ素、インジウム、スズ、アンチモン及び希ガス元素から選ばれた一種以上の元素を、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、プラズマ処理等により、オフセット領域における半導体層 102 に導入してもよい。例えば、ゲート電極 105 を形成した後にゲート電極 105 をマスクとして上記の方法により不純物を導入することで、オフセット領域に選択的に不純物を添加することができる。オフセット領域に当該不純物を添加することで、ソースードレイン間の寄生抵抗を低減し、トランジスタのオン電流を高めることができる。

【 0161 】

以上の工程により、トランジスタを作製することができる。

【 0162 】

〔絶縁層の形成〕

続いて、絶縁層 107 及び絶縁層 108 を形成する（図示せず）。

【 0163 】

絶縁層 107 及び絶縁層 108 は、スパッタリング法、CVD 法（熱 CVD 法、MOCVD 法、PECVD 法等を含む）、MBE 法、ALD 法または PLD 法などを用いて形成することができる。特に、絶縁層 107 を CVD 法、好ましくはプラズマ CVD 法によって成膜すると、被覆性を良好なものとすることができますため好ましい。またプラズマによるダメージを減らすには、熱 CVD 法、MOCVD 法あるいは ALD 法が好ましい。また絶縁層 108 として有機樹脂などの有機絶縁材料を用いる場合には、スピンドルコート法などの塗布法を用いて形成してもよい。また、絶縁層 108 を形成した後にその上面に対して平坦化処理を行ってもよい。

【 0164 】

〔加熱処理〕

絶縁層 107 の形成後、加熱処理を行うことが好ましい。加熱処理により、酸化物層 110 等から半導体層 102 に対して酸素を供給し、半導体層 102 中の酸素欠損を低減することができる。またこのとき、酸素を透過しにくい絶縁層 107 によって、絶縁層 107 よりも内側に酸化物層 110 や半導体層 102 等から放出される酸素が効果的に閉じ込められ、当該酸素の外部への放出が抑制される。そのため、酸化物層 110 等から放出され、半導体層 102 に供給しうる酸素の量を増大させることができ、半導体層 102 中の酸素欠損を効果的に低減することができる。

【 0165 】

以上がトランジスタの作製方法例についての説明である。

【 0166 】

なお、上記では一対の電極 103 の形成よりも後にゲート電極 105 及び絶縁層 104 の形成を行ったが、一対の電極 103 とゲート電極 105 とがオーバーラップしない構成の場合には、一対の電極 103 の形成をゲート電極 105 の形成よりも後に行ってもよい。

【 0167 】

なお、図 8 等で例示したように第 1 の酸化物層 131 や第 2 の酸化物層 132 を設ける

10

20

30

40

50

場合には、これらを構成する薄膜を半導体膜の成膜と同様の方法により成膜することができる。第1の酸化物層131または第2の酸化物層132の少なくとも一方を半導体層102と積層する場合には、成膜の際に大気に触れさせることなく連続して成膜するが好ましい。

【0168】

また、図5等で例示したように、酸化物層110の内部に導電層121を設ける場合には、絶縁層106上に導電膜を成膜し、上記と同様の加工方法を用いて凸状の導電層121を形成し、当該導電層を覆うように酸化物層110を形成すればよい。

【0169】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0170】

(実施の形態2)

本実施の形態では、本発明の一態様の半導体装置の半導体層に好適に用いることのできる酸化物半導体について説明する。

【0171】

酸化物半導体は、エネルギーギャップが3.0eV以上と大きく、酸化物半導体を適切な条件で加工し、そのキャリア密度を十分に低減して得られた酸化物半導体膜が適用されたトランジスタにおいては、オフ状態でのソースとドレイン間のリーク電流（オフ電流）を、従来のシリコンを用いたトランジスタと比較して極めて低いものとすることができます。

【0172】

適用可能な酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザとして、それに加えてガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、スカンジウム（Sc）、イットリウム（Y）、ランタノイド（例えば、セリウム（Ce）、ネオジム（Nd）、ガドリニウム（Gd））から選ばれた一種、または複数種が含まれていることが好ましい。

【0173】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0174】

ここで、In-Ga-Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素が入っていてもよい。

【0175】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)

10

20

30

40

50

) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザとしての元素を示す。また、酸化物半導体として、 In_2SnO_5 (ZnO)_n ($n > 0$ 、且つ、nは整数) で表記される材料を用いてもよい。

【0176】

例え、 $In : Ga : Zn = 1 : 1 : 1$ 、 $In : Ga : Zn = 1 : 3 : 2$ 、 $In : Ga : Zn = 1 : 3 : 4$ 、 $In : Ga : Zn = 1 : 3 : 6$ 、 $In : Ga : Zn = 3 : 1 : 2$ あるいは $In : Ga : Zn = 2 : 1 : 3$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0177】

酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理(脱水素化処理)を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0178】

なお、酸化物半導体膜への脱水化処理(脱水素化処理)によって、酸化物半導体膜から酸素も同時に減少してしまうことがある。よって、酸化物半導体膜への脱水化処理(脱水素化処理)によって同時に減少してしまった酸素を酸化物半導体に加える、または酸素を供給し酸化物半導体膜の酸素欠損を補填することが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理、または過酸素化処理と記す場合がある。

【0179】

このように、酸化物半導体膜は、脱水化処理(脱水素化処理)により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型(真性)化またはi型に限りなく近く実質的にi型(真性)である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく(ゼロに近く)、キャリア密度が $1 \times 10^{17} / cm^3$ 以下、 $1 \times 10^{16} / cm^3$ 以下、 $1 \times 10^{15} / cm^3$ 以下、 $1 \times 10^{14} / cm^3$ 以下、 $1 \times 10^{13} / cm^3$ 以下であることをいう。

【0180】

またこのように、i型又は実質的にi型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例え、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温(25程度)にて $1 \times 10^{-18} A$ 以下、好ましくは $1 \times 10^{-21} A$ 以下、さらに好ましくは $1 \times 10^{-24} A$ 以下、または85にて $1 \times 10^{-15} A$ 以下、好ましくは $1 \times 10^{-18} A$ 以下、さらに好ましくは $1 \times 10^{-21} A$ 以下とすることができます。なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも1V以上、2V以上または3V以上小さければ、トランジスタはオフ状態となる。

【0181】

以下では、酸化物半導体膜の構造について説明する。

【0182】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-O_S(CAxis Aligned Cry stalline Oxide Semiconductor)膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0183】

まずは、CAAC-O_S膜について説明する。

【0184】

10

20

30

40

50

なお、本明細書において、「平行」とは、二つの直線が-10°以上10°以下の角度で配置されている状態をいう。従って、-5°以上5°以下の場合も含まれる。また、「垂直」とは、二つの直線が80°以上100°以下の角度で配置されている状態をいう。従って、85°以上95°以下の場合も含まれる。

【0185】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0186】

C AAC - OS 膜は、c 軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

10

【0187】

C AAC - OS 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C AAC - OS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0188】

C AAC - OS 膜を、試料面と概略平行な方向から TEM によって観察 (断面 TEM 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C AAC - OS 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C AAC - OS 膜の被形成面または上面と平行に配列する。

20

【0189】

一方、C AAC - OS 膜を、試料面と概略垂直な方向から TEM によって観察 (平面 TEM 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0190】

図 26 (a) は、C AAC - OS 膜の断面 TEM 像である。また、図 26 (b) は、図 26 (a) をさらに拡大した断面 TEM 像であり、理解を容易にするために原子配列を強調表示している。

30

【0191】

図 26 (c) は、図 26 (a) の A - O - A' 間において、丸で囲んだ領域 (直径約 4 nm) の局所的なフーリエ変換像である。図 26 (c) より、各領域において c 軸配向性が確認できる。また、A - O 間と O - A' 間とでは、c 軸の向きが異なるため、異なるグレインであることが示唆される。また、A - O 間では、c 軸の角度が 14.3°、16.6°、26.4° のように少しづつ連続的に変化していることがわかる。同様に、O - A' 間では、c 軸の角度が -18.3°、-17.6°、-15.9° と少しづつ連続的に変化していることがわかる。

【0192】

断面 TEM 観察および平面 TEM 観察より、C AAC - OS 膜の結晶部は配向性を有していることがわかる。また、C AAC - OS 膜に対し、電子線回折を行うと、配向性を示すスポット (輝点) が観測される。例えば、C AAC - OS 膜の上面に対し、例えば 1 nm 以上 30 nm 以下の電子線を用いる電子線回折 (ナノビーム電子回折ともいう) を行うと、スポットが観測される (図 27 (A))。

40

【0193】

なお、C AAC - OS 膜に含まれるほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、C AAC - OS 膜に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。ただし、C AAC - OS 膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面 TEM 像において、2500 nm² 以上、5 μm² 以上または 1000 μm² 以上となる結晶領域が観察される場合がある。

50

【0194】

C A A C - O S 膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、C A A C - O S 膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0195】

一方、C A A C - O S 膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、C A A C - O S 膜の場合は、2θを56°近傍に固定してスキャンした場合でも、明瞭なピークが現れない。

【0196】

以上のことから、C A A C - O S 膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0197】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶のc軸がC A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0198】

また、C A A C - O S 膜中において、c軸配向した結晶部の分布が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもc軸配向した結晶部の割合が高くなることがある。また、不純物の添加されたC A A C - O S 膜は、不純物が添加された領域が変質し、部分的にc軸配向した結晶部の割合の異なる領域が形成されることもある。

【0199】

なお、InGaZnO₄の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、C A A C - O S 膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0200】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【0201】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化

10

20

30

40

50

物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【0202】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【0203】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0204】

次に、微結晶酸化物半導体膜について説明する。

【0205】

微結晶酸化物半導体膜は、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶（n c : nanocrystalline）を有する酸化物半導体膜を、n c - O S (nanocrystalline Oxide Semiconductor) 膜と呼ぶ。また、n c - O S 膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0206】

n c - O S 膜は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、n c - O S 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、n c - O S 膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、n c - O S 膜に対し、結晶部よりも大きいビーム径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、n c - O S 膜に対し、結晶部よりも大きいプローブ径（例えば50 nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S 膜に対し、結晶部の大きさと近いか結晶部より小さいプローブ径（例えば1 nm以上30 nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、n c - O S 膜に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、n c - O S 膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある（図27（B））。

【0207】

n c - O S 膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、n c - O S 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、n c - O S 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、n c - O S 膜は、C A A C - O S 膜と比べて欠陥準位密度が高くなる。

【0208】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C

10

20

30

40

50

A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【0209】

C A A C - O S 膜は、例えば以下の方法により形成することができる。

【0210】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

10

【0211】

平板状のスパッタリング粒子は、例えば、a - b 面に平行な面の円相当径が 3 nm 以上 10 nm 以下、厚さ (a - b 面に垂直な方向の長さ) が 0.7 nm 以上 1 nm 未満である。なお、平板状のスパッタリング粒子は、a - b 面に平行な面が正三角形または正六角形であってもよい。ここで、面の円相当径とは、面の面積と等しい正円の直径をいう。

【0212】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【0213】

成膜時の基板温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板温度を 100 以上 740 以下、好ましくは 200 以上 500 以下として成膜する。成膜時の基板温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。このとき、スパッタリング粒子が正に帯電することで、スパッタリング粒子同士が反発しながら基板に付着するため、スパッタリング粒子が偏つて不均一に重なることがなく、厚さの均一な C A A C - O S 膜を成膜することができる。

20

【0214】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度 (水素、水、二酸化炭素及び窒素など) を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が -80 以下、好ましくは -100 以下である成膜ガスを用いる。

30

【0215】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30 体積 % 以上、好ましくは 100 体積 % とする。

【0216】

または、C A A C - O S 膜は、以下の方法により形成する。

【0217】

まず、第 1 の酸化物半導体膜を 1 nm 以上 10 nm 未満の厚さで成膜する。第 1 の酸化物半導体膜はスパッタリング法を用いて成膜する。具体的には、基板温度を 100 以上 500 以下、好ましくは 150 以上 450 以下とし、成膜ガス中の酸素割合を 30 体積 % 以上、好ましくは 100 体積 % として成膜する。

40

【0218】

次に、加熱処理を行い、第 1 の酸化物半導体膜を結晶性の高い第 1 の C A A C - O S 膜とする。加熱処理の温度は、350 以上 740 以下、好ましくは 450 以上 650

以下とする。また、加熱処理の時間は 1 分以上 24 時間以下、好ましくは 6 分以上 4 時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で加熱処理を行った後、酸化性雰囲気で加熱処理を行う。不活性雰囲気での加熱処理により、第 1 の酸化物半導体膜の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理により第 1 の酸化物半導体膜に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減する

50

ことができる。なお、加熱処理は 1000 Pa 以下、100 Pa 以下、10 Pa 以下または 1 Pa 以下の減圧下で行ってもよい。減圧下では、第 1 の酸化物半導体膜の不純物濃度をさらに短時間で低減することができる。

【0219】

第 1 の酸化物半導体膜は、厚さが 1 nm 以上 10 nm 未満であることにより、厚さが 10 nm 以上である場合と比べ、加熱処理によって容易に結晶化させることができる。

【0220】

次に、第 1 の酸化物半導体膜と同じ組成である第 2 の酸化物半導体膜を 10 nm 以上 50 nm 以下の厚さで成膜する。第 2 の酸化物半導体膜はスパッタリング法を用いて成膜する。具体的には、基板温度を 100 以上 500 以下、好ましくは 150 以上 450 10

以下とし、成膜ガス中の酸素割合を 30 体積 % 以上、好ましくは 100 体積 % として成膜する。

【0221】

次に、加熱処理を行い、第 2 の酸化物半導体膜を第 1 の CAC-OS 膜から固相成長させることで、結晶性の高い第 2 の CAC-OS 膜とする。加熱処理の温度は、350

以上 740 以下、好ましくは 450 以上 650 以下とする。また、加熱処理の時間は 1 分以上 24 時間以下、好ましくは 6 分以上 4 時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で加熱処理を行った後、酸化性雰囲気で加熱処理を行う。不活性雰囲気での加熱処理により、第 2 の酸化物半導体膜の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理により第 2 の酸化物半導体膜に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減することができる。なお、加熱処理は 1000 Pa 以下、100 Pa 以下、10 Pa 以下または 1 Pa 以下の減圧下で行ってもよい。減圧下では、第 2 の酸化物半導体膜の不純物濃度をさらに短時間で低減することができる。

【0222】

以上のようにして、合計の厚さが 10 nm 以上である CAC-OS 膜を形成することができる。

【0223】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0224】

(実施の形態 3)

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

【0225】

[断面構造例]

図 18 (A) に、本発明の一態様の半導体装置の断面概略図を示す。図 18 (A) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 2200 を有し、上部に第 2 の半導体材料を用いたトランジスタ 2100 を有している。図 18 (A) では、第 2 の半導体材料を用いたトランジスタ 2100 として、図 11 で例示したトランジスタを適用した例を示している。図 18 (A) における一点鎖線よりも左側は、トランジスタ 2100 のチャネル長方向の断面に相当し、右側はトランジスタ 2100 のチャネル幅方向の断面に相当する。なお、トランジスタ 2100 としては、上記実施の形態で例示した様々なトランジスタを適用できる。

【0226】

第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料（シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素など）とし、第 2 の半導体材料を酸化物半導体とすることができます。酸化物半導体以外の材料として単結晶シリコ

10

20

30

40

50

ンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

【0227】

トランジスタ2200は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、酸化物半導体を用いた本発明の一態様のトランジスタを用いるほかは、用いる材料や構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0228】

図18(A)に示す構成では、トランジスタ2200の上部に、絶縁層2201、絶縁層2207を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には、複数の配線2202が設けられている。また各種絶縁層に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電気的に接続されている。また、トランジスタ2100を覆う絶縁層2204と、絶縁層2204上に配線2205と、トランジスタ2100の一対の電極と同一の導電膜を加工して得られた配線2206と、が設けられている。

【0229】

このように、2種類のトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

【0230】

ここで、下層に設けられるトランジスタ2200にシリコン系半導体材料を用いた場合、トランジスタ2200の半導体層の近傍に設けられる絶縁層中の水素はシリコンのダングリングボンドを終端し、トランジスタ2200の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ2100に酸化物半導体を用いた場合、トランジスタ2100の半導体層の近傍に設けられる絶縁層中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ2100の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタ2200の上層に酸化物半導体を用いたトランジスタ2100を積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁層2207を設けることは特に効果的である。絶縁層2207により、下層に水素を閉じ込めてトランジスタ2200の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでトランジスタ2100の信頼性も同時に向上させることができる。

【0231】

絶縁層2207としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

【0232】

また、酸化物半導体層を含んで構成されるトランジスタ2100を覆うように、トランジスタ2100上に水素の拡散を防止する機能を有する絶縁層2208を形成することが好ましい。絶縁層2208は上記実施の形態における絶縁層107に相当する。絶縁層2208としては、絶縁層2207と同様の材料を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミニウム膜は、水素、水分などの不純物及び酸素の双方に対して膜を透過させない遮断(ブロッキング)効果が高い。したがって、トランジスタ2100を覆う絶縁層2208として酸化アルミニウム膜を用いることで、トランジスタ2100に含まれる酸化物半導体層からの酸素の脱離を防止するとともに、酸化物半導体層への水及び水素の混入を防止することができる。

【0233】

図18(B)は、図18(A)に対して異なる構成のトランジスタ2200を適用した場合について示している。図18(B)に示すトランジスタ2200はチャネルが形成される半導体層(半導体基板の一部)が凸形状を有し、その側面及び上面に沿ってゲート絶縁層及びゲート電極が設けられている。このようなトランジスタ2200は半導体基板の

10

20

30

40

50

凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁層を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体層を形成してもよい。

【0234】

〔回路構成例〕

上記構成において、トランジスタ2100やトランジスタ2200の電極の接続構成を異ならすことにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

【0235】

10

〔CMOS回路〕

図18(C)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、且つそれぞれのゲートを接続した、いわゆるCMOS回路の構成を示している。なお図中、第2の半導体材料が適用されたトランジスタには「OS」の記号を付して示している。

【0236】

〔アナログスイッチ〕

また図18(D)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

20

【0237】

〔記憶装置の例〕

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、且つ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を図19に示す。

【0238】

30

図19(A)に示す半導体装置は、第1の半導体材料を用いたトランジスタ3200と第2の半導体材料を用いたトランジスタ3300、及び容量素子3400を有している。なお、トランジスタ3300としては、上記実施の形態で例示したトランジスタを用いることができる。

【0239】

トランジスタ3300は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ3300は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することができる。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0240】

図19(A)において、第1の配線3001はトランジスタ3200のソース電極と電気的に接続され、第2の配線3002はトランジスタ3200のドレイン電極と電気的に接続されている。また、第3の配線3003はトランジスタ3300のソース電極またはドレイン電極の一方と電気的に接続され、第4の配線3004はトランジスタ3300のゲート電極と電気的に接続されている。そして、トランジスタ3200のゲート電極、およびトランジスタ3300のソース電極またはドレイン電極の他方は、容量素子3400の電極の一方と電気的に接続され、第5の配線3005は容量素子3400の電極の他方と電気的に接続されている。

40

【0241】

図19(A)に示す半導体装置では、トランジスタ3200のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0242】

50

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300がオン状態となる電位にして、トランジスタ3300をオン状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート電極、および容量素子3400に与えられる。すなわち、トランジスタ3200のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という）のいずれかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300がオフ状態となる電位にして、トランジスタ3300をオフ状態とすることにより、トランジスタ3200のゲート電極に与えられた電荷が保持される（保持）。

【0243】

10

トランジスタ3300のオフ電流は極めて小さいため、トランジスタ3200のゲート電極の電荷は長時間にわたって保持される。

【0244】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、トランジスタ3200のゲート電極に保持された電荷量に応じて、第2の配線3002は異なる電位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th-H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th-L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th-H} と V_{th-L} の中間の電位 V_0 とすることにより、トランジスタ3200のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($> V_{th-H}$) となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 ($< V_{th-L}$) となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3002の電位を判別することで、保持されている情報を読み出すことができる。

20

【0245】

30

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報を読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th-H} より小さい電位を第5の配線3005に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th-L} より大きい電位を第5の配線3005に与えればよい。

【0246】

図19(B)に示す半導体装置は、トランジスタ3200を設けていない点で主に図19(A)と相違している。この場合も上記と同様の動作により情報の書き込み及び保持動作が可能である。

40

【0247】

次に、情報の読み出しについて説明する。トランジスタ3300がオン状態となると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の第1の端子の電位（あるいは容量素子3400に蓄積された電荷）によって、異なる値をとる。

【0248】

例えば、容量素子3400の第1の端子の電位をV、容量素子3400の容量をC、第3の配線3003が有する容量成分をCB、電荷が再分配される前の第3の配線3003の電位をVB0とすると、電荷が再分配された後の第3の配線3003の電位は、(CB

50

$\times V_B 0 + C \times V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 3400 の第 3 の端子の電位が V_1 と V_0 ($V_1 > V_0$) の 2 状態をとるとすると、電位 V_1 を保持している場合の第 3 の配線 3003 の電位 ($= (C_B \times V_B 0 + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第 3 の配線 3003 の電位 ($= (C_B \times V_B 0 + C \times V_0) / (C_B + C)$) よりも高くなることがわかる。

【0249】

そして、第 3 の配線 3003 の電位を所定の電位と比較することで、情報を読み出すことができる。

【0250】

この場合、メモリセルを駆動させるための駆動回路に上記第 1 の半導体材料が適用されたトランジスタを用い、トランジスタ 3300 として第 2 の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

10

【0251】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0252】

20

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0253】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

30

【0254】

（実施の形態 4）

本実施の形態では、上記実施の形態で例示したトランジスタ、または記憶装置を含む R F I D タグについて、図 20 を用いて説明する。

【0255】

本実施の形態における R F I D タグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、R F I D タグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

40

【0256】

R F I D タグの構成について図 20 を用いて説明する。図 20 は、R F I D タグの構成例を示すブロック図である。

【0257】

図 20 に示すように R F I D タグ 800 は、通信器 801（質問器、リーダ／ライタなどともいう）に接続されたアンテナ 802 から送信される無線信号 803 を受信するアンテナ 804 を有する。また R F I D タグ 800 は、整流回路 805、定電圧回路 806、復調回路 807、変調回路 808、論理回路 809、記憶回路 810、R O M 811 を有している。なお、復調回路 807 に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよ

50

い。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFIDタグ800は、そのいずれの方式に用いることも可能である。

【0258】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【0259】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0260】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調をおこなうための回路である。

【0261】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号(ID)などを格納し、処理に応じて出力をを行うための回路である。

【0262】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0263】

ここで、先の実施の形態で説明した記憶回路を、記憶回路810に用いることができる。本発明の一態様の記憶回路は、電源が遮断された状態であっても情報を保持できるため、RFIDタグに好適に用いることができる。さらに本発明の一態様の記憶回路は、データの書き込みに必要な電力(電圧)が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【0264】

また、本発明の一態様の記憶回路は、不揮発性のメモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFIDタグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

【0265】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

10

20

30

40

50

【0266】

(実施の形態5)

本実施の形態では、少なくとも実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

【0267】

図21は、先の実施の形態で説明したトランジスタを少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0268】

図21に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198(Bus I/F)、書き換え可能なROM1199、およびROMインターフェース1189(ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図21に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図21に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができます。

【0269】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0270】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0271】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

【0272】

図21に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0273】

図21に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容

量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0274】

図22は、レジスタ1196として用いることのできる記憶素子の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

10

【0275】

ここで、回路1202には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートには接地電位(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

【0276】

20

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1213のオン状態またはオフ状態)が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1214のオン状態またはオフ状態)が選択される。

30

【0277】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一対の電極のうちの一方、およびトランジスタ1210のゲートと電気的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電位電源を供給することのできる配線(例えばGND線)に電気的に接続され、他方は、スイッチ1203の第1の端子(トランジスタ1213のソースとドレインの一方)と電気的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)はスイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と電気的に接続される。スイッチ1204の第2の端子(トランジスタ1214のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電気的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)と、スイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と、論理素子1206の入力端子と、容量素子1207の一対の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一対の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1207の一対の電極のうちの他方は、低電位電源を供給することのできる配線(例えばGND線)と電気的に接続される。容量素子1208の一対の電極のうちの

40

50

他方は、一定の電位が入力される構成とすることができます。例えば、低電源電位 (GND等) または高電源電位 (VDD等) が入力される構成とすることができます。容量素子1208の一対の電極のうちの他方は、低電位電源を供給することのできる配線 (例えばGND線) と電気的に接続される。

【0278】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0279】

トランジスタ1209の第1ゲート (第1のゲート電極) には、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

10

【0280】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図22では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子 (トランジスタ1213のソースとドレインの他方) から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

20

【0281】

なお、図22では、スイッチ1203の第2の端子 (トランジスタ1213のソースとドレインの他方) から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子 (トランジスタ1213のソースとドレインの他方) から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子 (トランジスタ1213のソースとドレインの他方) から出力される信号を当該ノードに入力することができる。

【0282】

30

また、図22において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることができます。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができます。また、記憶素子1200に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることもできる。

【0283】

40

図22における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

【0284】

本発明の一態様のける半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

【0285】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を

50

有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1209 として用いることによって、記憶素子 1200 に電源電圧が供給されない間も容量素子 1208 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1200 は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

【0286】

また、スイッチ 1203 およびスイッチ 1204 を設けることによって、上述したプリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1201 が元のデータを保持しなおすまでの時間を短くすることができる。

【0287】

また、回路 1202 において、容量素子 1208 によって保持された信号はトランジスタ 1210 のゲートに入力される。そのため、記憶素子 1200 への電源電圧の供給が再開された後、容量素子 1208 によって保持された信号を、トランジスタ 1210 の状態(オン状態、またはオフ状態)に変換して、回路 1202 から読み出すことができる。それ故、容量素子 1208 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0288】

このような記憶素子 1200 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0289】

本実施の形態では、記憶素子 1200 を C P U に用いる例として説明したが、記憶素子 1200 は、D S P (D i g i t a l S i g n a l P r o c e s s o r)、カスタム L S I 、P L D (P r o g r a m m a b l e L o g i c D e v i c e) 等の L S I 、R F - I D (R a d i o F r e q u e n c y I d e n t i f i c a t i o n) にも応用可能である。

【0290】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0291】

(実施の形態 6)

本実施の形態では、本発明の一態様の表示パネルの構成例について説明する。

【0292】

[構成例]

図 23 (A) は、本発明の一態様の表示パネルの上面図であり、図 23 (B) は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図 23 (C) は、本発明の一態様の表示パネルの画素に有機 E L 素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0293】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタは n チャネル型とすることが容易なので、駆動回路のうち、n チャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0294】

アクティブマトリクス型表示装置のブロック図の一例を図 23 (A) に示す。表示装置

10

20

30

40

50

の基板 700 上には、画素部 701、第 1 の走査線駆動回路 702、第 2 の走査線駆動回路 703、信号線駆動回路 704 を有する。画素部 701 には、複数の信号線が信号線駆動回路 704 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 702、及び第 2 の走査線駆動回路 703 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板 700 は FPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路 (コントローラ、制御 IC ともいう) に接続されている。

【0295】

図 23 (A) では、第 1 の走査線駆動回路 702、第 2 の走査線駆動回路 703、信号線駆動回路 704 は、画素部 701 と同じ基板 700 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 700 外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板 700 上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0296】

〔液晶パネル〕

また、画素の回路構成の一例を図 23 (B) に示す。ここでは、VA 型液晶表示パネルの画素に適用することができる画素回路を示す。

【0297】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

【0298】

トランジスタ 716 のゲート配線 712 と、トランジスタ 717 のゲート配線 713 には、異なるゲート信号を与えることができるよう分離されている。一方、データ線として機能するソース電極層又はドレイン電極層 714 は、トランジスタ 716 とトランジスタ 717 で共通に用いられている。トランジスタ 716 とトランジスタ 717 は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

【0299】

トランジスタ 716 と電気的に接続する第 1 の画素電極層と、トランジスタ 717 と電気的に接続する第 2 の画素電極層の形状について説明する。第 1 の画素電極層と第 2 の画素電極層の形状は、スリットによって分離されている。第 1 の画素電極層は V 字型に広がる形状を有し、第 2 の画素電極層は第 1 の画素電極層の外側を囲むように形成される。

【0300】

トランジスタ 716 のゲート電極はゲート配線 712 と接続され、トランジスタ 717 のゲート電極はゲート配線 713 と接続されている。ゲート配線 712 とゲート配線 713 に異なるゲート信号を与えてトランジスタ 716 とトランジスタ 717 の動作タイミングを異ならせ、液晶の配向を制御できる。

【0301】

また、容量配線 710 と、誘電体として機能するゲート絶縁膜と、第 1 の画素電極層または第 2 の画素電極層と電気的に接続する容量電極とで保持容量を形成してもよい。

【0302】

マルチドメイン構造は、一画素に第 1 の液晶素子 718 と第 2 の液晶素子 719 を備える。第 1 の液晶素子 718 は第 1 の画素電極層と対向電極層とその間の液晶層とで構成され、第 2 の液晶素子 719 は第 2 の画素電極層と対向電極層とその間の液晶層とで構成される。

【0303】

10

20

30

40

50

なお、図23(B)に示す画素回路は、これに限定されない。例えば、図23(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路などを追加してもよい。

【0304】

〔有機ELパネル〕

画素の回路構成の他の一例を図23(C)に示す。ここでは、有機EL素子を用いた表示パネルの画素構造を示す。

【0305】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0306】

図23(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0307】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0308】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724及び容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極層が走査線726に接続され、第1電極(ソース電極層及びドレイン電極層の一方)が信号線725に接続され、第2電極(ソース電極層及びドレイン電極層の他方)が駆動用トランジスタ722のゲート電極層に接続されている。駆動用トランジスタ722は、ゲート電極層が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極(画素電極)に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電気的に接続される。

【0309】

スイッチング用トランジスタ721および駆動用トランジスタ722は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機EL表示パネルを提供することができる。

【0310】

発光素子724の第2電極(共通電極728)の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に設定される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【0311】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0312】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするかの二つの状態と

10

20

30

40

50

なるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極層にかける。また、信号線725には、電源線電圧に駆動用トランジスタ722の閾値電圧V_{th}を加えた値以上の電圧をかける。

【0313】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極層に発光素子724の順方向電圧に駆動用トランジスタ722の閾値電圧V_{th}を加えた値以上の電圧をかける。なお、駆動用トランジスタ722が飽和領域で動作するようにビデオ信号を入力し、発光素子724に電流を流す。また、駆動用トランジスタ722を飽和領域で動作させるために、電源線727の電位を、駆動用トランジスタ722のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子724にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。10

【0314】

なお、画素回路の構成は、図23(C)に示す画素構成に限定されない。例えば、図23(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。

【0315】

図23で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極(第1の電極)、高電位側にドレイン電極(第2の電極)がそれぞれ電気的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。20

【0316】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0317】

(実施の形態7)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図24に示す。30

【0318】

図24(A)は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイルスティラス908等を有する。なお、図24(A)に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。40

【0319】

図24(B)は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体50

912との間の角度に従って、切り替える構成としても良い。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

【0320】

図24(C)はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

【0321】

図24(D)は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

【0322】

図24(E)はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度に従って切り替える構成としても良い。

【0323】

図24(F)は普通自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0324】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0325】

(実施の形態8)

本実施の形態では、本発明の一態様に係るRFIDの使用例について図25を用いながら説明する。RFIDの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等、図25(A)参照)、包装用容器類(包装紙やボトル等、図25(C)参照)、記録媒体(DVDソフトやビデオテープ等、図25(B)参照)、乗り物類(自転車等、図25(D)参照)、身の回り品(鞄や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器(液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話)等の物品、若しくは各物品に取り付ける荷札(図25(E)、図25(F)参照)等に設けて使用することができる。

【0326】

本発明の一態様に係るRFID4000は、プリント基板に実装、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFID4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFID4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFIDを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFIDを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

10

20

30

40

50

【0327】

以上のように、本発明の一態様に係わるR F I Dを本実施の形態に挙げた各用途に用いることにより、情報の書き込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【0328】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

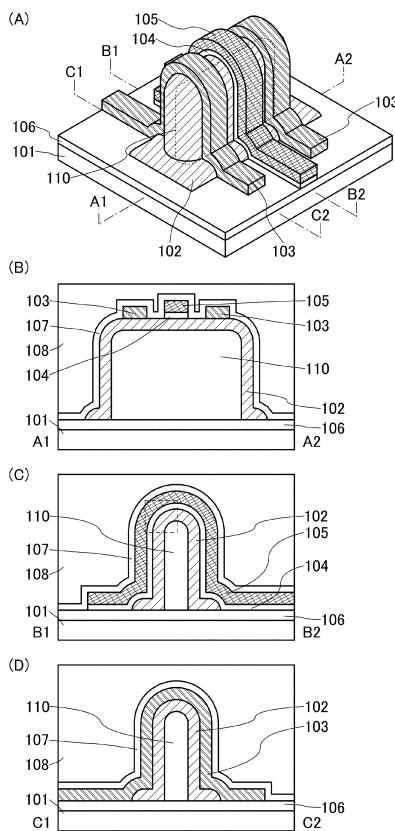
【0329】

1 0 1	基板	10
1 0 2	半導体層	
1 0 2 a	結晶部	
1 0 3	電極	
1 0 4	絶縁層	
1 0 5	ゲート電極	
1 0 6	絶縁層	
1 0 7	絶縁層	
1 0 8	絶縁層	20
1 1 0	酸化物層	
1 2 1	導電層	
1 2 2	導電層	
1 2 3	絶縁層	
1 3 1	酸化物層	
1 3 2	酸化物層	
7 0 0	基板	
7 0 1	画素部	
7 0 2	走査線駆動回路	
7 0 3	走査線駆動回路	30
7 0 4	信号線駆動回路	
7 1 0	容量配線	
7 1 2	ゲート配線	
7 1 3	ゲート配線	
7 1 4	ドレイン電極層	
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	40
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	
7 2 5	信号線	
7 2 6	走査線	
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	R F I Dタグ	
8 0 1	通信器	50

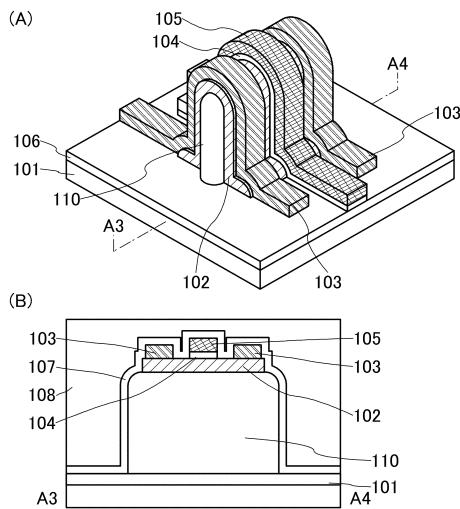
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	10
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	20
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キー ボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	30
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	40
9 5 4	ライト	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インターラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	50

1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	10
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	
2 2 0 1	絶縁層	
2 2 0 2	配線	
2 2 0 3	プラグ	20
2 2 0 4	絶縁層	
2 2 0 5	配線	
2 2 0 6	配線	
2 2 0 7	絶縁層	
2 2 0 8	絶縁層	
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	30
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	
4 0 0 0	R F I D	

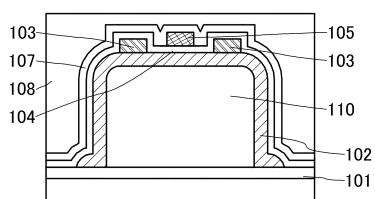
【図1】



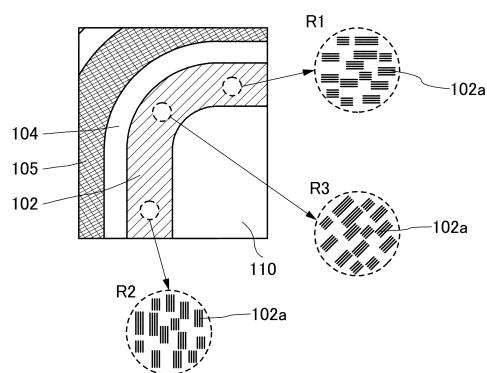
【図2】



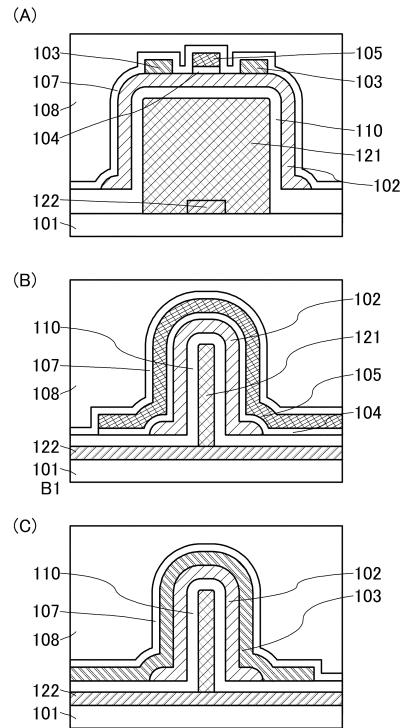
【図3】



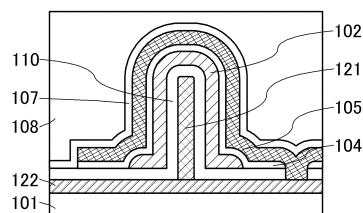
【図4】



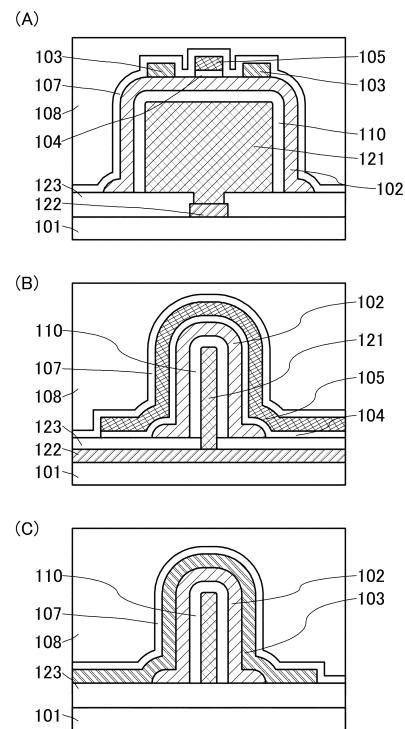
【図5】



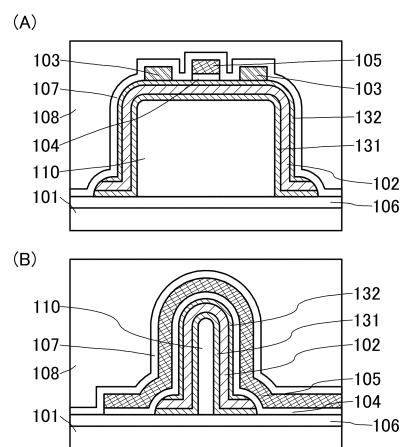
【図6】



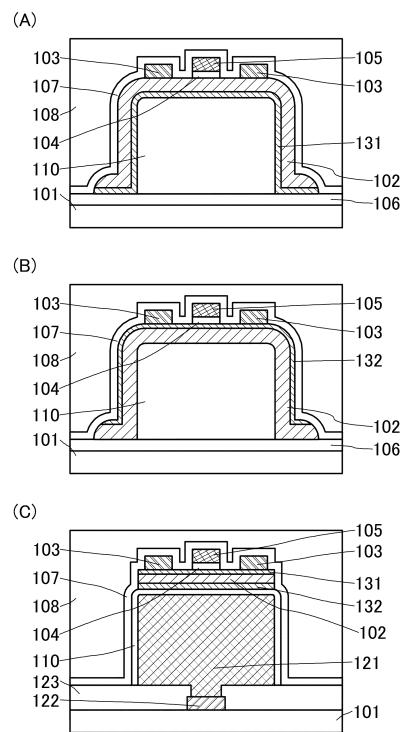
【図7】



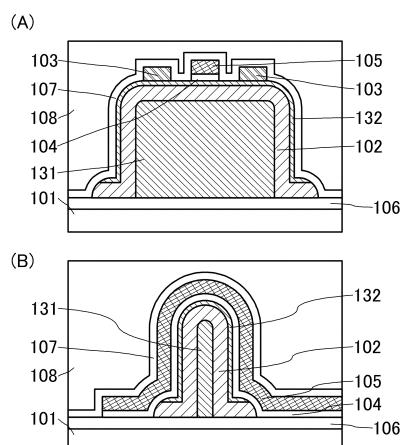
【図8】



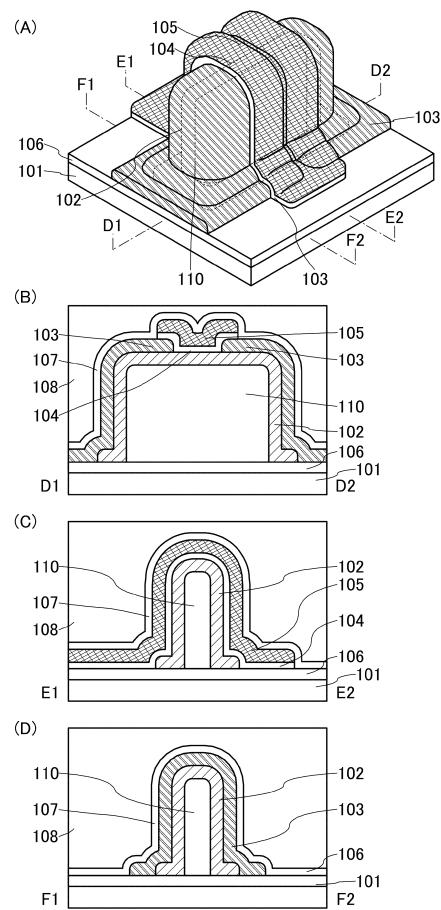
【図9】



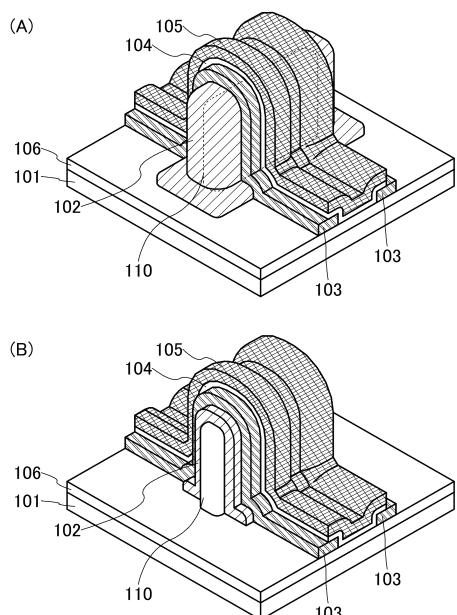
【図10】



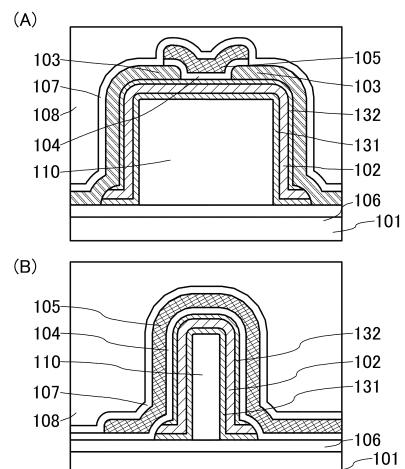
【図11】



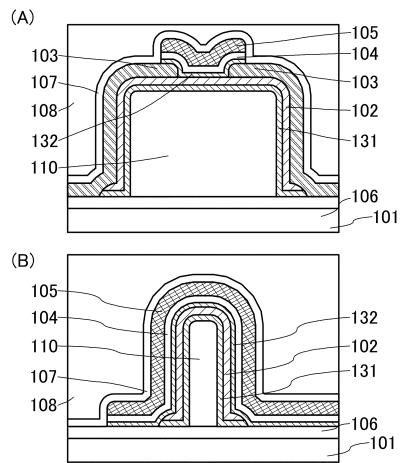
【図12】



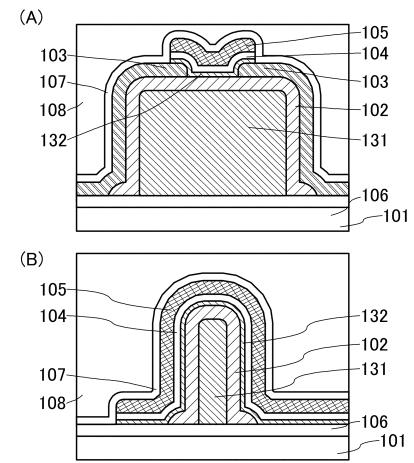
【図13】



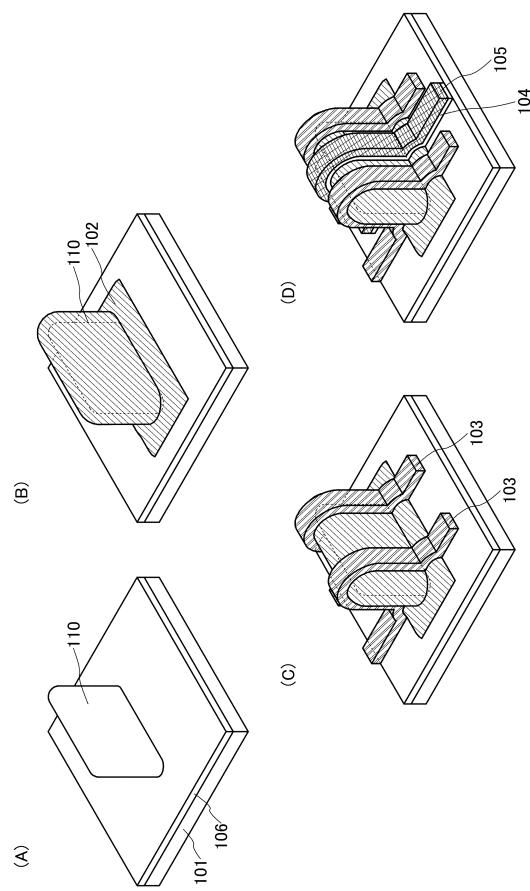
【図14】



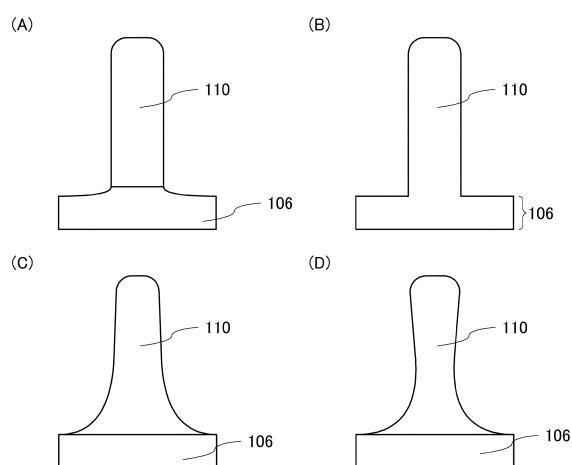
【図15】



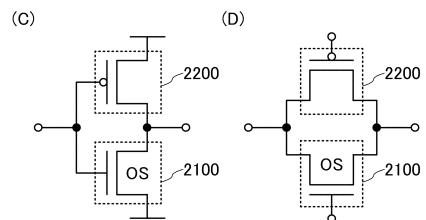
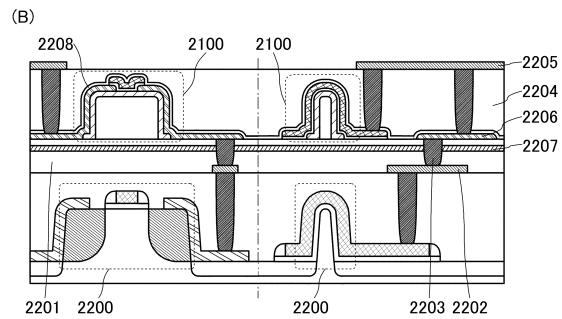
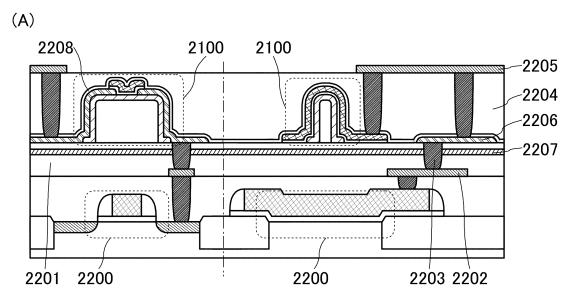
【図16】



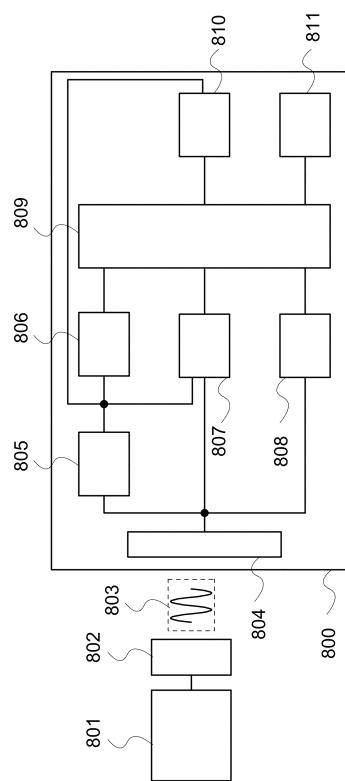
【図17】



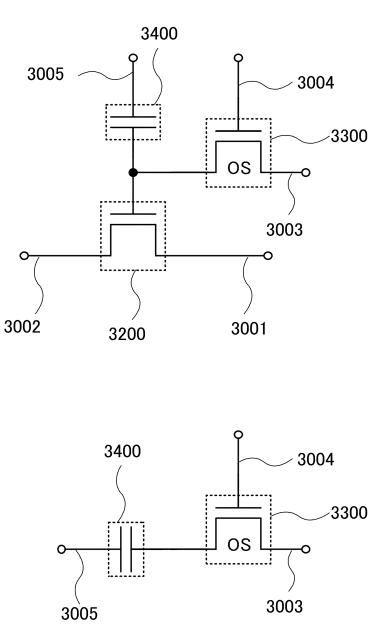
【図18】



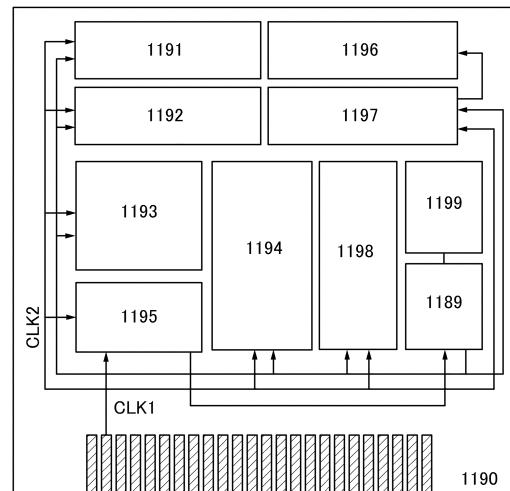
【図20】



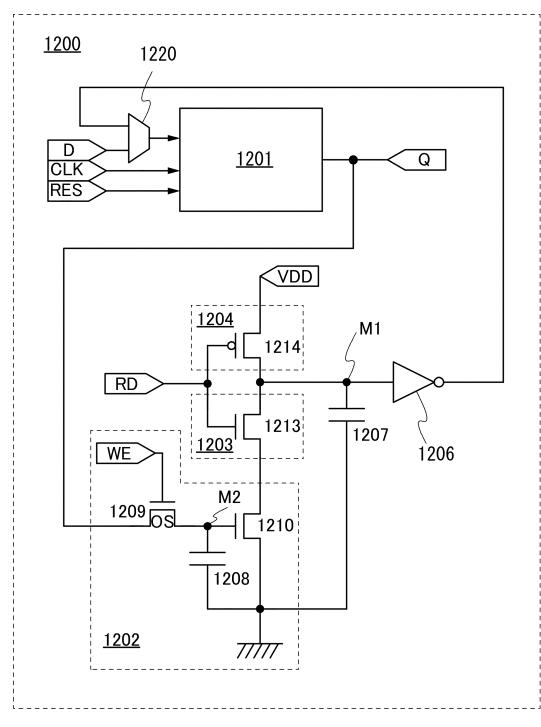
【図19】



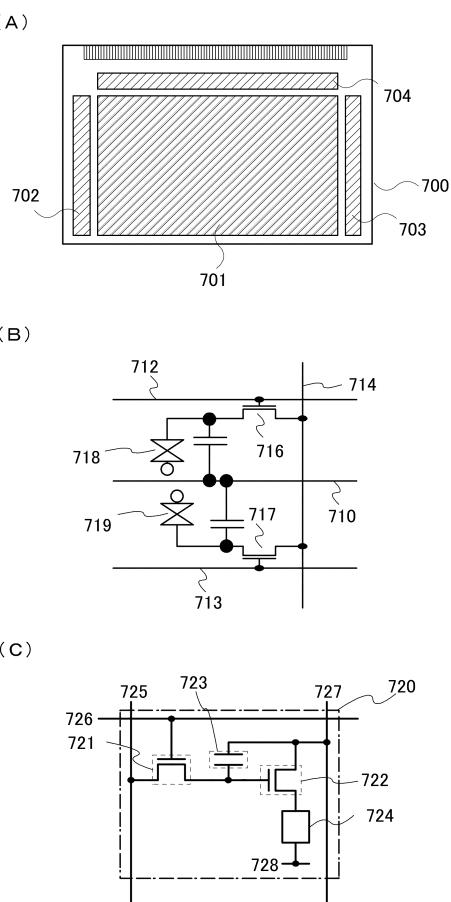
【図21】



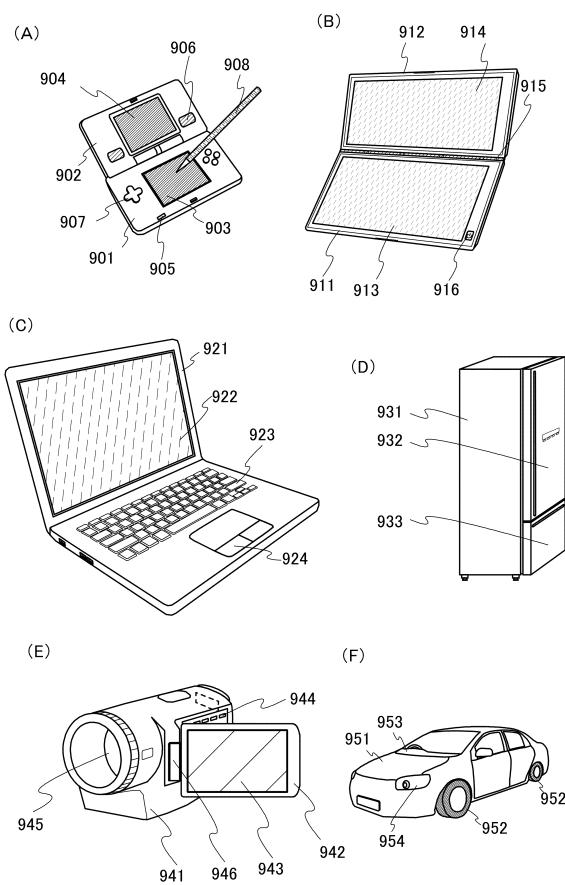
【図22】



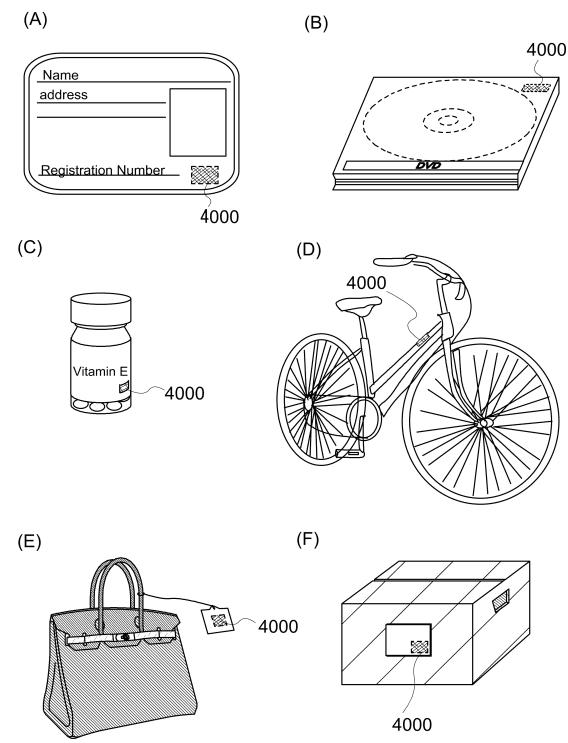
【図23】



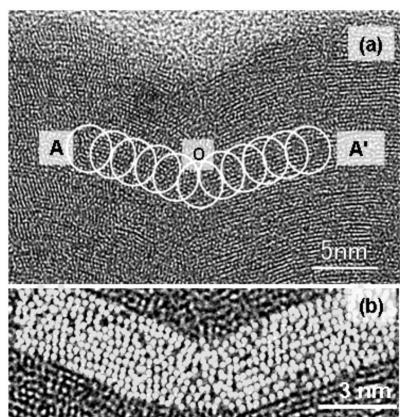
【図24】



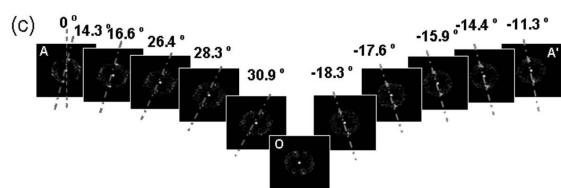
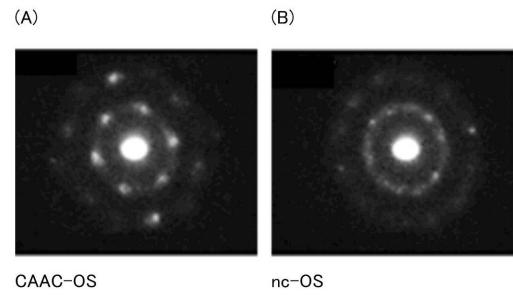
【図25】



【図26】



【図27】



フロントページの続き

(51)Int.Cl.

F I

H 01 L	29/78	6 1 8 B
H 01 L	29/78	6 1 8 C
H 01 L	29/78	6 1 6 T

(56)参考文献 特開2012-216802 (JP, A)

特開2006-128494 (JP, A)

特開2013-062014 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 2 9 / 7 8

H 01 L 2 1 / 3 3 6