(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월22일
(11) 등록번호 10-1714372
(24) 등록일자 2017년03월03일

(51) 국제특허분류(Int. Cl.)
H03L 7/099 (2006.01) *H03H 7/06* (2006.01)
H03L 7/081 (2006.01) *H03L 7/087* (2006.01)
H03L 7/093 (2006.01)
(52) CPC특허분류
H03L 7/0995 (2013.01)
H03H 7/06 (2013.01)
(21) 출원번호 10-2016-0047058
(22) 출원일자 2016년04월18일
심사청구일자 2016년04월18일
(56) 선행기술조사문헌
KR1020140147990 A
KR1020150125493 A
KR101421380 B1

(73) 특허권자
부경대학교 산학협력단
부산광역시 남구 신선로 365 (용당동, 부경대학교)
(72) 발명자
최영식
부산광역시 부산진구 백양대로300번길 20, 210동 303호(개금동, 신개금엘지아파트)
(74) 대리인
특허법인가산

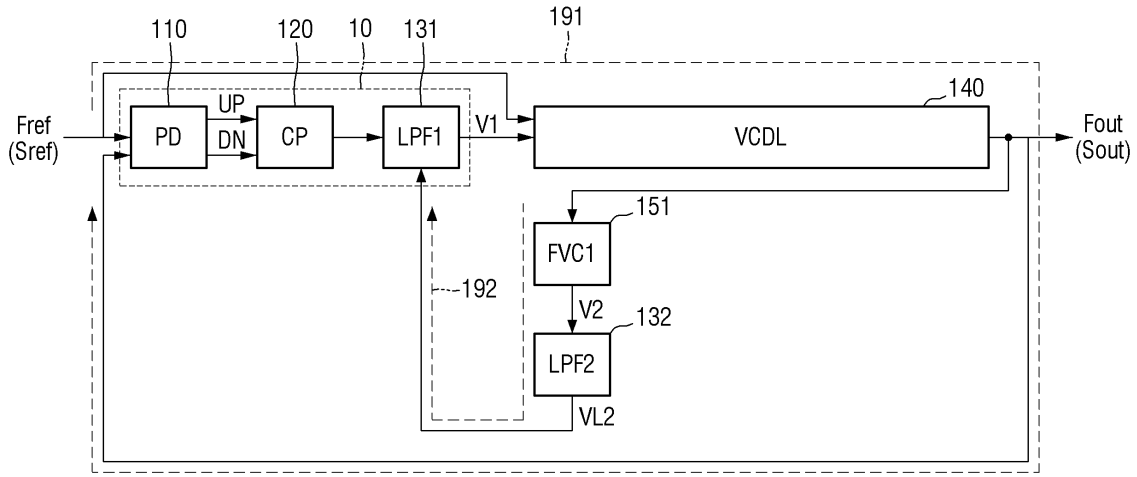
전체 청구항 수 : 총 24 항 심사관 : 박정근

(54) 발명의 명칭 **위상 조정 장치**

(57) 요 약

위상 조정 장치가 제공된다. 위상 조정 장치는, 기준 신호와 피드백 신호의 위상차를 비교하고, 상기 위상차에 따라서 업 신호(UP) 또는 다운 신호(DOWN)를 출력하는 위상 주파수 검출기, 상기 위상 주파수 검출기에서 출력되는 상기 업 신호 또는 상기 다운 신호에 비례하는 전류를 출력하는 차지 펌프, 상기 차지 펌프에서 출력되는 전류를 제1 제어 전압으로 변환하는 루프 필터, 상기 제1 제어 전압에 기초하여 상기 기준 신호의 지연 시간을 조절한 출력 신호를 생성하고, 상기 출력 신호를 상기 위상 주파수 검출기에 상기 피드백 신호로 제공하는 전압 제어 지연부(VCDL; Voltage Controlled Delay Line) 및 상기 전압 제어 지연부의 출력 신호에 대응하는 제2 제어 전압을 생성하여 이를 상기 루프 필터와 상기 차지 펌프 중 어느 하나에 피드백하는 제1 주파수-전압 변환기(FVC; Frequency Voltage Converter)를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H03L 7/0814 (2013.01)
H03L 7/087 (2013.01)
H03L 7/093 (2013.01)

명 세 서

청구범위

청구항 1

기준 신호와 피드백 신호의 위상차를 비교하고, 상기 위상차에 따라서 업 신호(UP) 또는 다운 신호(DOWN)를 출력하는 위상 주파수 검출기;

상기 위상 주파수 검출기에서 출력되는 상기 업 신호 또는 상기 다운 신호에 비례하는 전류를 출력하는 차지 펌프;

상기 차지 펌프에서 출력되는 전류를 제1 제어 전압으로 변환하는 루프 필터;

상기 제1 제어 전압에 기초하여 상기 기준 신호의 지연 시간을 조절한 출력 신호를 생성하고, 상기 출력 신호를 상기 위상 주파수 검출기에 상기 피드백 신호로 제공하는 전압 제어 지연부(VCDL; Voltage Controlled Delay Line); 및

상기 전압 제어 지연부의 출력 신호에 대응하는 제2 제어 전압을 생성하여 이를 상기 루프 필터와 상기 차지 펌프 중 어느 하나에 피드백하는 제1 주파수-전압 변환기(FVC; Frequency Voltage Converter)를 포함하고,

상기 제1 주파수-전압 변환기가 상기 제2 제어 전압을 상기 루프 필터에 피드백하는 경우, 상기 제2 제어 전압은 상기 루프 필터에 제공되고, 상기 루프 필터는 상기 차지 펌프에서 출력되는 전류 및 상기 제2 제어 전압을 제공 받아 상기 제1 제어 전압을 생성하고,

상기 제1 주파수-전압 변환기가 상기 제2 제어 전압을 상기 차지 펌프에 피드백하는 경우, 상기 제2 제어 전압은 상기 차지 펌프에 제공되고, 상기 차지 펌프는 상기 업 신호와 상기 다운 신호 중 어느 하나와 상기 제2 제어 전압을 제공 받아 상기 전류를 출력하는 위상 조정 장치.

청구항 2

제 1항에 있어서,

상기 업 신호는 상기 제1 제어 전압을 증가시키고 상기 제2 제어 전압을 감소시키고,

상기 다운 신호는 상기 제1 제어 전압을 감소시키고 상기 제2 제어 전압을 증가시키는 위상 조정 장치.

청구항 3

제 1항에 있어서,

상기 전압 제어 지연부는 복수의 지연 소자를 포함하고,

상기 복수의 지연 소자의 출력에 대응되는 제3 제어 전압을 생성하여 상기 전압 제어 지연부에 피드백하는 제2 주파수-전압 변환기를 더 포함하는 위상 조정 장치.

청구항 4

제 3항에 있어서,

상기 복수의 지연 소자는, 순차적으로 접속된 제1 지연 소자 및 제2 지연 소자를 포함하고,

상기 제2 주파수-전압 변환기는, 상기 제1 지연 소자의 출력을 입력으로 받는 제3 주파수-전압 변환기와, 상기 제2 지연 소자의 출력을 입력으로 받는 제4 주파수-전압 변환기를 포함하는 위상 조정 장치.

청구항 5

제 4항에 있어서,

상기 제3 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백되고,

상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백되는 위상 조정 장

치.

청구항 6

제 4항에 있어서,

상기 제3 주파수-전압 변환기의 출력은 상기 제1 지연 소자에 피드백되고,

상기 제4 주파수-전압 변환기의 출력은 상기 제2 지연 소자에 피드백되는 위상 조정 장치.

청구항 7

제 4항에 있어서,

상기 제3 주파수-전압 변환기의 출력은 상기 제1 지연 소자에 피드백되고,

상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백되는 위상 조정 장치.

청구항 8

제 1항에 있어서,

상기 루프 필터는,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과,

일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터를 포함하고,

상기 제1 주파수-전압 변환기는 상기 제1 저항의 타단과 상기 제1 캐패시터의 일단에 접속되는 위상 조정 장치.

청구항 9

제 1항에 있어서,

상기 루프 필터는,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과,

일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터를 포함하고,

상기 제1 주파수-전압 변환기는 상기 제1 저항의 일단에 접속되는 위상 조정 장치.

청구항 10

제 1항에 있어서,

상기 루프 필터는,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과,

일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터와,

일단이 상기 제2 캐패시터의 일단과 접속되는 제2 저항과,

일단이 상기 제2 저항의 타단과 접속되고, 타단이 상기 제1 캐패시터에 접속된 제3 캐패시터를 포함하고,

상기 제1 주파수-전압 변환기는 상기 제2 저항의 타단과 상기 제3 캐패시터의 일단에 접속되는 위상 조정 장치.

청구항 11

기준 신호와 피드백 신호의 위상차를 비교하고, 상기 위상차에 따라서 업 신호(UP) 또는 다운 신호(DOWN)를 출력하는 위상 주파수 검출기;

상기 위상 주파수 검출기에서 출력되는 상기 업 신호 또는 상기 다운 신호에 비례하는 전류를 출력하는 차지 펌프;

상기 차지 펌프에서 출력되는 전류를 제1 제어 전압으로 변환하는 루프 필터;

상기 제1 제어 전압에 기초하여 상기 기준 신호의 지연 시간을 조절한 출력 신호를 생성하고, 상기 출력 신호를 상기 위상 주파수 검출기에 상기 피드백 신호로 제공하는 전압 제어 지연부(VCDL; Voltage Controlled Delay Line);

상기 전압 제어 지연부의 출력 신호에 대응하는 제2 제어 전압을 생성하여 이를 상기 루프 필터에 피드백하는 제1 주파수-전압 변환기(FVC; Frequency Voltage Converter); 및

상기 전압 제어 지연부의 출력 신호에 대응하는 제3 제어 전압을 생성하여 이를 상기 차지 펌프에 피드백하는 제2 주파수-전압 변환기를 포함하고,

상기 제2 제어 전압은 상기 루프 필터에 제공되고,

상기 제3 제어 전압은 상기 차지 펌프에 제공되고,

상기 루프 필터는, 상기 차지 펌프에서 출력되는 전류 및 상기 제2 제어 전압을 제공 받아 상기 제1 제어 전압을 생성하고,

상기 차지 펌프는, 상기 업 신호와 상기 다운 신호 중 어느 하나와 상기 제2 제어 전압을 제공 받아 상기 전류를 출력하는 위상 조정 장치.

청구항 12

제 11항에 있어서,

상기 업 신호는 상기 제1 제어 전압을 증가시키고 상기 제2 제어 전압을 감소시키고,

상기 다운 신호는 상기 제1 제어 전압을 감소시키고 상기 제2 제어 전압을 증가시키는 위상 조정 장치.

청구항 13

제 11항에 있어서,

상기 전압 제어 지연부는 복수의 지연 소자를 포함하고,

상기 복수의 지연 소자의 출력에 대응되는 제4 제어 전압을 생성하여 상기 전압 제어 지연부에 피드백하는 제3 주파수-전압 변환기를 더 포함하는 위상 조정 장치.

청구항 14

제 13항에 있어서,

상기 복수의 지연 소자는, 순차적으로 접속된 제1 지연 소자 및 제2 지연 소자를 포함하고,

상기 제3 주파수-전압 변환기는, 상기 제1 지연 소자의 출력을 입력으로 받는 제4 주파수-전압 변환기와, 상기 제2 지연 소자의 출력을 입력으로 받는 제5 주파수-전압 변환기를 포함하는 위상 조정 장치.

청구항 15

제 14항에 있어서,

상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백되고,

상기 제5 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백되는 위상 조정 장치.

청구항 16

제 14항에 있어서,

상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자에 피드백되고,

상기 제5 주파수-전압 변환기의 출력은 상기 제2 지연 소자에 피드백되는 위상 조정 장치.

청구항 17

제 14항에 있어서,

상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자에 피드백되고,

상기 제5 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백되는 위상 조정 장치.

청구항 18

제 11항에 있어서,

상기 루프 필터는,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과,

일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터를 포함하고,

상기 제1 주파수-전압 변환기는 상기 제1 저항의 타단과 상기 제1 캐패시터의 일단에 접속되는 위상 조정 장치.

청구항 19

제 11항에 있어서,

상기 루프 필터는,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과,

일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터를 포함하고,

상기 제1 주파수-전압 변환기는 상기 제1 저항의 일단에 접속되는 위상 조정 장치.

청구항 20

제 11항에 있어서,

상기 루프 필터는,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과,

일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와,

일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터와,

일단이 상기 제2 캐패시터의 일단과 접속되는 제2 저항과,

일단이 상기 제2 저항의 타단과 접속되고, 타단이 상기 제1 캐패시터에 접속된 제3 캐패시터를 포함하고,

상기 제1 주파수-전압 변환기는 상기 제2 저항의 타단과 상기 제3 캐패시터의 일단에 접속되는 위상 조정 장치.

청구항 21

기준 신호와 피드백 신호의 위상차를 비교하고, 상기 위상차에 따라서 업 신호(UP) 또는 다운 신호(DOWN)를 출력하는 위상 주파수 검출기;

상기 위상 주파수 검출기에서 출력되는 상기 업 신호 또는 상기 다운 신호에 비례하는 전류를 출력하는 차지 펌프;

상기 차지 펌프에서 출력되는 전류를 제1 제어 전압으로 변환하는 제1 루프 필터;

상기 제1 제어 전압에 대응되는 주파수를 갖는 출력 신호를 생성하여 이를 제어 전압 생성부에 상기 피드백 신호로 제공하는 전압 제어 발진기(VCO; Voltage Controlled Oscillator); 및

상기 전압 제어 발진기의 출력 신호에 대응하는 제2 제어 전압을 생성하여 이를 상기 차지 펌프에 피드백하는 제1 주파수-전압 변환기(FVC; Frequency Voltage Converter)를 포함하고,

상기 제2 제어 전압은 상기 차지 펌프에 제공되고,

상기 차지 펌프는, 상기 업 신호와 상기 다운 신호 중 어느 하나와 상기 제2 제어 전압을 제공 받아 상기 전류를 출력하는 위상 조정 장치.

청구항 22

제 21항에 있어서,

상기 업 신호는 상기 제1 제어 전압을 증가시키고 상기 제2 제어 전압을 감소시키고,

상기 다운 신호는 상기 제1 제어 전압을 감소시키고 상기 제2 제어 전압을 증가시키는 위상 조정 장치.

청구항 23

제 21항에 있어서,

상기 전압 제어 발진기의 출력 신호에 대응하는 제3 제어 전압을 생성하여 이를 상기 제1 루프 필터에 피드백하는 제2 주파수-전압 변환기를 더 포함하는 위상 조정 장치.

청구항 24

제 23항에 있어서,

상기 전압 제어 발진기는 복수의 지연 소자를 포함하고,

상기 복수의 지연 소자 중 적어도 어느 하나의 출력에 대응되는 제4 제어 전압을 생성하여 상기 전압 제어 발진기에 피드백하는 제3 주파수-전압 변환기를 더 포함하는 위상 조정 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 위상 조정 장치에 관한 것이다.

배 경 기 술

[0002] 최근, 시스템의 동작 속도가 급속도로 증가함에 따라, 칩의 동기화가 중요시되고 있다. 이러한 요구를 만족시키기 위해, 위상고정루프(PLL: Phase Locked Loop) 또는 위상지연루프(DLL: Delay Locked Loop)가 사용되고 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 대한민국공개특허 제 10-2010-0087469호

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는 주파수-전압 변환기를 사용하여, 지터의 크기를 감소시킬 수 있는 위상 조정 장치를 제공하는 것이다.

[0005] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 위상 조정 장치는, 기준 신호와 피드백 신호의 위상차를 비교하고, 위상차에 따라서 업 신호(UP) 또는 다운 신호(DOWN)를 출력하는 위상 주파수 검출기, 위상 주파수 검출기에서 출력되는 업 신호 또는 다운 신호에 비례하는 전류를 출력하는 차지 펌프, 차지 펌프에서 출력되는 전류를 제1 제어 전압으로 변환하는 루프 필터, 제1 제어 전압에 기초하여 기준 신호의 지연 시간을 조절한 출력 신호를 생성하고, 출력 신호를 위상 주파수 검출기에 피드백 신호로 제공하는 전압 제어 지연부(VCDL; Voltage Controlled Delay Line) 및 전압 제어 지연부의 출력 신호에 대응하는 제2 제어 전압을 생성하여 이를 루프 필터와 차지 펌프 중 어느 하나에 피드백하는 제1 주파수-전압 변환기(FVC; Frequency Voltage Converter)를 포함한다.

[0007] 몇몇 실시예에서, 상기 업 신호는 상기 제1 제어 전압을 증가시키고 상기 제2 제어 전압을 감소시키고, 상기 다운 신호는 상기 제1 제어 전압을 감소시키고 상기 제2 제어 전압을 증가시킬 수 있다.

[0008] 몇몇 실시예에서, 상기 전압 제어 지연부는 복수의 지연 소자를 포함하고, 상기 복수의 지연 소자의 출력에 대응되는 제3 제어 전압을 생성하여 상기 전압 제어 지연부에 피드백하는 제2 주파수-전압 변환기를 더 포함할 수 있다.

[0009] 몇몇 실시예에서, 상기 복수의 지연 소자는, 순차적으로 접속된 제1 지연 소자 및 제2 지연 소자를 포함하고, 상기 제2 주파수-전압 변환기는, 상기 제1 지연 소자의 출력을 입력으로 받는 제3 주파수-전압 변환기와, 상기 제2 지연 소자의 출력을 입력으로 받는 제4 주파수-전압 변환기를 포함할 수 있다.

[0010] 몇몇 실시예에서, 상기 제3 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백되고, 상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백될 수 있다.

[0011] 몇몇 실시예에서, 상기 제3 주파수-전압 변환기의 출력은 상기 제1 지연 소자에 피드백되고, 상기 제4 주파수-전압 변환기의 출력은 상기 제2 지연 소자에 피드백될 수 있다.

[0012] 몇몇 실시예에서, 상기 제3 주파수-전압 변환기의 출력은 상기 제1 지연 소자에 피드백되고, 상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백될 수 있다.

[0013] 몇몇 실시예에서, 상기 루프 필터는, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과, 일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터를 포함하고, 상기 제1 주파수-전압 변환기는 상기 제1 저항의 타단과 상기 제1 캐패시터의 일단에 접속될 수 있다.

[0014] 몇몇 실시예에서, 상기 루프 필터는, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과, 일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터를 포함하고, 상기 제1 주파수-전압 변환기는 상기 제1 저항의 일단에 접속될 수 있다.

[0015] 몇몇 실시예에서, 상기 루프 필터는, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과, 일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터와, 일단이 상기 제2 커패시터의 일단과 접속되는 제2 저항과, 일단이 상기 제2 저항의 타단과 접속되고, 타단이 상기 제1 커패시터에 접속된 제3 커패시

터를 포함하고, 상기 제1 주파수-전압 변환기는 상기 제2 저항의 타단과 상기 제3 커패시터의 일단에 접속될 수 있다.

[0016] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 위상 조정 장치는, 기준 신호와 피드백 신호의 위상차를 비교하고, 상기 위상차에 따라서 업 신호(UP) 또는 다운 신호(DOWN)를 출력하는 위상 주파수 검출기, 상기 위상 주파수 검출기에서 출력되는 상기 업 신호 또는 상기 다운 신호에 비례하는 전류를 출력하는 차지 펌프, 상기 차지 펌프에서 출력되는 전류를 제1 제어 전압으로 변환하는 루프 필터, 상기 제1 제어 전압에 기초하여 상기 기준 신호의 지연 시간을 조절한 출력 신호를 생성하고, 상기 출력 신호를 상기 위상 주파수 검출기에 상기 피드백 신호로 제공하는 전압 제어 지연부(VCDL; Voltage Controlled Delay Line), 상기 전압 제어 지연부의 출력 신호에 대응하는 제2 제어 전압을 생성하여 이를 상기 루프 필터에 피드백하는 제1 주파수-전압 변환기(FVC; Frequency Voltage Converter) 및 상기 전압 제어 지연부의 출력 신호에 대응하는 제3 제어 전압을 생성하여 이를 상기 차지 펌프에 피드백하는 제2 주파수-전압 변환기를 포함할 수 있다.

[0017] 몇몇 실시예에서, 상기 업 신호는 상기 제1 제어 전압을 증가시키고 상기 제2 제어 전압을 감소시키고, 상기 다운 신호는 상기 제1 제어 전압을 감소시키고 상기 제2 제어 전압을 증가시킬 수 있다.

[0018] 몇몇 실시예에서, 상기 전압 제어 지연부는 복수의 지연 소자를 포함하고, 상기 복수의 지연 소자의 출력에 대응되는 제4 제어 전압을 생성하여 상기 전압 제어 지연부에 피드백하는 제3 주파수-전압 변환기를 더 포함할 수 있다.

[0019] 몇몇 실시예에서, 상기 복수의 지연 소자는, 순차적으로 접속된 제1 지연 소자 및 제2 지연 소자를 포함하고, 상기 제3 주파수-전압 변환기는, 상기 제1 지연 소자의 출력을 입력으로 받는 제4 주파수-전압 변환기와, 상기 제2 지연 소자의 출력을 입력으로 받는 제5 주파수-전압 변환기를 포함할 수 있다.

[0020] 몇몇 실시예에서, 상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백되고, 상기 제5 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백될 수 있다.

[0021] 몇몇 실시예에서, 상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자에 피드백되고, 상기 제5 주파수-전압 변환기의 출력은 상기 제2 지연 소자에 피드백될 수 있다.

[0022] 몇몇 실시예에서, 상기 제4 주파수-전압 변환기의 출력은 상기 제1 지연 소자에 피드백되고, 상기 제5 주파수-전압 변환기의 출력은 상기 제1 지연 소자 및 상기 제2 지연 소자에 피드백될 수 있다.

[0023] 몇몇 실시예에서, 상기 루프 필터는, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과, 일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터를 포함하고, 상기 제1 주파수-전압 변환기는 상기 제1 저항의 타단과 상기 제1 캐패시터의 일단에 접속될 수 있다.

[0024] 몇몇 실시예에서, 상기 루프 필터는, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과, 일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터를 포함하고, 상기 제1 주파수-전압 변환기는 상기 제1 저항의 일단에 접속될 수 있다.

[0025] 몇몇 실시예에서, 상기 루프 필터는, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속된 제1 저항과, 일단이 상기 제1 저항의 타단과 접속된 제1 캐패시터와, 일단이 상기 차지 펌프와 상기 전압 제어 지연부 사이에 접속되고, 타단이 상기 제1 캐패시터에 접속된 제2 캐패시터와, 일단이 상기 제2 커패시터의 일단과 접속되는 제2 저항과, 일단이 상기 제2 저항의 타단과 접속되고, 타단이 상기 제1 커패시터에 접속된 제3 커패시터를 포함하고, 상기 제1 주파수-전압 변환기는 상기 제2 저항의 타단과 상기 제3 커패시터의 일단에 접속될 수 있다.

[0026] 상기 기술적 과제를 달성하기 위한 본 발명의 몇몇 실시예들에 따른 위상 조정 장치는, 기준 신호와 피드백 신호의 위상차를 비교하고, 상기 위상차에 따라서 업 신호(UP) 또는 다운 신호(DOWN)를 출력하는 위상 주파수 검출기, 상기 위상 주파수 검출기에서 출력되는 상기 업 신호 또는 상기 다운 신호에 비례하는 전류를 출력하는 차지 펌프, 상기 차지 펌프에서 출력되는 전류를 제1 제어 전압으로 변환하는 제1 루프 필터, 상기 제1 제어 전압에 대응되는 주파수를 갖는 출력 신호를 생성하여 이를 상기 제어 전압 생성부에 상기 피드백 신호로 제공하는 전압 제어 발진기(VCO; Voltage Controlled Oscillator) 및 상기 전압 제어 발진기의 출력 신호에 대응하는 제2 제어 전압을 생성하여 이를 상기 차지 펌프에 피드백하는 제1 주파수-전압 변환기(FVC; Frequency Voltage

Converter)를 포함할 수 있다.

[0027] 몇몇 실시예에서, 상기 업 신호는 상기 제1 제어 전압을 증가시키고 상기 제2 제어 전압을 감소시키고, 상기 다운 신호는 상기 제1 제어 전압을 감소시키고 상기 제2 제어 전압을 증가시킬 수 있다.

[0028] 몇몇 실시예에서, 상기 전압 제어 발진기의 출력 신호에 대응하는 제3 제어 전압을 생성하여 이를 상기 제1 루프 필터에 피드백하는 제2 주파수-전압 변환기를 더 포함할 수 있다.

[0029] 몇몇 실시예에서, 상기 전압 제어 발진기는 복수의 지연 소자를 포함하고, 상기 복수의 지연 소자 중 적어도 어느 하나의 출력에 대응되는 제4 제어 전압을 생성하여 상기 전압 제어 발진기에 피드백하는 제3 주파수-전압 변환기를 더 포함할 수 있다.

[0030] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 블록도이다.

도 2 내지 도 3은 도 1의 루프 필터의 예시적인 회로도들이다.

도 4 및 도 5는 루프 필터와 주파수-전압 변환기를 연결하는 방법을 설명하기 위한 예시적인 도면이다.

도 6는 도 1의 전압 제어 지연부의 예시적인 블록도이다.

도 7 및 도 8은 도 1의 주파수-전압 변환기의 회로도이다.

도 9는 도 7 및 도 8의 주파수-전압 변환기의 제어 신호 생성부의 블록도이다.

도 10은 도 9의 제어 신호 생성부의 동작을 설명하기 위한 타이밍도이다.

도 11은 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 동작을 설명하기 위한 타이밍도이다.

도 12 내지 도 14는 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 블록도이다.

도 15 내지 도 17은 본 발명의 몇몇 실시예들에 따른 전압 제어 지연부를 도시한 블록도이다.

도 18 및 도 19는 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 블록도이다.

도 20은 본 발명의 몇몇 실시예들에 따른 위상 조정 장치를 설명하기 위한 블록도이다.

도 21은 도 20의 전압 제어 발진기의 블록도이다.

도 22는 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 블록도이다.

도 23 및 도 24는 본 발명의 몇몇 실시예들에 따른 위상고정루프 장치의 전압 제어 발진기를 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0032] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0033] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다.

[0034] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0035] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소

및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.

[0036] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0037] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.

[0038] 이하에서, 도 1 내지 도 11을 참조하여 본 발명의 몇몇 실시예들에 따른 위상 조정 장치에 대해 설명한다.

[0039] 도 1은 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 블록도이다. 도 2 내지 도 3은 도 1의 루프 필터의 예시적인 회로도들이다. 도 4 및 도 5는 루프 필터와 주파수-전압 변환기를 연결하는 방법을 설명하기 위한 예시적인 도면이다. 도 6는 도 1의 전압 제어 지연부의 예시적인 블록도이다. 도 7 및 도 8은 도 1의 주파수-전압 변환기의 회로도이다. 도 9는 도 7 및 도 8의 주파수-전압 변환기의 제어 신호 생성부의 블록도이다. 도 10은 도 9의 제어 신호 생성부의 동작을 설명하기 위한 타이밍도이다. 도 11은 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 동작을 설명하기 위한 타이밍도이다.

[0040] 도 1을 참조하면, 위상 조정 장치는, 제어 전압 생성부(10), 전압 제어 지연부(140)(VCDL: Voltage Controlled Delay Line), 제1 주파수-전압 변환기(151)(FVC: Frequency Voltage Converter)를 포함한다.

[0041] 제어 전압 생성부(10)는, 외부로부터 제공되는 기준 신호(Sref)의 주파수(Fref)와, 전압 제어 지연부(140)로부터 출력되는 출력 신호(Sout)의 주파수(Fout)를 비교하고, 그 차이에 따라 제1 제어 전압(V_1)을 생성할 수 있다.

[0042] 제어 전압 생성부(10)로부터 생성된 제1 제어 전압(V1)은 전압 제어 지연부(140)에 전달될 수 있다.

[0043] 몇몇 실시예에서, 제어 전압 생성부(10)는 위상 주파수 검출기(110)(PFD: Phase Frequency Detector), 차지 펌프(120)(CP: Charge Pump), 제1 루프 필터(131)(LPF1: First Loop Filter)를 포함할 수 있다.

[0044] 하지만 본 발명의 실시예들이 이에 제한되는 것은 아니며, 필요에 따라 제어 전압 생성부(10)는 이 외의 추가적인 구성 요소를 더 포함할 수도 있다. 또한 제어 전압 생성부(10)는 필요에 따라, 위상 주파수 검출기(110), 차지 펌프(120), 제1 루프 필터(131) 중 적어도 하나가 생략될 수도 있다.

[0045] 위상 주파수 검출기(110)는, 기준 신호(Sref)와 피드백 신호(출력 신호(Sout))를 입력받아, 위상 차를 비교할 수 있다.

[0046] 위상 주파수 검출기(110)는 비교된 위상차에 따라 업/다운 신호(UP/DN)를 생성하여 차지 펌프(120)에 제공할 수 있다.

[0047] 업 신호(UP)는 제1 제어 전압(V_1)을 증가시킬 수 있으며, 이에 따라 출력 신호(Sout)의 주파수(Fout)는 증가할 수 있다. 다운 신호(DN)는 제1 제어 전압(V_1)을 감소시킬 수 있으며, 이에 따라 출력 신호(Sout)의 주파수(Fout)는 감소할 수 있다.

[0048] 차지 펌프(120)는 전류원을 포함할 수 있다. 차지 펌프(120)는 위상 주파수 검출기(110)에서 출력된 업/다운 신호(UP/DN)에 비례하는 전류를 출력할 수 있다. 이러한 전류는 제1 루프 필터(131)로 전달될 수 있다.

[0049] 제1 루프 필터(131)는, 차지 펌프(120)의 출력인 전류를 제1 제어 전압(V_1)으로 변환할 수 있다. 이때 제1 루프 필터(131)는 잡음을 제거하여 전압 제어 지연부(140)로 평활화된 제1 제어 전압(V_1)을 출력할 수 있다.

[0050] 도 1 내지 도 3을 참조하면, 제어 전압 생성부(10)의 제1 루프 필터(131)는 1차, 2차 또는 그 이상 차수의 루프 필터 구조를 가질 수 있으며, 일반적으로 저항 및 커패시터로 이루어진 수동 필터(passive filter)이거나, 또는

저항과 커패시터 및 OP-AMP를 포함하는 능동 필터(active filter)로 구성될 수 있다.

[0051] 구체적으로, 도 2의 (b) 내지 (d)는 저항 및 커패시터로 이루어지는 수동 필터이며, (e) 및 (f)는 저항 또는 커패시터의 조합에 추가로 스위치가 달려있는 구조이다. 이때 스위치는 전압 제어 지연부(140)에서 출력된 출력 신호(Sout)를 이용할 수 있다.

[0052] 도 3의 (a) 및 (b)는 저항, 커패시터 및 능동소자인 OP-AMP로 구성된 능동 필터를 예시한 도면이다. 다만, 본 발명의 실시예들이 이에 제한되지 않으며, 제1 루프 필터(131)에서 발생하는 초과 위상을 줄이기 위해, 제1 루프 필터(131)의 출력 전압인 제1 제어 전압(V_1)의 크기를 종래의 기술보다 줄일 수 있고 파형도 변화시킬 수 있는 다양한 구조의 수동 및 능동 필터가 채택될 수 있다.

[0053] 다시 도 1을 참조하면, 전압 제어 지연부(140)는, 제1 제어 전압(V_1)에 기초하여, 기준 신호(Sref)의 지연 시간을 조절한 출력 신호(Sout)를 생성할 수 있다. 전압 제어 지연부(140)는 출력 신호(Sout)를 위상 주파수 검출기(110)에 피드백 신호로 제공할 수 있다.

[0054] 제1 주파수-전압 변환기(151)는 전압 제어 지연부(140)의 출력 신호(Sout)에 대응하는 제2 제어 전압(V_2)을 생성하여, 이를 제어 전압 생성부(10)에 피드백 신호로 제공할 수 있다.

[0055] 예를 들어, 제1 주파수-전압 변환기(151)는 제2 제어 전압(V_2)을 제1 루프 필터(131)에 피드백 신호로 제공할 수 있다. 제2 제어 전압(V_2)을 피드백 신호로 제공받은 제1 루프 필터(131)는, 이에 대응하는 제1 제어 전압(V_1)을 생성하여 전압 제어 지연부(140)에 입력으로 인가할 수 있다.

[0056] 도 4 및 도 5를 참조하면, 제1 주파수-전압 변환기(151)는, 예를 들어, 제1 루프 필터(131)의 노드 1(node 1) 내지 노드 5(node 5) 중 어느 하나에 접속될 수 있다.

[0057] 몇몇 실시예에서, 제1 루프 필터(131)는, 예를 들어, 일단이 차지 펌프(120)와 전압 제어 지연부(140) 사이에 접속된 제1 저항(R1)과, 일단이 제1 저항(R1)의 타단과 접속된 제1 캐패시터(C1)와, 일단이 차지 펌프(120)와 전압 제어 지연부(140) 사이에 접속되고, 타단이 제1 캐패시터(C1)에 접속된 제2 캐패시터(C2)를 포함할 수 있다.

[0058] 제1 주파수-전압 변환기(151)는, 예를 들어, 제1 저항(R1)의 일단에 접속될 수 있다. 즉, 제1 주파수-전압 변환기(250)는, 제1 노드(node 1)에 접속될 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니며, 제1 주파수-전압 변환기(151)는, 예를 들어, 제1 저항(R1)의 타단과 제1 캐패시터(C1)의 일단에 접속될 수 있다. 즉, 제1 주파수-전압 변환기(151)는, 제2 노드(node 2)에 접속될 수도 있다.

[0059] 몇몇 실시예에서, 제1 루프 필터(131)는, 예를 들어, 일단이 차지 펌프(120)와 전압 제어 지연부(140) 사이에 접속된 제1 저항(R1)과, 일단이 제1 저항(R1)의 타단과 접속된 제1 캐패시터(C1)와, 일단이 차지 펌프(120)와 전압 제어 지연부(140) 사이에 접속되고, 타단이 제1 캐패시터(C1)에 접속된 제2 캐패시터(C2)와, 일단이 제2 커패시터(C2)의 일단과 접속되는 제2 저항(R2)과, 일단이 제2 저항(R2)의 타단과 접속되고, 타단이 제1 커패시터(C1)에 접속된 제3 커패시터(C3)를 포함할 수 있다.

[0060] 몇몇 실시예에서, 제1 주파수-전압 변환기(151)는, 예를 들어, 제1 저항(R1)의 일단과 접속될 수 있다. 즉, 제1 주파수-전압 변환기(151)는, 예를 들어, 제3 노드(node 3)에 접속될 수 있다. 몇몇 실시예에서, 제1 주파수-전압 변환기(151)는, 예를 들어, 제1 저항(R1)의 타단과 제1 캐패시터(C1)의 일단에 접속될 수 있다. 즉, 제1 주파수-전압 변환기(151)는, 제4 노드(node 4)에 접속될 수 있다. 몇몇 실시예에서, 제1 주파수-전압 변환기(151)는, 예를 들어, 제2 저항(R2)의 타단과 제3 커패시터(C3)의 일단에 접속될 수 있다. 즉, 제1 주파수 전압 변환기(250)는, 제5 노드(node 5)에 접속될 수도 있다.

[0061] 그러나, 본 발명이 이에 제한되는 것은 아니며, 다양한 구조의 수동 필터에서, 제1 루프 필터(131)에서 발생하는 초과 위상을 줄이기 위해서라면, 어느 노드에나 연결될 수 있다.

[0062] 다시 도 1을 참조하면, 몇몇 실시예에서, 위상 조정 장치는 제2 루프 필터(LPF2: Second Loop Filter)(132)를 더 포함할 수도 있으나, 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 위상고정루프 장치는 제2 루프 필터(132)를 포함하지 않을 수 있고, 이 경우 제1 주파수-전압 변환기(151)의 출력은 직접 제1 루프 필터(131)에 연결될 수 있다.

[0063] 위상고정루프 장치가 제2 루프 필터(132)를 더 포함하는 경우, 제2 제어 전압(V_2)은 제2 루프 필터(132)의 입력으로 인가 될 수 있다. 제2 제어 전압(V_2)을 입력으로 인가받은 제2 루프 필터(132)는, 제2 루프 필터 출력 전압(V_{L2})을 출력할 수 있다. 제2 루프 필터 출력 전압(V_{L2})은 제어 전압 생성부(10)로 피드백될 수 있다. 예를 들어, 제2 루프 필터 출력 전압(V_{L2})은, 제1 루프 필터(131)의 입력으로 인가될 수 있다.

[0064] 제2 루프 필터(132)는 잡음을 제거하여 제어 전압 생성부(10)에 피드백 신호로 제공할 수 있다.

[0065] 제1 제어 전압(V_1)이 증가할 경우, 제1 주파수-전압 변환기(151)는 이를 감소시키는 방향으로 동작할 수 있다. 즉, 제2 제어 전압(V_2) 및 제2 루프 필터 출력 전압(V_{L2})은 감소될 수 있다.

[0066] 제1 제어 전압(V_1)이 감소할 경우, 제1 주파수-전압 변환기(151)는 이를 증가시키는 방향으로 동작할 수 있다. 즉, 제2 제어 전압(V_2) 및 제2 루프 필터 출력 전압(V_{L2}) 은 증가될 수 있다.

[0067] 도 1 및 도 6을 참조하면, 전압 제어 지연부(140)는 복수의 지연 소자를 포함할 수 있다.

[0068] 전압 제어 지연부(140)의 복수의 지연 소자는, 제어 전압 생성부(10)의 제1 루프 필터(131)로부터 출력된 제1 제어 전압(V_1)으로 제어될 수 있다.

[0069] 도 1, 도 7 및 도 8을 참조하면, 제1 주파수-전압 변환기(151)는 제1 전류원(161) 또는 제2 전류원(162), 제1 스위치(163), 커패시터(Cx), 및 제2 스위치(164)를 포함할 수 있다.

[0070] 제1 전류원(161) 또는 제2 전류원(162)은 노드(A)와 연결되고, 커패시터(Cx)에 전하를 제공할 수 있다.

[0071] 제1 스위치(163)는, 제2 제어 신호(Φ2)에 의해 온오프(on/off)되고, 일단이 노드(A)와 연결될 수 있다. 제1 스위치(163)는 예를 들어, NMOS 트랜지스터를 포함할 수 있으나, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 제2 스위치(164)는 제1 제어 신호(Φ1)에 의해 온오프되고, 일단이 노드(A)와 연결될 수 있다.

[0072] 도 7 및 도 8에는 제1 주파수-전압 변환기(151)의 일 예가 도시되어 있으나, 이는 하나의 예시에 불과하며, 전압 제어 지연부(140)의 출력 주파수의 변화를 감지하여 그 변화량을 전압으로 바꾸어 전압 제어 지연부(140)에 출력할 수 있는 구조라면 제1 주파수-전압 변환기(151)에 채용될 수 있다. 예를 들어, 제2 전류원(162)은 제1 전류원(161)과 달리 한 쌍의 PMOS 트랜지스터와 NMOS 트랜지스터를 포함할 수 있다.

[0073] 또한, 예시된 PMOS 및 NMOS 등의 트랜지스터는 필요에 따라 자유롭게 그 타입을 바꿀 수 있다.

[0074] 제1 주파수-전압 변환기(151)의 커패시터(Cx)는, 제1 스위치(163) 및 제2 스위치(164)가 오프 상태인 경우, 제1 전류원(161) 또는 제2 전류원(162)으로부터 공급받은 전하로 충전될 수 있다.

[0075] 제1 제어 신호(Φ1)는 제2 스위치(164)를 제어할 수 있고, 제2 제어 신호(Φ2)는 제1 스위치(163)를 제어할 수 있다.

[0076] 커패시터(Cx)에 전하가 충전되는 경우, 제1 제어 신호(Φ1)에 의해 제2 스위치(164)가 턴온 될 수 있다. 이 때, 커패시터(C_x) 양단 전압인 제2 제어 전압(V_2)은, 제1 제어 신호(Φ1)에 의해 제2 루프 필터(132)를 거쳐 제1 루프 필터(131)로 전달될 수 있다.

[0077] 제2 제어 전압(V_2)이 제1 루프 필터(131)로 전달되면, 제2 제어 신호(Φ2)에 의해 제1 스위치(163)가 턴온될 수 있다. 이 때, 커패시터(Cx)에 충전된 전하는 방전되어, 노드(A)의 전압이 풀 다운(pull down)될 수 있다.

[0078] 제2 제어 신호(Φ2)는 NMOS 트랜지스터의 게이트로 입력되어 NMOS 트랜지스터가 스위칭되도록 한다. 다만, 본 발명의 기술적 사상에 따른 실시예들이 이에 제한되는 것은 아니며, 필요에 따라 NMOS 트랜지스터 대신 PMOS 트랜지스터가 사용될 수 있고, 기타 스위칭될 수 있는 트랜지스터가 사용될 수 있다.

[0079] 도 1, 도 7 내지 도 9를 참조하면, 제어 신호(Φ1, Φ2)는 제어 신호 생성부(151_1)에 의해 생성될 수 있다.

[0080] 제1 주파수-전압 변환기(151)는 제어 신호 생성부(151_1)를 포함할 수 있다. 제어 신호 생성부(151)는 3개의 인버터(165, 167, 169)와 2개의 NAND 게이트(166, 168)를 포함할 수 있다.

[0081] 구체적으로, 제어 신호 생성부(151_1)는 인버터(165)와 NAND 게이트(166)로 구성된 제1 회로를 포함할 수 있고, 추가적인 인버터(167, 169)와 NAND 게이트(168)로 구성되는 제2 회로를 더 포함할 수 있다.

[0082] 제어 신호 생성부(151_1)는, 전압 제어 지연부(140)의 출력 신호(Sout)를 입력받아, 지연 인버터(delay inverter)를 이용하여 제1 제어 신호(Φ1) 및 제2 제어 신호(Φ2)를 생성할 수 있다.

[0083] 제2 제어 신호(Φ2)는 제1 제어 신호(Φ1)보다 미리 정해진 시간만큼 지연될 수 있다. 즉, 제1 제어 신호(Φ1) 및 제2 제어 신호(Φ2)는 서로 중첩되는 부분이 없을 수 있다.

[0084] 제1 제어 신호(Φ1)는, 전압 제어 지연부(140)의 출력 신호(Sout)를 입력으로 하는 제1 회로(165, 166)에서 생성될 수 있다. 또한, 제2 제어 신호(Φ2)는, 제2 회로(167, 168, 169)에서 생성될 수 있다.

[0085] 이하에서, 도 1 내지 도 11을 참조하여, 위상 조정 장치의 동작을 설명한다.

[0086] 먼저 도 1 내지 도 10을 참조하면, 본 발명의 몇몇 실시예들에 따른 위상 조정 장치는 제1 부궤환 루프(191)와 제2 부궤환 루프(192)를 포함할 수 있다.

[0087] 제1 부궤환 루프(191)는 제어 전압 생성부(10) 및 전압 제어 지연부(140)를 포함할 수 있다.

[0088] 제2 부궤환 루프(192)는 제1 루프 필터(131), 전압 제어 지연부(140), 제1 주파수-전압 변환기(151)를 포함할 수 있다. 몇몇 실시예에서, 제2 부궤환 루프(192)는 제2 루프 필터(132)를 더 포함할 수 있다.

[0089] 제1 부궤환 루프(191)에서, 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)가 잡음 또는 기타 원인에 의해 작아지는 경우, 기준 신호(Sref)의 위상보다 출력 신호(Sout)의 위상이 느릴 수 있다.

[0090] 이 경우, 위상 주파수 검출기(110)는 기준 신호(Sref)의 위상과 출력 신호(Sout)의 위상을 비교한 뒤, 업 신호(UP)를 출력할 수 있다.

[0091] 업 신호(UP)가 생성되면, 전하가 차지 펌프(120)에서 제1 루프 필터(131)에 전달되어, 제1 루프 필터(131)의 커패시터가 충전될 수 있다. 이에 따라, 제1 루프 필터(131)의 출력 전압인 제1 제어 전압(V_1)은 증가될 수 있다.

[0092] 전압 제어 지연부(140)의 입력인 제1 제어 전압(V_1)이 증가함에 따라, 제1 제어 전압(V_1)에 의해 제어되는 복수의 지연 소자를 지나는 신호들의 주파수가 증가할 수 있다. 즉, 업 신호(UP)가 발생하면, 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)는 일시적으로 증가할 수 있다.

[0093] 위상 주파수 검출기(110)는, 증가된 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)를 입력으로 받을 수 있다. 위상 주파수 검출기(110)는, 입력받은 증가된 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)와 기준 신호(Sref)의 주파수(Fref)를 비교하여, 다운 신호(DN)를 발생시킬 수 있다.

[0094] 다운 신호(DN)가 생성되면, 차지 펌프(120)는 제1 루프 필터(131)의 커패시터에 축적된 전하를 감소시킬 수 있다. 이로써, 제1 루프 필터(131)의 출력 인 제1 제어 전압(V_1)은 감소될 수 있다.

[0095] 전압 제어 지연부(140)는, 감소된 제1 제어 전압(V_1)을 입력으로 인가받을 수 있다. 감소된 제1 제어 전압(V_1)으로 인해, 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)은, 감소될 수 있다.

[0096] 한편, 제2 부궤환 루프(192)에서, 업 신호(UP)가 출력된 경우, 앞서 설명한 바와 같이 제1 루프 필터(131)의 출력인 제1 제어 전압(V_1)은 증가될 수 있다. 나아가, 증가된 제1 제어 전압(V_1)은 전압 제어 지연부(140)에 입력으로 인가될 수 있다. 전압 제어 지연부(140)의 출력 신호(Sref)의 주파수(Fref)는 증가할 수 있다.

[0097] 제1 주파수-전압 변환기(151)는, 증가된 전압 제어 지연부(140)의 출력 신호(Sref)를 입력으로 받을 수 있다. 이 경우, 제1 주파수-전압 변환기(151)는 전압 제어 지연부(140)의 출력 신호(Sout)의 주기(D1, D2)에 따라 커패시터(Cx)에 충전되는 전하량이 달라질 수 있다. 즉, 전압 제어 지연부(140)의 출력 신호(Sout)의 주기(D1, D2)에 따라 제2 제어 전압(V_2)의 크기가 달라질 수 있다.

[0098] 즉, 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)가 증가하면, 출력 신호(Sout)의 한 주기(D1)가 짧아지고, 제1 주파수-전압 변환기(151)의 제1 전류원(161) 또는 제2 전류원(162)을 통해 충전되는 커패시터(Cx)의 충전량도 작아질 수 있다. 이에 따라, 제2 제어 전압(V_2)은 감소할 수 있다.

[0099] 감소된 제2 제어 전압(V_2)을 입력으로 받은 제1 루프 필터(131)의 출력 전압인 제1 제어 전압(V_1)은 감소할 수 있다. 제1 제어 전압(V_1)이 다시 감소되면, 전압 제어 지연부(140)의 지연 시간이 증가될 수 있고, 따라서 출력 신호(Sout)는 감소하게 된다.

[0100] 이로써, 증가하였던 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)는 다시 감소할 수 있다. 결론적으로, 업 신호(UP) 발생 시, 제1 제어 전압(V_1)은 증가하나, 제2 제어 전압(V_2)은 감소할 수 있다.

[0101] 제1 부궤환 루프(191) 및 제2 부궤환 루프(192)는, 전체적으로 위상 조정 장치가 일정한 주파수를 가지도록 할 수 있다. 특히 제2 부궤환 루프(192)는, 제1 주파수-전압 변환기(151)가 제1 루프 필터(131)의 출력 전압을 제어하도록 함으로써, 지터의 크기를 감소시킬 수 있다.

[0102] 반대로, 제1 부궤환 루프(191)에서, 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)가 커지는 경우, 기준 신호(Sref)보다 출력 신호(Sout)의 위상이 빠를 수 있다. 이 경우, 위상 주파수 검출기(110)는 기준 신호(Sref)의 위상과 출력 신호(Sout)의 위상을 비교한 뒤, 다운 신호(DN)를 출력할 수 있다.

[0103] 다운 신호(DN)가 생성되면, 차지 펌프(120)는 제1 루프 필터(131)의 커패시터에 축적된 전하를 감소시킬 수 있다. 이에 따라, 제1 루프 필터(131)의 출력 전압인 제1 제어 전압(V_1)은 감소될 수 있다.

[0104] 전압 제어 지연부(140)의 입력인 제1 제어 전압(V_1)이 감소됨에 따라, 제1 제어 전압(V_1)에 의해 제어되는 복수의 지연 소자를 지나는 신호들의 주파수가 감소할 수 있다. 즉, 다운 신호(DN)가 발생하면, 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)는 일시적으로 감소할 수 있다.

[0105] 위상 주파수 검출기(110)는, 감소된 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)를 입력으로 받을 수 있다. 위상 주파수 검출기(110)는, 입력받은 증가된 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)와 기준 신호(Sref)의 주파수(Fref)를 비교하여, 업 신호(UP)를 발생시킬 수 있다.

[0106] 업 신호(UP)가 생성되면, 차지 펌프(120)는 제1 루프 필터(131)의 커패시터에 축적된 전하를 증가시킬 수 있다. 이로써, 제1 루프 필터(131)의 출력 인 제1 제어 전압(V_1)은 증가될 수 있다.

[0107] 전압 제어 지연부(140)는, 증가된 제1 제어 전압(V_1)을 입력으로 인가받을 수 있다. 증가된 제1 제어 전압(V_1)으로 인해, 전압 제어 발진기(140)의 출력 신호(Sout)의 주파수(Fout)은, 증가될 수 있다.

[0108] 한편, 제2 부궤환 루프(192)에서, 다운 신호(DN)가 출력된 경우, 앞서 설명한 바와 같이 제1 루프 필터(131)의 출력인 제1 제어 전압(V_1)은 감소될 수 있다. 나아가, 감소된 제1 제어 전압(V_1)은 전압 제어 발진기(140)에 입력으로 인가될 수 있다. 전압 제어 지연부(140)의 출력 신호(Sref)의 주파수(Fref)는 감소할 수 있다.

[0109] 제1 주파수-전압 변환기(151)는, 감소된 전압 제어 지연부(140)의 출력 신호(Sref)를 입력으로 받을 수 있다. 이 경우, 제1 주파수-전압 변환기(151)는 전압 제어 지연부(140)의 출력 신호(Sout)의 주기(D1, D2)에 따라 커패시터(Cx)에 충전되는 전하량이 달라질 수 있다. 즉, 전압 제어 지연부(140)의 출력 신호(Sout)의 주기(D1, D2)에 따라 제2 제어 전압(V_2)의 크기가 달라질 수 있다.

[0110] 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)가 증가하면, 한 주기(D1)가 길어지고, 제1 주파수-전압 변환기(151)의 제1 전류원(161) 또는 제2 전류원(162)을 통해 충전되는 커패시터(Cx)의 충전량도 커질 수 있다.

[0111] 즉, 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)가 감소하면, 출력 신호(Sout)의 한 주기(D1)가 길어지고, 제1 주파수-전압 변환기(151)의 제1 전류원(161) 또는 제2 전류원(162)을 통해 충전되는 커패시터(Cx)의 충전량도 커질 수 있다. 이에 따라, 제2 제어 전압(V_2)은 증가할 수 있다.

[0112] 제2 제어 전압(V_2)이 증가함에 따라, 제1 루프 필터(131)의 출력 전압인 제1 제어 전압(V_1)은 증가할 수 있다. 제1 제어 전압(V_1)이 다시 증가되면, 전압 제어 지연부(140)의 지연 시간이 감소될 수 있고, 따라서 출력 신호(Sout)는 증가하게 된다.

[0113] 이로써, 감소하였던 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)는 다시 증가할 수 있다. 결론적으로, 다운 신호(DN) 발생 시, 제1 제어 전압(V_1)은 감소하나, 제2 제어 전압(V_2)은 증가할 수 있다.

[0114] 제1 부궤환 루프(191) 및 제2 부궤환 루프(192)는, 전체적으로 위상 고정 루프 장치가 일정한 주파수를 가지도록 할 수 있다. 특히 제2 부궤환 루프(192)는, 제1 주파수-전압 변환기(151)가 제1 루프 필터(131)의 출력 전압을 제어하도록 함으로써, 지터의 크기를 감소시킬 수 있다.

[0115] 제1 제어 전압(V_1)과 제2 제어 전압(V_2)에 의한 위상 변화로, 기준 신호(Sref)와 제어 전압 지연부(140)의 출력 신호(Sout)의 위상이 같아질 수 있다.

[0116] 도 11을 참조하면, 도 11은 기준 신호(Fref)에 따른 제1 제어 전압(V_1)과 제2 제어 전압(V_2)의 변화를 도시한 도면이다.

[0117] 업 신호(UP)가 발생한 경우, 제1 제어 전압(V_1)은 증가할 수 있다. 또한, 제1 주파수-전압 변환기(151)에서 제2 루프 필터(132) 및 제1 루프 필터(131)를 거쳐 전압 제어 지연부(140)로 공급되는 전압 값인 제2 제어 전압(V_2)은 감소할 수 있다.

[0118] 제1 제어 전압(V_1)과, 제1 주파수-전압 변환기(151)에서 제2 루프 필터(132) 및 제1 루프 필터(131)를 거쳐 전압 제어 지연부(140)로 공급되는 전압 값인 제2 제어 전압(V_2)의 합은, 도 11에 도시된 바($V_1 + V_2$)와 같을 수 있다.

[0119] 즉, 제1 제어 전압(V_1)의 크기가 증가하면 제2 제어 전압(V_2)의 크기는 감소되고, 반대로 제1 제어 전압(V_1)의 크기가 감소하면 제2 제어 전압(V_2)의 크기를 증가될 수 있다.

[0120] 본 발명의 몇몇 실시예들에 따르면, 전압 제어 지연부(140)의 출력 신호(Sout)가 제1 주파수-전압 변환기(151)를 거쳐 제1 루프 필터(131)로 피드백 됨으로서, 제1 제어 전압(V_1)에 의해 발생한 잡음을 억제할 수 있다. 이에 따라, 위상 고정 루프 장치는 안정하게 동작될 수 있고, 잡음 특성이 개선될 수 있다.

[0121] 또한, 제1 주파수-전압 변환기(151)가 제1 루프 필터(131)의 출력 전압을 제어하도록 함으로써, 지터의 크기를 감소시킬 수 있다.

[0122] 한편, 도 11에서는 업 신호(UP)가 발생한 경우만을 도시하고 있으나, 다운 신호(DN)가 발생한 경우는, 상술한 원리와 반대로 동작할 수 있다.

[0123] 이하에서, 도 12를 참조하여 본 발명의 몇몇 실시예들에 따른 위상 조정 장치에 대해 설명한다. 설명의 명확성을 위해, 앞서 설명한 것과 중복되는 내용은 생략한다.

[0124] 도 12는 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 블록도이다.

[0125] 도 12를 참조하면, 제1 주파수-전압 변환기(151)의 출력인 제2 제어 전압(V2)은 차지 펌프(120)에 피드백될 수 있다. 다시 말해서, 도 1과 비교하여, 본 발명의 몇몇 실시예들에 따른 위상 조정 장치는, 제2 부궤환 루프(192) 대신 제3 부궤환 루프(193)를 포함할 수 있다.

[0126] 제3 부궤환 루프(193)는 차지 펌프(120), 제1 루프 필터(131), 전압 제어 지연부(140), 제1 주파수-전압 변환기(151)를 포함할 수 있다. 몇몇 실시예에서, 제3 부궤환 루프(193)는 제2 루프 필터(132)를 더 포함할 수도 있다.

[0127] 위상 주파수 검출기(110)에서 업 신호(UP)가 출력된 경우, 앞서 설명한 바와 같이 제1 제어 전압(V_1)은 증가될 수 있다. 또한, 증가된 제1 제어 전압(V_1)으로 인해, 전압 제어 지연부(140)의 출력 신호(Sout)의 주파수(Fout)는 증가될 수 있다.

[0128] 증가된 출력 신호(Sout)를 입력 받은 제1 주파수-전압 변환기(151)의 출력인 제2 제어 전압(V_2)은 감소할 수 있다. 감소된 제2 제어 전압(V2)이 차지 펌프(120)로 피드백됨에 따라, 차지 펌프(120)의 출력 전류는 감소될 수 있다.

[0129] 감소된 차지 펌프(120)의 출력 전류는, 제1 루프 필터(131)의 출력 전압인 제1 제어 전압(V_1)을 감소시킬 수 있다. 이는, 전압 제어 지연부(140)의 지연 소자의 지연 시간을 증가시킬 수 있다. 지연 시간이 증가하면, 주기가 길어지므로, 출력 신호(Sout)의 주파수(Fout)는 감소될 수 있다.

[0130] 위상 주파수-검출기(110)에서 다운 신호(DN)가 출력된 경우는, 상술한 원리와 반대로 동작할 수 있다.

[0131] 제3 부궤환 루프(193)는, 제1 주파수-전압 변환기(151)가 차지 펌프(120)의 출력 전류를 제어하도록 함으로써, 지터의 크기를 감소시킬 수 있다.

[0132] 이하에서, 도 13 내지 도 17을 참조하여, 본 발명의 몇몇 실시예들에 따른 위상 조정 장치에 대해 설명한다. 설명의 명확성을 위해, 앞서 설명한 것과 중복되는 내용은 생략한다.

[0133] 도 13 및 도 14는 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 블록도이다. 도 15 내지 도 17은 본 발명의 몇몇 실시예들에 따른 전압 제어 지연부(140)를 도시한 블록도이다.

[0134] 도 13을 참조하면, 본 발명의 몇몇 실시예들에 따른 위상 조정 장치는, 제2 주파수-전압 변환기(152)를 더 포함할 수 있다.

[0135] 제2 주파수-전압 변환기(152)는, 전압 제어 지연부(140)의 복수의 지연 소자의 출력에 대응되는 제3 제어 전압($V3_1$ 내지 $V3_m$)을 생성하여 전압 제어 지연부(140)에 피드백할 수 있다. 제2 주파수-전압 변환기(152)는, 예를 들어, 복수개일 수 있다.

[0136] 본 발명의 몇몇 실시예들에 따른 위상 조정 장치는, 제1 부궤환 루프(191), 제2 부궤환 루프(192)외에도 제4 부궤환 루프(194)를 더 포함할 수 있다. 제4 부궤환 루프(194)는 전압 제어 지연부(140), 제2 주파수-전압 변환기(152)를 포함할 수 있다.

[0137] 몇몇 실시예에서, 제2 주파수-전압 변환기(152)의 출력인 제3 제어 전압($V3_1$ 내지 $V3_m$)을 입력으로 받는 제3 루프 필터(133)를 더 포함할 수 있다. 제3 루프 필터(133)는, 예를 들어, 복수개일 수 있다. 도면에서, 제2 주파수-전압 변환기(152)의 개수와 제3 루프 필터(133)의 개수가 동일한 것으로 도시하였으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 제3 루프 필터(133)는 제2 주파수-전압 변환기(152)와 같거나 상이한 개수일 수 있다.

[0138] 도 14를 참조하면, 본 발명의 몇몇 실시예들에 따른 위상 조정 장치는, 제1 부궤환 루프(191), 제3 부궤환 루프(193) 외에도 제4 부궤환 루프(194)를 더 포함할 수 있다.

[0139] 도 13 및 도 14에서, 제4 부궤환 루프(194)를 더 포함하므로써, 위상 조정 장치의 지터 크기를 감소시킬 수 있다.

[0140] 좀 더 구체적으로, 위상 주파수 검출기(110)의 출력이 예를 들어, 업 신호(UP)인 경우, 앞서 설명한 바와 같이, 제1 제어 전압(V_1)은 증가될 수 있다. 또한, 증가된 제1 제어 전압(V_1)으로 인해, 전압 제어 지연부(140)의 복수의 지연 소자의 출력(F1 내지 Fm)은 증가될 수 있다.

[0141] 증가된 복수의 지연 소자의 출력(F1 내지 Fm)을 입력 받은 제2 주파수-전압 변환기(152)의 출력인 제3 제어 전압(V_3)은 감소할 수 있다. 감소된 제3 제어 전압(V_3)은 전압 제어 지연부(140)의 복수의 지연 소자의 지연 시간을 증가시킬 수 있다. 지연 시간이 증가하면, 주기가 길어지므로, 출력 신호(Sout)의 주파수(Fout)는 감소될 수 있다. 따라서, 제4 부궤환 루프(194)는, 위상 조정 장치의 지터 크기를 감소시킬 수 있다.

[0142] 위상 주파수-검출기(110)에서 다운 신호(DN)가 출력된 경우는, 상술한 원리와 반대로 동작할 수 있다.

[0143] 도 15를 참조하면, 전압 제어 지연부(140)는 복수의 지연 소자를 포함할 수 있다. 복수의 지연 소자는, 제1 지연 소자(140_1) 및 제2 지연 소자(140_2)를 포함할 수 있다. 복수의 지연 소자는, 예를 들어, m+1개(m>0, m은 자연수) 일 수 있다.

[0144] 제1 지연 소자(140_1) 및 제2 지연 소자(140_2)는 예를 들어, 순차적으로 접속될 수 있다.

[0145] 제2 주파수-전압 변환기(152)는, 복수의 지연 소자 중 적어도 어느 하나와 연결될 수 있는 하나 또는 복수의 주파수-전압 변환기를 포함할 수 있다. 예를 들어, 제2 주파수-전압 변환기(152)는, m개 일 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니고, 제2 주파수-전압 변환기(152)의 개수는 지연 소자의 개수(m개) 보다 작을 수 있다.

[0146] 제2 주파수-전압 변환기(152)는, 제2-1 주파수-전압 변환기(152_1)와 제2-2 주파수-전압 변환기(152_2)를 포함할 수 있다. 제2-1 주파수-전압 변환기(152_1)는 제1 지연 소자(140_1)의 출력(F1)을 입력으로 받을 수 있다. 제2-2 주파수-전압 변환기(152_2)는 제2 지연 소자(140_2)의 출력(F2)을 입력으로 받을 수 있다.

[0147] 제2-1 주파수-전압 변환기(152_1)의 출력인 제3-1 제어 전압($V3_1$)은, 제1 지연 소자(140_1) 및 제2 지연 소자(140_2)에 피드백될 수 있다. 제2-2 주파수-전압 변환기(152_2)의 출력인 제3-2 제어 전압($V3_2$)은, 제1 지연 소

자(140_1) 및 제2 지연 소자(140_2)에 피드백될 수 있다.

[0148] 몇몇 실시예에서, 제3 루프 필터(133)가 더 포함되는 경우, 제3 제어 전압($V3_1$ 내지 $V3_m$)은 제3 루프 필터(133_1 내지 133_m)로 인가될 수 있다. 예를 들어, 제3 루프 필터(133)는 m개일 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니고, 제3 루프 필터(133)의 개수는 m개 보다 작을 수 있다.

[0149] 이 경우, 제3 루프 필터(133)의 출력 전압($VL3_1$ 내지 $VL3_m$)은 다시 전압 제어 지연부(140)로 피드백될 수 있다.

[0150] m+1번 째 지연 소자(140_m+1)의 출력은, 전압 제어 지연부(140)의 최종 출력(Fout)일 수 있고, 이는 제1 주파수-전압 변환기(151)에 인가될 수 있다. 앞서 설명한 바와 같이, 제1 주파수-전압 변환기(151)의 출력인 제2 제어 전압(V2)은 제1 루프 필터(131) 또는 차지 펌프(120)로 피드백될 수 있다.

[0151] 몇몇 실시예에서, 제2 루프 필터(132)를 더 포함하는 경우, 제2 제어 전압(V_2)은 제2 루프 필터(132)의 입력으로 인가될 수 있다. 제2 루프 필터(132)의 출력 전압(VL_2)은 제1 루프 필터(131) 또는 차지 펌프(120)로 피드백될 수 있다.

[0152] 몇몇 실시예에서, 제2 주파수-전압 변환기(152)의 출력인 제3 제어 전압(V_3)은, 모든 지연 소자를 제어할 수 있다.

[0153] 도 16을 참조하면, 제2-1 주파수-전압 변환기(152_1)의 출력인 제3-1 제어 전압($V3_1$)은 제1 지연 소자(140_1)에 피드백될 수 있다. 제2-2 주파수-전압 변환기(152-2)의 출력인 제3-2 제어 전압($V3_2$)은 제2 지연 소자(140_2)에 피드백될 수 있다.

[0154] 몇몇 실시예에서, 위상 조정 장치가 제3 루프 필터(132)를 더 포함하는 경우, 제3-1 루프 필터(133_1)의 출력 전압($VL3_1$)은 제1 지연 소자(140_1)에 피드백될 수 있다. 제3-2 루프 필터(133_2)의 출력 전압($VL3_2$)은 제2 지연 소자(140_2)에 피드백될 수 있다.

[0155] 다시 말해서, 제2 주파수-전압 변환기(152) 각각의 출력 전압들은, 예를 들어, 그 이전의 지연 소자만 제어할 수 있다.

[0156] 도 17을 참조하면, 제2-1 주파수-전압 변환기(152_1)의 출력인 제3-1 제어 전압($V3_1$)은 제1 지연 소자(140_1)에 피드백될 수 있다. 제2-2 주파수-전압 변환기(152-2)의 출력인 제3-2 제어 전압($V3_2$)은 제1 지연 소자(140_1) 및 제2 지연 소자(140_2)에 피드백될 수 있다.

[0157] 전압 제어 지연부(140)에 포함되는 복수의 지연 소자들이 m+1개 인 경우, 제2-m 주파수-전압 변환기(152_m)는 m번 째 지연 소자(140_m)의 출력(Fm)을 입력 받을 수 있다. 제2-m 주파수-전압 변환기(152_m)의 출력 전압인 제3-m 제어 전압($V3_m$)은, 그 이전의 m개의 지연 소자 모두에 피드백될 수 있다.

[0158] 몇몇 실시예에서, 위상 조정 장치가 제3 루프 필터(132)를 더 포함하는 경우, 제3-1 루프 필터(133_1)의 출력 전압($VL3_1$)은, 제1 지연 소자(140_1)에 피드백될 수 있다. 제3-2 루프 필터(133_2)의 출력 전압($VL3_2$)은 제1 지연 소자(140_1) 및 제2 지연 소자(140_2)에 피드백될 수 있다.

[0159] 전압 제어 지연부(140)에 포함되는 복수의 지연 소자들이 m+1개 인 경우, 제3-m 루프 필터(133_m)는, 제2-m 주파수-전압 변환기(152_m)의 출력인 제3-m 제어 전압($V3_m$)을 입력 받을 수 있다. 제3-m 루프 필터(133_m)의 출력 전압($VL3_m$)은, 그 이전의 m개의 지연 소자 모두에 피드백될 수 있다.

[0160] 다시 말해서, 제2 주파수-전압 변환기(152) 각각의 출력 전압들은, 예를 들어, 그 이전의 지연 소자 모두를 제어할 수 있다.

[0161] 도면에서, 제1 주파수-전압 변환기(151)의 입력을, m+1개의 지연 소자들 중 m+1 번 째 지연 소자의 출력인 것으로 도시하였으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 제1 주파수-전압 변환기(151)의 입력은, m+1개의 지연 소자들 중 어느 하나의 지연 소자의 출력일 수 있다.

[0162] 이하에서, 도 18 및 도 19를 참조하여, 본 발명의 몇몇 실시예들에 따른 위상 조정 장치에 대해 설명한다. 설명의 명확성을 위해, 앞서 설명한 것과 중복되는 내용은 생략한다.

[0163] 도 18 및 도 19는 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 블록도이다.

[0164] 도 18을 참조하면, 본 발명의 기술적 사상에 따른 위상 조정 장치는, 제1 부궤환 루프(191) 외에도, 제5 부궤환 루프(195) 및 제6 부궤환 루프(196)를 동시에 포함할 수 있다.

[0165] 제5 부궤환 루프(195)는 전압 제어 지연부(140), 제3 주파수-전압 변환기(153), 및 제1 루프 필터(131)를 포함할 수 있다. 제3 주파수-전압 변환기(153)는 전압 제어 지연부(140)의 출력 신호(Sout)를 입력으로 받고, 그에 대응되는 제4 제어 전압(V_4)를 출력할 수 있다. 제4 제어 전압(V_4)는 제1 루프 필터(131)로 피드백될 수 있다.

[0166] 몇몇 실시예에서, 제5 부궤환 루프(195)는 제4 루프 필터(134)를 더 포함할 수 있다. 이 경우, 제4 제어 전압(V_4)를 입력으로 받은 제4 루프 필터(134)의 출력(VL_4)은 제1 루프 필터(131)로 피드백될 수 있다.

[0167] 제5 부궤환 루프(195)는, 도 1을 참조하며 설명한, 제2 부궤환 루프(192)와 실질적으로 동일할 수 있다.

[0168] 제6 부궤환 루프(196)는 전압 제어 지연부(140), 제4 주파수-전압 변환기(154), 차지 펌프(120) 및 제1 루프 필터(131)를 포함할 수 있다. 제4 주파수-전압 변환기(154)는 전압 제어 지연부(140)의 출력 신호(Sout)를 입력으로 받고, 그에 대응되는 제5 제어 전압(V_5)를 출력할 수 있다. 제5 제어 전압(V_5)는 차지 펌프(120)로 피드백될 수 있다.

[0169] 몇몇 실시예에서, 제6 부궤환 루프(196)는 제5 루프 필터(135)를 더 포함할 수 있다. 이 경우, 제5 제어 전압(V_5)를 입력으로 받은 제5 루프 필터(135)의 출력(VL_5)은 차지 펌프(120)로 피드백될 수 있다.

[0170] 제6 부궤환 루프(196)는, 도 12를 참조하며 설명한, 제3 부궤환 루프(193)와 실질적으로 동일할 수 있다.

[0171] 본 발명의 기술적 사상에 따른 위상 조정 장치는, 제3 주파수-전압 변환기(153)의 출력 및 제4 주파수-전압 변환기(154)의 출력을 각각, 제1 루프 필터(131) 및 차지 펌프(120)로 피드백 시킴으로써, 지터의 크기를 현저히 감소시킬 수 있다.

[0172] 도 19를 참조하면, 본 발명의 몇몇 실시예에서, 위상 조정 장치는, 제7 부궤환 루프(197)를 더 포함할 수 있다.

[0173] 제7 부궤환 루프(197)는 전압 제어 지연부(140) 및 제2 주파수-전압 변환기(152)를 포함할 수 있다. 제7 부궤환 루프(197)는, 앞서 도 13 내지 도 17을 참조하여 설명한 제4 부궤환 루프(194)와 실질적으로 동일할 수 있다.

[0174] 도면에서, 제3 주파수-전압 변환기(152) 및 제4 주파수-전압 변환기(154)의 입력이 Fout인 것으로 도시하였으나, 이는 설명의 편의를 위한 것일 뿐 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 앞서 설명한 바와 같이 전압 제어 지연부(140)가 복수의 지연 소자를 포함하는 경우, 그 중 어느 하나의 지연 소자의 출력일 수도 있다.

[0175] 도 1, 도 12, 도 13, 도 14 내지 도 19의 위상 조정 장치는, 예를 들어, 위상지연루프(DLL: Delay Locked Loop)로 동작할 수 있다.

[0176] 이하에서, 도 20 및 도 21을 참조하여, 본 발명의 몇몇 실시예들에 따른 위상 조정 장치에 대해 설명한다. 설명의 명확성을 위해, 앞서 설명한 것과 중복되는 내용은 생략한다.

[0177] 도 20은 본 발명의 몇몇 실시예들에 따른 위상 조정 장치를 설명하기 위한 블록도이다. 도 21은 도 20의 전압 제어 발진기의 블록도이다.

[0178] 도 20 및 도 21을 참조하면, 제5 주파수-전압 변환기(155)의 출력인 제6 제어 전압(V6)은 차지 펌프(120)로 피드백될 수 있다.

[0179] 전압 제어 발진기(240)는 예를 들어, 링 오실레이터일 수 있다. 전압 제어 발진기(240)는 복수의 지연 소자(240_1 내지 240_n, n>0, n은 자연수)를 포함할 수 있다. 복수의 지연 소자들은 제1 제어 전압(V_1)에 의해 제어될 수 있다.

[0180] 전압 제어 발진기(240)의 출력은 제5 주파수-전압 변환기(155)에 입력될 수 있다. 몇몇 실시예에서, 위상 조정 장치가 분주기(245)를 더 포함하는 경우, 분주기(245)의 출력(Fn)은 제5 주파수-전압 변환기(155)에 입력될 수 있다. 제5 주파수-전압 변환기(155)의 출력인 제6 제어 전압(V_6)은 차지 펌프(120)에 피드백될 수 있다.

[0181] 몇몇 실시예에서, 위상 조정 장치가 제6 루프 필터(136)를 더 포함하는 경우, 제6 제어 전압(V_6)은 제6 루프 필

터(136)에 입력으로 인가될 수 있다. 제6 루프 필터(136)의 출력 전압(VL_6)은, 차지 펌프(120)에 피드백될 수 있다.

[0182] 몇몇 실시예에서, 위상 조정 장치는, 제8 부궤환 루프(291), 제9 부궤환 루프(292)를 포함할 수 있다.

[0183] 제8 부궤환 루프(291)는, 예를 들어, 제어 전압 생성부(10) 및 전압 제어 발진기(240)를 포함할 수 있다. 몇몇 실시예에서, 제8 부궤환 루프(291)는, 분주기(245)를 더 포함할 수도 있다. 제8 부궤환 루프(291)는, 앞서 도 1을 참조하여 설명한 제1 부궤환 루프(191)와, 그 동작이 실질적으로 동일할 수 있다.

[0184] 제9 부궤환 루프(292)는, 예를 들어, 차지 펌프(120), 제1 루프 필터(131), 전압 제어 발진기(240), 제5 주파수-전압 변환기(155)를 포함할 수 있다. 몇몇 실시예에서, 제9 부궤환 루프(292)는, 분주기(245)를 더 포함할 수 있다. 몇몇 실시예에서, 제9 부궤환 루프(292)는, 제6 루프 필터(136)를 더 포함할 수 있다.

[0185] 제9 부궤환 루프(292)는, 앞서 도 12를 참조하여 설명한 제3 부궤환 루프(193)와, 그 동작이 실질적으로 동일할 수 있다.

[0186] 본 발명의 몇몇 실시예들에 따르면, 전압 제어 발진기(140)의 출력 신호(Sout)가 제5 주파수-전압 변환기(155)를 거쳐 차지 펌프(120)로 피드백 됨으로서, 제1 제어 전압(V_1)에 의해 발생한 잡음을 억제할 수 있다. 이에 따라, 위상 고정 루프 장치는 안정하게 동작될 수 있고, 잡음 특성이 개선될 수 있다.

[0187] 이하에서, 도 22 내지 도 24를 참조하여, 본 발명의 몇몇 실시예들에 따른 위상 조정 장치에 대해 설명한다. 설명의 명확성을 위해, 앞서 설명한 것과 중복되는 내용은 생략한다.

[0188] 도 22는 본 발명의 몇몇 실시예들에 따른 위상 조정 장치의 블록도이다. 도 23 및 도 24는 본 발명의 몇몇 실시예들에 따른 위상고정루프 장치의 전압 제어 발진기(240)를 도시한 블록도이다.

[0189] 도 22 및 도 23을 참조하면, 본 발명의 몇몇 실시예들에 따른 위상 조정 장치는, 제10 부궤환 루프(293) 및 제11 부궤환 루프(294)를 더 포함할 수 있다.

[0190] 제10 부궤환 루프(293)는 전압 제어 발진기(240) 및 제6 주파수-전압 변환기(156)를 포함할 수 있다. 몇몇 실시예에서, 제10 부궤환 루프(293)는 제7 루프 필터(137)를 더 포함할 수도 있다. 이 때, 제6 주파수-전압 변환기(156)의 입력은, 예를 들어, 전압 제어 발진기(240)에 포함된 복수의 지연 소자들의 출력일 수 있다. 전압 제어 발진기(240)가 n+1개의 지연 소자들을 포함하는 경우, 제6 주파수-전압 변환기(156)의 입력은, 예를 들어, n개의 지연 소자들의 출력일 수 있다. 다시 말해서, 제6 주파수-전압 변환기(156)는 n개의 주파수-전압 변환기를 포함할 수 있다. 그러나, 본 발명이 이에 제한되는 것은 아니고, 제6 주파수-전압 변환기(156)의 개수는, n개보다 작을 수도 있음은 물론이다.

[0191] 제10 부궤환 루프(293)는, 앞서 도 13을 참조하여 설명한 제4 부궤환 루프(194)와 그 동작이 실질적으로 동일할 수 있다.

[0192] 제6 주파수-전압 변환기(156)는, 예를 들어, 복수의 지연 소자들의 출력(F1 내지 Fn)인 입력에 대응하는 전압인, 제7 제어 전압($V7_1$~$V7_n$)을 출력할 수 있다.

[0193] 제7 제어 전압($V7_1$~$V7_n$)은, 다시 복수의 지연 소자들(240_1 내지 240_n)의 입력으로 인가될 수 있다. 몇몇 실시예에서, 위상 조정 장치가 제7 루프 필터(137)를 더 포함할 수 있다. 제7 루프 필터(137)의 개수는 예를 들어, 제6 주파수-전압 변환기(156)의 개수와 동일할 수 있다.

[0194] 제7 제어 전압($V7_1$~$V7_n$)은, n개의 제7 루프 필터(137_1 내지 137_n)를 거쳐 복수의 지연 소자들(240_1 내지 240_n) 각각의 입력으로 인가될 수 있다.

[0195] n+1번째 지연 소자는 제1 제어 전압(V_1)과 제7 제어 전압($V7_1$~$V7_n$) 중, 제1 제어 전압(V_1)에 의해 제어될 수 있다. 나머지 복수의 지연 소자들(240_1 내지 240_n)은 제1 제어 전압(V_1)과 제7 제어 전압($V7_1$~$V7_n$)에 의해 제어될 수 있다.

[0196] 다시 말해, 본 발명의 기술적 사상에 따른 몇몇 실시예에서, 전압 제어 발진기(240) 내의 복수의 지연 소자 중 일부는 제1 제어 전압(V_1)과 제7 제어 전압($V7_1$~$V7_n$) 중 제1 제어 전압(V_1)으로 제어되고, 나머지 일부는 제1 제어 전압(V_1) 및 제7 제어 전압($V7_1$~$V7_n$)에 의해 제어될 수 있다.

[0197] 도 24를 참조하면, 몇몇 실시예에서, 복수의 지연 소자 중 제1 제어 전압(V_1)에 의해 제어되는 지연 소자는, 도 23에서와 달리 복수개 일 수 있다. 다시 말해서, 복수의 지연 소자 중 일부(240_1 내지 240_n)는 제1 제어 전압(V_1) 및 제7 제어 전압($V7_1$~$V7_n$)에 의해 제어될 수 있다. 복수의 지연 소자 중 나머지 일부(240_n+1 내지 240_n+k, k>1, k는 자연수)는, 제1 제어 전압(V_1)에 의해 제어될 수 있다.

[0198] 도면에서, 제5 주파수-전압 변환기(155) 및 제7 주파수-전압 변환기(157)의 입력이, 복수의 지연 소자 중 최종단에 연결된 지연소자의 출력인 Fout인 것으로 도시하였으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명이 이에 제한되는 것은 아니다. 예를 들어, 제5 주파수-전압 변환기(155) 및 제7 주파수-전압 변환기(157)의 입력은, 복수의 지연 소자들(240_1 내지 240_n+1, 또는 240_1 내지 240_n+k) 중 어느 하나의 지연 소자의 출력일 수 있다.

[0199] 다시 도 22를 참조하면, 제11 부궤환 루프(294)는 예를 들어, 제1 루프 필터(131), 전압 제어 발진기(240), 및 제7 주파수-전압 변환기(157)를 포함할 수 있다. 몇몇 실시예에서, 제11 부궤환 루프(294)는, 제8 루프 필터(138)를 더 포함할 수도 있다. 제11 부궤환 루프(294)는, 앞서 도 1 내지 도 5를 참조하여 설명한 제2 부궤환 루프(192)와 그 동작이 실질적으로 동일할 수 있다.

[0200] 도 20 및 도 22의 위상 조정 장치는, 예를 들어, 위상고정루프(PLL: Phase Locked Loop)로 동작할 수 있다.

[0201] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

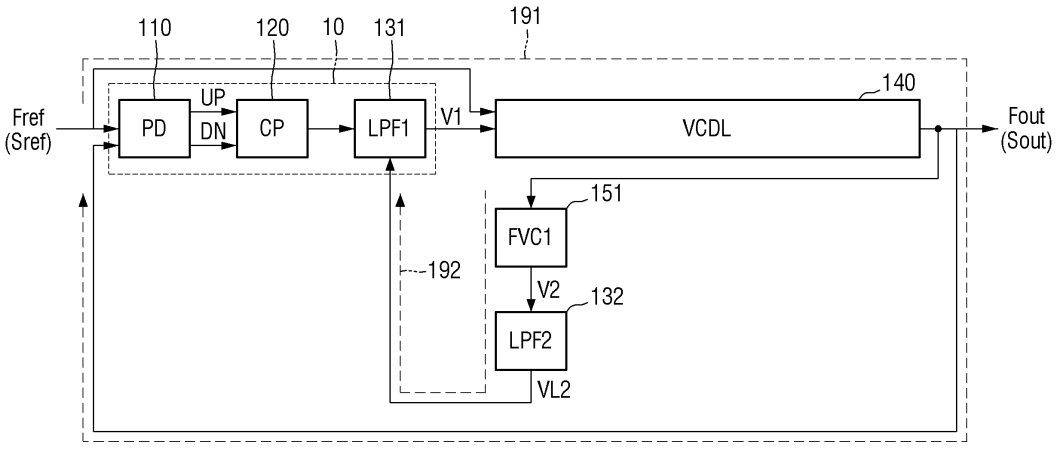
부호의 설명

[0202] 10: 제어 전압 생성부 131: 제1 루프 필터

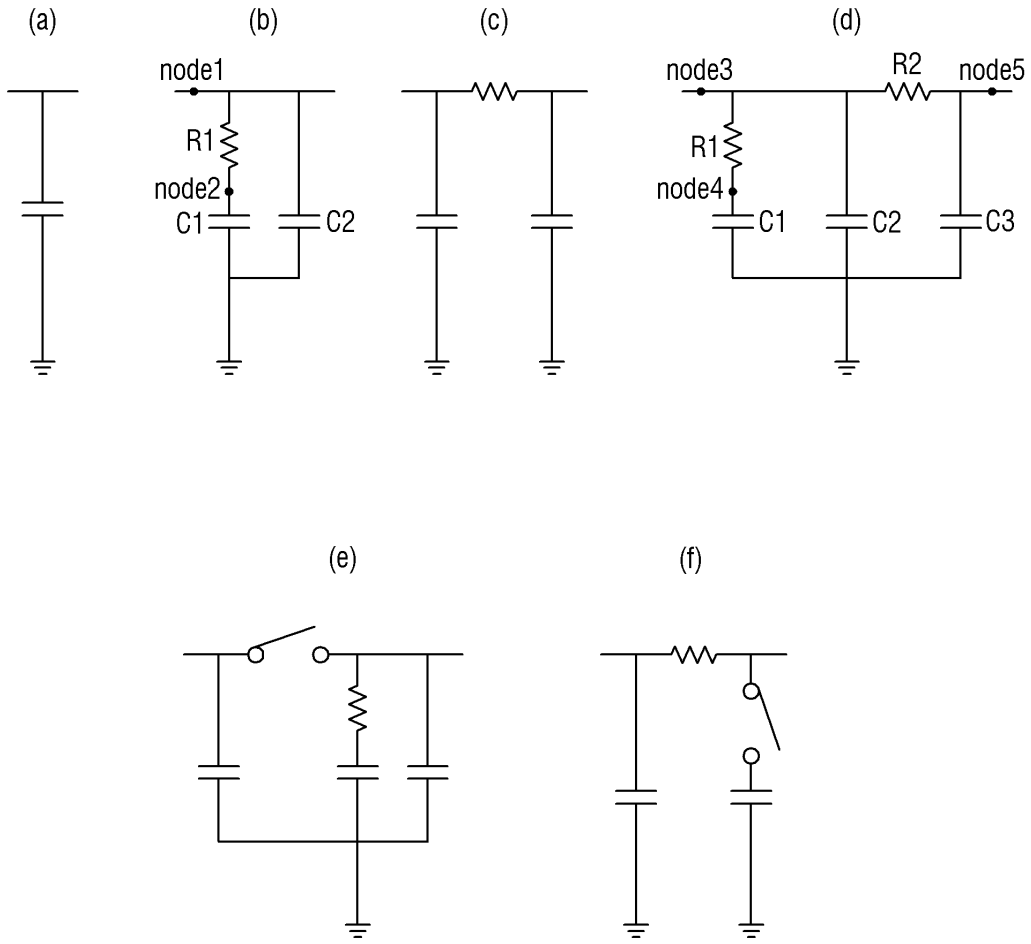
151: 제1 주파수-전압 변환기

도면

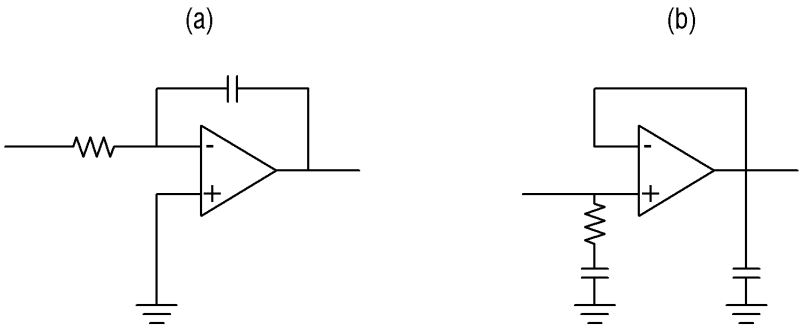
도면1



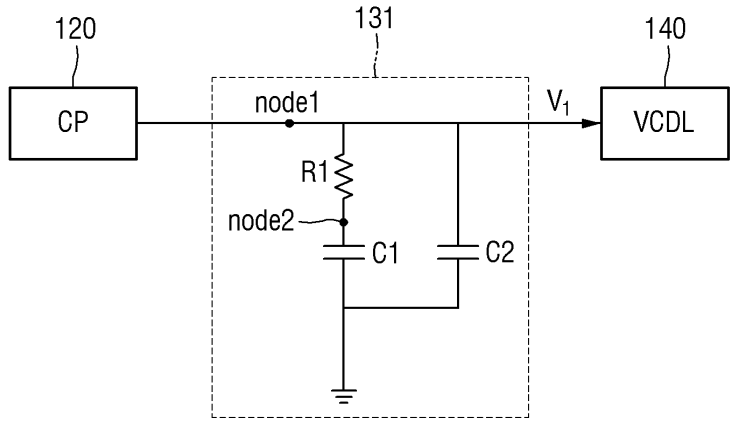
도면2



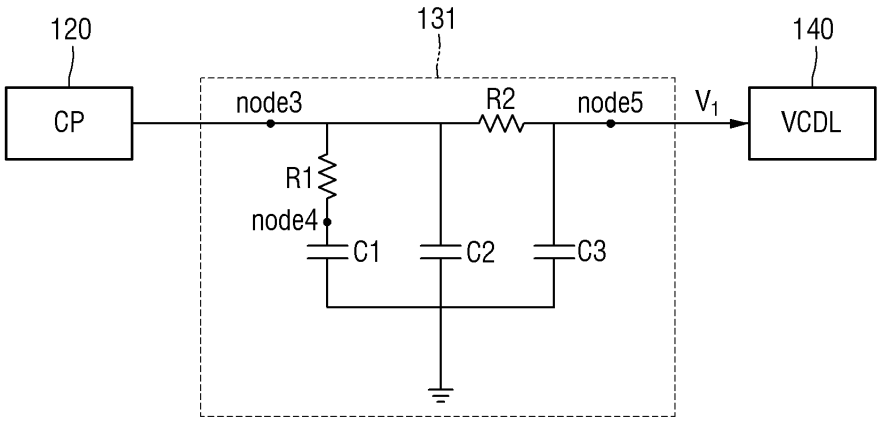
도면3



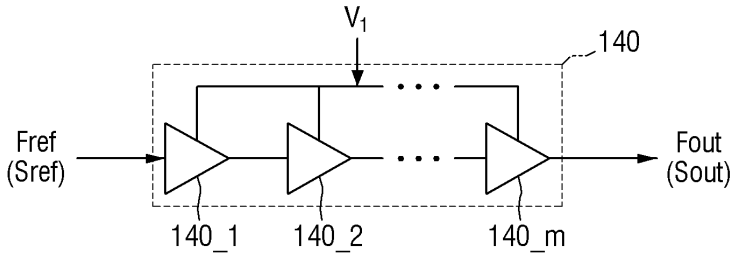
도면4


120
131
140
CP
node1
V_1
VCDL
R1
node2
C1
C2

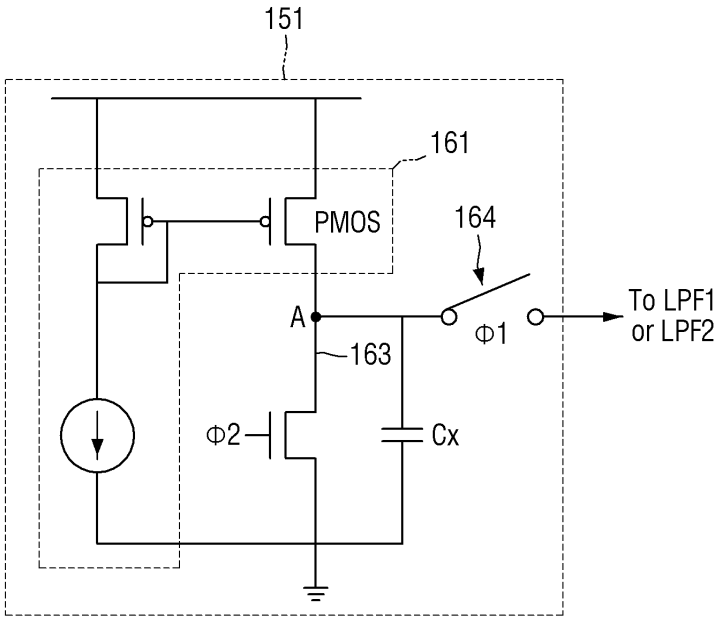
도면5


120
131
140
CP
node3
R2
node5
V_1
VCDL
R1
node4
C1
C2
C3

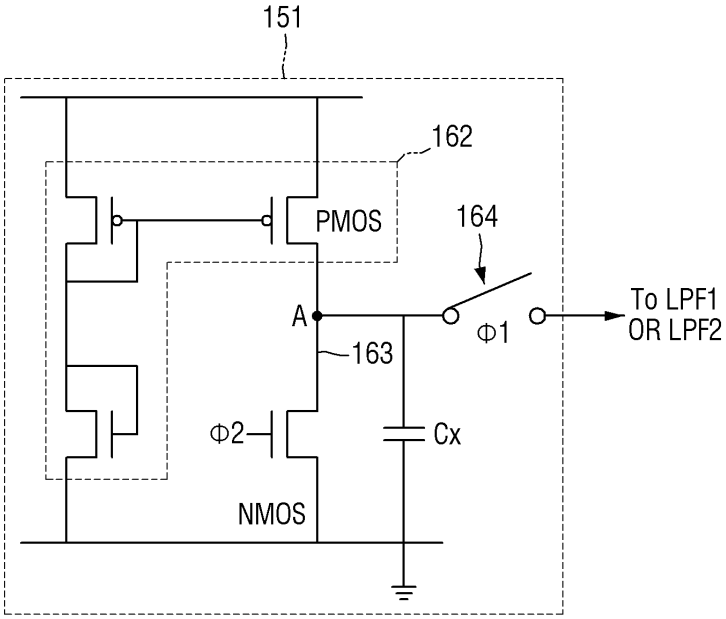
도면6


V_1
140
Fref
(Sref)
Fout
(Sout)
140_1
140_2
140_m

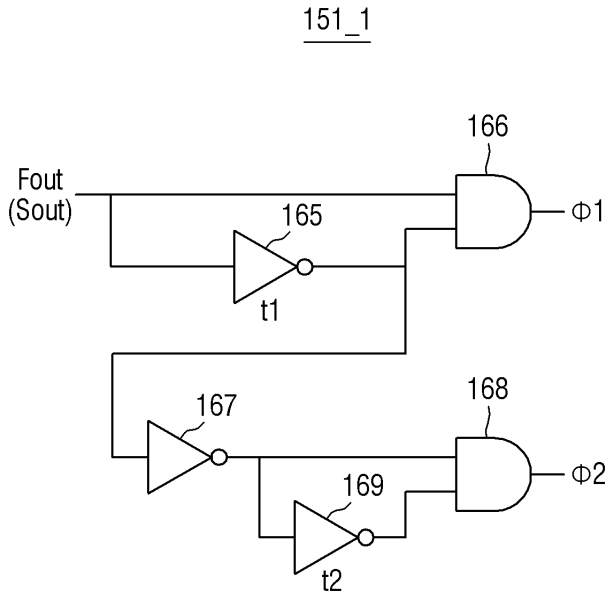
도면7


151
161
PMOS
164
A
Φ1
To LPF1
or LPF2
163
Φ2
Cx

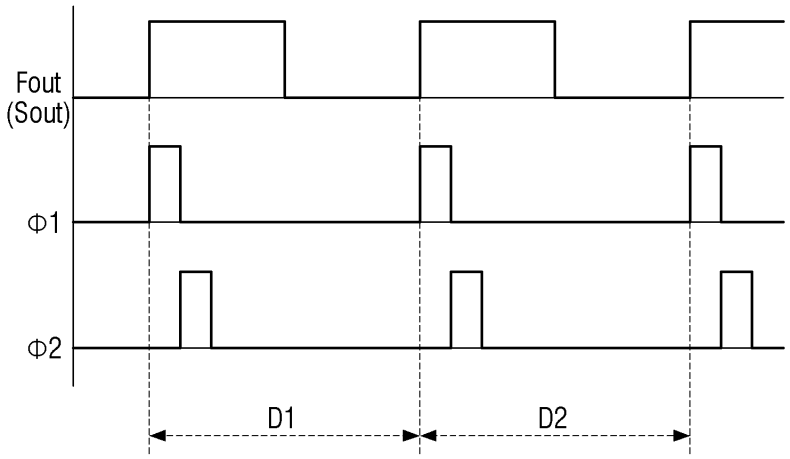
도면8


151
162
PMOS
164
A
Φ1
To LPF1
OR LPF2
163
Φ2
Cx
NMOS

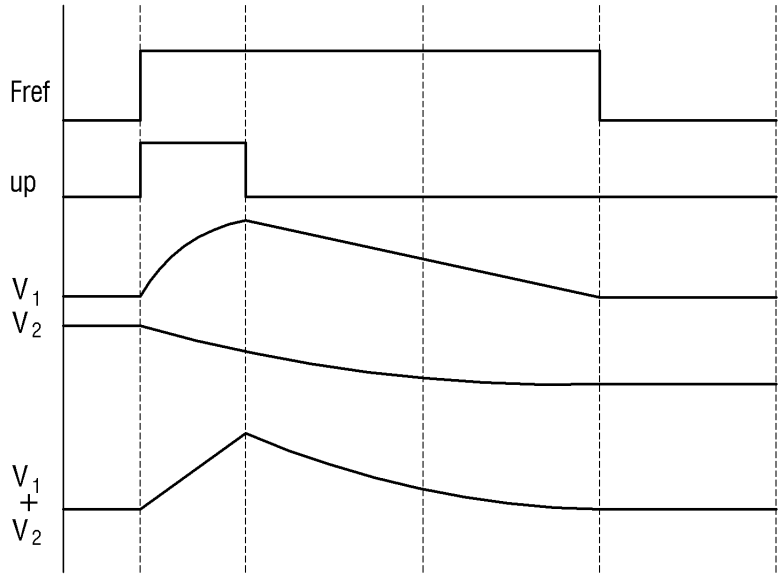
도면9


151_1
166
Fout
(Sout)
165
Φ1
t1
167
168
169
Φ2
t2

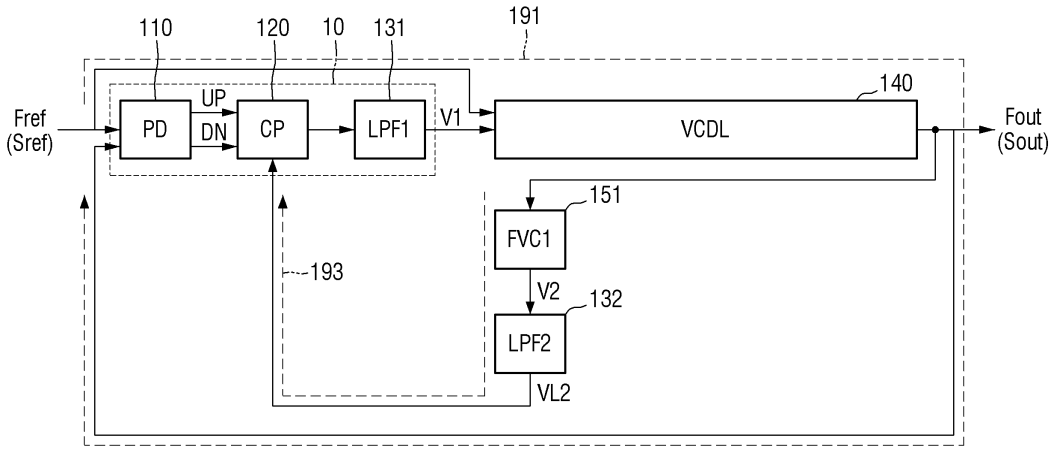
도면10


Fout
(Sout)
Φ1
Φ2
D1
D2

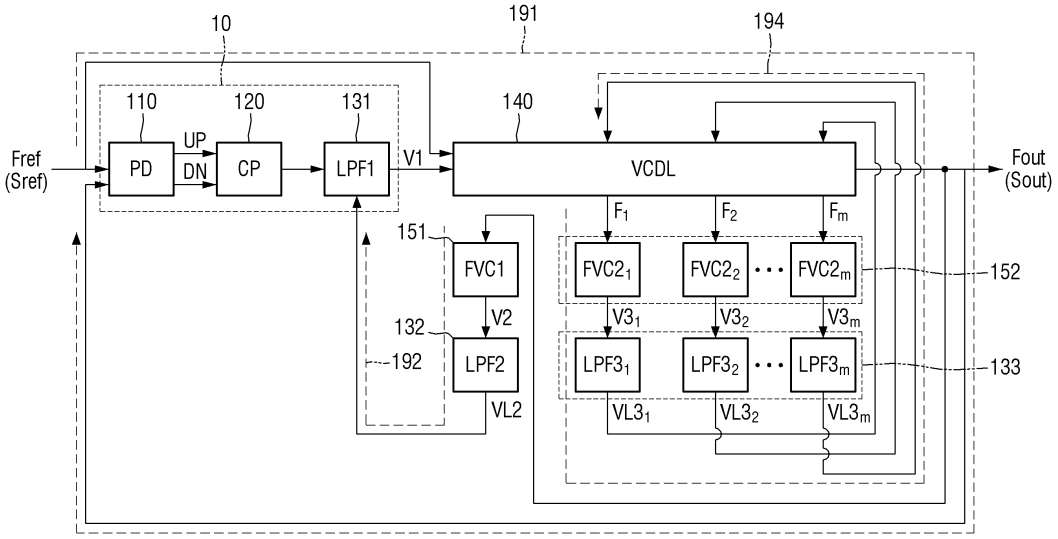
도면11


Fref
up
V1
V2
V1
+
V2

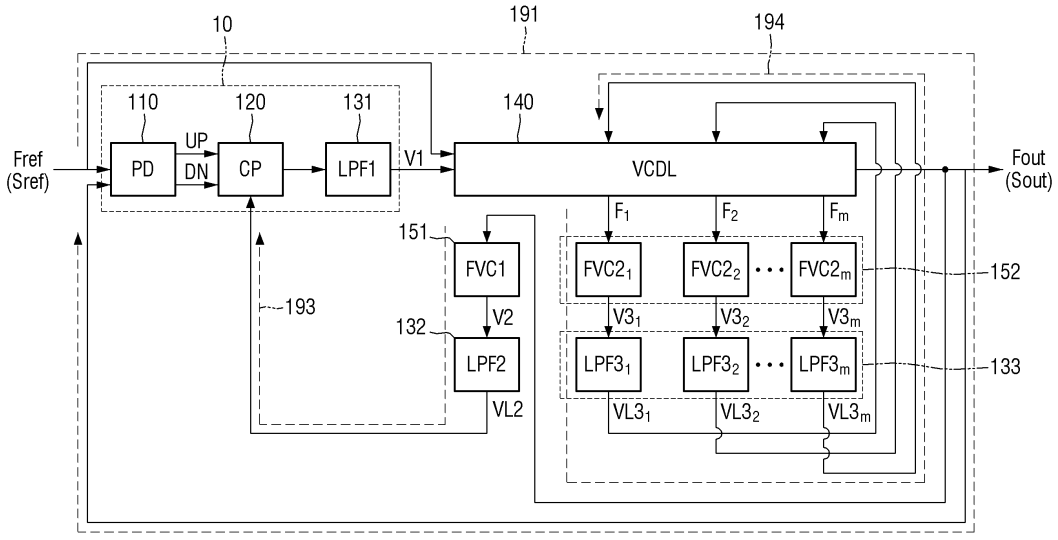
도면12


110
120
10
131
191
140
Fref
(Sref)
PD
UP
DN
CP
LPF1
V1
VCDL
Fout
(Sout)
151
FVC1
193
V2
132
LPF2
VL2

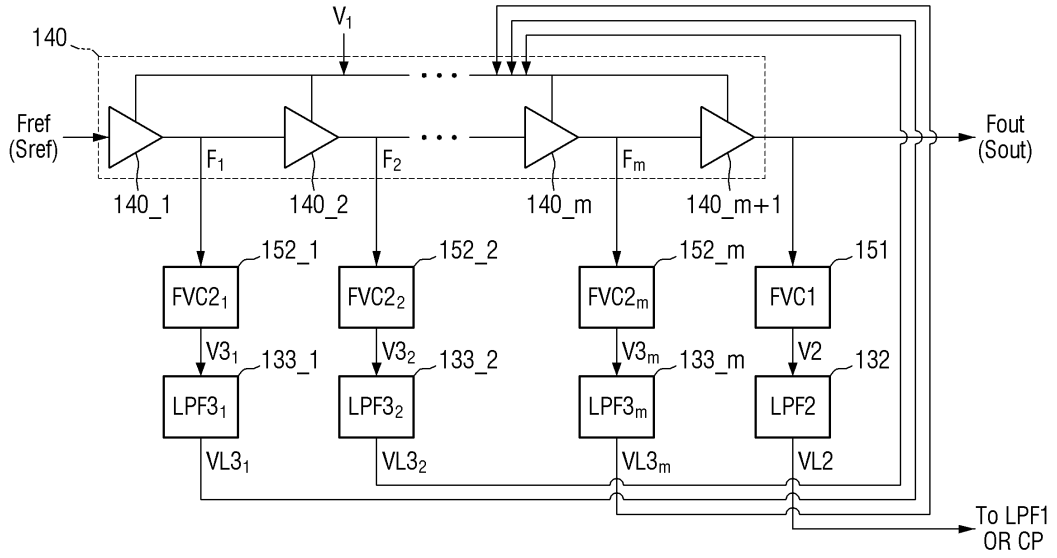
도면13


10
191
194
110
120
131
140
Fref
(Sref)
PD
UP
DN
CP
LPF1
V1
VCDL
Fout
(Sout)
F1
F2
Fm
151
FVC1
FVC21
FVC22
FVC2m
152
V2
V31
V32
V3m
132
192
LPF2
LPF31
LPF32
LPF3m
133
VL2
VL31
VL32
VL3m

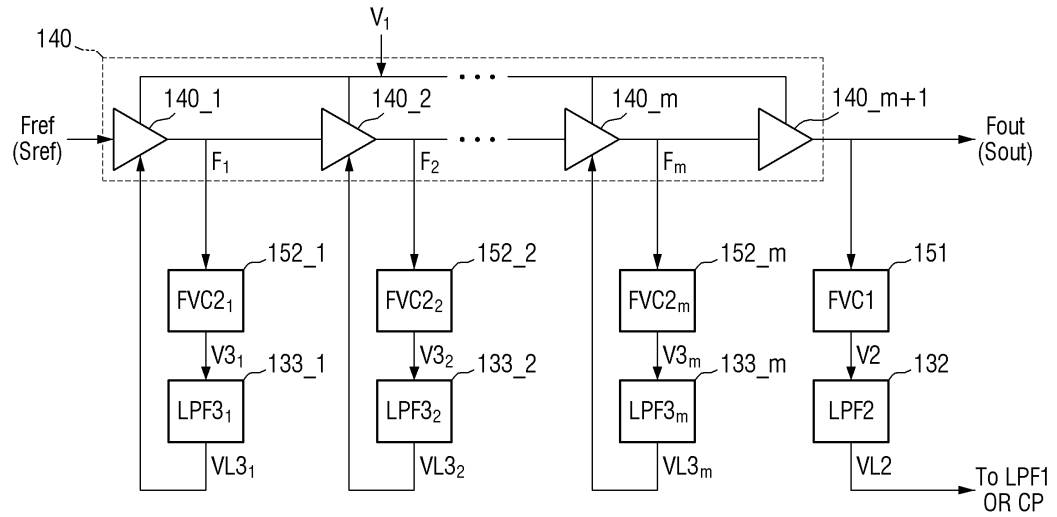
도면14


10
191
194
110
120
131
140
Fref
(Sref)
PD
UP
DN
CP
LPF1
V1
VCDL
Fout
(Sout)
F1
F2
Fm
151
FVC1
FVC21
FVC22
FVC2m
152
193
V2
V31
V32
V3m
132
LPF2
LPF31
LPF32
LPF3m
133
VL2
VL31
VL32
VL3m

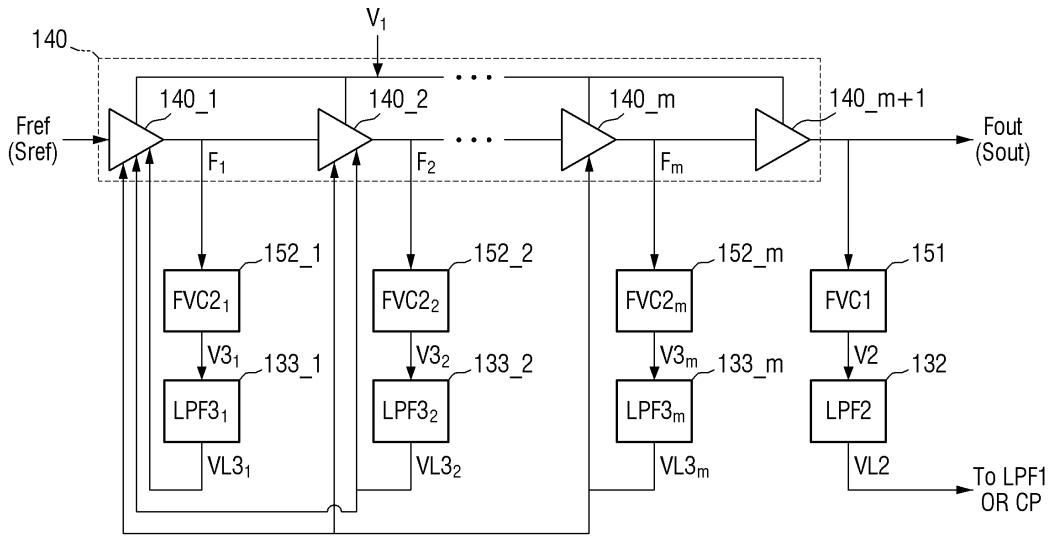
도면15


140
V1
Fref
(Sref)
Fout
(Sout)
F1
F2
Fm
140_1
140_2
140_m
140_m+1
152_1
152_2
152_m
151
FVC21
FVC22
FVC2m
FVC1
V31
133_1
V32
133_2
V3m
133_m
V2
132
LPF31
LPF32
LPF3m
LPF2
VL31
VL32
VL3m
VL2
To LPF1
OR CP

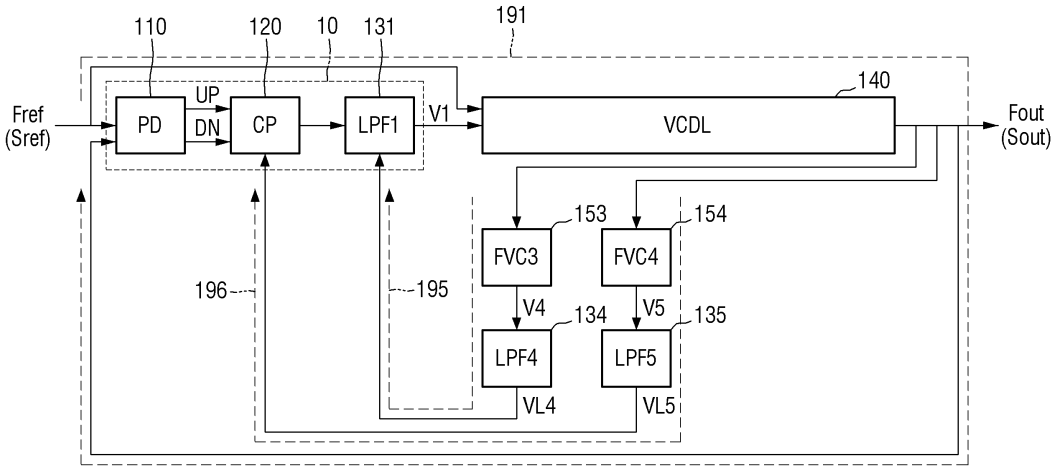
도면16


140
V1
140_1
140_2
140_m
140_m+1
Fref
(Sref)
Fout
(Sout)
F1
F2
Fm
152_1
152_2
152_m
151
FVC21
FVC22
FVC2m
FVC1
V31
133_1
V32
133_2
V3m
133_m
V2
132
LPF31
LPF32
LPF3m
LPF2
VL31
VL32
VL3m
VL2
To LPF1
OR CP

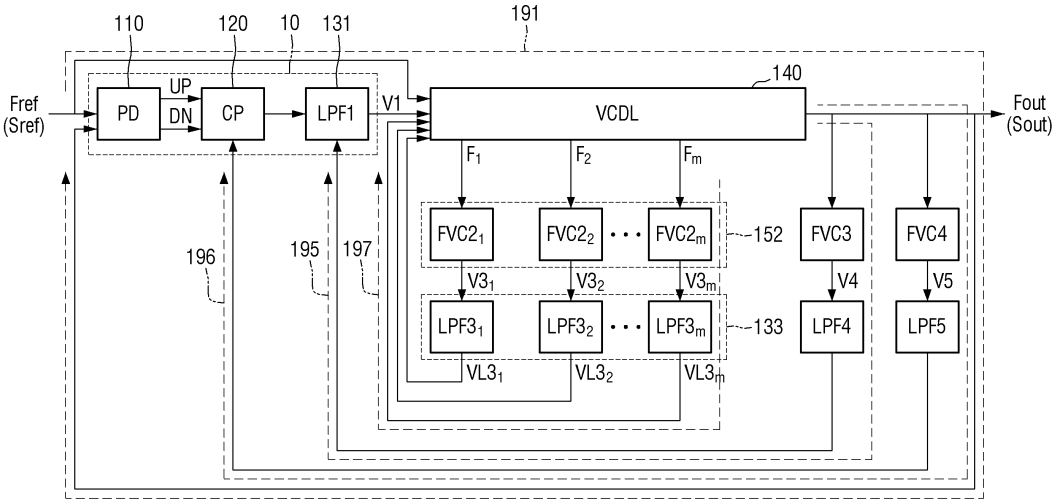
도면17



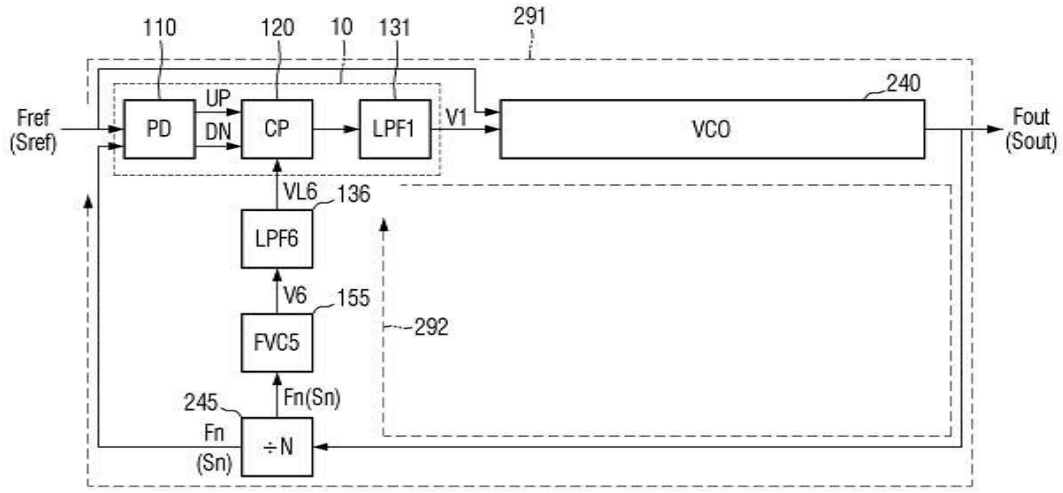
도면18



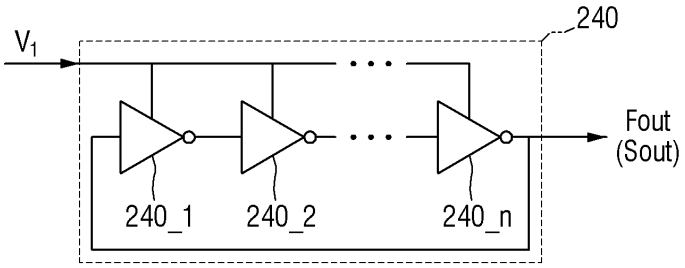
도면19



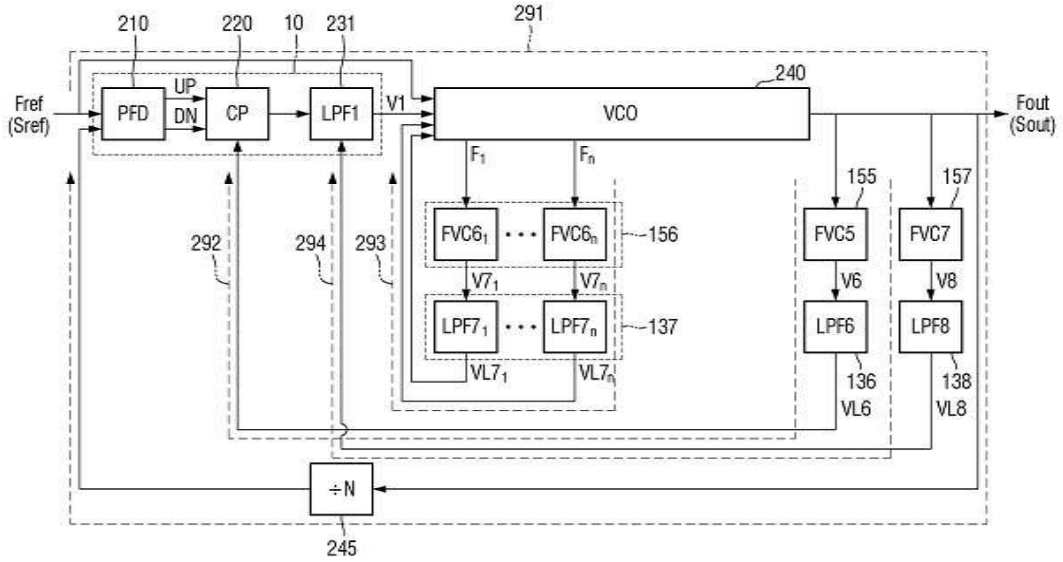
도면20



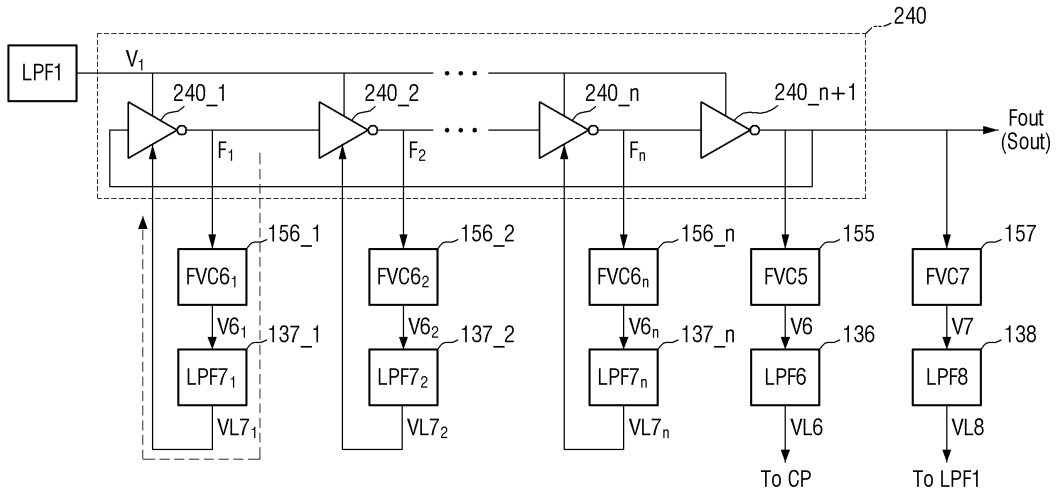
도면21



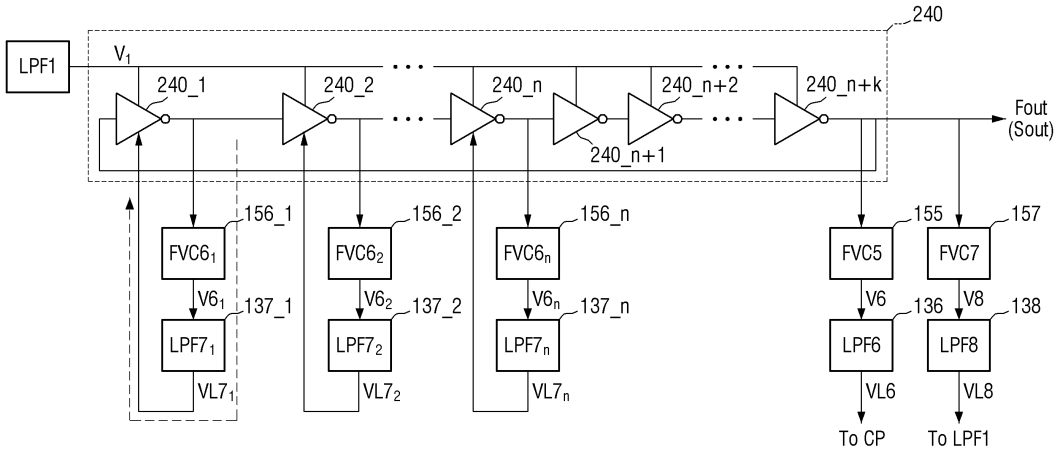
도면22



도면23



도면24



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 21

【변경전】

상기 제어 전압 생성부

【변경후】

제어 전압 생성부