

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

H01L 27/02

H01L 27/10

[12] 发明专利说明书

[21] ZL 专利号 95102596.1

[45]授权公告日 2000年8月16日

[11]授权公告号 CN 1055567C

[22]申请日 1995.10.27 [24]颁证日 2000.5.25

[21]申请号 95102596.1

[30]优先权

[32]1994.10.28 [33]JP [31]265039/1994

[73]专利权人 佳能株式会社

地址 日本东京

[72]发明人 井上俊辅 宫脇守 光地哲伸

[56]参考文献

JP 昭 62-23152A 1987. 1.31 H01L27/10

审查员 赵百令

[74]专利代理机构 中国国际贸易促进委员会专利商标事

务所

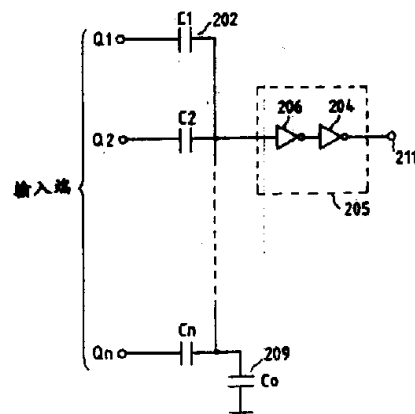
代理人 王以平

权利要求书 4 页 说明书 30 页 附图页数 19 页

[54]发明名称 半导体器件以及使用该半导体器件的信号处理系统

[57]摘要

在一个具有分别连到多个输入端的电容器装置且电容的其余引线端共同连到一个读出放大器的半导体器件中,通过利用在一个绝缘表面上的一个半导体层来形成该电容器和该读出放大器,从而用一个小的电路规模实现了对具有从多个输入端提供的较大位数的信号的高速、高精度处理。



ISSN 1008-4274

权 利 要 求 书

1. 一种电路结构的半导体器件，它包括：

多个输入端；

多个电容器装置，包括多个具有两个互相相对的电极的电容器元件，其中的一个电极与所述输入端之一电连接；以及

一个具有一输入部分的读出放大器，所述电容器装置的其余引线端在电学上共同与所述读出放大器的输入部分相连接；

其特征在于：所述电容器元件有一个设置在一绝缘表面上的电极和另一夹着一绝缘层而设置在所述一个电极之上的电极，以及

所述读出放大器具有一形成在一个绝缘表面上的半导体膜。

2. 如权利要求 1 所述的半导体器件，其特征在于：一个开关元件与所述电容器元件的两个相对设置的电极中的至少一个相连。

3. 如权利要求 1 所述的半导体器件，其特征在于：所述电容器装置是通过将所述多个具有相同结构的电容器元件相互并联而形成的。

4. 如权利要求 1 所述的半导体器件，其特征在于：配置多个所述电路结构，将所述多个电路结构中至少一个的所述读出放大器的输出或反相输出输入到其他电路结构中至少一个中去。

5. 如权利要求 1 所述的半导体器件，其特征在于：当用 C 表示所述电容器元件中的最小电容值时，上述共同连接的电容器元件的电容值精确地或基本上为该最小值的一个奇数倍。

6.如权利要求2所述的半导体器件,其特征在于:所述开关元件包括一场效应晶体管。

7.如权利要求1所述的半导体器件,其特征在于:所述场效应晶体管的一层半导体膜以台面形状与一个相邻的场效应晶体管的半导体膜隔离开来。

8.如权利要求1所述的半导体器件,其特征在于:各所述电容器元件的一个电极利用在所述绝缘表面上形成的一个半导体膜而形成,而另一电极利用与所述场效应晶体管的栅电极同时形成的导电层而形成。

9.如权利要求6所述的半导体器件,其特征在于:所述场效应器件管设置在第二种导电类型的源区和漏区之上和之间,并具有与第二种导电类型相反的第一种导电类型的阱区,以及所述阱区和一个电极相连。

10.如权利要求9所述的半导体器件,其特征在于:一个栅电极形成在所述源区和漏区之间,当形成所述场效应晶体管的沟道时,所述源区和漏区之间的阱区是耗尽的。

11.如权利要求7所述的半导体器件,其特征在于:所述被台面隔离的半导体层的边缘具有一个相对于绝缘表面至少为 60° 的角。

12.如权利要求8所述的半导体器件,其特征在于:所述电容器元件具有存储的MOS结构,该结构利用一个在绝缘表面上处于存储态的半导体层的表面。

13.如权利要求8所述的半导体器件,其特征在于:所述另一电极与一输入端相连。



14.如权利要求 8 所述的半导体器件,其特征在於:所述一个电极与一输入端相连接。

15.如权利要求 9 所述的半导体器件,其特征在於:一个与阱层相连的第一导电类型的杂质层和一个形成在所述场效应晶体管的源区的第二导电类型的杂质层互相靠近或基本上彼此相邻地形成,且一个引线层与所述第一和第二导电类型的杂质层共同相连。

16.如权利要求 12 所述的半导体器件,其特征在於:所述半导体膜用一种能把导电类型控制在至少 10^{18}cm^{-3} 的 n 或 p 型杂质来掺杂。

17.如权利要求 6 所述的半导体器件,其特征在於:所述半导体膜是以各场效应晶体管互相隔开的方式形成的。

18.如权利要求 6 所述的半导体器件,其特征在於:所述场效应晶体管设置在源区和漏区之上和之间,并具有一个与第二导电类型相反的第一导电类型的阱区。

19.如权利要求 18 所述的半导体器件,其特征在於还包括:围绕着所述源区和漏区的第一导电类型的一个区域,该区域的杂质浓度低于所述阱区杂质浓度。

20.如权利要求 19 所述的半导体器件,其特征在於:在所述半导体膜的外侧而不是所述源区和漏区的外侧还包括一个第一导电类型的区域,其杂质浓度低于所述阱区的杂质浓度。

21.一种使用如权利要求 1 所述的半导体器件的方法。

22.如权利要求 21 所述的方法,其特征在於包括下列步骤:
接收来自所述半导体器件的一个模拟信号,以及



输出一个与所述模拟信号相应的数字信号，从而实现 A/D 转换。

23.如权利要求 21 所述的方法，其特征在于包括下列步骤：
接收来自所述半导体器件的一个数字信号，以及
输出一个与所述数字信号相应的模拟信号，从而实现 D/A 转换。

24.如权利要求 21 所述的方法，其特征在于：至少包括权利要求 21 的相关运算、权利要求 22 的 A/D 转换以及权利要求 23 的 D/A 转换操作中的一种。

25.如权利要求 21 的方法，其特征在于：包括权利要求 24 的信号处理方法和一个图象输入步骤。

26.如权利要求 21 的方法，其特征在于包括：权利要求 24 的信号处理方法和信号存储步骤。

说 明 书

半导体器件以及使用 该半导体器件的信号处理系统

本发明涉及半导体器件以及使用该半导体器件的运算器件、信号转换器和信号处理系统，更具体地说，涉及能执行并行算术运算的半导体器件以及使用该半导体器件的能执行如一个相关算术运算的运算器件、用于将一个信号进行 A—D(模数)或 D—A(数模)转换的信号转换器，和信号处理系统。

近年来，伴随着信号处理技术的提高，实现低成本的能在短时间范围内以高速度处理非常大的数据量的运算器件已变得很重要。尤其是，用于一个相关运算器件的技术，该器件可用于动态图象的运动检测、高精度的模—数(A/D)转换器、扩展频谱(SS)通信，以及类似的需要 GHz 量级信号处理的领域。通常，用一个半导体集成电路实现这样一个功能时，并行算术运算通过使用多个半导体芯片来实现以获得高速处理，或者用最新的微设计(micro—layout)规则将电路集成在一个相当大的芯片上。

众所周知，当所处理的信号的位数增加时，芯片的电路规模增大得很快。例如，电路规模随要进行运算的位数的平方成比例地增大。因此，成本将随着位数增加而提高，或者使电路规模增大到在许多场合中不切实际的水平。

本发明的一个目的是提供一种能实现新的信号处理来解决上

述传统问题的半导体器件，本发明的又一个目的是提供一种在位数保持相同的条件下用较小规模的电路可实现比传统器件更高速算术运算的半导体器件。本发明的再一个目的是提供一种即使在运算的位数增加时也能避免电路规模增大的半导体器件。本发明的另一个目的是提供一种在使用与传统器件相同的加工技术下能够执行比传统器件更高精度的算数运算的半导体器件。本发明的又一个目的是提供一种能以切合实际的低价格实现用传统器件不能实现或需要非常高的成本的信号处理功能的半导体器件。

本发明的又一个目的是提供一种使用该半导体器件的方法。

图 1 是根据本发明的一个半导体器件的等效电路图。

图 2、4、8、10、12、13 及 16 是根据本发明的半导体器件的横截面图；

图 3、5、7、9、11、14、15 及 22 是根据本发明的半导体器件的平面图；

图 17 和 21 是可用在本发明中的一个 MOS 晶体管的透视图；

图 18、19 及 20 是可用在本发明中的 MOS 晶体管的横截面图；

图 23 是一个用来说明相关运算器件的解释性图；

图 24 和 25 是用来说明一个运算电路的电路配置的等效电路图；

图 26A 到 26C 是用来说明运算时间分配的时序图；

图 27 是用来说明一个 A/D 转换器的电路图；

图 28 是一个使用相关运算器件的器件的结构框图；

图 29 是表示作为本发明一个半导体器件的全部芯片配置的例

子的图；

图 30 是一个用来说明该芯片的一个象素部分的配置的等效电路图；以及

图 31 是一个用来说明算术运算内容的解释性图。

能够实现上述目的的本发明的一种电路结构的半导体器件包括：多个输入端；多个电容器装置，包括多个具有两个互相相对的电极的电容器元件，其中的一个电极与所述输入端之一电连接；以及一个具有一输入部分的读出放大器，所述电容器装置的其余引线端在电学上共同与所述读出放大器的输入部分相连接；其特征在于：所述电容器元件有一个设置在一绝缘表面上的电极和另一夹着一绝缘层而设置在所述一个电极之上的电极，所述读出放大器具有一形成在一个绝缘表面上的半导体膜。

根据具有上述配置的该半导体器件，从多个输入端输入的具多个位数的信号可以用一个小的电路规模以非常高的速度精确地处理。

而且，由于在该半导体器件的每个电容的两端的至少一个上配置了一个开关元件，可以实现一个能减少噪声的高精度电路。

另外，由于该半导体器件的每个电容是通过将相同结构的多个电容元件组互并联在一起形成的，就可以实现能得到高精度算术运算的电路。

一个运算器件，例如一个多数逻辑（majority）运算电路，它有

如上所述的多个半导体器件并且通过将来自第一个半导体器件的输出和/或该输出的反相输出输入到第二个半导体器件上来执行并行算术运算处理，该运算器件的电路规模减小了，这样就得到了高的运算速度和降低了的成本。

而且，在该半导体器件中，如果与多个输入端相应的电容器的最小电容值用 C 表示，可用该共同连接的电容器的电容值的和来执行多数逻辑运算处理，其和是一个为该最小电容值 C 的奇数倍或几乎是该最小电容值 C 的奇数倍的数值。

在该半导体器件中，由于该开关元件和连到电容上的读出放大器是用场效应晶体管形成的，就可实现一个需较低成本但能得到较高精度的电路。

在该半导体器件中，由于场效应晶体管是用一个台面结构隔离的，就可实现一个能得到较高的集成度但需较低成本的电路。

在该半导体器件中，由于每个电容是用在与该场效应晶体管的栅电极同一工艺中形成的一个导电层和在绝缘表面上的一个半导体层形成的，就可实现一个能得到较高的精度但需较低成本的电路。

而且，在该半导体器件中，由于将一个电源连到了场效应晶体管的阱层，就可实现一个能消运算错误并且可在较高的电源电压下使用的电路。

而且，在该半导体器件中，由于在场效应晶体管的沟道形成的时候至少将一个栅电极下的阱层设置在耗尽状态，就可实现一个高速、高集成度的电路。

在该半导体器件中，由于被台面隔离的半导体层的边缘形状

相对绝缘表面有一个至少 60° 或更大的角度，就可实现具有较小芯片尺寸的电路。

在该半导体器件中，由于电容具有一个储存型 MOS 结构，它利用在绝缘表面上的半导体层的表面处在一个存储态，就可实现一个能得到较高精度但需较低成本的电路。

在该半导体器件中，由于在上述多个输入端一侧的引线端连接在与栅电极相同的层上，就可实现一个不昂贵的电路，其中被检测的信号不易受外界噪声的影响。

在半导体器件中，由于在多个输入端一边的引线端连接在与半导体层相同的层上，就可实现一个不昂贵的电路，其中输入信号不易受外界噪声影响。

在该半导体器件中，由于一个连到阱层上且导电类型与阱层相同的第一导电型的杂质层和一个形成场效应晶体管源区的第二导电类型的杂质层形成在基本相邻的位置上，而一个引线层与该第一和第二导电类型的杂质层共同连到一起，从而可在较小的芯片尺寸内实现一个高速电路，它能消除运算错误并且可用在较高的电源电压下。

在该半导体器件中，由于用 n 型或 p 型杂质将电容器的半导体层掺杂到 10^{18}cm^{-3} 的浓度或更高，就可实现能允许高精度算术运算的电路。

使用上述半导体器件的运算器件、信号转换器以及信号处理系统可以执行高精度、高速度处理。

下面将参照所需附图对本发明进行详细说明。

<第一实施例>

下面将参照图 1 到 3 说明本发明的第一实施例。图 1 是根据本发明的一个半导体器件的等效电路图。在图 1 中，用一个读出放大器 205 来检测通过用耦合电容 C_1 到 C_n 对 n 个并行信号 Q_1 到 Q_n 进行运算引起的浮置节点 202 的信号的变化，并且该检测到的变化作为一个低或高电平信号加到一个输出端 211 上。例如，该读出放大器 205 由两个反相器 206 和 204 组成。然而，本发明并不限于这种配置。输入信号与出现在浮置节点 202 处的信号具有下面说明的关系。令 $\Delta V_1 - \Delta V_n$ 为信号 $Q_1 - Q_n$ 从初始态的电位变化量，而 ΔV_f 为浮置节点的电位变化量。由于该浮置节点的电荷总量在信号输入前后不变(=电荷守恒原理)，我们有：

$$C_1(\Delta V_1 - \Delta V_f) + C_2(\Delta V_2 - \Delta V_f) + \dots + C_n(\Delta V_n - \Delta V_f) = C_0 \Delta V_f$$

其中 C_0 为该浮置节点的寄生电容。上面的方程可变化如下：

$$\Delta V_f = (C_1 \Delta V_1 + C_2 \Delta V_2 + \dots + C_n \Delta V_n) / (C_0 + C_1 + C_2 + \dots + C_n)$$

更明确地说，上述电路具有一个能输出以 C_i 为权重的各个引线端电位变化的线性和的电路配置。读出放大器 205 检测 ΔV_f 是否大于或小于一个预定参考值，并且能将检测结果作为一个信号“0”或“1”输出到输出引线端 211。对模拟信号情形，例如，上述电路可用作一个神经元，它检测在各个引线端的输入的加权量。对数字信号情形，例如，上述电路可构成一个多数逻辑电路，它比较输入信号的高和低电平的数目。

图 2 是说明一个用半导体器件实现图 1 中所示的电路的最佳例子的横截面图。图 2 显示了图 1 中所示电路的一部分。图 3 是说

明用一个半导体器件实现图 1 中所示的电路的最佳例子的平面图。图 3 显示了图 1 中所示电路的一部分。图 4 是图 3 中所示器件沿图 3 中线 4—4 的横截面图。图 5 是当设 n 为 3 时的平面图。

参照图 2 到 5, 该半导体器件包括一个电容器元件 100、一个半导体衬底 101、一个绝缘层 102、一个由 n^+ 型半导体层构成的半导体一侧电极 103、一个绝缘薄膜 104、栅电极 105、电极 105a 至 105c、一个第一绝缘中间层 106、一个信号输入电极 107、一个 V_{DD} 电源线 108、一个 V_{SS} 电源线 109、一个 PMOS 晶体管 110、一个 NMOS 晶体管 111、一个第二绝缘中间层 112、一个输出引线端 114、 p^+ 型区 (p^+ 型源—漏区) 115、一个 n 型阱 116、 n^+ 型区 (n^+ 型源漏区) 117、一个 p 型阱 118、一个 n^+ 型区 119、一个 p^+ 型区 120、一个 n^- 型区 121、一个 p^- 型区 122、电容元件 900a—900c 以及一个浮置节点 902。

参照图 2, 该绝缘层 102, 例如一个氧化硅薄膜, 形成在该半导体衬底 101 上。用于实现电容耦合的电容元件 100 和构成读出放大器的一个输入反相器的 NMOS 和 PMOS 晶体管 111 和 110 形成在该绝缘层 102 上。该晶体管的栅电极 105 连接到该电容元件的一个半导体一侧电极 103 上, 而用与形成该晶体管的栅电极的导电层相同的层形成的另一个电极 105a 连到该信号输入电极 107 上。整个器件由该第一和第二绝缘层 106 和 112 覆盖。该电容元件 100 与该 NMOS 和 PMOS 晶体管 111 和 110 在该绝缘层 102 上台面隔离。图 2 中所示的每个晶体管的边缘部分最好具有一个几乎直角的形状。这是因为当硅膜有一斜率时, 由于硅膜的极薄部分的阈值电压的降低, 很容易发生源和漏之间的漏电。更明确地

说，由于该硅膜的较薄部分有一个小的半导体区域将耗尽，由一个较低的栅压就可形成一个沟道，这样常引起漏电。本申请人制备了边缘部分带各种倾斜角的样品并且通过测量漏电流证明当倾斜角设为 60° 或更大时可将上述现象减小到可忽略的水平。

图 2 中所示的电容器元件 100 的电容值最好保持不变，尽可能地不受加在该电容器元件上的电压的影响。当用一个具有 MOS 结构的电容器来实现这样一个电容器元件时，最好在半导体层中以高浓度进行杂质掺杂，这样半导体表面总能避免耗尽或数目反转，即，半导体表面有一个处在存储态的 MOS 结构(存储型 MOS 结构)。更进一步，根据本申请人的实验结果，发现如果在半导体层中杂质掺杂到 $10^{18}(\text{cm}^{-3})$ 或更高，则实际上半导体表面可以被保持在一个存储态。在该半导体一侧电极 103 内进行杂质掺杂，例如 $10^{19}(\text{cm}^{-3})$ 以获得 n^+ 导电类型，并且电容值几乎不随偏压改变。在这种情况下，可进行 p^+ 型掺杂。至于在两电极之间的绝缘层，使用了与 MOS 晶体管的栅电极相同的层。然而，本发明并不限于这个绝缘层，而可形成另一个绝缘层。形成 NMOS 晶体管的各个 n^+ 型源—漏区 117，使其深度略小于 p 型阱 118 的硅膜厚度。对 PMOS 晶体管的 p^+ 型源—漏区 115 和 n 型阱 116 有相同的要求。

为提高抗热载流子性和耐压性能，当然源—漏区可采用一个 DDD(双扩散漏)结构或一个 LDD(轻掺杂漏)结构。绝缘层 102 最好有较大的厚度，因为硅层和衬底之间的电容可以减小，并且不必担心用衬底作为栅电极的寄生 CMOS 作用。例如，一个 SIMOX 衬底一般有一个厚度为 3900 埃的绝缘区。然而，在一个用粘接技术制

成的 SOI 衬底中,绝缘区可能有 1 微米或更大的厚度。

图 3 中的相同参考号代表图 2 中的相同部件。在 PMOS 和 NMOS 晶体管 110 和 111 中,低浓度区(PMOS 晶体管中的 n^+ 型区 121,和 NMOS 晶体管中的 p^- 型区 122)在源-漏区周围形成。采用这样一个结构是考虑到这样一个事实,即如果一个 $p-n$ 结位于刻蚀成台面的硅膜的端面处,则容易发生结漏电。通过改善 SOI 衬底的晶体质量,可降低漏电的频率。在延伸到硅端面上的栅电极下容易形成沟道,这也是众所周知的。由于形成了低浓度层,可避免漏电流流过源和漏。各个 NMOS 和 PMOS 晶体管有一个所谓的部分耗尽 MOS 结构,其中即使沟道导通时,阱也只是部分耗尽。该结构可避免晶体管的电学特性发生变动,例如阈值、驱动性能以及类似的与硅膜的膜厚变化无关的特性。正如后面将说明的,通过形成一个阱接触层,该结构可提高耐压和避免运算错误。

如图 3 中所示,构成反相器的 NMOS 和 PMOS 晶体管 111 和 110 的源电极分别连到 V_{SS} 和 V_{DD} 电源线 109 和 108。

在源区与电源线之间的接触层结构采用了一个所谓的对接接触层结构,其中将一个阱接触层和一个源接触层相互邻接地形成,并用一个单独引线连接。然而,也可采用一个只有一个源接触层的结构,而不形成一个阱接触层。

在图 3 中,作为 PMOS 晶体管的源区的 p^+ 型区 115 和作为阱接触层的 n^+ 型区 119 相互邻接地形成,并且用一个单独的引线连接。对 NMOS 晶体管的源区 117 和阱接触层 p^+ 型区 120 也同样如此。通过将阱电位固定,可使 MOS 晶体管的工作稳定,并避免运算错误。尤其是,在 SOI 衬底的情况下,可将产生于沟道中并积累在

阱中的无益的载流子尽可能快地吸收。

将 PMOS 和 NMOS 晶体管的漏共同连在一起以形成一个输出端 114。

(三输入情况下的配置)

图 5 是当输入端数目设为 3 ($n=3$) 的情况的一个平面图, 并且相同的电容元件 900a、900b 和 900c 连到了输入端 Q_1 到 Q_3 。相对于电容器元件的输入电极 105a、105b 和 105c 的电极 103a、103b 和 103c 通过接触孔连到了公共浮置节点 902。因为其它配置与图 3 中那些一样, 其详细说明将省略。

在上述情况下, $C_1=C_2=C_3$ 。当然, 也可得到一个 $C_1=C_2=C_3$ 的配置。如果改变电容元件的面积, 就可设计出这样一个配置。

图 6 示出了当电容器元件的面积改变时所用的一个最佳例子。图 6 是一个表示这样一种情况的平面图, 其中将一个三倍于图 5 中电容的电容分配给一个给定输入端 Q_i 。为了形成一个 3 倍的电容, 将相同结构的元件 900d、900e 和 900f 相互并联在一起。如上所述, 当电容器元件由电容值小的整数个元件的并联电路构成时, 可以使连到不同输入端的电容值的比值即使在由于不确定因素(例如工艺变动、寄生电容以及类似情况)引起电容值变化时也保持不变。
(阱接触层的另一种配置)

图 7 是显示在阱和源之间的对接接触层结构的另一种配置的一个最佳例子的平面图。图 8 是沿图 7 中线 8—8 的横截面图。对 NMOS 晶体管的结构来说, 与该 MOS 晶体管的栅相邻, 形成了一个 p^+ 型阱接触层。当一个阱接触层邻近沟道形成时, 可将沟道内无益的载流子有效地吸收。在图 7 中, 阱接触层形成在晶体管的端部,

这样尽可能地避免增大晶体管尺寸。同样的结构可应用于 PMOS 晶体管以构成一个反相器。

值得注意的是,图 7 和 8 中所示的结构包括 p^+ 型离子注入掩膜图形 801 和 805、 p^+ 型接触层 802 和 804、 n^+ 型接触层 803 和 806、一个栅电极 807 以及一个 p 型区 808。

图 9 和图 11 是说明当阱接触层设置为一个不随漏和源电极变化的电位时所用的 NMOS 晶体管的一个最佳例子的平面图。图 10 是沿图 9 中的线 10—10 所取的横截面图,而图 12 是沿图 11 中的线 12—12 所取的横截面图。

图 9 到 12 中所示的结构包括一个源区 701、一个漏区 702、一个区 703、 p^+ 型接触层 704b、 p^+ 型阱接触区 704c、栅电极 700b 和 700c 以及一个硅膜形成区 707。

参照图 9,将硅膜形成区 707 延伸出用于将源 701 和漏 702 隔离的栅电极 700b,以形成 p^+ 型接触层 704b。另一方面,在图 11 中, p^+ 型阱接触区 704c 是在硅膜形成区 707 上、在漏或源的一侧与源或漏分开的位置上形成的。当使用一个传输门时,其中不能将阱接触层设为与源或漏电极电位相同,图 9 和图 11 中所示的结构是有效的。

由于该半导体器件具有本发明的上述配置,预计有下面效果。

(1) 由于通过电容将多个输入信号加到了一个浮置节点上,并且用读出放大器检测来自该浮置节点的信号输出,就可以提供一个能在位数增加时将电路规模的增加降至最小,并且因而需要较低成本的半导体器件。

(2) 由于当输入数目(位数)增加时逻辑运算的次数不增加,就

可以提供一个能以比常规器件更高的速度执行算术运算的半导体器件。

(3) 由于能得到 SOI 衬底固有的简单配置和用小的面积将半导体区隔离, 即使采用与利用一个普通的半导体衬底相同的加工技术, 也可以提供一个能执行高精度算术运算的半导体器件。

(4) 可以用实际可行的低成本提供一个多位相关运算器件、A/D 转换器以及多数逻辑电路, 由于成本太高, 它们不能用常规方法实现。

特别是, 在第一实施例中, 预计有下面效果。

(1) 由于采用了 SOI 结构, 器件可用较容易的单多晶硅层工艺制造, 并且 NMOS 和 PMOS 晶体管和类似元件可以用台面相互隔离, 可实现高集成度。因此, 可提供一个不昂贵的高集成度半导体器件。

(2) 由于在 NMOS 和 PMOS 晶体管之间的隔离宽度小, 可以减小浮置节点的寄生电容 C_0 。

(3) 由于输入端只连到了与半导体衬底隔离的多晶硅栅层, 可避免由于输入到衬底的噪声引起电位涨落。

(4) 由于采用了部分耗尽 MOS 结构, 就可以提供一个高精度、高成品率的半导体器件, 其电学特性(例如阈值、驱动能力以及类似特性)几乎不受硅膜厚度变化的影响。

(5) 由于将阱电位固定, 就可以实现一个能用在较高耐压下使用、能避免电路的运算错误以及不易受由于外界噪声引起的电位涨落的影响的结构。

(6) 由于采用了一个不易在硅的末端引起任何沟道漏电和任何

结漏电的结构,就可以提供一个能确保高成品率并在准备(standby)状态中只需很小的消耗电流的半导体器件。

(7)由于通过将各个较小电容元件相互并联在一起构成电容器,输入端的电容值的相对比值不易改变。因此,可获得高精度算术运算。

<第二实施例>

下面将参照图 13 和 14 说明第二实施例。在该实施例中,把第一实施例中的电容器的输入和输出电极作了相互替换。因此,其等效电路与第一实施例中的一样。

图 13 是相应于第一实施例的图 2 的一个横截面图,图 14 是相应第一实施例的图 3 的一个平面图。如图 13 和 14 中所示,一个信号输入到硅膜 103 一边,而在多晶硅栅 105a 一边形成浮置节点。更明确地说,多晶硅栅 105a 连到浮置节点 202,而输入端 Q_i 连到硅膜 103。

为了弄清该实施例与第一实施例的不同,其它结构与第一实施例的图 2 和 3 中的那些一样。晶体管结构的所有变型、并接触层结构、电容器元件的并联以及在第一实施例中说明的类似情况可用于该实施例。

图 15 显示了当在电容器元件的多晶硅电极一侧形成浮置节点时另一个形成电容部分的方法。在图 15 中,浮置节点的一个多晶硅电极 302 通过覆盖往输入信号电极 Q_1 、 Q_2 和 Q_3 的硅膜图形 303、304 和 305 的大部分而形成。电容值由硅膜和多晶硅电极之间的二维重叠面积以及角落部分的重叠面积决定。由于硅膜是在平坦的绝缘膜上形成的,并且有高的图形精度,故可以提高电容值的设计精

度。更进一步,即使当浮置节点和硅膜的对中精度略有变化,引线端 Q_1 、 Q_2 和 Q_3 的电路的相对比值保持不变。因此,该半导体器件适用于根据本发明的一个高精度运算器件。

在第二实施例的半导体器件中,预计有下面效果。

(1)由于采用了 SOI 结构,该器件可用较容易的单多晶硅层工艺制造,并且 NMOS 和 PMOS 晶体管 and 类似元件可以用台面相互隔离,可实现高集成度。因此,可提供一个不昂贵的、高集成度的半导体器件。

(2)由于采用了部分耗尽 MOS 结构,就可以提供一个高精度、高成品率的半导体器件,其电学特性(例如阈值、驱动能力以及类似特性)几乎不受硅膜厚度变化的影响。

(3)由于将阱电位固定,就可以实现一个能在较高耐压下使用、能避免电路的运算错误以及不易受由于外界噪声引起的电位涨落的影响的结构。

(4)由于采用了不易在硅的末端引起任何沟道漏电和任何结漏电的结构,就可以提供一个能确保高成品率并在准备状态中只需很小的消耗电流的半导体器件。

(5)由于通过将多个较小电容器元件相互并联构成电容器,输入端的电容值的相对比值不易改变。因此,可获得高精度算术运算。

(6)由于将输入端电容耦合到硅衬底 101,可消除由于其它邻近引线端的信号引起的电位涨落。

(7)由于将浮置节点与硅衬底 101 分开,故不易受来自衬底 101 的电位涨落的影响。由于浮置节点的寄生电容 C_0 小,当输入信号的幅度保持不变时,可增大输出信号 ΔV_f 。

<第三实施例>

下面将参照图 16 对第三实施例进行说明。在该实施例中,图 16 是显示第一实施例中的 *NMOS* 和 *PMOS* 晶体管具一个完全耗尽结构的一种情况的横截面图。因此,其等效电路图与第一实施例的图 1 相同,并且该实施例中的相同参考号代表与第一实施例中相同的部件。

图 16 中显示的结构包括一个 *PMOS* 晶体管 610、一个 *NMOS* 晶体管 611、 p^+ 型源-漏区 615、一个 *n* 型阱 616、 n^+ 型源-漏区 617、一个 *p* 型阱 618 以及栅电极 605。

硅膜厚度设为使当 *PMOS* 和 *NMOS* 晶体管的沟道形成时阱 616 和 618 完全耗尽。适当选择栅电极的工作方式,使 *NMOS* 和 *PMOS* 晶体管成为增强型晶体管。例如,*NMOS* 晶体管的栅电极由一个 p^+ 型多晶硅膜构成,而 *PMOS* 晶体管的栅电极由一个 n^+ 型多晶硅膜构成。在这种情况下,当用如氮化钛将多晶硅表面转化为硅化物时,可提高布线的自由度。

当用完全耗尽型 *MOS* 晶体管时,通过如第一实施例中所述的形成阱接触层可抑制阱电位的无益的涨落,但没有任何阱接触层的配置也可用。即使当晶体管结构发生变化并且硅膜厚度减小时,只要以足够高的浓度在电容器元件的硅层 103 中进行杂质掺杂,就不会造成任何问题。因此,在第一实施例中所述的阱接触层结构的所有变型、电容元件的并联以及类似情况亦可应用于该实施例。而且,即使当由于其显著不同的阱浓度使得相对于预设硅膜厚度来说,*NMOS* 和 *PMOS* 晶体管的一个成为部分耗尽型晶体管而另一个成为完全耗尽型晶体管,也不会造成任何问题。

下面将参照附图说明使用完全耗尽型 MOS 晶体管的另一个例子。

图 17 到 20 是用于说明一个用 $\delta(\text{delta})$ 晶体管作为 MOS 晶体管的最佳例子的图。图 17 是一个示意的透视图,图 18 是一个沿图 17 中的线 18—18 所取的 NMOS 晶体管部分的横截面图,图 19 是一个沿图 17 中的线 19—19 所取的 PMOS 晶体管部分的横截面图,而图 20 是一个沿图 17 线 20—20 所取的一个电容器元件部分的横截面图。

图 21 是一个用于说明一个使用双栅晶体管的最佳例子的透视图。值得注意的是,其 NMOS 和 PMOS 晶体管部分以及电容器元件部分的横截面结构与图 18 到 20 中所示的本质相同,除了从那儿省去了氧化膜 941。在这些例子中,尽管未示出电源引线,用一个简单的结构可达到与第三实施例中相同的效果。

在图 17 到 20 以及图 21 中所示的结构包括硅衬底 940 和 970、厚氧化膜 941 和 971、NMOS 晶体管 950 和 980、PMOS 晶体管 951 和 981、电容器元件 952 和 982、多晶硅浮置节点 955 和 985、NMOS 源—漏区 956 和 986、PMOS 源—漏区 957 和 987、信号输入端 958 和 988 以及栅氧化膜 960。

在第三实施例的半导体器件中,预计有下面效果。

(1)通过完全耗尽作用可使每个晶体管的运算速度提高百分之几十。可省去阱接触层。这些效果可减小晶体管的尺寸,即,可减少芯片的尺寸。

(2)随着晶体管尺寸的减小,由于在浮置节点 202 和晶体管的漏 617 之间的寄生重叠电容减小了, C_0 就减小了。因此,由于能增

大输出信号 ΔV_f ,故可实现较大位数的处理功能。

(3)依靠电容器元件的连接方式可得到第一和第二实施例所特有的效果。当然,该实施例的组合方法和电容器元件的连接方法可以任意选择。

<第四实施例>

下面将参照图 22 中所示的平面图说明第四实施例。在该实施例中,在输入端和第二实施例的电容之间配置了使用一个 CMOS 传输门的开关方式。因为电容器之后的部分与第二实施例的图 5 中的一样,将省略对其详细的说明。

参照图 22,用 PMOS 和 NMOS 晶体管 810 和 811 构成了一个传输门。每个晶体管的源和漏区 115 或 117 中的一个(源或漏)共同连到输入端 Q_1 ,并且其它区共同连到电容的一个电极 801。因为 NMOS 晶体管的一个栅电极 805b 接收一个使传输门打开/关闭的信号 $PHAI$,而 PMOS 晶体管的一个栅电极 805a 接收一个信号 \overline{PHAI} ,可将一个等电平的信号从输入端 Q_1 传到电极 801,而不受晶体管的阈值的影响,这是众所周知的。

当传输门中的阱电位必须固定时,因为与反相器中不同,源和阱不需设在相同电位,硅区可以扩展,例如图 22 中所示,这样形成与阱区有相同导电类型的高浓度区 819 和 820,并且可将这些区的电位用电源线固定。该结构是图 11 所示结构的改进,图 11 是作为形成阱接触层结构的方法的一个例子被举例说明的。

该实施例举例说明了一个当开关加到“电容器+读出放大器”上作为本发明的基本配置时所用的图形结构的例子。然而,开关的形式和位置并不限于上述例子。例如,可以配置一个用于复位到给

定电位的复位开关作为代替传输门的开关元件。

另一方面,开关可配置在浮置节点上。在浮置栅处配置例如一个用于复位到给定电位的复位开关,这常常是很有有效的。

在第四实施例的半导体器件中,预计有下面效果。

(1)该实施例的传输门可以将输入信号和电容器完全隔离。特别是,当多个输入信号在某一时间同时输入时,因为信号是通过具有一个公共栅的传输门同时写入的,可避免噪声混入运算结果中,这样带来精度的提高。

(2)当增加一个复位门作为开关装置时,可在浮置节点上配置一个复位门,或将这些开关组合,可实现各种运算功能。当这些开关在允许方便地进行元件隔离的 SOI 衬底上实现时,用相对较小的面积就可实现一个高性能的信号处理功能。

上述半导体器件可用于一个多数逻辑运算电路。下面将说明这样一个多数逻辑运算电路和一个使用相同器件的相关运算电路。

图 23 是一个极好地说明本发明的 7 输入相关运算器件的解释性图。图 23 中所示的电路包括多数逻辑运算电路块 1001-A、1001-B 和 1001-C、反相器 1002 以及比较器 1003。引线端 1004 和 1005 接收与输入到输入端 1012 的信号类似的信号。引线端 1006、1007 和 1008 接收来自前面的多数逻辑运算电路块的输出信号,并且如果用 C 表示连到一个普通输入端的电容的话,将电容值 1009、1010 和 1011 连到对应的引线端 1006、1007 和 1008 上。

参照图 23,将信号同相关系数一起输入到比较器 1003。当输入信号与相关系数一致时,每个比较器 1003 输出一个高电平信号;当两个输入相互不一致时,它输出一个低电平信号。来自比较器的输

出输入到多数逻辑运算电路块。当来自比较器 1003 的输出输入到该 7 输入多数逻辑运算电路块 1001—A, 并且高电平信号的数目占多数时, 即七个输入中的四个为高电平信号时, 该多数逻辑运算电路块输出一个高电平信号。类似地, 例如, 一个 11 输入多数逻辑运算电路块在六个或六个以上的输入为高电平信号时输出一个高电平信号, 而一个 13 输入多数逻辑运算电路块在七个或七个以上输入为高电平信号时输出一个高电平信号。下面表 1 的列 S3 以高电平信号的数目为单位显示了该 7 输入多数逻辑运算电路块的输出值。然后, 如图 23 中所示, 来自该 7 输入多数逻辑运算电路块的输出被反相器反相, 并且将该反相输出加到多数逻辑运算电路块 1001—B 的加权输入端。图 24 显示了该多数逻辑运算电路块 1001—B 的电路配置。参照图 24, 电容器 1212 的电容值为连到其它输入端通路的电容器 1202 的电容值的四倍。图 24 中所示的电路可看作一个 11 输入多数逻辑运算电路。在该电路中, 如果用 C 代表连到输入端通路上的电容值, 11 个“C”共连在一起, 11 个“C”中的四个接收来自加权输入端的信号, 而其余的七个引线端接收与输入到块 1001—A 上的信号相同的信号。例如, 如上所述, 当到第一运算电路的七个输入中的四个或四个以上为高电平信号时, 一个低电平信号就加到下一个运算电路的加权输入端。而且, 在这种情况下, 当加到下一个运算电路的输入引线端而不是加权输入端的七个输入信号中的六个或六个以上为高电平信号时, 该 11 输入多数逻辑运算电路在总体上确定为多数, 并输出高电平信号。当七个输入中四个或四个以上且五个或五个以下为高电平信号时, 因为没有被确定为多数, 电路输出一个低电平信号。另一方面, 当到第一运算电路的

七个输入中三个或三个以下为高电平信号时,就将一个高电平信号加到加权输入端上。在这种情况下,当到下一个运算电路的七个输入中两个或两个以上且三个或三个以下为高电平信号时,因为 $4+2$ 或 $4+3$ 等于或大于 6,并且确定为多数,就输出一个高电平信号。另一方面,当七个输入中一个或一个以下为高电平信号时,因为 $4+0$ 或 $4+1$ 小于 6,就输出一个低电平信号。

下面的表 1 的列 S2 以输入高电平信号的数目为单位显示了该多数逻辑运算电路块 1001-B 的输出值。至于多数逻辑运算电路块 1001-C,当来自多数逻辑运算电路块 1001-A 和 1001-B 的输出的反相信号分别加到具有 4 倍和 2 倍电容值的两个加权输入端时,可得到下面表 1 中列 S1 中所示的输出。利用该电路配置,多个输入中的与其相应的相关系数一致的输入的数目可转换为一个 3 位二进制数值,并且可将该转换的数值输出。

表 1

输入	S3	S2	S1
0/7	0	0	0
1/7	0	0	1
2/7	0	1	0
3/7	0	1	1
4/7	1	0	0
5/7	1	0	1
6/7	1	1	0
7/7	1	1	1

图 25 是一个该多数逻辑运算电路块的电路图。参照图 25, 该电路包括复位开关 1201、电容 1202、信号传输开关 1203、一个读出放大器 1205、一个在该读出放大器中的反相器 1206、一个在该读出放大器中的第二反相器 1204、一个用于将反相器复位的第二复位开关 1207、一个复位电源 1208、一个第二复位电源 1210、一个输出端 1211 以及一个寄生电容 1209, 它连到连在一起的电容 1202 的单端部分。

图 26A 到 26C 是图 25 中所示电路的时间图。下面将参照图 26A 到 26C 说明图 25 中所示电路的工作。每个电容器 1202 的一端用一个复位脉冲 ϕ_{RES} 复位。如果它为一个 5V 系统, 所用的复位电压同为 2.5V, 是电源电压的一半。值得注意的是复位电压并不限于此, 也可用其它电压。此时, 通过打开复位开关 1207 在本质上同一时间将读出放大器中的反相器 1206 的输入端复位。此时复位电压选为具有接近逻辑反相电压的值, 那时反相器的输出反相。当复位脉冲 ϕ_{RES} 关闭时, 每个电容器 1202 的两个引线端保持在相应的复位电位上。当用一个传输脉冲 ϕ_T 将每个传输开关 1203 打开时, 就将一个信号传到每个电容器 1202 的一个引线端上, 并且电容器的一个引线端处的电位从复位电压(例如, 与低电平相应的 2.5V—0V 或与高电平相应的 5V)而变化。令 C 为每个电容器 1202 的电容值, 并且 C_0 为寄生电容的电容值。如果将 N 个电容器 1202 相互平行连接, 对于一个单一的输入, 电容器 1202 的连在一起的引线端处的电位按电容划分从接近反相器的逻辑反相电压的一个电压变化:

$$\pm \frac{C \times 2.5}{C_0 + N \times C} [V]$$

当反相器 1206 的输入端电压从逻辑反相电压变化时,反相器 1206 的输出端电压相应地要反相。当信号输入到 N 个输入端时,一个 N 个电容单元输出的总和就输入到反相器 1206 的输入端。结果是,如果 N 个输入的高电平信号的数目为多数,反相器 1206 的输入端变到一个比逻辑反相电压高的电位,并且从读出放大器的输出端 1211 输出一个高电平信号。另一方面,当低电平信号的数目为多数时,输出一个低电平信号。用上述配置,图 25 中所示电路用作一个多数逻辑运算电路,以根据多个输入的多数输出一个逻辑值。

图 23 举例说明的是一个 7 输入相关运算电路。然而,本发明并不限于此,并且输入的数目可以很容易增加。如果有必要,输入的数目也可减少。

下面将说明一个具有使用了本发明的多数逻辑运算电路的模数转换器。图 27 是一个根据本发明的一个 3 位精度模数转换器(后面称作 A/D 转换器)的电路图。参照图 27,该转换器包括 1 输入、2 输入和 3 输入运算电路块 2001-A、2001-B 和 2001-C,以及反相器 2002。引线端 2003、2004 和 2005 接收来自前面的多数逻辑运算电路块的输出信号。如果连到一个正常输入端的电容用 C 表示的话,电容值 2006、2007 和 2008 连在相应的引线端 2003、2004 和 2005 上。一个模拟信号输入端 2009 连到块 2001-A 到 2001-C 上。块 2001-B 和 2001-C 有置位输入端 2010,并且相应于这些引线端 2010 连有电容值 2011 和 2012。下面将说明使用 5V 电源的情况。参照图 27,将运算电路块 2001-A 中的读出放大器输入复位到 0V,而将运算电路中的读出放大器输入复位到大约 2.5V。将信号输入端 2003、2004 和 2005,以及置位输入端 2010 复位到 5V。此时,

信号输入端 2009 处在 0V。然后,将置位输入端 2010 置于 0V,而输入从 0V 变到一个模拟信号电压。在块 2001-A 中,当模拟信号变得等于或大于 2.5V 时,在运算电路块中的读出放大器输入电位超过一个逻辑反相电压(假定为 2.5V),并且输出一个高电平信号。下面表 2 中的列 S3 显示了该输出结果。当模拟输入信号等于或高于 2.5V 时,输入端 2003 从 5V 的复位电位变到 0V。此时,在运算电路块中的读出放大器输入端处的电位变化由下式给出:

$$\frac{C \cdot V_A - (C/2) \cdot 5 - (C/4) \cdot 5}{C + (C/2) + (C/4)}$$

其中 V_A 是模拟输入信号电压。

从此式可看出,当模拟信号电压 V_A 等于或大于 3.75V 时,运算电路块 2001-B 输出高电平信号,而当电压 V_A 等于或大于 2.5V 并且小于 3.75V 时输出一个低电平信号。下面的表 2 中的列 S2 显示了该输出结果。类似地,下面表 2 的列 S1 显示了来自运算电路块 2001-C 的输出。图 27 中所示的该配置,就可将该 A/D 转换器作为一个具有小的电路规模,高的运算速度和低功耗的转换器来实现,它将一个模拟信号电压转换成一个 3 位数字信号,并且输出该数字信号。

表 2

模拟输入信号电压	S3	S2	S1
$0.0 \leq V_A < 0.625$	0	0	0
$0.625 \leq V_A < 1.25$	0	0	1
$1.25 \leq V_A < 1.875$	0	1	0

$1.875 \leq V_A < 2.5$	0	1	1
$2.5 \leq V_A < 3.125$	1	0	0
$3.125 \leq V_A < 3.75$	1	0	1
$3.75 \leq V_A < 4.375$	1	1	0
$4.375 \leq V_A < 5.0$	1	1	1

在该实施例中, 已对 3 位 A/D 转换器做了说明。然而, 本发明当然并不限于此, 并且位数很容易增加。

在该实施例中, 已经举例说明了一个利用电容器的闪烁型 A/D 转换器。然而, 本发明并不限于此。例如, 本发明可应用于一个 A/D 转换器的编码器电路部分, 该 A/D 转换器以这样的方式执行 A/D 转换, 即比较器将输入到一个电阻阵列的信号与一个参考信号进行比较, 且编码器对比较结果编码, 这样得到与上述相同的效果。

如上所述, 在这样一个电路块中, 其中与多个输入端相对应的电容器一侧的引线端共同连到读出放大器的输入, 当用 C 表示连到多个输入端的电容中的最小的一个时, 电容器的电容值总和差不多为 C 的奇数倍。

当一个相关电路没有控制输入端时, 连到输入端的所有电容具有最小值。另一方面, 当相关电路有控制输入端时, 如上面参照例如图 23 所述的, 连到控制输入端的电容为 C 的偶数倍, 如 $2C$ 和 $4C$, 而这些引线端和奇数个输入信号端的电容总和差不多为 C 的奇数倍。用这个配置, 可以很清楚地实现与一个所需参考值的比较, 这就提高了运算精度。

在上述说明中, 已对相关电路做了举例说明。在一个二进制 D/

A 转换器的情况下,如果最低有效位(LSB)的信号输入电容用 C 表示,下一位的电容为 $2C$,再下一位的电容为 $4C$,以此类推,即,每一位的电容取为邻近的上一位的两倍大的值,并且多个输入端的电容总和精确地或粗略地为 C 的奇数倍,这就实现了一个高精度 D/A 转换器。

在 A/D 转换器中,如上面参照图 27 所述,在块 2001-A 中的划分位置的数目设为 $1(1C)$ 以清楚地区分模拟信号电平是否大于或小于满度的 $1/2$ 。另一方面,在块 2001-B 中,划分位置的数目设为 3,即为奇数,以区分模拟信号电平是否大于或小于满度的 $1/4$ 、 $2/4$ 和 $3/4$ (在表 2 中,在“0”和“1”间的一个位置在从最上面一行开始的第二和第三行内,在“1”和“0”之间的一个位置在第四和第五行内,以及在“0”和“1”之间的一个位置在第六和第七行内),并且其总和取一个奇数倍值,即, $1+2+4=7$, 将 $C/4$ 作为一个最小值。类似地,块 2001-C 设为具有 $C/8$ (最小值), $C/4$ 、 $C/2$ 和 C , 它们为其邻近的上一个值的两倍大,即,一个奇数倍值 $1+2+4+8=15$ 。

用该配置,由不需任何无益的大电容值就可实现高精度算术运算,故可以实现低功耗且高速度的算术运算。

在上述说明中,已举例说明了相关运算器件和 A/D 转换器。然而,本发明并不限于这些单元。例如,本发明可应用于各种其它逻辑电路,如数模转换器、加法器、减法器以及类似电路,这样能得到如上所述的同样效果。

尤其是,当本发明应用于 D/A 转换器时,如果用于接收最低有效位数据的输入端的电容用 C 表示,这些电容只需被设定为与最高有效位紧邻的前一个值的两倍大,如 $2C$ 、 $4C$ 、 $8C$...,这就实现了

一个二进制 D/A 转换器。在这种情况下,来自电容的公共连接端的输出可用一个源地放大器(*source floor amplifier*)来接收。

图 28 是一个使用上述相关运算器件的装置的结构框图。当把本发明的技术与常规电路技术相结合时,该器件可实现一个运动检测芯片(*motion detection chip*)。参照图 28,该器件包括用于分别存储参考数据和比较数据的存储器单元 3001 和 3002、相关运算单元 3003、用于控制整个芯片的控制单元 3004、用于将相关结果相加的加法器 3005、用于保持来自加法器 3005 的和的最小值的寄存器 3006、用作比较器和存贮最小值之地址的单元的单元 3007 以及用作输出缓冲器和输出结果存贮单元的单元 3008。引线端 3009 接收一个参考数据串,而引线端 3010 接收一个与参考数据串比较的比较数据串。存储器单元 3001 和 3002 由例如 *SRAM* 组成,并且是由常规的 *CMOS* 电路构成的。因为单元 3003 包括了本发明的一个相关运算器件,可用并行处理来处理加到相关运算单元 3003 上的数据。因此,单元 3003 不仅能实现高速处理,而且可由较小数量的元件组成,这就减小了芯片尺寸和成本。相关算术运算结果由加法器 3005 来记分(评价),并通过单元 3007 与寄存器 3006 的内容进行比较,寄存器 3006 存储了在当前的相关算术运算之前的最大相关算术运算结果(最小和)。如果当前的算术运算结果小于以前的最小值,就把当前结果重新存在寄存器 3006 中;如果以前的结果小于当前结果,就保持以前的结果。通过该运算,最大相关算术运算结果总是存在寄存器 3006 中,并且当所有的数据串的运算完成时,从一个引线端 3011 输出最终的相关结果。在该器件中,单元 3004、3005、3006、3007 和 3008 用常规的 *CMOS* 电路构成。特别是,当加法器

3005 采用了本发明的电路配置时,可以实现并行加法,这就实现了高速处理。如上所述,由于算术运算是在电容的基础上执行的,不仅能实现高速处理和低成本,而且可以减小消耗的电流,这就实现了低功耗。因此,本发明还可用于便携设备,例如一个 8mm VTR(磁带录像机)摄像机或类似设备。

下面将参照图 29—31 对一种情况进行说明,其中当把上述相关运算器件与一个光学传感器(固态图像摄取元件)结合时,可在图像数据读出之前进行高速图像处理。

图 29 是一个显示本发明的全部芯片的配置的图,图 30 是一个用于说明本发明的芯片的一个象素部分的配置的等效电路图,而图 31 是一个用于说明本发明的芯片的算术运算内容的解释性图。

参照图 29,该芯片包括光接收部分 4001、存储器单元 4003、4005、4007 和 4009、相关运算单元 4004 和 4008 以及一个算术运算单元 4010。参照图 30,每个象素部分包括电容 4011 和 4012,用于将光信号输出端和输出总线 4002 与 4006 分别连接,以及一个由一个双极晶体管构成的光学传感器 4013(下面称作双极晶体管)。象素部分还包括一个连到双极晶体管基区的电容 4014,以及一个开关晶体管 4015。输入到一个图像数据读出单元 4020 的图像数据由双极晶体管 4013 的基区进行光电转换。

将相应光电转换出的光载流子的一个输出读出到双极晶体管 4013 的发射极,并相应通过电容 4011 和 4012 的信号将输出总线的电位提高。利用上述步骤,将来自行方向上的象素输出的和读出到存储器单元 4003。在这种情况下,如果用例如一个译码器(在图 29 和 30 中未显示)选择一个区域,在该区域通过每个象素部分的

电容 4014 将双极晶体管的基极电位提高,则可以输出读出单元 4020 上任意一个区域的沿 X 和 Y 方向上的和。

例如,如图 31 中所示,当在 t_1 时刻输入一个图象 4016,并且在 t_2 时刻输入一个图象 4017 时,就得到了通过分别将这些图像在 Y 方向上相加得到的输出结果 4018 和 4019,并且这些数据分别存在图 29 中所示的存储器单元 4007 和 4009 中。在图 29 中,将来自读出单元 4020 的光电转换信号输入到 t_1 行存储器单元 4003 和 4007,并且分别在存于存储器单元 4003 和 4007 的数据和存于 t_2 行存储器单元 4005 和 4009 的数据之间进行相关算术运算。另一方面,需配置执行将光电转换信号从读出单元 4020 输入到 t_2 行存储器单元 4005 和 4009 的开关操作的开关装置,并且这些数据要接受以存在 t_1 行存储器单元 4003 和 4007 中的数据的相关算术运算。

从图 31 中的输出结果 4018 和 4019 可看出,与图象的运动相对应,两个图象的数据发生了移位。这样,当相关运算单元 4008 计算出移位量时,就可用一个非常简单的方法检测一个物体在二维平面上的运动。

图 29 中所示的相关运算单元 4004 和 4008 可包括本发明的相关运算电路。这些单元中的每一个比常规电路有更小数目的元件,并且,尤其是,它可以处在传感器象素的间距上。该配置在从传感器输出的模拟信号基础上执行算术运算。然而,不用说,当将本发明的 A/D 转换器配置于每个存储器单元和输出总线之间时,可以实现一个数字相关算术运算。

本发明的传感器由一个双极晶体管组成。然而,对一个 MOS 晶体管或只有一个未配置任何放大晶体管的光敏二极管来说本发

明也有效。

更进一步,上述配置按不同时间在数据串之间执行一个相关算术运算。另一方面,当将要识别的多个图形数据的 X 和 Y 投影结果存在一个存储器中时,也可实现图形识别。

如上所述,当象素输入单元与本发明的电路结合时,预计有下面效果。

1. 由于从传感器并行和同时读出的数据要接受并行处理而不象常规的对从传感器串行读出的数据进行处理,可实现高速运动检测和图形识别处理。

2. 由于可在不增加外围电路的尺寸的情况下用一个传感器芯片来实现图象处理,故可用低成本实现下列高级功能产品:

- (1)用于将电视屏幕转向用户方向的控制;
- (2)用于将空调的风向转向用户方向的控制;
- (3)一个8mm VTR摄像机的跟踪控制;
- (4)工厂中的标签识别;
- (5)制造一个能自动认出一个人的接待机器人;
- (6)制造一个用于车辆上的车辆间距离控制器。

图象输入单元与本发明的电路的结合已经做了说明。本发明不仅对图象数据而且对例如音频数据的识别处理也是有效的。

如上所述,根据本发明,预计有下面的效果。

(1)由于通过电容将多个输入信号加到了一个浮置节点上,并且用一个读出放大器检测从该浮置节点输出的一个信号,就可提供这样一个半导体器件,它在位数增加时能避免电路规模的增大,并且,因此可以降低成本。即使当输入的数目(位数)增加时,因为逻辑

运算的次数不增加,就可提供一个能以比常规器件更高的速度执行算术运算的半导体器件。

(2)由于可以实现 SOI 衬底特有的简单配置和小面积隔离,即使采用相同的加工技术也可提供一个能以更高的精度执行算术运算的半导体器件。

(3)可用切合实际的低成本提供多位相关运算器件、A/D 转换器以及多数逻辑电路,它们原来由于成本太高不能用常规的方法实现。

值得注意的是本发明并不限于上面的实施例,并且在本发明的范围内可进行适当的改变和组合。

至于本发明中的读出放大器,可以采用通常在半导体领域所采用的那些。例如,可采用一个在存储器领域能用的读出放大器。

另外,用于说明目的的图只是简单的解释性图,并且为避免图的复杂性而省略了图上的一些构件(例如,在平面图上的一个绝缘中间层)。而且,一些构件的形状(例如,一个电极形状)做了调整。更进一步,在平面图中,不考虑其垂直位置关系而用实线表示构件,为的是避免图的复杂性。

图 1

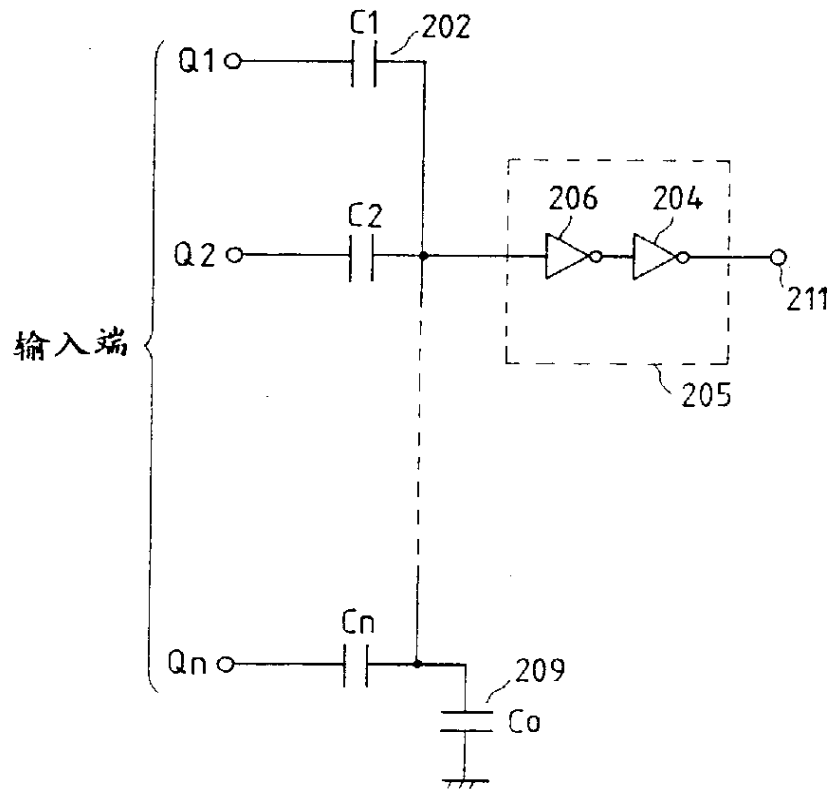


图 2

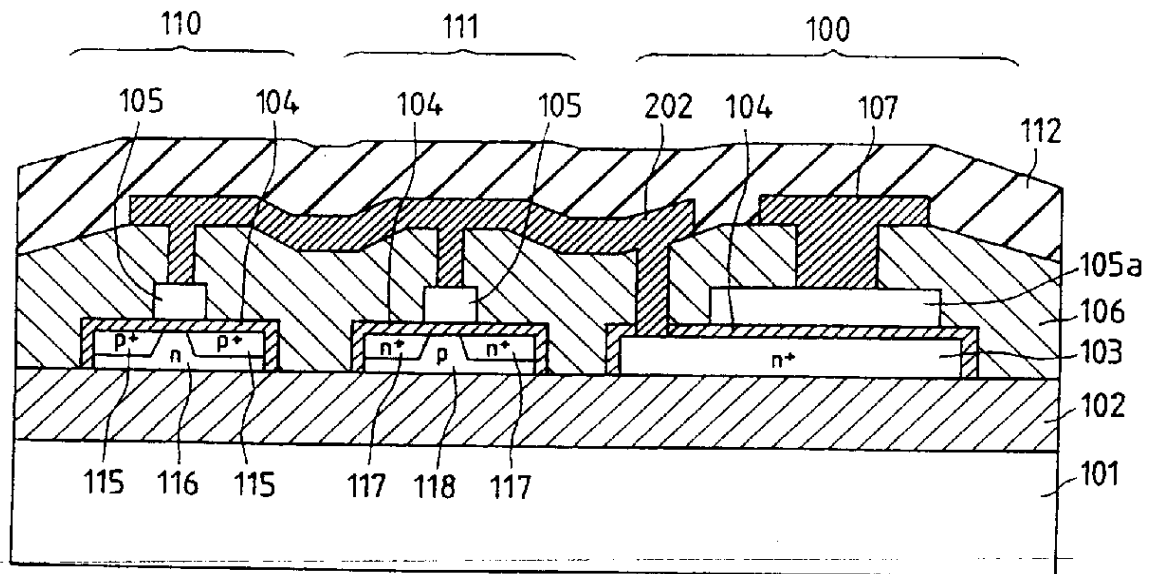


图 3

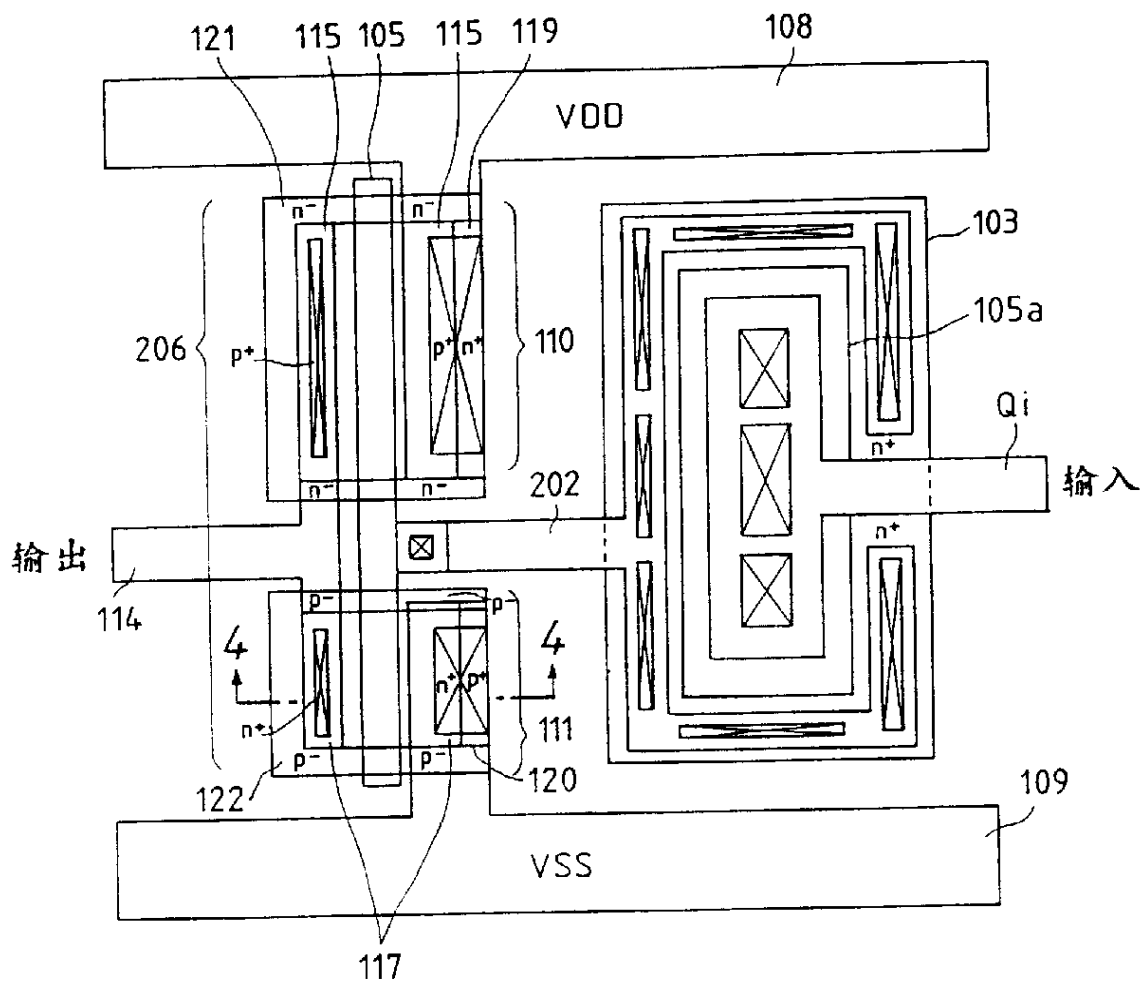


图 4

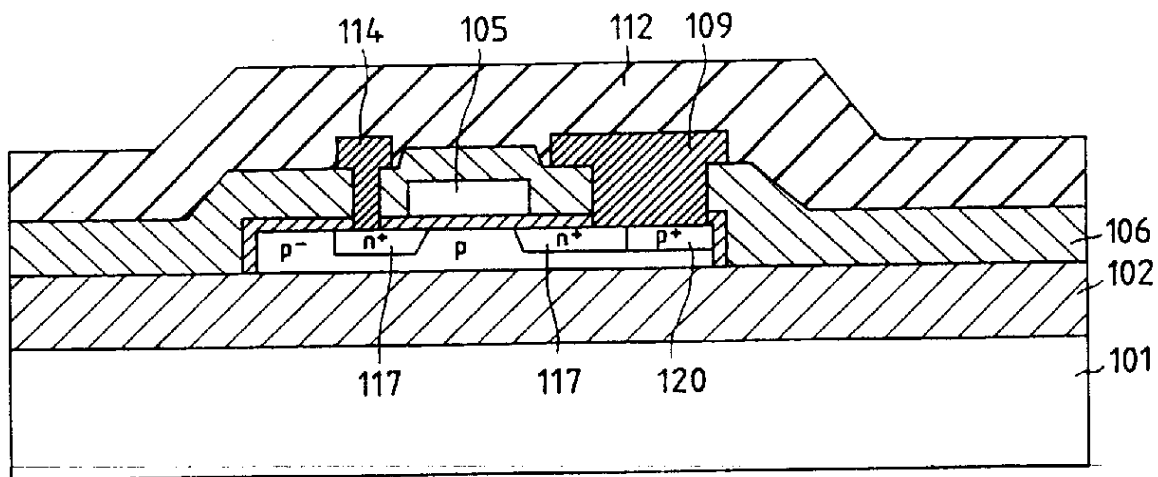


图 5

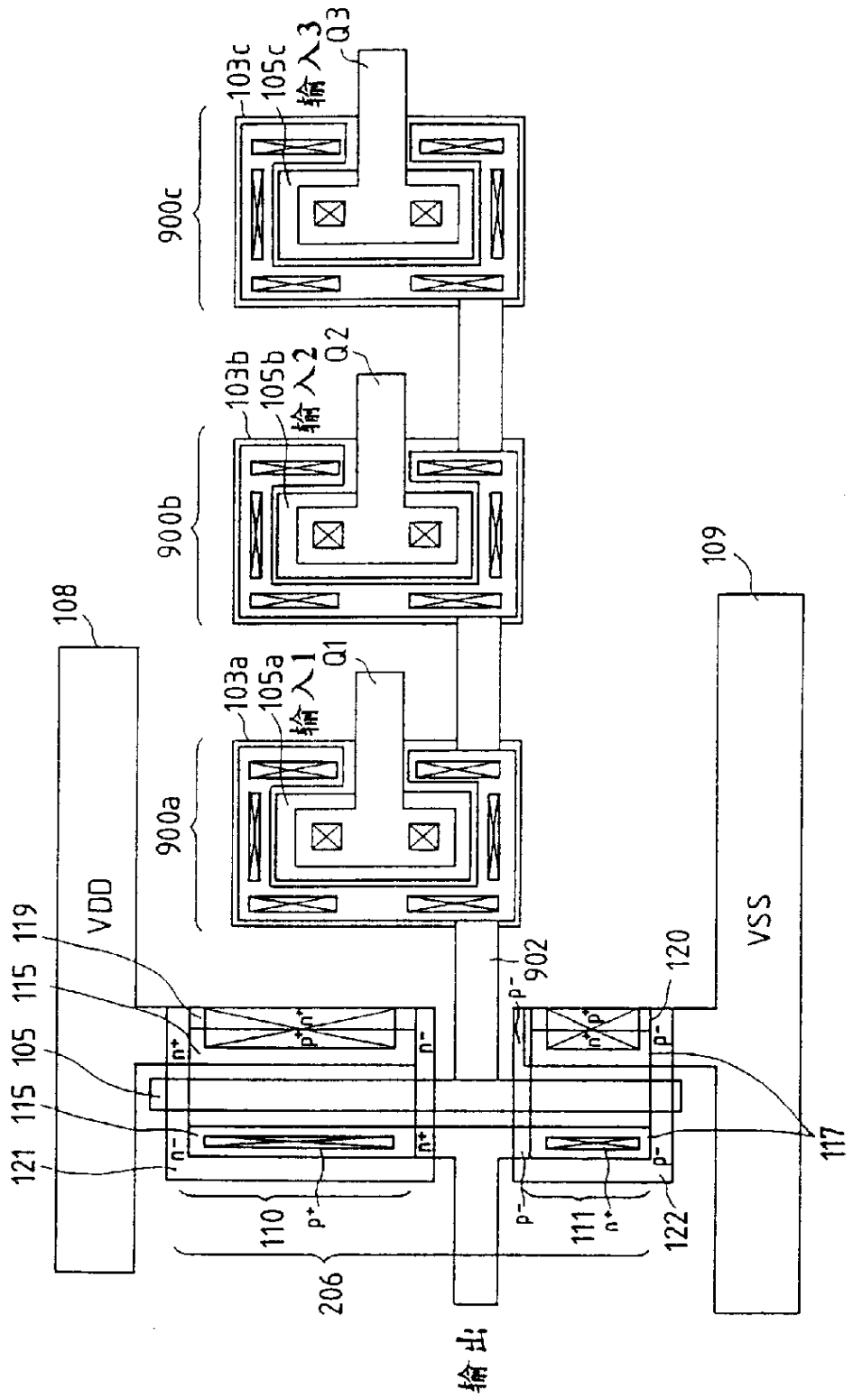


图6

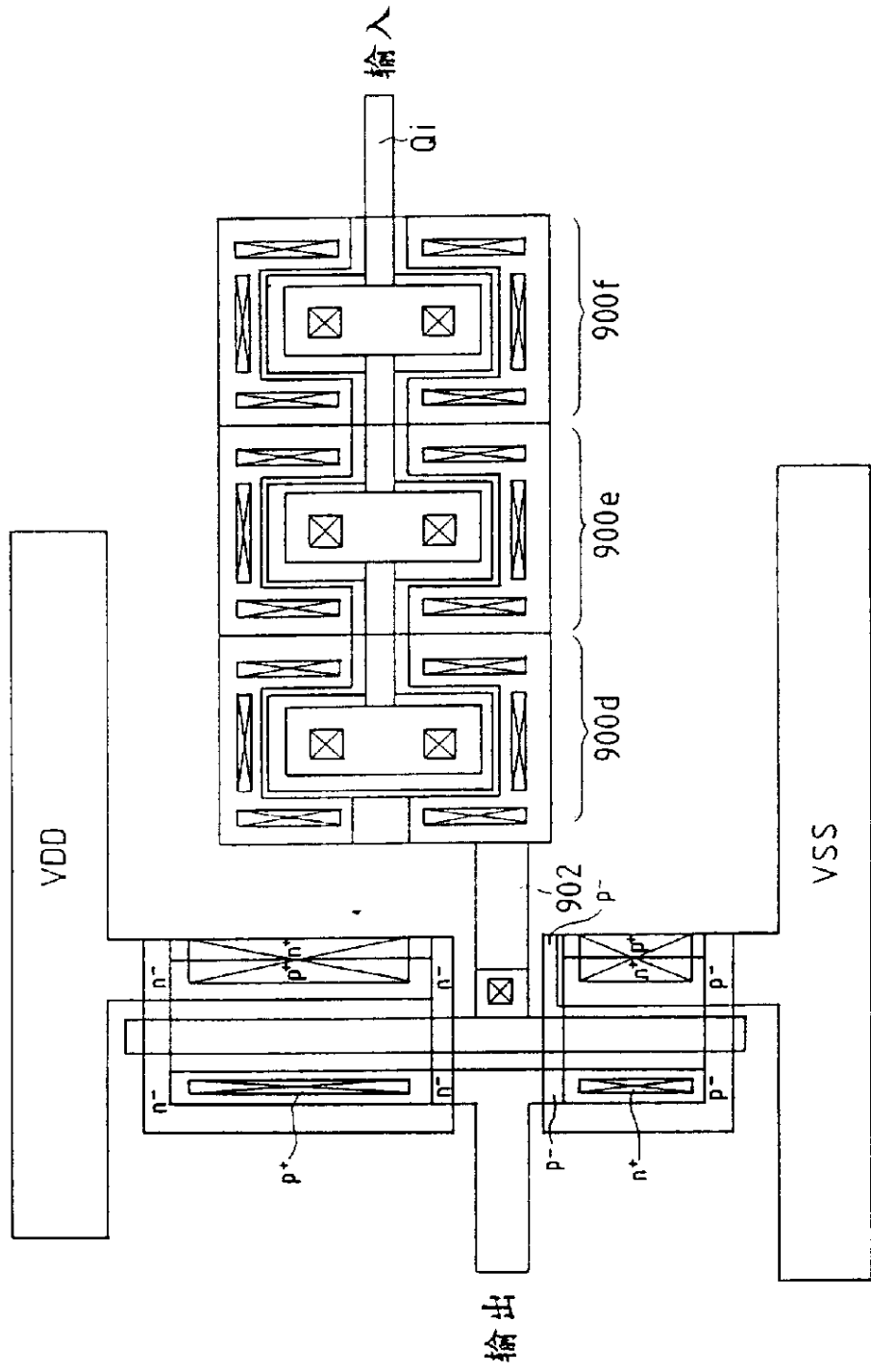


图 7

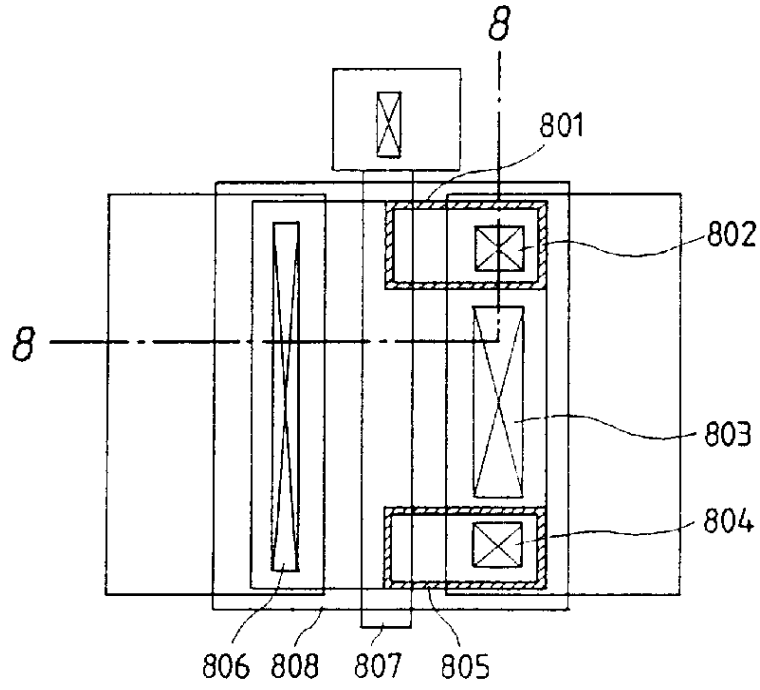


图 8

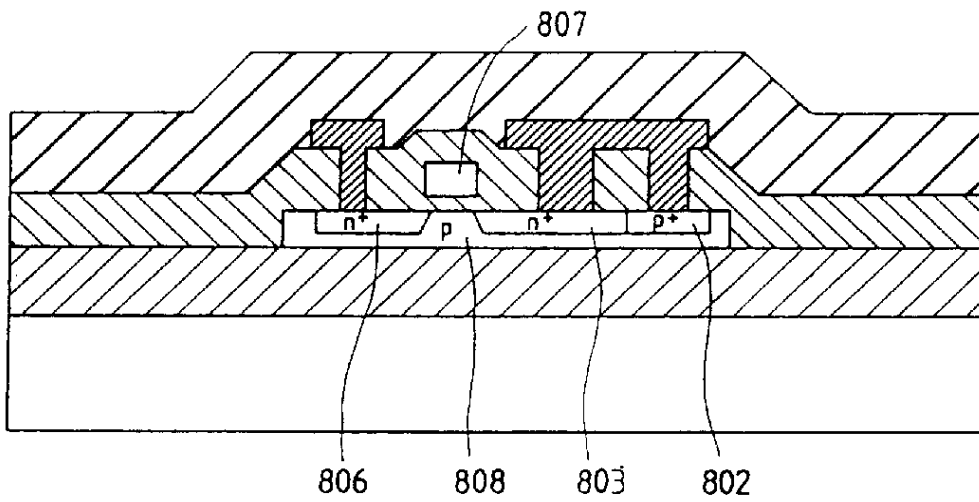


图 9

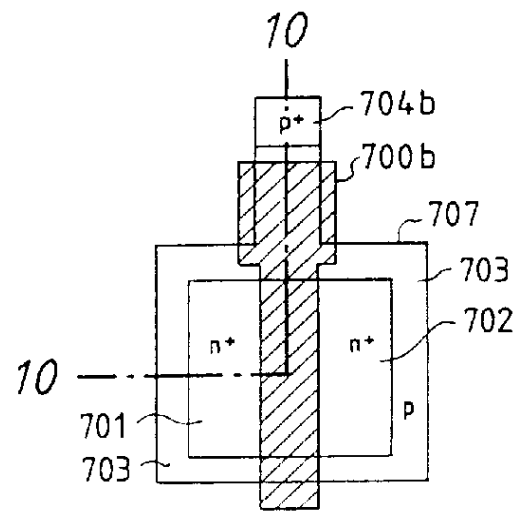


图 10

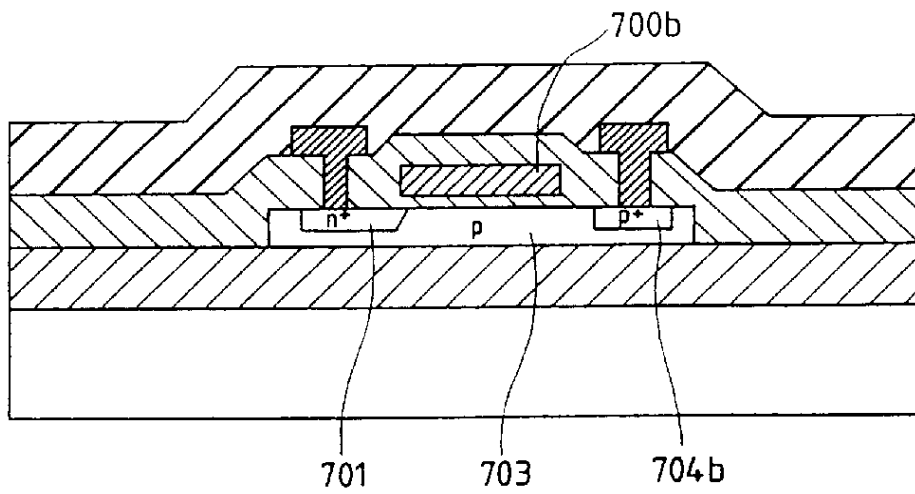


图 11

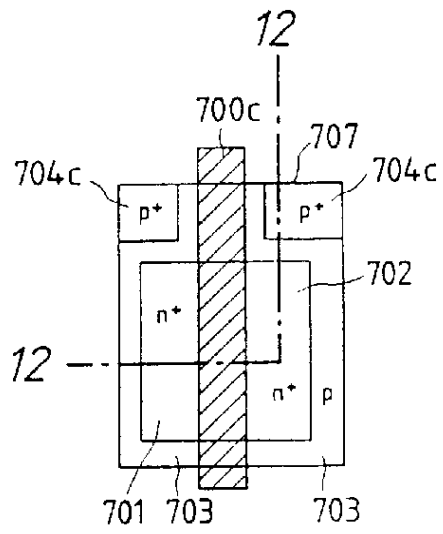


图 12

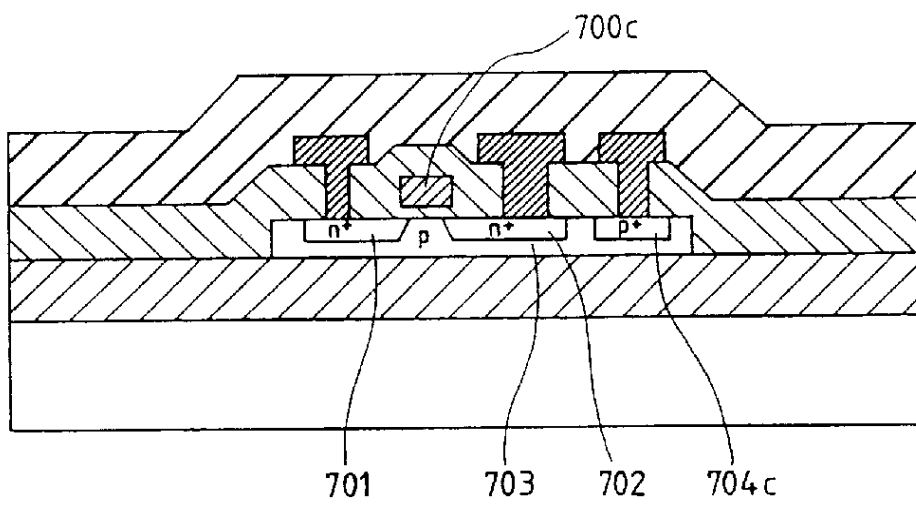


图 13

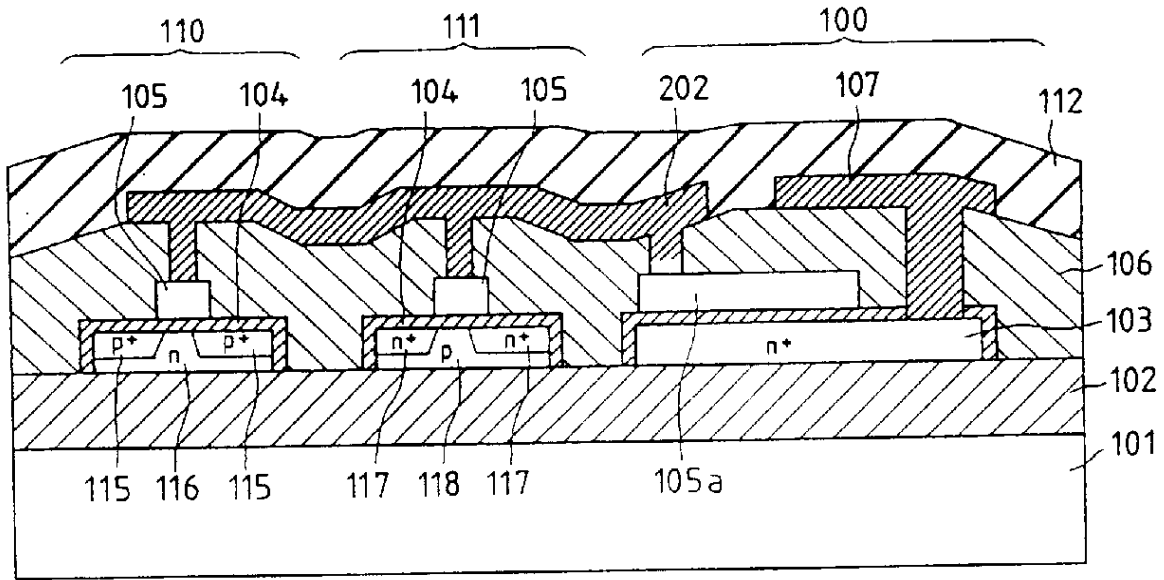


图 14

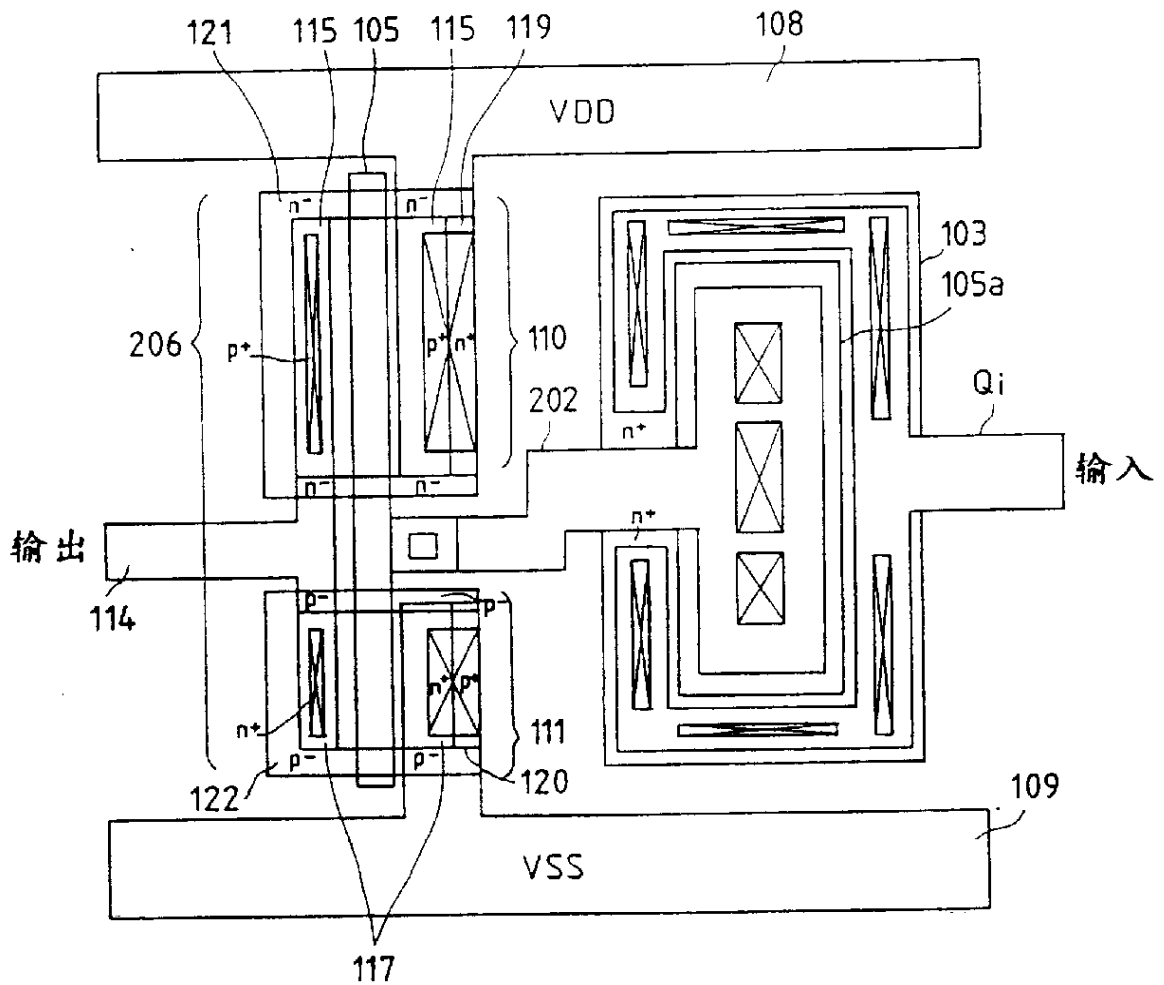


图 15

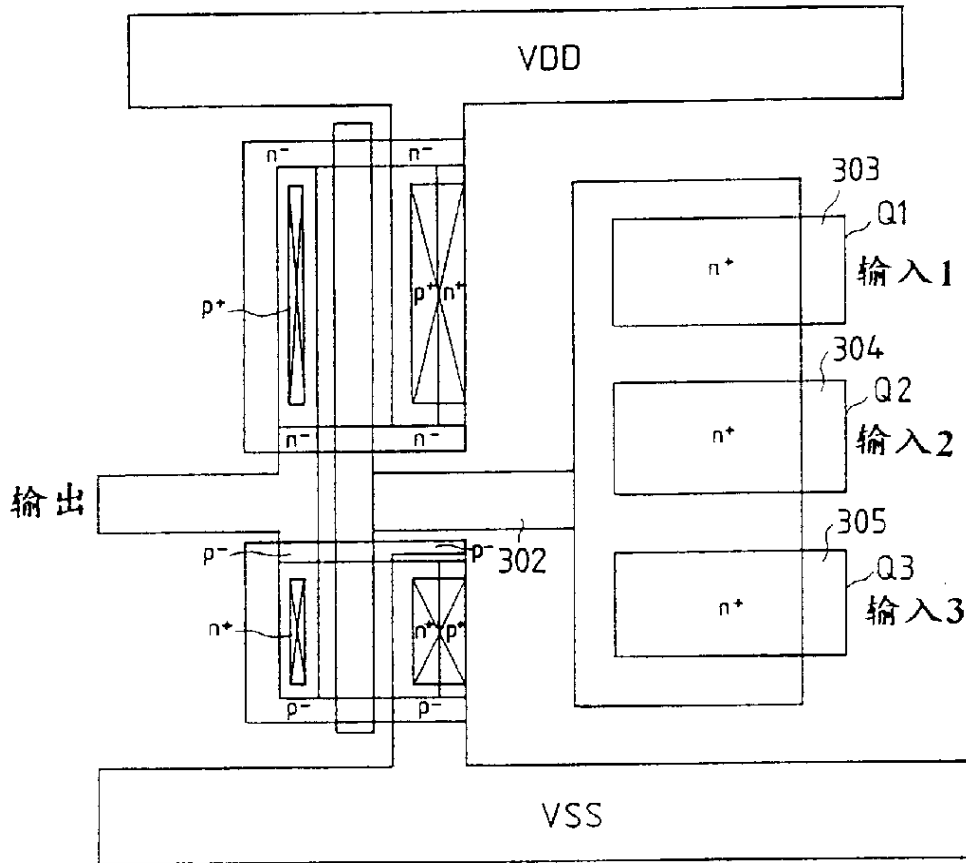


图 16

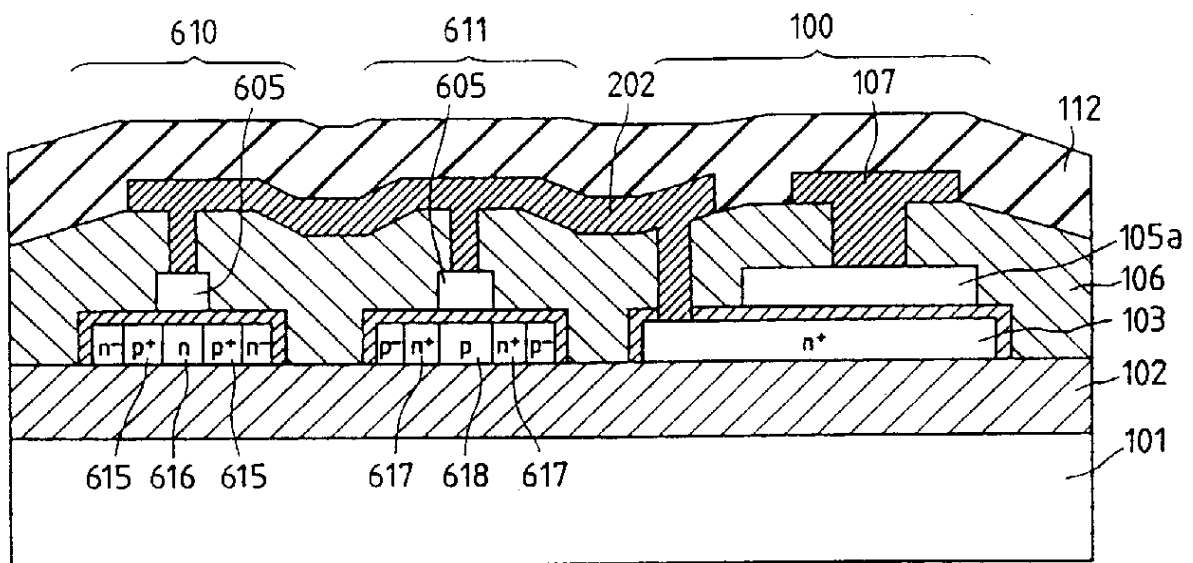


图 17

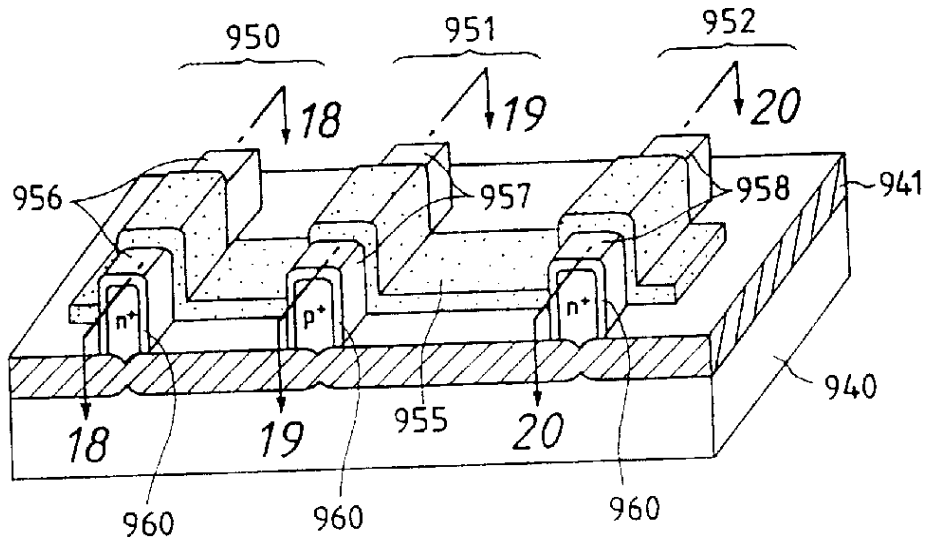


图 18

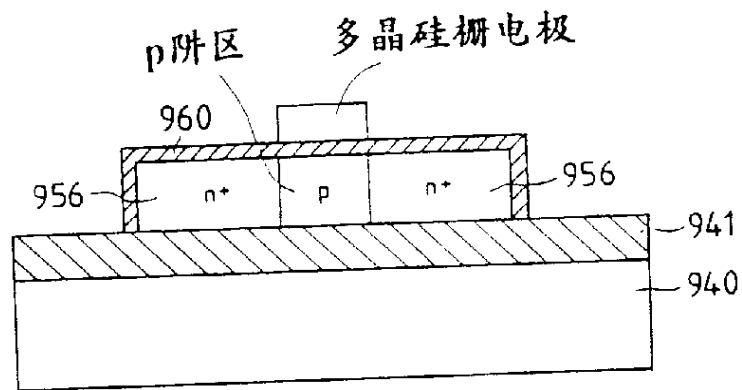


图 19

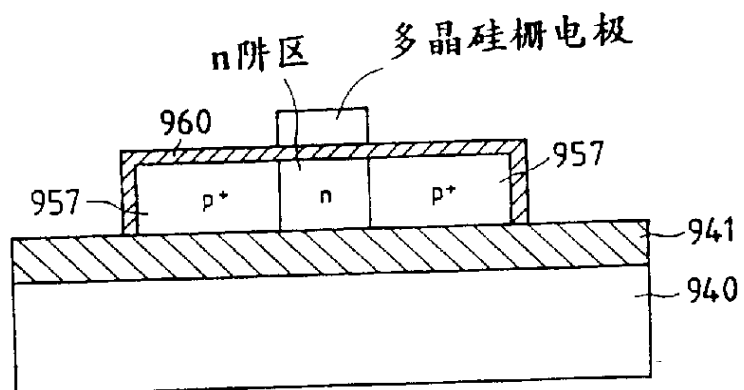


图 20

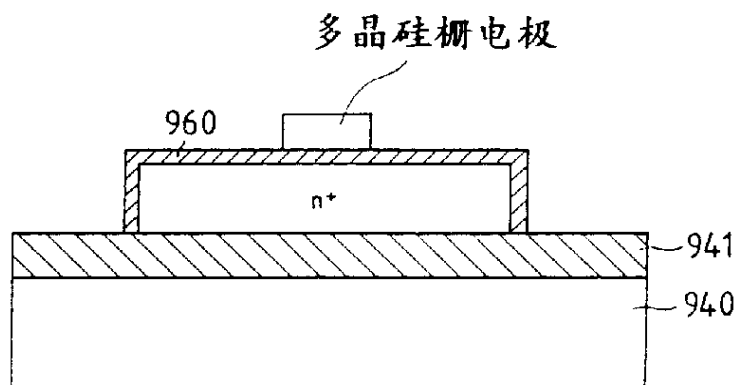


图 21

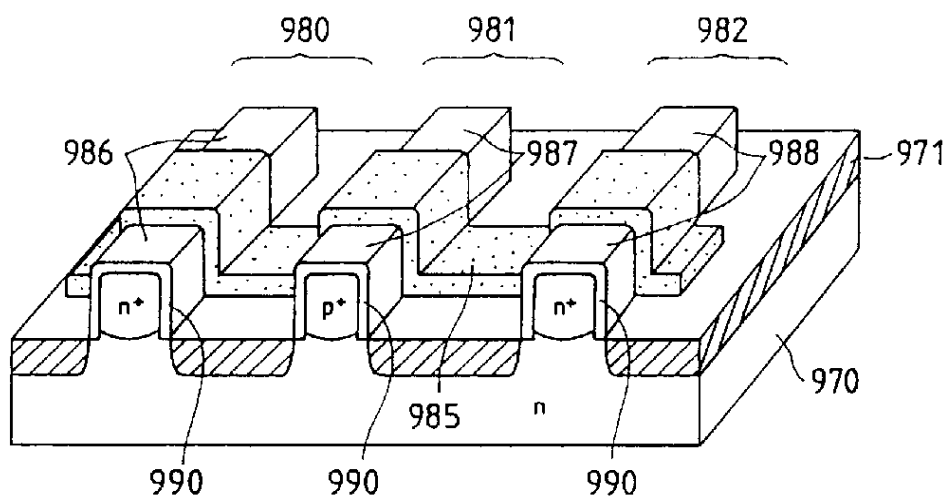


图 22

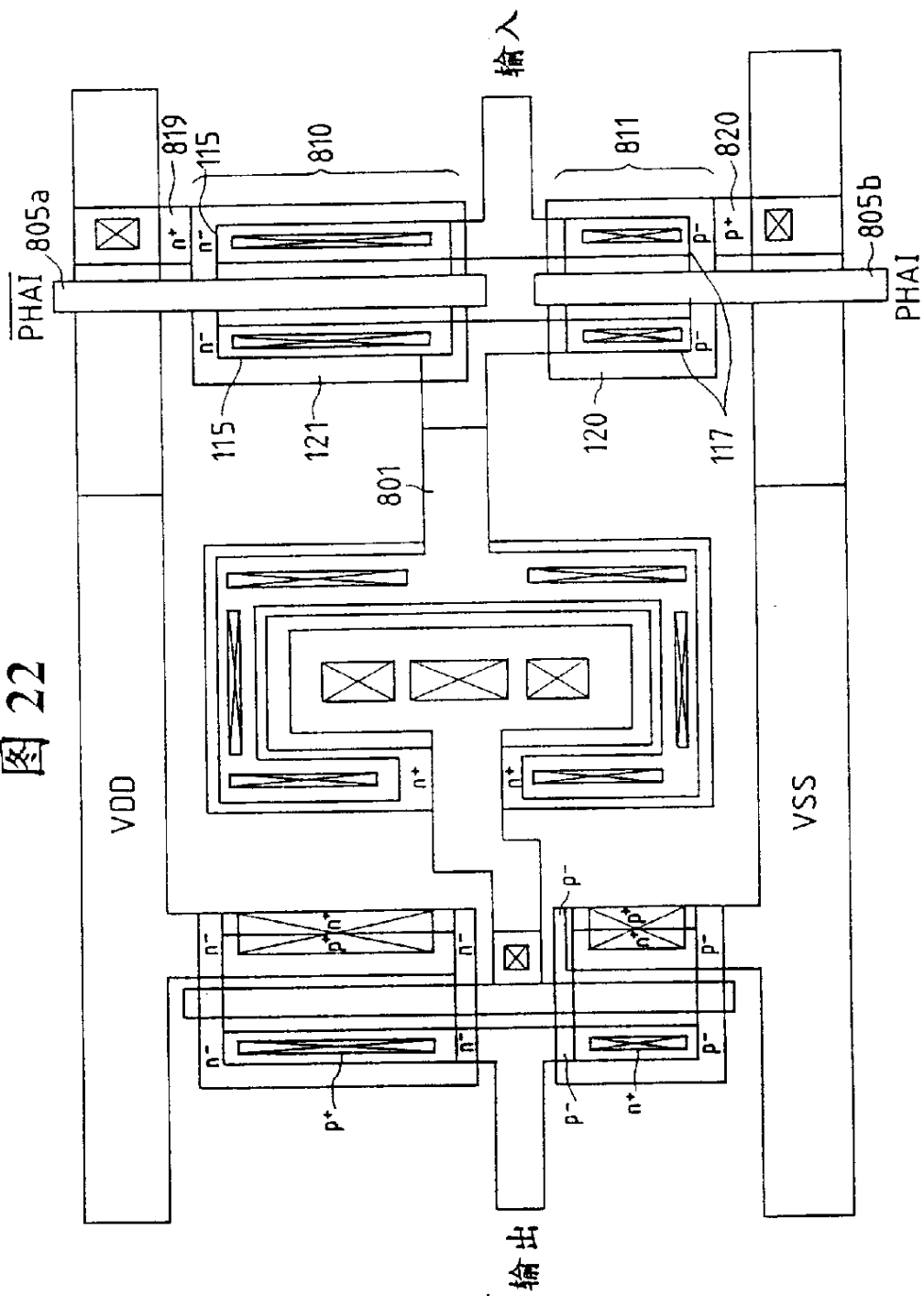


图 23

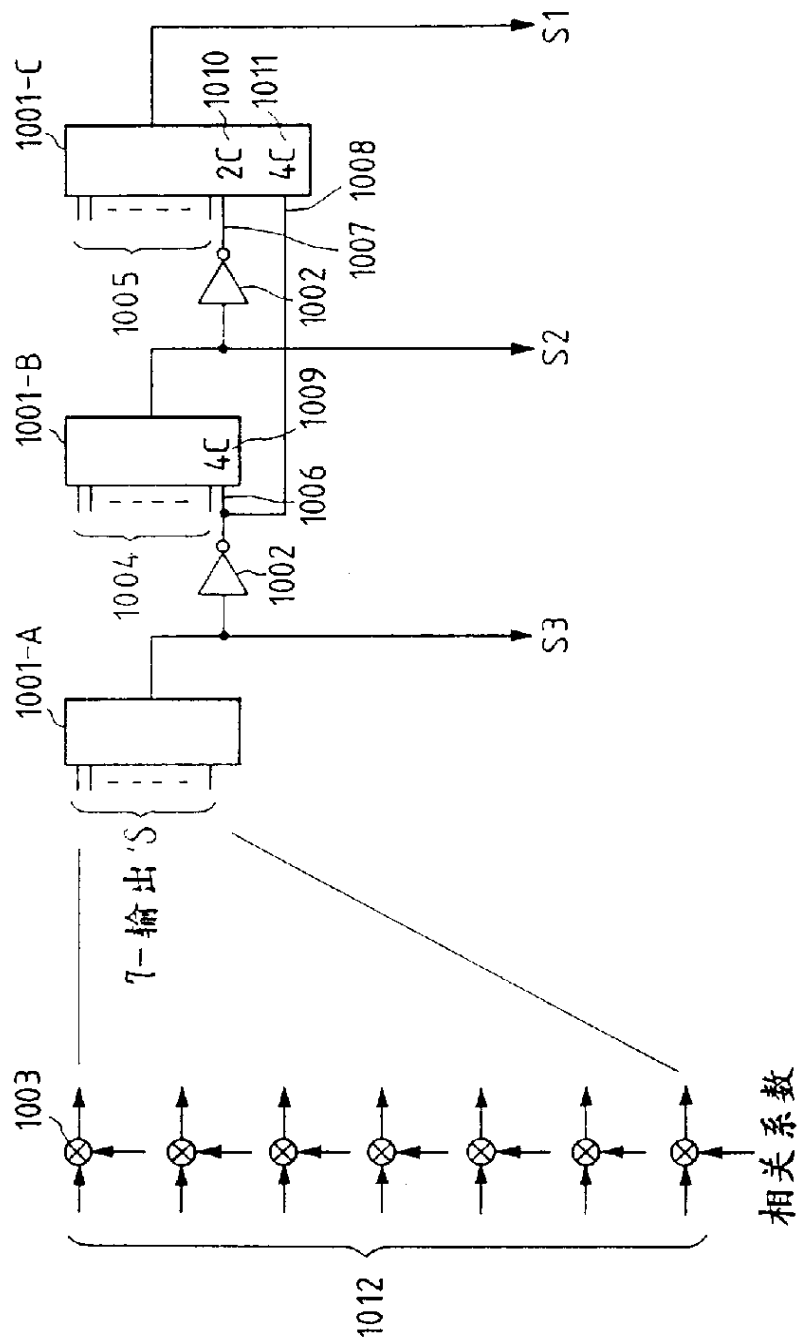


图 24

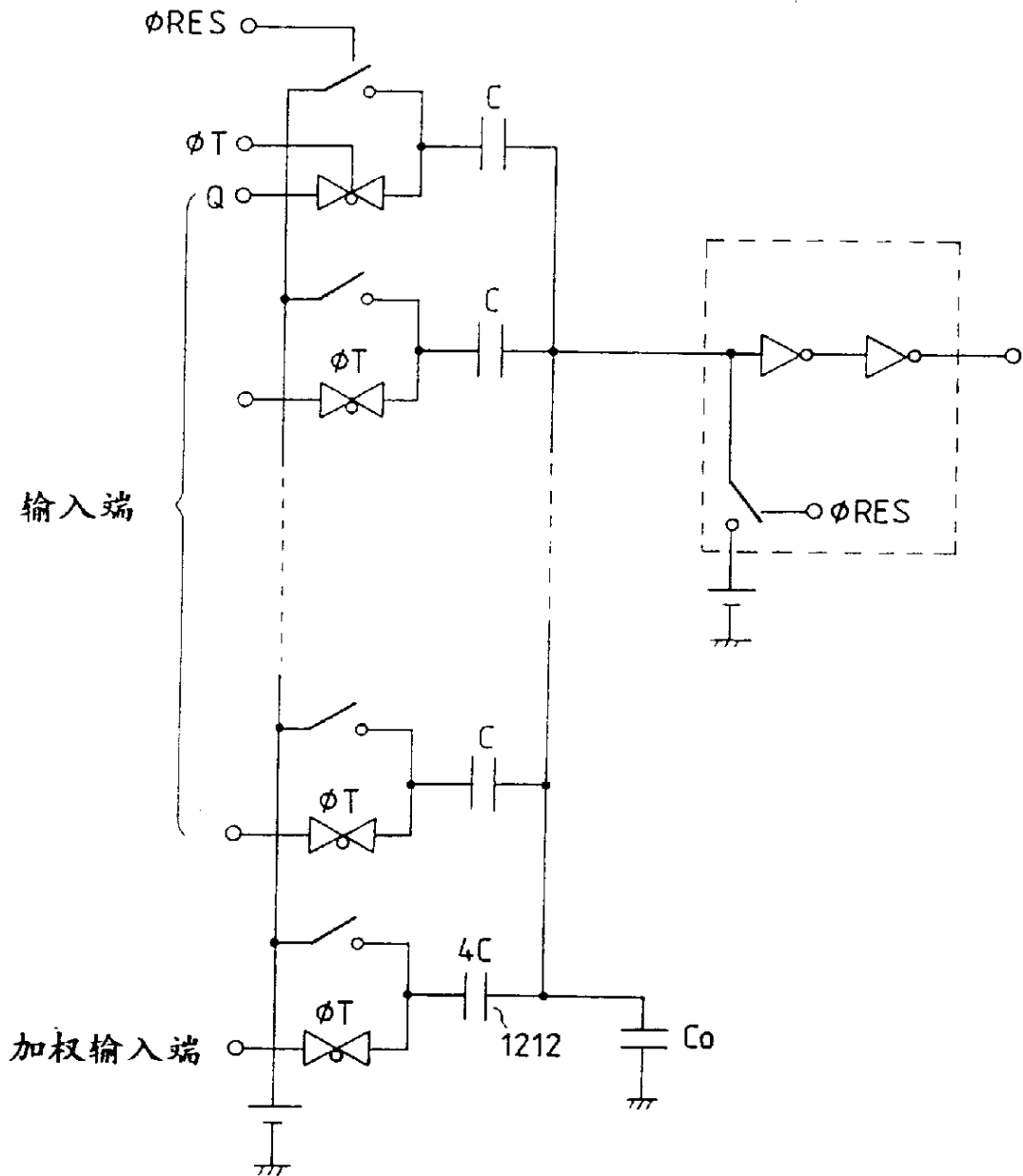
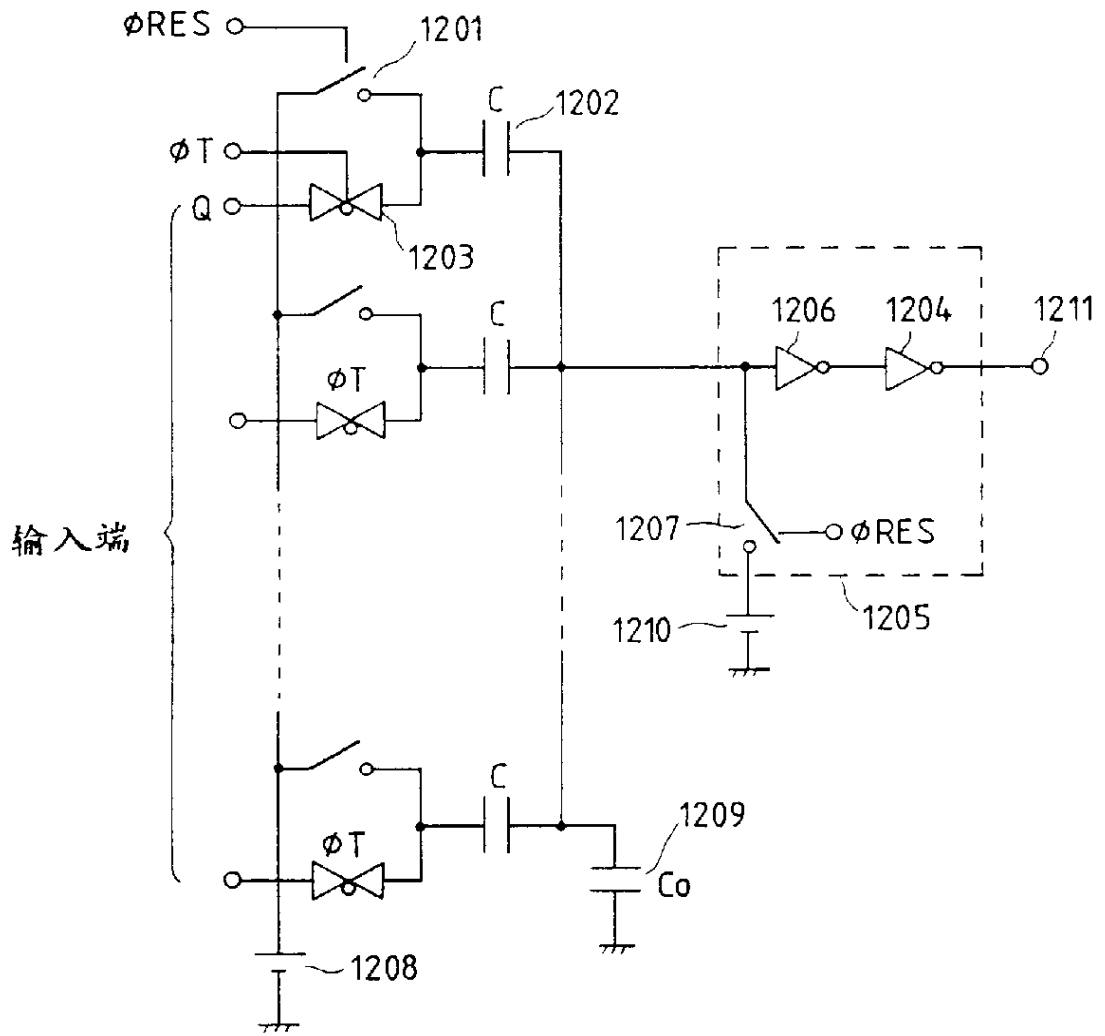


图 25



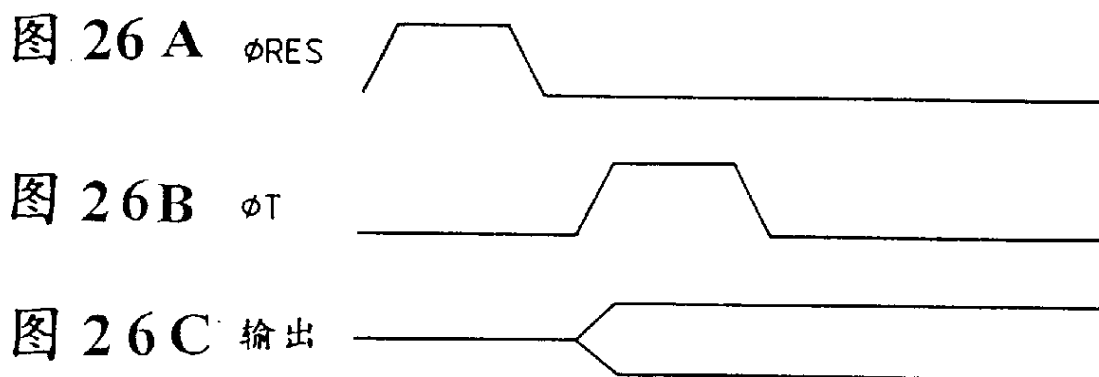


图 27

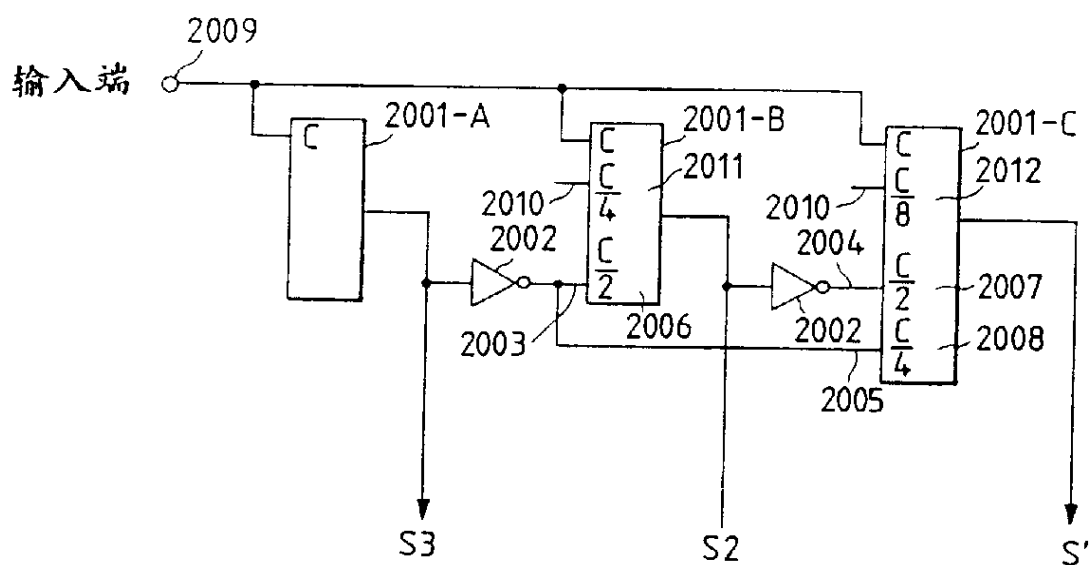


图 28

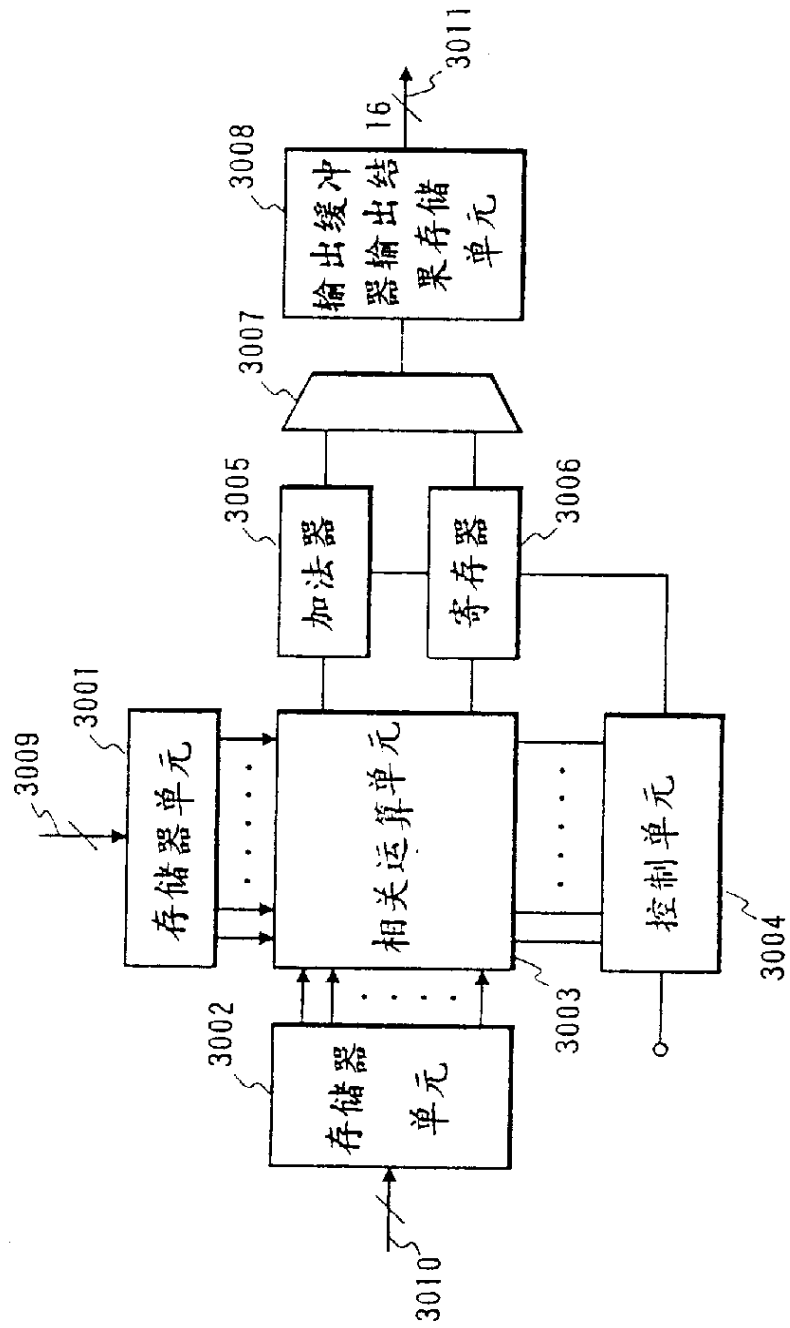


图 29

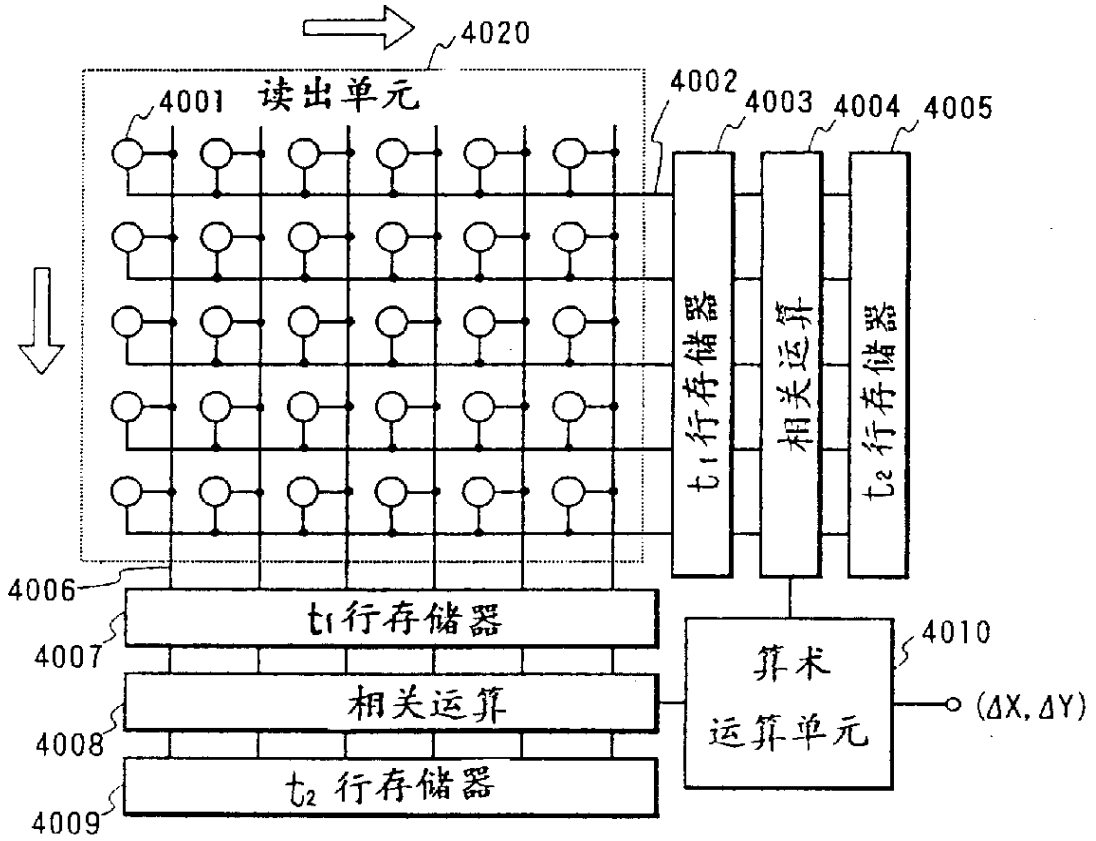


图 30

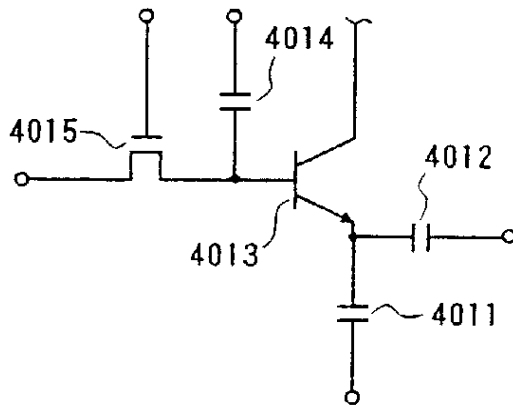


图 31

