(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 21/335

(11) 공개번호 특1997-0053096
(43) 공개일자 1997년07월29일

(21) 출원번호 특1995-0067321
(22) 출원일자 1995년12월29일

(71) 출원인 LG 반도체 주식회사 문정환
충청북도 청주시 흥덕구 향정동 1번지 (우 : 360-480)
(72) 발명자 손정환
대전직할시 서구 월평 1동 월평타운아파트 103동 601호
(74) 대리인 박장원

심사청구 : 있음

(54) 모스전계효과트랜지스터 제조방법

요약

본 발명은 모스전계효과트랜지스터(MOSFET) 제조방법에 관한 것으로, 반도체 기판 상의 제1패드 산화막 위에 폴리실리콘을 형성하는 공정과; 상기 제1패드 산화막의 표면이 소정 부분 드러나도록 상기 폴리실리콘을 등방성 식각하는 공정과; 상기 폴리실리콘이 모두 산화되도록 기판 전면을 산화하여 기판 위에 제2패드 산화막을 형성하는 공정과; 상기 제2패드 산화막을 제거하는 공정과; 상기 기판의 채널 영역 위에 게이트를 형성하는 공정과; 상기 게이트를 마스크로 이온주입을 하여 게이트 좌/우측 기판 내에 LDD 영역을 형성하는 공정 및; 상기 게이트 측면에 측벽 스페이서를 형성하고, 소오스/드레인 이온주입을 실시하는 공정을 구비하여 소자 제조를 완료하므로써 Vt 롤-오프 특성 및 쇼트 채널 효과를 개선시킬 수 있는 고신뢰성의 MOSFET를 구현할 수 있게 된다.

대표도

도2

명세서

[발명의 명칭]

모스전계효과트랜지스터 제조방법

[도면의 간단한 설명]

제2(A)도 내지 제2(G)도는 본 발명에 따른 모스 전계효과트랜지스터의 제조공정을 도시한 공정수순도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 기판 상의 제1패드 산화막 위에 폴리실리콘을 형성하는 공정과; 상기 제1패드 산화막의 표면이 소정 부분 드러나도록 상기 폴리실리콘을 등방성 식각하는 공정과; 상기 폴리실리콘이 모두 산화되도록 기판전면을 산화하여 기판 위에 제2패드 산화막을 형성하는 공정과; 상기 제2패드 산화막을 마스크로 채널 이온주입을 실시하여 기판 내에 리세스된 구조의 채널 영역을 형성하는 공정과; 상기 제2패드 산화막을 제거하는 공정과; 상기 기판의 채널 영역 위에 게이트를 형성하는 공정과; 상기 게이트를 마스크로 이온주입을 하여 게이트 좌/우측 기판 내에 LDD 영역을 형성하는 공정과; 상기 게이트 측변에 측벽 스페이서를 형성하고, 소오스/드레인 이온주입을 실시하는 공정을 구비하여 이루어지는 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

청구항 2

제1항에 있어서, 상기 채널 이온주입은 B,BF_2,P,As중 선택된 어느 한 불순물을 사용하여 실시하는 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

청구항 3

제1항에 있어서, 상기 폴리실리콘은 CVD 산화막으로 대체 가능한 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

청구항 4

제1항에 있어서, 상기 폴리실리콘을 등방성 식각하는 공정 진행 후, 표면이 드러난 제1패드 산화막과 그 하부의 실리콘 기판을 소정 깊이 만큼 식각하는 공정을 더 포함하여 형성하는 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2

