

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成30年6月21日(2018.6.21)

【公開番号】特開2017-45495(P2017-45495A)

【公開日】平成29年3月2日(2017.3.2)

【年通号数】公開・登録公報2017-009

【出願番号】特願2015-168522(P2015-168522)

【国際特許分類】

G 1 1 C 15/04 (2006.01)

H 0 3 K 19/20 (2006.01)

【F I】

G 1 1 C 15/04 6 3 1 M

G 1 1 C 15/04 6 3 1 E

H 0 3 K 19/20 1 0 1

【手続補正書】

【提出日】平成30年5月10日(2018.5.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

各々がT C A M (Ternary Content Addressable Memory)セルアレイを含む複数のサブアレイを備え、

各前記サブアレイは、前記T C A Mセルアレイの行ごとに格納された複数のデータのうち、入力されたサーチデータの対応部分に一致するものを検索し、前記行ごとに一致または不一致という検索結果を出力し、

各前記サブアレイは、対応する第1の制御信号が活性化されている場合には、前記T C A Mセルアレイについて検索を行わずに、一致という検索結果を前記行ごとに出力する、半導体装置。

【請求項2】

各前記サブアレイは、

前記T C A Mセルアレイの行にそれぞれ設けられ、対応する行の各T C A Mセルが接続された複数のマッチ線と、

前記T C A Mセルアレイの列にそれぞれ設けられた複数のサーチ線と、

検索時に、前記複数のサーチ線に前記サーチデータの対応部分を供給するサーチ線ドライバと、

前記複数のマッチ線にそれぞれ対応し、各々が検索時に、対応するマッチ線の電位に従って検索結果を出力する複数のマッチアンプと、

前記複数のマッチ線にそれぞれ対応し、各々が検索時に、対応するマッチ線をプリチャージする複数のプリチャージ回路と、

制御論理回路とを含み、

前記制御論理回路は、前記第1の制御信号が活性化されている場合には、前記サーチ線ドライバおよび前記複数のプリチャージ回路が動作しないように制御し、

各前記マッチアンプは、前記第1の制御信号が活性化されている場合には、対応する前記マッチ線の電位によらず一致という検索結果を出力するように構成される、請求項1に記載の半導体装置。

【請求項 3】

各前記サブアレイは、前記第1の制御信号を出力する第1のレジスタを含む、請求項2に記載の半導体装置。

【請求項 4】

各前記サブアレイは、前記TCA Mセルアレイの行ごとに設けられ、各々が、第2の制御信号を出力する複数の第2のレジスタを含み、

前記マッチアンプは、対応する前記第2の制御信号が活性化されている場合には、前記第1の制御信号が活性化されていても、不一致という検索結果を出力するように構成される、請求項3に記載の半導体装置。

【請求項 5】

各前記サブアレイは、前記TCA Mセルアレイの行ごとに設けられ、各々が第3の制御信号を出力する複数の第3のレジスタを含み、

各前記プリチャージ回路は、対応する前記第3の制御信号が活性化されている場合には、前記第1の制御信号が活性化されていなくても、対応する前記マッチ線をプリチャージせず、

各前記マッチアンプは、対応する前記第3の制御信号が活性化されている場合には、前記第1の制御信号が活性化されていなくても、対応する前記マッチ線の電位によらず一致という検索結果を出力する、請求項3に記載の半導体装置。

【請求項 6】

各前記サブアレイは、

前記TCA Mセルアレイの行ごとに設けられ、各々が、第2の制御信号を出力する複数の第2のレジスタと、

前記TCA Mセルアレイの行ごとに設けられ、各々が、第3の制御信号を出力する複数の第3のレジスタとを含み、

各前記プリチャージ回路は、対応する前記第2および第3の制御信号の少なくとも一方が活性化されている場合には、前記第1の制御信号が活性化されていなくても、対応する前記マッチ線をプリチャージせず、

各前記マッチアンプは、対応する前記第2の制御信号が活性化されておらず、対応する前記第3の制御信号が活性化されている場合には、前記第1の制御信号が活性化されていなくても、対応する前記マッチ線の電位によらず一致という検出結果を出力し、

各前記マッチアンプは、対応する前記第2の制御信号が活性化されている場合には、前記第1の制御信号および対応する前記第2の制御信号のいずれかが活性化されていても、対応する前記マッチ線の電位によらず不一致という検出結果を出力する、請求項3に記載の半導体装置。

【請求項 7】

前記TCA Mセルアレイは、列方向に並ぶ第1のセルアレイと第2のセルアレイとに区分され、

前記サーチ線ドライバは、

前記第1のセルアレイに隣接して設けられ、前記第1のセルアレイに前記サーチデータの対応部分を供給する第1のドライバと、

前記第2のセルアレイに隣接して設けられ、前記第2のセルアレイに前記サーチデータの対応部分を供給する第2のドライバとを含む、請求項2に記載の半導体装置。

【請求項 8】

前記半導体装置は、

各前記サブアレイを構成する前記TCA Mセルアレイの行ごとにデータを書込む際に、共通のマッチ線に接続された全てのTCA Mセルにドントケアが書き込まれた特定行があるか否かを判定するデータ判定回路をさらに備え、

前記データ判定回路は、前記特定行に対応する前記第3の制御信号が活性化されるように、前記特定行に対応する前記第3のレジスタの値を設定する、請求項5に記載の半導体装置。

【請求項 9】

各前記サブアレイは、さらに、

前記 T C A M セルアレイの行ごとに設けられ、各々が、第 3 の制御信号を出力する複数の第 3 のレジスタと、

前記複数の第 3 のレジスタからそれぞれ出力された複数の前記第 3 の制御信号が全て活性化されている場合に、活性化された前記第 1 の制御信号を生成して出力する論理回路とを含む、請求項 2 に記載の半導体装置。

【請求項 10】

前記制御論理回路は、各前記プリチャージ回路の動作を制御するためのプリチャージイネーブル信号を生成し、

各前記サブアレイは、前記 T C A M セルアレイの複数行ごとに設けられ、各々が、前記プリチャージイネーブル信号および前記第 1 の制御信号を整形し、整形後の前記プリチャージイネーブル信号および前記第 1 の制御信号を前記複数行に対応する前記プリチャージ回路および前記マッチアンプにそれぞれ供給する複数のバッファアンプ部をさらに含み、

各前記バッファアンプ部は、対応する前記複数行に設けられた前記第 3 のレジスタが出力する前記第 3 の制御信号が全て活性化されている場合には、出力する整形後の前記第 1 の制御信号を活性化とともに、出力する整形後の前記プリチャージイネーブル信号を非活性化することによって対応する各前記プリチャージ回路が動作しないように制御する、請求項 5 に記載の半導体装置。

【請求項 11】

前記半導体装置への電源供給後、いずれの前記サブアレイの前記 T C A M セルにもデータが書き込まれていない状態において、各前記サブアレイの前記第 1 の制御信号および複数の前記第 2 の制御信号がいずれも活性状態となるように、各前記第 1 のレジスタおよび各前記第 2 のレジスタの値が初期設定される、請求項 4 に記載の半導体装置。

【請求項 12】

前記半導体装置への電源供給後、いずれの前記サブアレイの前記 T C A M セルにもデータが書き込まれていない状態において、各前記サブアレイの前記第 1 の制御信号および複数の前記第 3 の制御信号がいずれも活性状態となるように、各前記第 1 のレジスタおよび各前記第 3 のレジスタの値が初期設定される、請求項 5 に記載の半導体装置。

【請求項 13】

前記半導体装置への電源供給後、いずれの前記サブアレイの前記 T C A M セルにもデータが書き込まれていない状態において、各前記サブアレイの前記第 1 の制御信号および各前記サブアレイの前記第 2 の制御信号および複数の前記第 3 の制御信号がいずれも活性状態となるように、各前記第 1 のレジスタおよび各前記第 2 のレジスタおよび各前記第 3 のレジスタの値が初期設定される、請求項 6 に記載の半導体装置。

【請求項 14】

各前記サブアレイの前記 T C A M セルアレイへの書き込みデータの配列順および前記サーチデータの配列順を定められた規則に従って変更するデータ配列変更回路をさらに備える、請求項 1 に記載の半導体装置。

【請求項 15】

互いに行方向に並び、共通のエントリに対応する複数の前記サブアレイは、パイプライン方式で順番に検索を行うように構成され、

各前記サブアレイは、最初のステージで検索を行うサブアレイを除いて、前記 T C A M セルアレイの行ごとに設けられ、各々が、前ステージのサブアレイの対応する行の検索結果を格納する複数の D フリップフロップを含み、

前記複数の D フリップフロップが設けられた各前記サブアレイにおいて、各前記プリチャージ回路は、対応する前記 D フリップフロップに不一致の検索結果が格納されている場合には、対応する前記マッチ線をプリチャージせず、

前記複数の D フリップフロップが設けられた各前記サブアレイにおいて、各前記マッチアンプは、対応する前記 D フリップフロップに不一致の検索結果が格納されている場合に

は、前記第1の制御信号が活性化されていても、不一致の検索結果を出力するように構成される、請求項2に記載の半導体装置。

【請求項16】

前記サブアレイから出力された検索結果に基づいて、前記サーチデータの検索結果を出力するプライオリティ・エンコーダをさらに備える、請求項1に記載の半導体装置。

【請求項17】

複数のサブアレイを備え、各前記サブアレイは、

T C A M (Ternary Content Addressable Memory)セルアレイと、

前記T C A Mセルアレイの行にそれぞれ設けられ、対応する行の各T C A Mセルが接続された複数のマッチ線と、

前記T C A Mセルアレイの列にそれぞれ設けられた複数のサーチ線と、

検索時に、入力されたサーチデータの対応部分を前記複数のサーチ線に供給するサーチ線ドライバと、

前記複数のマッチ線にそれぞれ対応し、各々が検索時に、対応する前記マッチ線の電位に従って、対応する前記マッチ線に接続された複数のT C A Mセルの書き込みデータに前記サーチデータの対応部分が一致するか否かの検索結果を出力する複数のマッチアンプと、

前記複数のマッチ線にそれぞれ対応し、各々が検索時に、対応する前記マッチ線をプリチャージする複数のプリチャージ回路と、

前記T C A Mセルアレイの行ごとに設けられ、各々が制御信号を出力する複数のレジスタとを含み、

各前記プリチャージ回路は、対応する前記制御信号が活性化されている場合には、対応する前記マッチ線をプリチャージせず、

各前記マッチアンプは、対応する前記制御信号が活性化されている場合には、対応する前記マッチ線の電位によらず一致という検索結果を出力し、

さらに、各前記サブアレイから出力された検索結果に基づいて、前記サーチデータの検索結果を出力するプライオリティ・エンコーダを備える、半導体装置。