

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】令和 2 年 4 月 30 日 (2020.4.30)

【公表番号】特表 2019-520717 (P2019-520717A)

【公表日】令和 1 年 7 月 18 日 (2019.7.18)

【年通号数】公開・登録公報 2019-028

【出願番号】特願 2018-523815 (P2018-523815)

【国際特許分類】

H 0 3 M 1/10 (2006.01)

H 0 3 M 1/50 (2006.01)

H 0 3 K 5/26 (2006.01)

H 0 2 M 1/08 (2006.01)

【F I】

H 0 3 M 1/10 A

H 0 3 M 1/50

H 0 3 K 5/26 S

H 0 2 M 1/08 A

【手続補正書】

【提出日】令和 2 年 3 月 18 日 (2020.3.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マイクロコントローラであって、

プロセッサコアと、

メモリと、

差動デジタル遅延ラインアナログ・デジタルコンバータを含む複数の周辺デバイスとを備え、

前記アナログ・デジタルコンバータは、

ソースからの入力差動電圧を差動電流に変換するように構成されるトランスコンダクタ入力段と、

2つのデジタル遅延ラインであって、前記2つのデジタル遅延ラインは、それぞれ、前記差動電流の第1の電流または第2の電流のどちらかを受信し、各デジタル遅延ラインは

第1の回路であって、前記第1の回路は、遅延要素のセットを備え、各々、前記第1の電流または前記第2の電流によってバイアスされ、デジタル信号を遅延させるように構成される、第1の回路と、

前記第1の回路と直列に結合される構成可能な第2の回路であって、前記第2の回路は、遅延要素の別のセットを備え、各々、前記第1の電流または前記第2の電流 (p b i a s、n b i a s) によってバイアスされ、前記デジタル信号を遅延させるように構成される、第2の回路と

を備える、2つのデジタル遅延ラインと

を備え、

前記第1の回路は、前記入力差動電圧のアナログ・デジタル変換を表すサーモメータコードを発生させるように構成され、

前記第 2 の回路は、前記デジタル遅延ラインの各々において追加の遅延要素を追加することによって、前記差動デジタル遅延ライン A D C を較正するように構成される、マイクロコントローラ。

【請求項 2】

前記トランスコンダクタ入力段は、前記第 2 の回路によって生成された値によって調節されるように構成される制御可能な電流ソース回路を備える、請求項 1 に記載のマイクロコントローラ。

【請求項 3】

前記トランスコンダクタ入力段は、前記第 2 の回路からの較正に基づいて前記デジタル遅延ラインの各々へのバイアス電流を鏡映するように構成される制御可能な電流ソース回路を備える、請求項 1 に記載のマイクロコントローラ。

【請求項 4】

前記第 2 の回路は、追加の遅延要素をそれぞれのデジタル遅延ラインに追加するように、インデックス化されたコマンドを通して制御される複数のマルチプレクサを備える、請求項 1 に記載のマイクロコントローラ。

【請求項 5】

前記トランスコンダクタ入力段は、前記第 2 の回路の出力信号を受信し、電圧・電流レンジを調節するように構成される、請求項 1 に記載のマイクロコントローラ。

【請求項 6】

各遅延要素は、電流限定バッファ鎖によって形成される、請求項 1 に記載のマイクロコントローラ。

【請求項 7】

各デジタル遅延ラインは、前記第 1 の回路および前記第 2 の回路と直列に結合される第 3 の回路をさらに備え、前記第 3 の回路は、遅延要素のさらに別のセットを備え、各々、前記第 1 の電流または前記第 2 の電流によってバイアスされる、請求項 1 に記載のマイクロコントローラ。

【請求項 8】

前記第 1 の回路のそれぞれの遅延要素から出力信号を受信する複数の N A N D ゲートと、

前記 N A N D ゲートの出力と結合されるラッチとをさらに備え、

前記ラッチは、前記デジタル遅延ラインのうちのより高速なものの完了に応じて、前記デジタル遅延ラインのうちのより低速のものからのデータを保存するように構成される、請求項 1 ～ 7 のいずれかに記載のマイクロコントローラ。

【請求項 9】

各遅延ラインの最後の遅延要素の出力と結合される O R ゲートをさらに備え、前記 O R ゲートの出力は、前記ラッチを制御する信号を発生させる、請求項 8 に記載のマイクロコントローラ。

【請求項 10】

前記ラッチと結合されるサーモメータ・バイナリコンバータをさらに備える、請求項 8 ～ 9 のいずれかに記載のマイクロコントローラ。

【請求項 11】

各遅延ラインの前記第 2 の回路は、オーバーフローレンジを定義する所定のビットのラッチと N A N D ゲートを通して結合される、請求項 8 ～ 10 のいずれかに記載のマイクロコントローラ。

【請求項 12】

各デジタル遅延ラインは、前記第 1 の回路および前記第 2 の回路と直列に結合される第 3 の回路をさらに備え、前記第 3 の回路は、遅延要素のさらに別のセットを備え、各々、前記第 1 の電流または前記第 2 の電流によってバイアスされ、前記第 3 の回路の遅延要素は、前記ラッチと結合されない、請求項 8 に記載のマイクロコントローラ。

【請求項 1 3】

前記第 2 の回路および／または前記第 3 の回路は、複数のマルチプレクサを備え、各々、遅延要素と関連付けられており、前記遅延要素をバイパスするように構成される、請求項 1 に記載のマイクロコントローラ。

【請求項 1 4】

前記第 2 の回路は、遅延ライン端から 50 % 点および／または 25 % 点および／または 12.5 % 点に設置されるマルチプレクサを備える、請求項 1 に記載のマイクロコントローラ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本開示の実施形態は、ADC、プロセッサ、マイクロコントローラ、電子デバイス、ダイパッケージ、半導体パッケージ、および前述の実施形態の半導体デバイスのいずれかによって行われる方法を含む。

本発明は、例えば、以下を提供する。

(項目 1)

マイクロコントローラであって、
プロセッサコアと、
メモリと、

差動デジタル遅延ラインアナログ・デジタルコンバータ (ADC) を含む複数の周辺デバイスであって、前記 ADC は、

複数の差動デジタル遅延ラインと、

前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える第 1 の回路と、

前記差動デジタル遅延ライン内に含まれる遅延要素の別のセットを備える第 2 の回路

と

を備え、

前記第 1 の回路は、入力のアナログ・デジタル変換を表すデータを発生させるように構成され、

前記第 2 の回路は、前記差動デジタル遅延ラインへのソースを較正するように構成される、

複数の周辺デバイスと

を備える、マイクロコントローラ。

(項目 2)

前記第 2 の回路によって生成された値によって調節されるように構成される電流ソース回路をさらに備える、項目 1 または 3-9 のいずれかに記載のマイクロコントローラ。

(項目 3)

前記第 2 の回路からの較正に基づいて、前記差動デジタル遅延ラインのそれぞれへの基準電流を鏡映するように構成される電流ソース回路をさらに備える、項目 1-2 または 4-9 のいずれかに記載のマイクロコントローラ。

(項目 4)

前記第 1 の回路は、入力電圧と基準電圧との間の差異を測定するように構成され、前記第 2 の回路は、前記入力電圧と前記基準電圧との間の測定に基づいて、前記ソースを較正するように構成される、項目 1-3 または 5-9 のいずれかに記載のマイクロコントローラ。

(項目 5)

入力差動電圧を差動電流に変換するように構成されるトランスコンダクタをさらに備え

、前記第 1 の回路は、前記差動電流を測定し、前記差動電圧を表すデータを発生させるように構成される、項目 1－4 または 6－9 のいずれかに記載のマイクロコントローラ。

(項目 6)

入力差動電圧を差動電流に変換することと、

前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジを調節することと

を行うように構成される、トランスコンダクタ

をさらに備える、項目 1－5 または 7－9 のいずれかに記載のマイクロコントローラ。

(項目 7)

各差動デジタル遅延ラインは、電流限定バッファ鎖を含む、項目 1－6 または 8－9 のいずれかに記載のマイクロコントローラ。

(項目 8)

所与の差動デジタル遅延ラインが、前記所与の差動デジタル遅延ラインに適用される差動電流に従って、ある速度で動作するように構成され、

前記 A D C はさらに、ラッチを備え、

前記ラッチは、より高速の差動デジタル遅延ラインの完了に応じて、より低速の差動デジタル遅延ラインからのデータを保存するように構成される、

項目 1－7 または 9 のいずれかに記載のマイクロコントローラ。

(項目 9)

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える第 3 の回路をさらに備え、前記第 3 の回路は、前記 A D C への入力が入力レンジから外れている程度を示すデータを生成するように構成される、項目 1－8 のいずれかに記載のマイクロコントローラ。

(項目 10)

マイクロコントローラであって、

プロセッサコアと、

メモリと、

差動デジタル遅延ラインアナログ・デジタルコンバータ (A D C) を含む複数の周辺デバイスであって、前記 A D C は、

複数の差動デジタル遅延ラインと、

前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える第 1 の回路と、

前記差動デジタル遅延ライン内に含まれる遅延要素の別のセットを備える第 2 の回路と、

を備え、

前記第 1 の回路は、入力のアナログ・デジタル変換を表すデータを発生させるように構成され、

前記第 2 の回路は、前記 A D C への入力が入力レンジから外れている程度を示すデータを生成するように構成される、

複数の周辺デバイスと、

を備える、マイクロコントローラ。

(項目 11)

前記第 1 の回路は、入力電圧と基準電圧との間の差異を測定するように構成される、項目 10 または 12－18 のいずれかに記載のマイクロコントローラ。

(項目 12)

パルス幅変調 (P W M) 回路をさらに備え、前記プロセッサコアは、前記 A D C への入力が入力レンジから外れている程度に基づいて、前記 P W M 回路の動作を調節するように構成される、項目 10－11 または 13－18 のいずれかに記載のマイクロコントローラ。

(項目 13)

前記プロセッサコアはさらに、前記 A D C への入力が入力レンジから外れている程

度に基づいて、前記入力レンジを調節するように構成される、項目 10-12 または 14-18 のいずれかに記載のマイクロコントローラ。

(項目 14)

入力差動電圧を差動電流に変換するように構成されるトランスコンダクタをさらに備え、前記第 1 の回路は、前記差動電流を測定し、前記差動電圧を表すデータを発生させるように構成される、項目 10-13 または 15-18 のいずれかに記載のマイクロコントローラ。

(項目 15)

入力差動電圧を差動電流に変換することと、
前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジを調節することと

を行うように構成される、トランスコンダクタ

をさらに備える、項目 10-14 または 16-18 のいずれかに記載のマイクロコントローラ。

(項目 16)

各差動デジタル遅延ラインは、電流限定バッファ鎖を含む、項目 10-15 または 17-18 のいずれかに記載のマイクロコントローラ。

(項目 17)

所与の差動デジタル遅延ラインが、前記所与の差動デジタル遅延ラインに適用される差動電流に従って、ある速度で動作するように構成され、

前記 ADC はさらに、ラッチを備え、

前記ラッチは、より高速の差動デジタル遅延ラインの完了に応じて、より低速の差動デジタル遅延ラインからのデータを保存するように構成される、

項目 10-16 または 18 のいずれかに記載のマイクロコントローラ。

(項目 18)

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える第 3 の回路をさらに備え、前記第 3 の回路は、前記差動デジタル遅延ラインへのソースを較正するように構成される、項目 10-17 のいずれかに記載のマイクロコントローラ。

(項目 19)

マイクロコントローラであって、

プロセッサコアと、

メモリと、

差動デジタル遅延ラインアナログ・デジタルコンバータ (ADC) を含む複数の周辺デバイスであって、前記 ADC は、

複数の差動デジタル遅延ラインと、

前記差動デジタル遅延ライン内に含まれる遅延要素のセットを備える第 1 の回路と、

トランスコンダクタであって、

入力差動電圧を差動電流に変換することと、

前記複数の差動デジタル遅延ラインに基づいて、入力を受け取り、電圧・電流レンジを調節することと

を行うように構成される、トランスコンダクタと

を備える、複数の周辺デバイスと

を備える、マイクロコントローラ。

(項目 20)

前記差動デジタル遅延ライン内に含まれる遅延要素のさらに別のセットを備える第 2 の回路をさらに備え、前記第 2 の回路は、前記 ADC への入力が入力レンジから外れている程度を示すデータを生成するように構成される、項目 1 に記載のマイクロコントローラ。

(項目 21)

項目 1-20 に記載のマイクロコントローラのいずれかの構成および動作に従って行われるステップを含む、方法。