

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 17 年 9 月 8 日 (2005.9.8)

【公開番号】特開 2002-333935 (P2002-333935A)

【公開日】平成 14 年 11 月 22 日 (2002.11.22)

【出願番号】特願 2002-72618 (P2002-72618)

【国際特許分類第 7 版】

G 0 6 F 3/00

G 0 6 F 3/06

G 0 6 F 11/20

G 0 6 F 12/16

【F I】

G 0 6 F 3/00 B

G 0 6 F 3/06 3 0 4 B

G 0 6 F 3/06 5 4 0

G 0 6 F 11/20 3 1 0 C

G 0 6 F 12/16 3 1 0 J

G 0 6 F 12/16 3 3 0 C

【手続補正書】

【提出日】平成 17 年 3 月 15 日 (2005.3.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のメモリとタスクプロセッサとシステム動作プロセッサとを含むように第 1 のコントローラを構成するステップであって、該第 1 のメモリが該第 1 のメモリに記憶されている全てのデータの第 1 のイメージを含むものであるステップと、

前記第 1 のコントローラを介して、冗長コントローラシステムを動作させるステップと

、

前記システム動作プロセッサを介して、システム動作コマンドを処理するステップと、

第 2 のメモリを含む第 2 のコントローラを前記冗長コントローラシステムへと挿入するステップと、

前記第 1 のコントローラを介して、前記システム動作コマンドを処理している間に、前記第 1 のメモリエイメージを前記第 2 のメモリにコピーすることを含むバックグラウンドタスクを、前記タスクプロセッサを用いて処理するステップと

を含んでなる、冗長コントローラシステムにコントローラを活線挿入する方法。

【請求項 2】

前記第 1 のメモリエイメージをいくつかのメモリブロックへと分割するステップと、該メモリブロックを前記第 2 のメモリにコピーするステップとをさらに含んでいる請求項 1 に記載の方法。

【請求項 3】

前記第 1 のコントローラと前記第 2 のコントローラとの間にメモリエイメージバスを構成するステップであって、前記第 1 のメモリエイメージが、前記メモリエイメージバスを介して前記第 2 のメモリにコピーされるものであるステップを含む請求項 1 に記載の方法。

【請求項 4】

前記第 1 のコントローラは、二重コントローラシステムを実行している間に前記第 2 のコントローラが挿入されたことを検出するステップをさらに含む請求項 1 に記載の方法。

【請求項 5】

前記第 2 のコントローラを挿入する前記ステップは、前記第 2 のメモリに対して自己試験を実行することを含む自己試験のすべてが成功した場合には、前記第 2 のコントローラが、前記第 1 のコントローラにメッセージを送信し、前記二重コントローラシステムに追加可能であることを示すステップを含む請求項 4 に記載の方法。

【請求項 6】

第 1 のメモリとタスクプロセッサとシステム動作プロセッサとを含む第 1 のコントローラであって、該第 1 のメモリは該第 1 のメモリに記憶されている全てのデータの第 1 のイメージを含むものであり、活線挿入操作の間に、前記システム動作プロセッサを介してシステム操作コマンドを処理することを含んで、冗長コントローラシステムが該第 1 のコントローラを介して操作されるものである第 1 のコントローラと、

前記冗長コントローラシステムへと挿入されるように構成された第 2 のメモリを含む第 2 のコントローラであって、前記第 1 のメモリイメージを前記第 2 のメモリにコピーすることを含むシステム動作コマンドを処理している間にバックグラウンドタスクを、前記第 1 のコントローラを介して前記タスクプロセッサを用いて処理するものである第 2 のコントローラと

を含んでなる、冗長コントローラの活線挿入のために構成された冗長コントローラシステム。

【請求項 7】

前記第 1 のコントローラと前記第 2 のコントローラとの間にある通信バスを含み、ここで、前記第 1 のコントローラは前記第 2 のコントローラと該通信バスを介して通信しており、冗長コントローラシステムを実行している間に前記第 2 のコントローラが挿入されたことを検出することを含む請求項 6 に記載の冗長コントローラシステム。

【請求項 8】

前記前記第 1 のコントローラが前記冗長コントローラシステムを実行し続けている間に、前記第 2 のコントローラが、第 2 のメモリの自己試験を実行することを含む自己試験を実行するように構成されている請求項 6 に記載の冗長コントローラシステム。

【請求項 9】

すべての前記自己試験が成功した場合には、前記第 2 のコントローラが、前記冗長コントローラシステムに前記第 1 のコントローラを追加することができることを示すメッセージを前記第 1 のコントローラに送信するように構成されている請求項 8 に記載の冗長コントローラシステム。