

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第6093409号  
(P6093409)

(45) 発行日 平成29年3月8日(2017.3.8)

(24) 登録日 平成29年2月17日(2017.2.17)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 9 A
HO 1 L 29/786 (2006.01)	HO 1 L 27/08 1 0 2 A
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 27/088 (2006.01)	HO 1 L 29/78 6 1 6 V
HO 1 L 27/08 (2006.01)	HO 1 L 29/78 6 1 6 U
請求項の数 4 (全 47 頁) 最終頁に続く	

(21) 出願番号	特願2015-148440 (P2015-148440)	(73) 特許権者	000153878
(22) 出願日	平成27年7月28日 (2015.7.28)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-145936 (P2014-145936)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	小山 潤
原出願日	平成21年10月27日 (2009.10.27)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-1745 (P2016-1745A)		半導体エネルギー研究所内
(43) 公開日	平成28年1月7日 (2016.1.7)	(72) 発明者	山崎 舜平
審査請求日	平成27年8月21日 (2015.8.21)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2008-281449 (P2008-281449)		半導体エネルギー研究所内
(32) 優先日	平成20年10月31日 (2008.10.31)		
(33) 優先権主張国	日本国 (JP)	審査官	岩本 勉
		最終頁に続く	

(54) 【発明の名称】 駆動回路

(57) 【特許請求の範囲】

【請求項1】

第1のエンハンスメント型トランジスタと第2のエンハンスメント型トランジスタを含むインバータ回路を有し、

前記第1のエンハンスメント型トランジスタの第1の酸化物半導体膜と前記第2のエンハンスメント型トランジスタの第2の酸化物半導体膜とに接して上方に膜中にOH基を含む酸化珪素膜を有し、

前記酸化珪素膜に接して上方に窒化珪素膜を有し、

前記第1のエンハンスメント型トランジスタと前記第2のエンハンスメント型トランジスタはそれぞれボトムゲート型トランジスタであり、

前記第1の酸化物半導体膜は、前記第1のエンハンスメント型トランジスタのチャネル形成領域を有し、

前記第2の酸化物半導体膜は、前記第2のエンハンスメント型トランジスタのチャネル形成領域を有することを特徴とする駆動回路。

【請求項2】

請求項1において、

前記第1のエンハンスメント型トランジスタのゲート端子及び第1の端子は、高電源電位を供給する配線に接続され、

前記第2のエンハンスメント型トランジスタのゲート端子は、入力信号が供給され、

前記第2のエンハンスメント型トランジスタの第1の端子は、前記第1のエンハンスメ

ント型トランジスタの第2の端子に電氣的に接続され、

前記第2のエンハンスメント型トランジスタの第2の端子は、低電源電位を供給する配線に接続されていることを特徴とする駆動回路。

【請求項3】

請求項2において、

前記高電源電位を供給する配線と前記第1の酸化物半導体膜との間に第3の酸化物半導体膜を有し、

前記低電源電位を供給する配線と前記第2の酸化物半導体膜との間に第4の酸化物半導体膜を有することを特徴とする駆動回路。

【請求項4】

請求項1乃至3のいずれか一において、

前記第1の酸化物半導体膜および前記第2の酸化物半導体膜は、インジウム、ガリウム及び亜鉛を含むことを特徴とする駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体を用いる駆動回路及びその作製方法、当該駆動回路を具備する表示装置、及び当該表示装置を具備する電子機器に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、多結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体として酸化亜鉛、 $\text{In-Ga-Zn-O}$ 系酸化物半導体を用いて薄膜トランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献1及び特許文献2で開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2007-123861号公報

【特許文献2】特開2007-96055号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体にチャネル形成領域を設ける薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタよりも高い電界効果移動度が得られている。酸化物半導体膜はスパッタ法などによって300以下の温度で膜形成が可能であり、酸化物半導体を用いた薄膜トランジスタは、多結晶シリコンを用いた薄膜トランジスタよりも製造工程が簡単である。

【0006】

このような酸化物半導体を用いてガラス基板上、プラスチック基板上等に薄膜トランジスタを形成し、液晶ディスプレイ、エレクトロルミネセンスディスプレイ又は電子ペーパー等への応用が期待されている。

【0007】

表示装置の高精細化に伴い、画素数が増加し、ゲート線数、及びソース線数が増加する。

10

20

30

40

50

ゲート線数、及びソース線数が増加すると、それらを駆動するための駆動回路を有するＩＣチップをボンディング等により実装することが困難となり、製造コストが増大するという問題がある。そのため駆動回路は、ガラス基板上、プラスチック基板上等に単極性の薄膜トランジスタで形成することが好ましい。しかしながら、アモルファスシリコンを用いて構成された単極性の駆動回路では、薄膜トランジスタの劣化に伴うしきい値電圧のシフトの問題がある。また、ポリシリコンを用いて構成された単極性の駆動回路では、しきい値電圧のばらつきが顕著になってしまう問題がある。そのため、アモルファスシリコンを用いた単極性の駆動回路及びポリシリコンを用いた単極性の駆動回路では、しきい値電圧のシフトまたはしきい値電圧のばらつきの補正回路を構築することにより、回路が占める面積が増大してしまう。

10

#### 【０００８】

一方、酸化物半導体を用いた薄膜トランジスタによって単極性の駆動回路を構成する場合、アモルファスシリコン及びポリシリコンを用いた薄膜トランジスタほど、しきい値電圧のシフトまたはしきい値電圧のばらつきの問題は顕著ではないものの、酸化物半導体を経時的に劣化することによる、しきい値電圧のばらつきの問題は残る。こういった諸問題を解決することは、表示装置での映像の質を高めること、または駆動回路の動作の安定性の向上させることにも重要である。また一方で酸化物半導体を用いた薄膜トランジスタでは、消費電力を低減するために、薄膜トランジスタをオフにした際に流れる電流を小さくすることが望まれる。

#### 【０００９】

20

そこで本発明の一態様は、酸化物半導体にチャネル形成領域を設ける薄膜トランジスタで構成された駆動回路を有する表示装置において、回路が占める面積を大きくすることなく、酸化物半導体を経時的に劣化することによる薄膜トランジスタのしきい値電圧のシフトを低減し、且つ薄膜トランジスタをオフにした際にソースとドレインの間を流れる電流（以下、オフ電流ともいう）を低減することを課題の一とする。

#### 【課題を解決するための手段】

#### 【００１０】

本発明の一態様としては、複数のインバータ回路及び複数のスイッチを有し、前記インバータ回路は、第１の酸化物半導体膜を有し、ゲート端子及び第１端子が高電源電位を供給する配線に接続された第１の薄膜トランジスタと、第２の酸化物半導体膜を有し、前記第１の薄膜トランジスタの第２端子が第１端子に接続され、第２端子が低電源電位を供給する配線に接続され、ゲート端子に入力信号が供給される第２のトランジスタと、を有し、前記第１の薄膜トランジスタ及び前記第２の薄膜トランジスタは、エンハンスメント型であり、前記第１の酸化物半導体膜及び前記第２の酸化物半導体膜上に接してＯＨ基を有する酸化珪素膜が設けられ、前記酸化珪素膜上に接して窒化珪素膜が設けられている表示装置の駆動回路である。

30

#### 【発明の効果】

#### 【００１１】

本発明の一態様により、回路が占める面積を大きくすることなく、薄膜トランジスタのしきい値電圧のシフトを低減し、且つオフ電流を低減することができる。

40

#### 【図面の簡単な説明】

#### 【００１２】

【図１】実施の形態１について説明する図。

【図２】実施の形態１について説明する図。

【図３】実施の形態１について説明する図。

【図４】実施の形態１について説明する図。

【図５】実施の形態１について説明する図。

【図６】実施の形態１について説明する図。

【図７】実施の形態１について説明する図。

【図８】実施の形態１について説明する図。

50

【図 9】実施の形態 1 について説明する図。  
【図 10】実施の形態 1 について説明する図。  
【図 11】実施の形態 1 について説明する図。  
【図 12】実施の形態 1 について説明する図。  
【図 13】実施の形態 1 について説明する図。  
【図 14】実施の形態 2 について説明する図。  
【図 15】実施の形態 2 について説明する図。  
【図 16】実施の形態 3 について説明する図。  
【図 17】実施の形態 3 について説明する図。  
【図 18】実施の形態 3 について説明する図。  
【図 19】実施の形態 3 について説明する図。  
【図 20】実施の形態 3 について説明する図。  
【図 21】実施の形態 3 について説明する図。  
【図 22】実施の形態 3 について説明する図。  
【図 23】実施の形態 3 について説明する図。  
【図 24】実施の形態 4 について説明する図。  
【図 25】実施の形態 4 について説明する図。  
【図 26】実施の形態 4 について説明する図。  
【図 27】実施の形態 6 について説明する図。  
【図 28】実施の形態 6 について説明する図。  
【図 29】実施の形態 5 について説明する図。  
【発明を実施するための形態】

10

20

#### 【0013】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

#### 【0014】

30

(実施の形態 1)

本実施の形態では、単極性の駆動回路を構成する酸化物半導体で構成した薄膜トランジスタとして、nチャネル型の薄膜トランジスタを用いる。そして画素部を駆動するための駆動回路として、ソース線駆動回路、及び/またはゲート線駆動回路について一例を挙げて説明し、本発明の一形態の利点について述べていくこととする。

#### 【0015】

まず図 1 には、表示装置の全体概略図について示している。基板 100 上に、ソース線駆動回路 101、ゲート線駆動回路 102、および画素部 103 を一体形成している。画素部 103 において、点線枠 110 で囲まれた部分が 1 画素である。図 1 の例で、ゲート線駆動回路 102 は、一方の端部に設けられる構成について示したが、複数有する構成としてもよい。また、表示装置の画素では、薄膜トランジスタ(以下、TFTと表記する)によって表示素子の制御を行っている。ソース線駆動回路 101、ゲート線駆動回路 102 を駆動する信号(クロック信号、スタートパルス等)は、フレキシブルプリント基板(Flexible Print Circuit:FPC)104 を介して、外部より入力される。なお基板上にロジック回路、電源回路及び発振回路等の回路 105 を設け、駆動回路を制御するための信号を基板上で生成し、ソース線駆動回路 101、ゲート線駆動回路 102 に供給する構成としてもよい。

40

#### 【0016】

画素部を駆動するためのソース線駆動回路 101、ゲート線駆動回路 102 は、インバータ回路、容量素子、TFT等の素子を用いたスイッチ、抵抗素子などを用いて構成する。

50

単極性のTFTを備えた駆動回路として、2つのnチャネル型TFTを組み合わせるインバータ回路を形成する場合、エンハンスメント型トランジスタとデプレッション型トランジスタとを組み合わせる場合（以下、EDMOS回路という）と、エンハンスメント型トランジスタ同士で形成する場合（以下、EEMOS回路という）と、エンハンスメント型トランジスタと抵抗素子とを組み合わせる場合（以下、ERMOS回路という）がある。一方、駆動回路と同じ基板上に形成される画素部に設ける薄膜トランジスタとして、エンハンスメント型トランジスタを用いることが好適である。エンハンスメント型トランジスタはしきい値電圧が正であるため、ゲートとソースの間にかかる電圧によって流れる電流を、デプレッション型トランジスタより小さくすることができ、低消費電力化を図ることができるからである。

10

#### 【0017】

そのため、画素部を駆動するための駆動回路のインバータ回路として、画素部と同じエンハンスメント型のTFTで構成される、EEMOS回路を用いることが好適である。駆動回路に用いるインバータ回路として、EEMOS回路を用いることにより、画素部及び駆動回路を作製する際のトランジスタの種類を一種類とするため、作製工程の短縮化を図ることができる。なお本実施の形態で説明するエンハンスメント型トランジスタは、酸化物半導体を用いており、その電気特性は、ゲート電圧 $\pm 20\text{V}$ において、オンオフ比が $10^9$ 以上であるため、ソースとドレイン間をリークする電流が少なく、低消費電力駆動を実現することができる。

20

#### 【0018】

なお、nチャネル型TFTのしきい値電圧が正の場合は、エンハンスメント型トランジスタと定義し、nチャネル型TFTのしきい値電圧が負の場合は、デプレッション型トランジスタと定義し、本明細書を通してこの定義に従うものとする。

#### 【0019】

なお、本明細書中で用いる酸化物半導体は、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される薄膜を形成し、その薄膜を半導体層として用いた薄膜トランジスタを作製する。なお、Mは、ガリウム(Ga)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)及びコバルト(Co)から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合の他、GaとNi又はGaとFeなど、Gaと上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においてはこの薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

30

#### 【0020】

In-Ga-Zn-O系非単結晶膜の結晶構造は、スパッタ法で成膜した後、 $200 \sim 500$ 、代表的には $300 \sim 400$  で10分～100分熱処理を行っても、アモルファス構造がXRD(X線回折)の分析で観察することができる。また、TFTの電気特性もゲート電圧 $\pm 20\text{V}$ において、オンオフ比が $10^9$ 以上、移動度が $10$ 以上のものを作製することができる。このような電気特性を有する酸化物半導体膜を用いて作製した薄膜トランジスタは、アモルファスシリコンを用いて作製した薄膜トランジスタに比べ高い移動度を有し、当該薄膜トランジスタを具備するシフトレジスタで構成される駆動回路を高速駆動させることができる。

40

#### 【0021】

なお本明細書において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間に何らかの電氣的作用を有する対象物が存在するとき、対象物を介してAとBとが概略同一ノードとなる場合を表すものとする。

#### 【0022】

具体的には、AとBとが接続されている、とは、トランジスタのようなスイッチング素子を介してAとBとが接続され、該スイッチング素子の導通によって、AとBとが概略同電位となる場合や、抵抗素子を介してAとBとが接続され、該抵抗素子の両端に発生する電

50

位差が、AとBとを含む回路の動作に影響しない程度となっている場合など、回路動作を考えた場合、AとBとが同一ノードとして捉えて差し支えない状態である場合を表す。

【0023】

なお、表示装置とは、発光素子または液晶素子等の表示素子を有する装置のことを言う。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでも良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成される。なお、表示装置は、フレキシブルプリント基板(FPC)を含んでもよい。なお、表示装置は、フレキシブルプリント基板(FPC)などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板(PWB)を含んでも良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでも良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでも良い。

10

【0024】

なお、一画素とは、明るさを制御できる要素一つ分を示すものとする。よって、一例としては、一画素とは、一つの色要素を示すものとし、その色要素一つで明るさを表現する。従って、そのときは、RGBの色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとする。

【0025】

なお本明細書にて用いる第1、第2、第3、乃至第N(Nは自然数)という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

20

【0026】

次にインバータ回路としてEEMOS回路を用いたゲート線駆動回路、及びソース線駆動回路の回路図、並びに上面図と断面図について一例を示し、説明する。

【0027】

次に、インバータ回路としてEEMOS回路を用いたソース線駆動回路の構成について説明を行う。

【0028】

図2は、図1に示した表示装置における、ソース線駆動回路101の構成を示した図である。ソース線駆動回路は、クロック信号用レベルシフタ201、スタートパルス用レベルシフタ202、シフトレジスタ251を構成するパルス出力回路203、NAND回路204、バッファ205、サンプリングスイッチ206を有しており、外部より入力される信号は、第1のクロック信号(CLK1)、第2のクロック信号(CLK2)、スタートパルス(SP)、アナログ映像信号(Video)である。この中で、第1のクロック信号(CLK1)、第2のクロック信号(CLK2)、およびスタートパルス(SP、または入力信号ともいう)に関しては、外部から駆動回路に低電圧振幅の信号として入力された直後、クロック信号用レベルシフタ201又はスタートパルス用レベルシフタ202によって振幅変換を受け、高電圧振幅の信号となる。また、本実施の形態の表示装置におけるソース線駆動回路は、一例として、シフトレジスタ中の1段のパルス出力回路より出力されるサンプリングパルスが、サンプリングスイッチ206を駆動することによって、ソース線Sout1乃至Sout(N)列分のアナログ映像信号を同時にサンプリングしているものを説明する。なお、他にも走査方向を切り替えるための走査方向切り替え信号等を入力する構成としても良い。また本実施の形態では、第1のクロック信号(CLK1)、第2のクロック信号(CLK2)の2相のクロック信号により駆動する例を示すが、2相以外のクロック信号の入力により駆動回路を駆動する構成としてもよい。

30

40

【0029】

図3(A)、(B)に、図2で示したシフトレジスタ251が有するパルス出力回路203の構成を示す。なお本実施の形態では、スタティック回路のシフトレジスタについて一例を示し、説明するものである。パルス出力回路300は、一例として、スタートパルスSPが入力される端子に接続された第1のスイッチ301と、第1のスイッチ301を介

50

して入力される信号を反転して出力する第1のインバータ回路302と、第1のインバータ回路302で反転された信号を反転して出力する第2のインバータ回路303と、第2のインバータ回路303で反転された信号が入力される端子に接続された第2のスイッチ304及び第3のインバータ回路305と、で構成される。図3(A)に示した回路図において、点線350で示したブロックが1段分のサンプリングパルスを出力するパルス出力回路であり、図3(A)のシフトレジスタは、N段(nは自然数、 $1 < N$ )のパルス出力回路によって構成されている。N段のパルス出力回路からは、それぞれの第3のインバータ回路305の出力端子より、出力信号out1乃至outNが出力される。なお、上記説明した1段目(奇数段目)の次段である2段目(偶数段目)のパルス出力回路では、第1のスイッチ301と第2のスイッチ304との間で、入力される第1のクロック信号と第2のクロック信号とを入力する配線が切り替わって接続される。以下3段目以降、交互に第1のクロック信号と第2のクロック信号とを入力する配線が、第1のスイッチ301と第2のスイッチ304との間に交互に切り替わって接続される。

10

#### 【0030】

図3(B)は、パルス出力回路の回路構成を詳細に示したものである。パルス出力回路本体は、TF T 351、TF T 352、TF T 353、TF T 354、TF T 355、TF T 356、TF T 357、TF T 358を有する。また奇数段目のパルス出力回路331及び偶数段目のパルス出力回路332は、第1のクロック信号CLK1を供給するための配線359、及び第2のクロック信号CLK2を供給するための配線360に接続されている。一段目のパルス出力回路331において、TF T 351の第1端子はスタートパルスSPが入力される端子に接続され、ゲート端子は配線359が接続され、第2端子はTF T 353のゲート端子及びTF T 356の第2端子に接続される。TF T 352の第1端子及びゲート端子は高電源電位VDDが供給される配線に接続され、第2端子はTF T 353の第1端子、TF T 355のゲート端子、TF T 358のゲート端子に接続される。TF T 353の第2端子は低電源電位VSS(GNDともいう)が供給される配線に接続される。TF T 354の第1端子及びゲート端子は高電源電位VDDが供給される配線に接続され、第2端子はTF T 355の第1端子及びTF T 356の第1端子に接続される。TF T 355の第2端子は低電源電位VSSが供給される配線に接続される。TF T 356のゲート端子は配線360に接続される。TF T 357の第1端子及びゲート端子は高電源電位VDDが供給される配線に接続され、第2端子はTF T 358の第1端子に接続される。なお、1段目のパルス出力回路331におけるTF T 357の第2端子は、2段目のパルス出力回路332におけるTF T 351の第1端子に接続される。同様に、パルス出力回路におけるTF Tの第2端子には、順次次の段のパルス出力回路が接続される。

20

30

#### 【0031】

図3(B)において、TF T 352及びTF T 353は、図3(A)で示した第1のインバータ回路302に相当し、EEMOS回路を構成する。また、TF T 354及びTF T 355は、図3(A)で示した第2のインバータ回路303に相当し、EEMOS回路を構成する。TF T 351は、図3(A)で示した第1のスイッチ301に相当する。TF T 356は、図3(A)で示した第2のスイッチ304に相当する。なおTF T 351及びTF T 356は、TF T 352乃至TF T 355と同様に、エンハンスメント型トランジスタで構成することが好ましい。スイッチとしてエンハンスメント型トランジスタを用いることにより、トランジスタのオフ電流を低減することができるため、低消費電力化が図れるとともに、作製プロセスを簡略することができる。

40

#### 【0032】

なお、nチャネル型トランジスタまたはpチャネル型トランジスタのようなトランジスタは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル形成領域を有しており、ドレイン領域とチャネル形成領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはド

50

ラインであるかを限定することが困難な場合もある。そこで、本実施の形態においては、ソース及びドレインとして機能する領域のそれぞれを、第1端子、第2端子と表記するものとする。またゲートとして機能する端子については、ゲート端子と表記するものとする。

#### 【0033】

ここで、図3(A)、(B)で示した回路の回路動作について説明する。図4に示すタイミングチャートを参照する。なお図4では説明のため、図3(B)で示す回路でのノードとして1段目のパルス出力回路において、TF T 3 5 1の第2端子をノードA(図4中、Aと示す)、TF T 3 5 2の第2端子をノードB(図4中、Bと示す)、TF T 3 5 4の第2端子をノードC(図4中、Cと示す)、TF T 3 5 7の第2端子をノードout 1(図4中、out 1と示す)とする。また図3(B)で示す回路でのノードとして2段目のパルス出力回路において、TF T 3 5 1の第2端子をノードD(図4中、Dと示す)、TF T 3 5 2の第2端子をノードE(図4中、Eと示す)、TF T 3 5 4の第2端子をノードF(図4中、Fと示す)、TF T 3 5 7の第2端子をノードout 2(図4中、out 2と示す)とする。また図3(B)で示す回路でのノードとして3段目のパルス出力回路において、TF T 3 5 1の第2端子をノードG(図4中、Gと示す)とする。

#### 【0034】

図4中、期間T1で、スタートパルスSPがHレベル、第1のクロック信号CLK1がHレベル、第2のクロック信号がLレベルの際の動作について説明する。第1のクロック信号CLK1がHレベルになることで、1段目のパルス出力回路のTF T 3 5 1がオン状態となる。そして、スタートパルスの電圧レベルであるHレベルが、ノードAの電圧レベルをHレベルに上昇させる。そして、ノードAの電圧レベルがHレベルに上昇することにより、1段目のパルス出力回路のTF T 3 5 3がオン状態になる。そして、低電源電位の電圧レベルであるLレベルが、ノードBの電圧レベルをLレベルに下降させる。そして、ノードBの電圧レベルがLレベルに下降することにより、1段目のパルス出力回路のTF T 3 5 5がオフ状態となる。そして、高電源電位の電圧レベルであるHレベルが、ノードCの電圧レベルをHレベルに上昇させる。また、ノードBの電圧レベルがLレベルに下降することにより、1段目のパルス出力回路のTF T 3 5 8がオフ状態となる。そして、高電源電位の電圧レベルであるHレベルが、ノードout 1の電圧レベルをHレベルに上昇させる。なお、第2のクロック信号CLK2は、Lレベルであるため、1段目のパルス出力回路のTF T 3 5 6及び2段目のパルス出力回路のTF T 3 5 1はオフ状態となる。

#### 【0035】

次に図4中、期間T2で、スタートパルスSPがLレベル、第1のクロック信号CLK1がLレベル、第2のクロック信号がHレベルの際の動作について説明する。第1のクロック信号がLレベルになることで、1段目のパルス出力回路のTF T 3 5 1がオフ状態となる。一方、第2のクロック信号CLK2は、Hレベルであるため、1段目のパルス出力回路のTF T 3 5 6はオン状態となる。そのため、期間T1でHレベルにあったノードCの電圧レベルにより、ノードAの電圧レベルがHレベルを保持することとなる。そして、1段目のパルス出力回路では、期間T1と同じ動作を行うこととなる。期間T2では、第2のクロック信号CLK2がHレベルになることで、2段目のパルス出力回路のTF T 3 5 1がオン状態となる。そして、ノードout 1の電圧レベルであるHレベルが、ノードDの電圧レベルをHレベルに上昇させる。そして、ノードDの電圧レベルがHレベルに上昇することにより、2段目のパルス出力回路のTF T 3 5 3がオン状態になる。そして、低電源電位の電圧レベルであるLレベルが、ノードEの電圧レベルをLレベルに下降させる。そして、ノードEの電圧レベルがLレベルに下降することにより、2段目のパルス出力回路のTF T 3 5 5がオフ状態となる。そして、高電源電位の電圧レベルであるHレベルが、ノードFの電圧レベルをHレベルに上昇させる。また、ノードEの電圧レベルがLレベルに下降することにより、2段目のパルス出力回路のTF T 3 5 8がオフ状態となる。そして、高電源電位の電圧レベルであるHレベルが、ノードout 2の電圧レベルをHレベルに上昇させる。なお、第1のクロック信号CLK1は、Lレベルであるため、2段目



のパルス出力回路の T F T 3 5 6 及び 3 段目のパルス出力回路の T F T 3 5 1 はオフ状態となる。

【 0 0 3 6 】

次に図 4 中、期間 T 3 で、スタートパルス S P が L レベル、第 1 のクロック信号 C L K 1 が H レベル、第 2 のクロック信号が L レベルの際の動作について説明する。第 1 のクロック信号が H レベルになることで、1 段目のパルス出力回路の T F T 3 5 1 がオン状態となる。一方、第 2 のクロック信号 C L K 2 は、L レベルであるため、1 段目のパルス出力回路の T F T 3 5 6 はオフ状態となる。そのため、ノード A の電圧レベルが L レベルに下降することとなる。そして、ノード A の電圧レベルが L レベルに下降することにより、1 段目のパルス出力回路の T F T 3 5 3 がオフ状態になる。そして、高電源電位の電圧レベルである H レベルが、ノード B の電圧レベルを H レベルに上昇させる。そして、ノード B の電圧レベルが H レベルに上昇することにより、1 段目のパルス出力回路の T F T 3 5 5 がオン状態となる。そして、低電源電位の電圧レベルである L レベルが、ノード C の電圧レベルを L レベルに下降させる。また、ノード B の電圧レベルが H レベルに上昇することにより、1 段目のパルス出力回路の T F T 3 5 8 がオン状態となる。そして、低電源電位の電圧レベルである L レベルが、ノード o u t 1 の電圧レベルを L レベルに下降させる。なお、第 2 のクロック信号 C L K 2 は、L レベルであるため、1 段目のパルス出力回路の T F T 3 5 6 及び 2 段目のパルス出力回路の T F T 3 5 1 はオフ状態となる。また、期間 T 2 での 1 段目のパルス出力回路と同様に、2 段目のパルス出力回路の T F T 3 5 6 はオン状態となっており、期間 T 2 で H レベルにあったノード F の電圧レベルにより、ノード F の電圧レベルが H レベルを保持することとなる。そして、2 段目のパルス出力回路では、期間 T 2 と同じ動作を行うこととなる。期間 T 3 では、第 1 のクロック信号 C L K 1 が H レベルになることで、3 段目のパルス出力回路の T F T 3 5 1 がオン状態となる。そして、ノード o u t 2 の電圧レベルである H レベルが、ノード G の電圧レベルを H レベルに上昇させる。そして、ノード G の電圧レベルが H レベルに上昇することにより、3 段目のパルス出力回路の T F T 3 5 3 がオン状態になる。以下、順次トランジスタのオンまたはオフが制御されることにより、パルス出力回路を複数段組み合わせたシフトレジスタとして駆動することができる。

【 0 0 3 7 】

なお、図 3 ( A )、図 3 ( B )、図 4 で説明したパルス出力回路において、ノード A とノード C との間に第 2 のスイッチ 3 0 4 が設けられている構成について示している。これは、高電源電位 V D D に接続された T F T 3 5 4 により制御されるノード C の電圧レベルが ( V D D - V t h N ) 以下 ( V t h N は T F T 3 5 4 のしきい値電圧 ) となるためである。第 2 のスイッチ 3 0 4 によって、ノード A とノード C との接続を切り離して駆動することによって、ノード A の電位による T F T 3 5 3 の駆動能力を高めることができるため好適である。なお、第 2 のスイッチ 3 0 4 を設けない構成としても、本実施の形態の発明をなし得ることができる。

【 0 0 3 8 】

また、ソース線駆動回路の構成では、各パルス出力回路から出力される信号の否定論理積 ( N A N D ) をとって、各ソース線を駆動するための信号を生成している。そのため、最終段のパルス出力回路においては、ソース線の数より多いパルス出力回路を設けておいて、ソース線に出力するための信号を生成する構成とすることが好ましい。

【 0 0 3 9 】

図 5 ( A ) は、図 2 で示したクロック信号用レベルシフタ 2 0 1 の構成を示している。これは、互いに逆の極性を有するクロック信号 ( C L K 1 と C L K 2 ) を、1 入力型のレベルシフタ回路を並列に配置してそれぞれ振幅変換を行い ( S t a g e 1 )、以後のバッファ段 ( S t a g e 2 ~ S t a g e 4 ) では、互いの出力をそれぞれの反転入力信号として用いる構成をとっている。

【 0 0 4 0 】

図 5 ( A ) に示した回路の動作について説明する。なお、ここで用いている電源の電位

は、 $VSS$ 、 $VDD0$ 、 $VDD$ の3電位であり、 $VSS < VDD0 < VDD$ とする。クロック信号の振幅をソース線駆動回路入力部でレベルシフトする構成とすることで、低消費電力化及びノイズの減少を図ることができる。また、図5(A)において、TFT601、TFT603、TFT606、TFT608はダブルゲート構造をとっているが、これらはシングルゲートでも良いし、3つ以上のゲート電極を有するマルチゲート構造であっても良い。その他のTFTに関しても、ゲート電極の数による制限は特に設けない。

#### 【0041】

信号入力部(CLK<sub>in1</sub>)より、Lレベル/Hレベル= $VSS/VDD0$ の振幅を有する第1の入力クロック信号(CLK<sub>in1</sub>)が入力される。第1の入力クロック信号がHレベルのとき、TFT602、604がオン状態になり、TFT603のゲート電極の電圧レベルがLレベルとなってオフ状態になる。ここで、TFT602のオン抵抗は、TFT601のそれよりも十分に低く設計しておく。よってノードは、Lレベルとなる。第1の入力クロック信号がLレベルのとき、TFT602、604はオフ状態になる。よって、飽和動作しているTFT601を通じて、TFT603のゲート端子の電圧レベルは $VDD$ に上昇し、その電位が $(VDD - V_{thN})$ となったところでTFT601はオフ状態になり、TFT603のゲート電極が浮遊状態となる。これによりTFT603がオン状態になり、ノードの電位は $VDD$ に上昇する。ここで、容量605により、ノードの電位上昇に伴って、浮遊状態となっているTFT603のゲート端子の電位が上昇し、その電位は $VDD$ よりも高い電位をとり、 $(VDD + V_{thN})$ を上回ることによって、ノードに現れるHレベルは $VDD$ に等しくなる。よって、出力信号のLレベルは $VSS$ 、Hレベルは $VDD$ となり、振幅変換が完了する。

#### 【0042】

一方、信号入力部(CLK<sub>in2</sub>)より、同じく $VSS/VDD0$ の振幅を有する第2の入力クロック信号(CLK<sub>in2</sub>)が入力される。前述と同様の動作によって、TFT606乃至TFT609および容量610で構成された1入力型のレベルシフト回路によって振幅変換が行われ、ノードには $VSS/VDD$ の振幅を有する信号が出力される。なお、ノードに現れた信号は、入力された第1の入力クロック信号に対して極性が反転しており、ノードに現れた信号は、入力された第2の入力クロック信号に対して極性が反転している。

#### 【0043】

図5(A)で説明するレベルシフトは、振幅変換後のパルスに対する負荷を考慮して、レベルシフト回路(Stage1)の後に、バッファ段を設けている(Stage2~Stage4)。このバッファ段を構成するインバータ回路は2入力型であり、入力信号およびその反転信号を要する。2入力型を用いる理由は、低消費電力化である。前述のレベルシフト回路において、TFT602がオン状態であるとき、TFT601乃至TFT602を通じて、 $VSS - VDD$ 間に貫通電流が流れる。2入力型を用いることによって、動作中に貫通電流が流れないようにしている。

#### 【0044】

図5(A)では、Stage2のインバータ回路において、TFT611のゲート端子に入力される信号と、TFT612のゲート端子に入力される信号は、互いに逆の極性を有する信号である。そこで、第1の入力クロック信号および第2の入力クロック信号が、互いに極性の反転した信号であることを利用し、ノードに現れた出力信号と、ノードに現れた出力信号とを、互いの信号の反転入力信号として用いている。

#### 【0045】

インバータ回路の動作について説明する。ここでは、Stage2の一方である、TFT611乃至614および容量615でなるインバータ回路における動作について述べる。

Stage2の他方であるTFT616乃至TFT619及び容量620でなるインバータ回路、Stage3のTFT621乃至TFT624及び容量625でなるインバータ回路、Stage3のTFT626乃至TFT629及び容量630でなるインバータ回

路、S t a g e 4 の T F T 6 3 1 乃至 T F T 6 3 4 及び容量 6 3 5 でなるインバータ回路、S t a g e 4 の T F T 6 3 6 乃至 T F T 6 3 9 及び容量 6 4 0 でなるインバータ回路などの、他のインバータ回路に関しても動作は同様である。

【 0 0 4 6 】

T F T 6 1 1 のゲート端子に入力される信号が H レベルのとき、T F T 6 1 1 がオン状態となり、T F T 6 1 3 のゲート電極の電位は V D D に上昇し、その電位が  $(V D D - V_{thN})$  となったところで T F T 6 1 1 がオフ状態となり、T F T 6 1 3 のゲート端子は浮遊状態となる。一方、T F T 6 1 2、6 1 4 のゲート電極に入力される信号は L レベルであるから、T F T 6 1 2、6 1 4 は O F F する。T F T 6 1 3 のゲート電極の電位は、 $(V D D - V_{thN})$  まで上昇しているから、T F T 6 1 3 はオン状態になり、ノード 10 の電位が V D D に上昇する。ここで、前述のレベルシフト回路の動作と同様、容量 6 1 5 の働きにより、ノード 10 の電位上昇に伴って、浮遊状態となっている T F T 6 1 3 のゲート電極の電位が引き上げられ、その電位は V D D よりも高い電位をとり、 $(V D D + V_{thN})$  を上回ることによって、ノード 10 に現れる H レベルは V D D に等しくなる。

【 0 0 4 7 】

一方、T F T 6 1 1 のゲート端子に入力される信号が L レベルのとき、T F T 6 1 1 がオフ状態になり、T F T 6 1 2、6 1 4 のゲート端子には H レベルが入力されてオン状態になる。したがって、T F T 6 1 3 のゲート電極の電位は L レベルとなり、ノード 10 には L レベルが現れる。

【 0 0 4 8 】

同様の動作により、ノード 10 にもパルスが出力される。このとき、ノード 10 には、ノード 10 に現れるパルスと極性が反転したパルスが出力される。

【 0 0 4 9 】

以後、S t a g e 3、S t a g e 4 においても同様の動作が行われる。ノード 10 には、ノード 10 に現れるパルスと極性が反転したパルスが出力される。最終的に信号出力部 (C L K o u t 1) および信号出力部 (C L K o u t 2) にパルスが出力される。

【 0 0 5 0 】

図 5 ( B ) は、クロック信号の振幅変換の様子を示したものである。入力信号の振幅は、L レベル / H レベル =  $V_{SS} / V_{DD0}$  であり、出力信号の振幅は、L レベル / H レベル =  $V_{SS} / V_{DD}$  となっている。

【 0 0 5 1 】

図 5 ( C ) は、図 2 で示したスタートパルス (S P) 用のレベルシフト 2 0 2 を示している。スタートパルスの場合、その反転信号を持たないことから、1 入力型のレベルシフト回路 (S t a g e 1) の出力が、1 入力型のインバータ回路 (S t a g e 2) に入力され、さらに S t a g e 1 の出力と S t a g e 2 の出力とを用いて、2 入力型のインバータ回路 (S t a g e 3) へと続く。回路動作に関しては、1 入力型のレベルシフト回路はクロック信号の場合と同様である。1 入力型のインバータ回路に関しても、1 入力型のレベルシフト回路と比較して、入力される信号の振幅が L レベル / H レベル =  $V_{SS} / V_{DD}$  であって、入出力パルス間の振幅変換がないことを除いて、回路内の動作は同様であるので、ここでは説明を省略する。なお、図 5 ( C ) において、1 入力型のインバータ回路 (S t a g e 1) は T F T 6 4 1 乃至 6 4 4 及び容量 6 4 5 を有し、1 入力型のインバータ回路 (S t a g e 2) は T F T 6 4 6 乃至 6 4 9 及び容量 6 5 0 を有し、2 入力型のインバータ回路 (S t a g e 3) は T F T 6 5 1 乃至 6 5 4 及び容量 6 5 5 を有する。

【 0 0 5 2 】

図 5 ( D ) は、スタートパルス (S P) の振幅変換の様子を示したものである。入力信号の振幅は、クロック信号と同様、L レベル / H レベル =  $V_{SS} / V_{DD0}$ 、出力信号の振幅は、L レベル / H レベル =  $V_{SS} / V_{DD}$  となっている。

【 0 0 5 3 】

図 6 ( A ) は、図 2 で示した 2 入力型の N A N D 回路 2 0 4 を示している。構成としては、1 入力型のインバータ回路と類似であり、1 入力インバータ回路における信号入力部

10

20

30

40

50

が2入力となり、T F T 7 0 2、7 0 3およびT F T 7 0 5、7 0 6が直列配置されている点のみが異なる。なお、図6 ( A )においてT F T 7 0 1がダブルゲート構造をとっている例を示している。

#### 【 0 0 5 4 】

信号入力部 ( I n 1 ) および信号入力部 ( I n 2 ) に、ともにHレベルが入力されると、T F T 7 0 2、7 0 3、7 0 5、7 0 6がONし、T F T 7 0 4のゲート端子の電圧レベルがLレベルとなってオフ状態となり、信号出力部 ( O u t ) にはLレベルが現れる。信号入力部 ( I n 1 ) および信号入力部 ( I n 2 ) のいずれか一方あるいは両方にLレベルが入力されると、T F T 7 0 4のゲート端子と低電源電位V S Sとは導通しないため、T F T 7 0 4のゲート端子の電圧レベルはV D Dに上昇してオン状態となり、さらに容量7 0 7の働きによって、( V D D + V t h N ) よりも高い電位をとり、信号出力部 ( O u t ) には電位V D DのHレベルが現れる。

10

#### 【 0 0 5 5 】

図6 ( B )は図2で示したバッファ2 0 5の構成を示しており、1入力型のインバータ回路 ( S t a g e 1 ) および2入力型のインバータ回路 ( S t a g e 2 ~ S t a g e 4 ) によって構成されている。1入力型のインバータ回路、2入力型のインバータ回路とも、動作に関してはレベルシフタの項で説明したので、ここでは説明を省略する。なお、図6 ( B )において、1入力型のインバータ回路 ( S t a g e 1 ) はT F T 7 1 1乃至7 1 4及び容量7 1 5を有し、2入力型のインバータ回路 ( S t a g e 2 ) はT F T 7 1 6乃至7 1 9及び容量7 2 0を有し、2入力型のインバータ回路 ( S t a g e 3 ) はT F T 7 2 1乃至7 2 4及び容量7 2 5を有し、2入力型のインバータ回路 ( S t a g e 4 ) はT F T 7 2 6乃至7 2 9及び容量7 3 0を有する。

20

#### 【 0 0 5 6 】

図6 ( C )は、図2で示したサンプリングスイッチ2 0 6の構成を示している。信号入力部 ( 2 5 ) より、サンプリングパルスが入力され、並列配置された1 2個のT F T 7 3 1が同時に制御される。1 2個のT F T 7 3 1の入力電極 ( 1 ) ~ ( 1 2 ) に、アナログ映像信号が入力され、サンプリングパルスが入力されたときの映像信号の電位を、ソース線に書き込む働きをする。

#### 【 0 0 5 7 】

本実施の形態にて示した表示装置は、画素部を駆動するための駆動回路のトランジスタを、画素T F Tと同一の極性を有する単極性で、且つエンハンスメント型のT F Tであるとする。これにより、相補型の回路構成とするための工程を省略することが可能となり、製造コストの削減や歩留まり向上に寄与することが出来る。

30

#### 【 0 0 5 8 】

次に図7は、図1で示した表示装置における、ゲート線駆動回路1 0 2の回路構成を示した図である。クロック信号用レベルシフタ7 5 1、スタートパルス用レベルシフタ7 5 2、シフトレジスタ7 8 1を構成するパルス出力回路7 5 3、N A N D回路7 5 4、バッファ7 5 5を有する。

#### 【 0 0 5 9 】

ゲート線駆動回路には、第1のクロック信号 ( C L K 1 )、第2のクロック信号 ( C L K 2 )、スタートパルス ( S P ) が入力される。これらの入力信号は、外部から低電圧振幅の信号として入力された直後、クロック信号用レベルシフタ7 5 1、スタートパルス用レベルシフタ7 5 2によって振幅変換を受け、高電圧振幅の信号として駆動回路に入力される。

40

#### 【 0 0 6 0 】

なお、パルス出力回路7 5 3、バッファ7 5 5、クロック信号用レベルシフタ7 5 1、スタートパルス用レベルシフタ7 5 2、及びN A N D回路7 5 4の構成および動作に関しては、ソース線駆動回路に用いたものと同様であるので、ここでは説明を省略する。

#### 【 0 0 6 1 】

次に、図3 ( B )に示したパルス出力回路のレイアウト図 ( 上面図 ) を図8に示す。なお

50

、図8では、複数段形成されるパルス出力回路のうち、一段目にあたるパルス出力回路について示すものである。

【0062】

図8のパルス出力回路は、電源電位VDDが供給される電源線801、電源電位GNDが供給される電源線802、制御信号線803、制御信号線804、制御信号線805、TF T 3 5 1、TF T 3 5 2、TF T 3 5 3、TF T 3 5 4、TF T 3 5 5、TF T 3 5 6、TF T 3 5 7、TF T 3 5 8で構成される。

【0063】

図8中では、酸化物半導体膜806、第1の配線層807、第2の配線層808、コンタクト孔809について示している。なお第1の配線層807は、ゲート電極を形成する層である。また、第2の配線層808は、トランジスタのソース電極またはドレイン電極を形成する層である。

【0064】

なお図8中での各回路素子の接続関係については、図3(B)と同様である。なお、図8中、制御信号線803はスタートパルスSPが供給される配線であり、制御信号線804は第1のクロック信号が供給される配線であり、制御信号線805は第2のクロック信号が供給される配線であり、電源線801は高電源電位VDDが供給される配線であり、電源線802は、低電源電位VSSが供給される配線である。

【0065】

図8のパルス出力回路のレイアウト図において、本実施の形態では、TF T 3 5 1乃至TF T 3 5 8をE E M O Sで構成とするものである。そのため、TF Tを流れるオフ電流を小さくすることができる。また酸化物半導体膜をチャネル形成領域に用いたTF Tは、アモルファスシリコンをチャネル形成領域に用いたTF Tに比べ、移動度等の電気的特性に優れるため、性能を落とすことなく、回路におけるTF Tが占める面積を縮小することができる。

【0066】

なお、図8のパルス出力回路のレイアウト図において、TF T 3 5 1乃至TF T 3 5 8のチャネル形成領域の形状をU字型にしてもよい。また図中では各TF Tのサイズについて同サイズとして示しているが、後段の負荷の大きさに応じてTF Tの大きさを適宜変更しても良い。

【0067】

次に図8で説明したレイアウト図におけるTF Tの作製工程について図9を用いて説明する。図9では、2つのnチャネル型の薄膜トランジスタを用いて駆動回路を構成するインバータ回路、例えば図8におけるTF T 3 5 4及びTF T 3 5 5の断面を示して、その作製を以下説明する。なお、TF T 3 5 4及びTF T 3 5 5の断面は、図8中の点線A - B、及びC - Dについて示すものである。

【0068】

なお、画素部と駆動回路は、同一基板上に形成し、画素部においては、マトリクス状に配置したエンハンスメント型トランジスタを用いて画素電極への電圧印加のオンオフを切り替える。この画素部に配置するエンハンスメント型トランジスタは、酸化物半導体を用いており、その電気特性は、ゲート電圧 $\pm 20$  Vにおいて、オンオフ比が $10^9$ 以上であるため、リーク電流が少なく、低消費電力駆動を実現することができる。

【0069】

駆動回路のインバータ回路の断面構造を図9(A)に示す。なお、図9(A)に示すTF T 3 5 4、TF T 3 5 5は、半導体層下にゲート絶縁膜を介してゲート電極が設けられ、半導体層上に配線が設けられている薄膜トランジスタの例である。

【0070】

図9(A)において、基板900上に第1のゲート電極901及び第2のゲート電極902を設ける。第1のゲート電極901及び第2のゲート電極902の材料は、アルミニウム(Al)や銅(Cu)などの低抵抗導電性材料で形成することが望ましいが、Al単体

10

20

30

40

50

では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせ形成する。耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

【0071】

例えば、第1のゲート電極901及び第2のゲート電極902の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムと珪素の合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。

10

【0072】

また、第1のゲート電極901及び第2のゲート電極902を覆うゲート絶縁層903上には、第1の酸化物半導体膜905と、第2の酸化物半導体膜907とを設ける。

【0073】

第1の酸化物半導体膜905上には、ゲート絶縁層903に形成されたコンタクトホール904を介して第1のゲート電極901と直接接続した第1配線909、及び第2の酸化物半導体膜907上に延在した第2配線910を設ける。また、第2の酸化物半導体膜907上には第3配線911を設ける。

20

【0074】

TFT354は、第1のゲート電極901と、ゲート絶縁層903を介して第1のゲート電極901と重なる第1の酸化物半導体膜905とを有し、第1配線909、第2配線910に接続される。

【0075】

また、TFT355は、第2のゲート電極902と、ゲート絶縁層903を介して第2のゲート電極902と重なる第2の酸化物半導体膜907とを有し、第2配線910、第3配線911に接続される。

【0076】

また、第1の酸化物半導体膜905と第1配線909との間には $n^+$ 層906aを設け、第1の酸化物半導体膜905と第2配線910との間には $n^+$ 層906bを設ける。また、第2の酸化物半導体膜907と第2配線910との間には $n^+$ 層908aを設け、第2の酸化物半導体膜907と第3配線911との間には $n^+$ 層908bを設ける。

30

【0077】

本実施の形態で説明する、ソース領域又はドレイン領域として機能できる $n^+$ 層906a、906b、908a、908bは、In-Ga-Zn-O系非単結晶膜であり、第1の酸化物半導体膜905、第2の酸化物半導体膜907の成膜条件とは異なる成膜条件で形成され、より低抵抗な酸化物半導体膜である。なお、本実施の形態では、 $n^+$ 層906a、906b、908a、908bは、In-Ga-Zn-O系非単結晶膜であり、少なくともアモルファス成分を含んでいるものとする。 $n^+$ 層906a、906b、908a、908bは非晶質構造の中に結晶粒（ナノクリスタル）を含む場合がある。この $n^+$ 層906a、906b、908a、908b中の結晶粒（ナノクリスタル）は直径1nm~10nm、代表的には2nm~4nm程度である。

40

【0078】

$n^+$ 層906a、906b、908a、908bを設けることにより、金属層である第1配線909、第2配線910、第3配線911と、第1の酸化物半導体膜905、第2の酸化物半導体膜907との間を良好な接合としてショットキー接合に比べて熱的にも安定動作を有せしめることができる。また、チャネルのキャリアを供給する（ソース側）、またはチャネルのキャリアを安定して吸収する（ドレイン側）、または抵抗成分を配線との

50

界面に作らないためにも積極的に $n^+$ 層を設けると効果的である。また低抵抗化により、高いドレイン電圧でも良好な移動度を保持することができる。

#### 【0079】

図9(A)に示すように、第1の酸化物半導体膜905に電氣的に接続する第1の配線909は、ゲート絶縁層903に形成されたコンタクトホール904を介してTF T 354の第1のゲート電極901と直接接続する。直接接続させることにより、良好なコンタクトを得ることができ、接触抵抗を低減することができる。第1のゲート電極901と第1配線909を他の導電膜、例えば透明導電膜を介して接続する場合に比べて、コンタクトホールの数の低減、コンタクトホールの数の低減による占有面積の縮小を図ることができる。

10

#### 【0080】

また、図9(A)に示すように、第1配線909、第2配線910、第3配線911、第1の酸化物半導体膜905、及び第2の酸化物半導体膜907上に、OH基を含む酸化珪素膜912、窒化珪素膜913を形成する。本実施の形態で、TEOS(化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ )のようなOH基を有する化合物を用いて、配線層及び酸化物半導体膜上に酸化珪素膜を形成し、酸化珪素膜中がOH基を含んだ膜とすることが好適である。OH基を含む酸化珪素膜は、プラズマCVD法でTEOSと $\text{O}_2$ とを混合し、反応圧力40Pa、基板温度300~400とし、高周波(13.56MHz)電力密度0.5~0.8W/cm<sup>2</sup>で放電させて形成することができる。またOH基を含む酸化珪素膜912上には、窒化珪素膜913も同様にプラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ により、作製すればよい。本実施の形態で開示するように、第1の酸化物半導体膜905、及び第2の酸化物半導体膜907上に、OH基を含む酸化珪素膜912及び窒化珪素膜913を連続して成膜することにより、OH基による酸化物半導体膜中のダングリングボンドの終端化、及び酸化物半導体膜中の酸素が欠損することに伴う低抵抗化の防止を図ることができる。その結果、TF Tのしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。

20

#### 【0081】

また、本実施の形態で開示するように、第1の酸化物半導体膜905、及び第2の酸化物半導体膜907上に、OH基を含む酸化珪素膜912及び窒化珪素膜913を連続して成膜することにより、パッシベーション膜としての機能を有する窒化珪素膜を酸化物半導体膜に直接接しない構成を取ることができる。すなわち、酸化物半導体膜が窒化珪素膜中にある窒素によって窒化されることによる低抵抗化を低減することができる。またOH基を含む酸化珪素膜を、窒化珪素膜と酸化物半導体膜との間に配置することにより、窒化珪素膜を成膜することに伴う応力を緩和し、酸化物半導体に応力によるストレスがかかることで生じる酸化物半導体の水素化(または還元化)を低減することができる。

30

#### 【0082】

なお図9(A)では、第1の酸化物半導体膜905上及び第2の酸化物半導体膜907上に $n^+$ 層906a、906b、908a、908bを設ける構成について示したが、図9(B)に示すように必ずしも設ける必要はない。またコンタクトホール904を介した配線層とゲート電極との接続は、回路構成に応じて適直接続または非接続を選択して構成すればよい。

40

#### 【0083】

図9(A)、(B)では、第1の酸化物半導体膜905上及び第2の酸化物半導体膜907上に、OH基を含む酸化珪素膜912及び窒化珪素膜913を連続して成膜したが、他の構成でもよい。例えば、ソース領域及びドレイン領域を分離する際の、いわゆるチャネルストップ膜として、OH基を含む酸化珪素膜を形成し、その上に窒化珪素膜を設ける構成としてもよい。図10(A)、(B)に一例について示し説明する。図10(A)、(B)に示すTF Tの断面構造においては、図9(A)、(B)と同じ構成のものについては、同じ符号を付している。

#### 【0084】

50

図10(A)において、第1の酸化物半導体膜905上及び第2の酸化物半導体膜907上には、図9(A)、(B)のOH基を含む酸化珪素膜912と同様にして形成された第1のチャネル保護層1001、第2のチャネル保護層1002を有する。また図10(A)では、第1のチャネル保護層1001及び第2のチャネル保護層1002を覆って、 $n^+$ 層906a、906b、908a、908bを形成し、エッチングすることでソース領域とドレイン領域とを分離している。 $n^+$ 層906a、906b、908a、908bを形成後、図10(A)に示すように、第1配線909、第2配線910、第3配線911を形成し、第1のチャネル保護層1001上、第2のチャネル保護膜1002上、および第1配線909乃至第3配線911上に窒化珪素膜を形成する。第1の酸化物半導体膜905上及び第2の酸化物半導体膜907上で、図10(A)に示すように、OH基を含む酸化珪素膜及び窒化珪素膜を成膜することにより、パッシベーション膜としての機能を有する窒化珪素膜を酸化物半導体膜に直接接しない構成を取ることができる。すなわち、酸化物半導体膜が窒化珪素膜中にある窒素によって窒化されることによる低抵抗化を低減することができる。その結果、TFETのしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。

10

#### 【0085】

図10(A)に示すTFETの断面構造は、チャネルストップ膜として酸化珪素膜を形成しその上に窒化珪素膜を配置する構成としている。なお、図10(A)に示す構成では図9(A)と同様に $n^+$ 層を設ける構成について示したが、図9(B)と同様に $n^+$ 層を設けない図10(B)に示す構成としても良い。

20

#### 【0086】

図9(A)、(B)、図10(A)、(B)では、逆スタガ型のTFETについて説明したが、本実施の形態のTFETの構成は逆スタガ型のTFETに限らない。一例としては、コプレナー型のTFETにおいても同様の効果を奏するものである。図11(A)、(B)に断面構造の一例について示し、説明する。なお、図11(A)、(B)に示すTFETの断面構造においては、図9(A)、(B)と同じ構成のものについては、同じ符号を付している。

#### 【0087】

図11(A)において、ゲート絶縁層903上には、第1配線909、第2配線910、第3配線911が $n^+$ 層906a、906b、908a、908bとともに積層して形成されている。そして、第1の酸化物半導体膜905及び第2の酸化物半導体膜907は、 $n^+$ 層906a、906b、908a、908b積層された第1配線909乃至第3配線911の開口部に設けられている。そして図11(A)に示すように、 $n^+$ 層906a、906b、908a、908b上、並びに第1の酸化物半導体膜905及び第2の酸化物半導体膜907上にOH基を含む酸化珪素膜1101を形成する。OH基を含む酸化珪素膜1101上には、パッシベーション膜としての機能を有する窒化珪素膜1102を形成する。第1の酸化物半導体膜905上及び第2の酸化物半導体膜907上で、図11(A)に示すように、OH基を含む酸化珪素膜及び窒化珪素膜を成膜することにより、パッシベーション膜としての機能を有する窒化珪素膜を酸化物半導体膜に直接接しない構成を取ることができる。すなわち、酸化物半導体膜が窒化珪素膜中にある窒素によって窒化されることによる低抵抗化を低減することができる。またOH基を含む酸化珪素膜を、窒化珪素膜と酸化物半導体膜との間に配置することにより、窒化珪素膜を成膜することに伴う応力を緩和し、酸化物半導体に応力によるストレスがかかることで生じる酸化物半導体の水素化（または還元化）を低減することができる。その結果、TFETのしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。

30

40

#### 【0088】

図11(A)に示すTFETの断面構造は、コプレナー型のTFET上に酸化珪素膜を形成しその上に窒化珪素膜を配置する構成としている。なお、図11(A)に示す構成では図9(A)、図10(A)と同様に $n^+$ 層を設ける構成について示したが、図9(B)、図1

50



0 ( B ) と同様に  $n^+$  層を設けない図 11 ( B ) に示す構成としても良い。

#### 【 0089 】

以上、図 9 ( A )、( B ) 乃至図 11 ( A )、( B ) では、酸化物半導体膜が窒化珪素膜中にある窒素によって窒化されることによる低抵抗化を低減し、且つ酸化物半導体の水素化 ( または還元化 ) を低減することができる。その結果、TFT のしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。そして、エンハンスメント型の TFT で、表示装置の画素を構成する TFT、及び駆動回路を構成する TFT を作製する際に、酸化物半導体膜の上下にゲート電極を設けてしきい値制御を行い、2 つのゲート電極に電圧を制御することでエンハンスメント型の TFT とする構成に比べ、簡単な構成でエンハンスメント型の TFT を形成することができる。

10

#### 【 0090 】

次に、図 9 ( A )、( B ) 乃至図 11 ( A )、( B ) で示した、2 つの  $n$  チャネル型の薄膜トランジスタを用いて駆動回路を構成するインバータ回路の断面図について、図 9 ( A ) を例にして、その作製工程を以下図 12 ( A )、図 12 ( B )、及び図 12 ( C ) で説明する。なお、TFT 354 及び TFT 355 の断面は、図 8 中の点線 A - B、及び C - D について示すものである。

#### 【 0091 】

基板 900 上に、スパッタ法により第 1 の導電膜を形成し、第 1 のフォトリソマスクを用いて選択的に第 1 の導電膜のエッチングを行い、第 1 のゲート電極 901 及び第 2 のゲート電極 902 を形成する。次いで、第 1 のゲート電極 901 及び第 2 のゲート電極 902 を覆うゲート絶縁層 903 をプラズマ CVD 法またはスパッタ法を用いて形成する。ゲート絶縁層 903 は、CVD 法又はスパッタ法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成することができる。また、ゲート絶縁層 903 として、有機シランガスを用いた CVD 法により酸化珪素層を形成することも可能である。有機シランガスとしては、珪酸エチル ( TEOS : 化学式  $\text{Si}(\text{OC}_2\text{H}_5)_4$  )、テトラメチルシラン ( TMS : 化学式  $\text{Si}(\text{CH}_3)_4$  )、テトラメチルシクロテトラシロキサン ( TMCTS )、オクタメチルシクロテトラシロキサン ( OMCTS )、ヘキサメチルジシラザン ( HMDS )、トリエトキシシラン (  $\text{SiH}(\text{OC}_2\text{H}_5)_3$  )、トリスジメチルアミノシラン (  $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$  ) 等の珪素含有化合物を用いることができる。

20

30

#### 【 0092 】

次いで、第 2 のフォトリソマスクを用いてゲート絶縁層 903 を選択的にエッチングして第 1 のゲート電極 901 に達するコンタクトホール 904 を形成する。ここまでの段階での断面図が図 12 ( A ) に相当する。

#### 【 0093 】

次いで、酸化物半導体膜をスパッタ法により成膜し、さらにその上に  $n^+$  層を成膜する。なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 903 の表面及びコンタクトホール 904 の底面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴンに代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 $\text{N}_2\text{O}$  などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に  $\text{Cl}_2$ 、 $\text{CF}_4$  などを加えた雰囲気で行ってもよい。

40

#### 【 0094 】

次いで、第 3 のフォトリソマスクを用いて選択的に、酸化物半導体膜及び  $n^+$  層のエッチングを行う。次いで、スパッタ法により第 2 の導電膜を形成し、第 4 のフォトリソマスクを用いて選択的に第 2 の導電膜のエッチングを行い、第 1 配線 909、第 2 配線 910、及び第 3 配線 911 を形成する。第 1 配線 909 は、コンタクトホール 904 を介して第 1 のゲート電極 901 と接続される。

50

ト電極 901 と直接接する。なお、第 2 の導電膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 903 の表面、 $n^+$  層の表面、及びコンタクトホール 904 の底面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴンに代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、水素、 $N_2O$  などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に  $Cl_2$ 、 $CF_4$  などを加えた雰囲気で行ってもよい。

#### 【0095】

なお、第 2 の導電膜のエッチングの際に、さらに、 $n^+$  層及び酸化物半導体膜の一部をエッチングして、 $n^+$  層 906a、906b、908a、908b、第 1 の酸化物半導体膜 905、第 2 の酸化物半導体膜 907 を形成する。このエッチングで第 1 のゲート電極及び第 2 のゲート電極と重なる部分の第 1 の酸化物半導体膜 905、第 2 の酸化物半導体膜 907 の厚さは薄くなる。このエッチングが終了した段階で TFT354 と TFT355 が完成する。ここまでの段階での断面図が図 12 (B) に相当する。

#### 【0096】

次いで大気雰囲気下または窒素雰囲気下で 200 ~ 600 の加熱処理を行う。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体膜の成膜後であればいつでもよい。

#### 【0097】

次いで、有機シランガスを用いた CVD 法により、OH 基を含む酸化珪素膜 912 を形成する。有機シランガスとしては、珪酸エチル (TEOS: 化学式  $Si(OC_2H_5)_4$ )、テトラメチルシラン (TMS: 化学式  $Si(CH_3)_4$ )、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ( $SiH(OC_2H_5)_3$ )、トリスジメチルアミノシラン ( $SiH(N(CH_3)_2)_3$ ) 等の珪素含有化合物を用いることができる。OH 基を含む酸化珪素膜 912 上には、窒化珪素膜 913 を形成する。OH 基を含む酸化珪素膜 912 及び窒化珪素膜 913 により、パッシベーション膜としての機能を有する窒化珪素膜を酸化物半導体膜に直接接しない構成を取ることができる。また、酸化物半導体膜上に、OH 基を含む酸化珪素膜及び窒化珪素膜を連続して成膜することにより、OH 基による酸化物半導体膜中のダングリングボンドの終端化、及び酸化物半導体膜中の酸素が欠損することに伴う低抵抗化の防止を図ることができ、その結果、TFT のしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。ここまでの段階での断面図が図 12 (C) に相当する。

#### 【0098】

なお、OH 基を含む酸化珪素膜 912 及び窒化珪素膜 913 には、図示しないが、第 5 のフォトリソマスクを用いて、選択的にエッチングしてコンタクトホールを形成した後、画素電極と同じ材料を用いて第 3 の導電膜を形成する。そして、第 6 のフォトリソマスクを用いて第 3 の導電膜を選択的にエッチングして第 1 配線乃至第 3 配線と同じ層と電気的に接続するための接続配線を形成する。

#### 【0099】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においても、ある一つの TFT のゲート端子と他のトランジスタのソースまたはドレインとなる電極とを直接接続させるためのコンタクトホールを有している。このコンタクトホールは、第 2 のフォトリソマスクを用いてゲート絶縁膜にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

#### 【0100】

また、液晶表示装置や電子ペーパーにおいては、FPC などの外部端子と接続するための端子部において、ゲート配線に達するコンタクトホールを形成する際、第 2 のフォトマス

10

20

30

40

50

クを用いてゲート絶縁膜にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0101】

なお、上述した工程順序は一例であって特に限定されない。例えば、フォトマスク数が1枚増えるが、第2の導電膜をエッチングするフォトマスクと、 $n^+$ 層及び酸化物半導体膜の一部をエッチングするフォトマスクを別々に用いてエッチングを行ってもよい。

【0102】

また図13に、図12とは異なる作製工程の例を説明する。

【0103】

基板900上に、スパッタ法により第1の導電膜を形成し、第1のフォトマスクを用いて選択的に第1の導電膜のエッチングを行い、第1のゲート電極901及び第2のゲート電極902を形成する。次いで、第1のゲート電極901及び第2のゲート電極902を覆うゲート絶縁層903をプラズマCVD法またはスパッタ法を用いて形成する。

【0104】

次いで、酸化物半導体膜をスパッタ法により成膜し、さらにその上に $n^+$ 層を成膜する。

【0105】

次いで、第2のフォトマスクを用いて選択的に、酸化物半導体膜及び $n^+$ 層のエッチングを行う。こうして、第1のゲート電極901とゲート絶縁層903を介して重なる酸化物半導体膜905、及び $n^+$ 層906が形成され、第2のゲート電極902とゲート絶縁層903を介して重なる酸化物半導体膜907、 $n^+$ 層908が形成される。ここまでの段階での断面図が図13(A)に相当する。

【0106】

次いで、第3のフォトマスクを用いてゲート絶縁層903を選択的にエッチングして第2のゲート電極902に達するコンタクトホール904を形成する。ここまでの段階での断面図が図13(B)に相当する。

【0107】

次いで、スパッタ法により第2の導電膜を形成し、第4のフォトマスクを用いて選択的に第2の導電膜のエッチングを行い、第1配線909、第2配線910、及び第3配線911を形成する。なお、第2の導電膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層903の表面、 $n^+$ 層906、908の表面、及びコンタクトホール904の底面に付着しているゴミを除去することが好ましい。なお、アルゴンに代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気中に酸素、水素、 $N_2O$ などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に $Cl_2$ 、 $CF_4$ などを加えた雰囲気で行ってもよい。

【0108】

図13(A)乃至(D)で説明する工程においては、コンタクトホール904を形成した後、他の成膜を行うことなく第2の導電膜を形成することができるため、図12で説明したコンタクトホールの底面が曝される工程数を少なくすることができ、ゲート電極の材料の材料選択の自由度が広げることができる。図13(A)乃至(D)で説明する工程においては、コンタクトホール904で露出しているゲート電極面に接して酸化物半導体膜が成膜されるため、酸化物半導体膜のエッチング工程でゲート電極の材料がエッチングされないエッチング条件またはゲート電極の材料を選択する必要がある。

【0109】

なお、第2の導電膜のエッチングの際に、さらに、 $n^+$ 層及び酸化物半導体膜の一部をエッチングして、 $n^+$ 層906a、906b、908a、908b、第1の酸化物半導体膜905、第2の酸化物半導体膜907を形成する。このエッチングで第1のゲート電極及び第2のゲート電極と重なる部分の第1の酸化物半導体膜905、第2の酸化物半導体膜907の厚さは薄くなる。このエッチングが終了した段階でTFT354とTFT355が完成する。

【0110】

ここまでの段階での断面図が図 13 (C) に相当する。

【0111】

次いで大気雰囲気下または窒素雰囲気下で 200 ~ 600 の加熱処理を行う。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体膜の成膜後であればいつ行ってもよい。

【0112】

次いで、有機シランガスを用いた CVD 法により、OH 基を含む酸化珪素膜 912 を形成する。有機シランガスとしては、珪酸エチル (TEOS: 化学式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ )、テトラメチルシラン (TMS: 化学式  $\text{Si}(\text{CH}_3)_4$ )、テトラメチルシクロテトラシロキサン (TMCTS)、オクタメチルシクロテトラシロキサン (OMCTS)、ヘキサメチルジシラザン (HMDS)、トリエトキシシラン ( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ )、トリスジメチルアミノシラン ( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 等の珪素含有化合物を用いることができる。OH 基を含む酸化珪素膜 912 上には、窒化珪素膜 913 を形成する。OH 基を含む酸化珪素膜 912 及び窒化珪素膜 913 により、パッシベーション膜としての機能を有する窒化珪素膜を酸化物半導体膜に直接接しない構成を取ることができる。また、酸化物半導体膜上に、OH 基を含む酸化珪素膜及び窒化珪素膜を連続して成膜することにより、OH 基による酸化物半導体膜中のダングリングボンドの終端化、及び酸化物半導体膜中の酸素が欠損することに伴う低抵抗化の防止を図ることができ、その結果、TFT のしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。ここまでの段階での断面図が図 13 (D) に相当する。

【0113】

なお、OH 基を含む酸化珪素膜 912 及び窒化珪素膜 913 には、図示しないが、第 5 のフォトリソマスクを用いて、選択的にエッチングしてコンタクトホールを形成した後、画素電極と同じ材料を用いて第 3 の導電膜を形成する。そして、第 6 のフォトリソマスクを用いて第 3 の導電膜を選択的にエッチングして第 1 配線乃至第 3 配線と同じ層と電気的に接続するための接続配線を形成する。

【0114】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、画素部においても、ある一つの TFT のゲート端子と他のトランジスタのソースまたはドレインとなる電極とを直接接続させるためのコンタクトホールを有している。このコンタクトホールは、第 2 のフォトリソマスクを用いてゲート絶縁膜にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0115】

また、液晶表示装置や電子ペーパーにおいては、FPC などの外部端子と接続するための端子部において、ゲート配線に達するコンタクトホールを形成する際、第 2 のフォトリソマスクを用いてゲート絶縁膜にコンタクトホールを形成する際に同じマスクを用いて形成することができる。

【0116】

なお、上述した工程順序は一例であって特に限定されない。例えば、フォトリソマスク数が 1 枚増えるが、第 2 の導電膜をエッチングするフォトリソマスクと、 $n^+$  層及び酸化物半導体膜の一部をエッチングするフォトリソマスクを別々に用いてエッチングを行ってもよい。

【0117】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

【0118】

(実施の形態 2)

上記実施の形態においては、表示装置の駆動回路におけるシフトレジスタとして、スタティック回路によるシフトレジスタにおける一例について示した。本実施の形態では、ダイナミック回路によるシフトレジスタを用いて駆動回路を構成する一例について説明する

10

20

30

40

50

。

## 【 0 1 1 9 】

図 1 4 ( A ) 乃至 ( D ) を用いて、ダイナミック回路によるシフトレジスタが有するパルス出力回路の構成を説明する。図 1 4 ( A ) に示すパルス出力回路 1 4 0 0 は、一例として、スタートパルス S P が入力端子より入力されるインバータ回路 1 4 0 1 と、インバータ回路 1 4 0 1 の出力端子に一方の端子が接続されたスイッチ 1 4 0 2 と、スイッチ 1 4 0 2 の他方の端子に接続された容量素子 1 4 0 3 と、で構成される。なお、奇数段目のパルス出力回路のスイッチ 1 4 0 2 は、第 1 のクロック信号 ( C L K 1 ) によってオンまたはオフは制御される。また偶数段目のパルス出力回路のスイッチ 1 4 0 2 は、第 2 のクロック信号 ( C L K 2 ) によってオンまたはオフが制御される。

10

## 【 0 1 2 0 】

図 1 4 ( B ) は、パルス出力回路の回路構成を詳細に示したものである。パルス出力回路 1 4 0 0 は、T F T 1 4 1 1、T F T 1 4 1 2、T F T 1 4 1 3、容量素子 1 4 1 4 を有する。また奇数段目のパルス出力回路は、第 1 のクロック信号 C L K 1 を供給するための配線 1 4 1 5、偶数段目のパルス出力回路は第 2 のクロック信号 C L K 2 を供給するための配線 1 4 1 6 に接続されている。パルス出力回路 1 4 0 0 において、T F T 1 4 1 1 及び T F T 1 4 1 2 は、図 1 4 ( A ) で示したインバータ回路 1 4 0 1 に相当し、E E M O S 回路で構成される。また、T F T 1 4 1 3 は、図 1 4 ( A ) で示したスイッチ 1 4 0 2 に相当する。容量素子 1 4 1 4 は、図 1 4 ( A ) で示した容量素子 1 4 0 3 に相当する。なお T F T 1 4 1 3 は、T F T 1 4 1 1 及び T F T 1 4 1 2 と同様に、エンハンスメント型トランジスタで構成することが好ましい。スイッチとしてエンハンスメント型トランジスタを用いることにより、トランジスタのオフ電流を低減することができるため、低消費電力化が図れるとともに、作製プロセスを簡略することができる。

20

## 【 0 1 2 1 】

ここで、図 1 4 ( A )、( B ) で示した回路の回路動作について、図 1 4 ( C ) にタイミングチャートを示す。なお、図 1 4 ( C ) では、説明のため、図 1 4 ( B ) 中の回路のノードについて A 乃至 E の符号を付して説明するものとする。まず、スタートパルス S P が T F T 1 4 1 1 に入力され、スタートパルス S P の反転した信号がノード A に現れる。ノード A の信号は、第 1 のクロック信号 C L K 1 が H レベルのときノード B に移り、ノード B にノード A の信号が反映されて現れる。そして、ノード B の信号は、インバータ回路によって反転され、ノード C にノード B の反転した信号が現れる。ノード C の信号は、第 2 のクロック信号 C L K 2 が L レベルにあってスイッチが閉じているため、ノード D には現れない。次に第 1 のクロック信号 C L K 1 が L レベルにあって第 2 のクロック信号 C L K 2 が H レベルになると、ノード C の信号はノード D に移り、ノード D にノード C の信号が反映されて現れる。そして、ノード D の信号は、インバータ回路によって反転され、ノード E にノード D の反転した信号が現れる。そして第 1 のクロック信号 C L K 1 及び第 2 のクロック信号 C L K 2 を交互に H レベルとすることで、図 1 4 ( A )、( B ) で示した回路をシフトレジスタとして機能させることができる。

30

## 【 0 1 2 2 】

なお、図 1 4 ( B ) で説明したパルス出力回路の回路構成の例について、トランジスタのしきい値電圧の分、出力信号の電位が低下してしまうことがある。そのため、図 1 4 ( D ) に示すブートストラップ法を用いるインバータ回路でパルス出力回路を構成することで、信号の電位の低下を招くことなく、シフトレジスタとして機能させることができる。

40

## 【 0 1 2 3 】

また図 1 4 ( B ) とは、別の回路構成について、図 1 5 ( A ) に示す。図 1 5 ( A ) に示すパルス出力回路 1 5 0 0 は、T F T 1 5 0 1、T F T 1 5 0 2、T F T 1 5 0 3、容量素子 1 5 0 4 を有する。また奇数段目のパルス出力回路は、第 1 のクロック信号 C L K 1 を供給するための配線 1 5 0 5、偶数段目のパルス出力回路は第 2 のクロック信号 C L K 2 を供給するための配線 1 5 0 6 に接続されている。パルス出力回路 1 5 0 0 において、T F T 1 5 0 1 及び T F T 1 5 0 2 は、図 1 4 ( A ) で示したインバータ回路 1 4 0 1 に

50

相当し、E E M O S 回路で構成される。また、T F T 1 5 0 3 は、図 1 4 ( A ) で示したスイッチ 1 4 0 2 に相当する。容量素子 1 5 0 4 は、図 1 4 ( A ) で示した容量素子 1 4 0 3 に相当する。なお T F T 1 5 0 3 は、T F T 1 5 0 1 及び T F T 1 5 0 2 と同様に、エンハンスメント型トランジスタで構成することが好ましい。スイッチとしてエンハンスメント型トランジスタを用いることにより、トランジスタのオフ電流を低減することができるため、低消費電力化が図れるとともに、作製プロセスを簡略することができる。

#### 【 0 1 2 4 】

図 1 5 ( A ) に示すパルス出力回路が図 1 4 ( B ) と異なる点は、T F T 1 5 0 2 のゲート端子に、第 1 のクロック信号 C L K 1 を供給するための、配線 1 5 0 5 が接続されている点にある。図 1 5 ( A ) に示すパルス出力回路 1 5 0 0 は、図 1 5 ( B ) に示すタイミ  
10  
ングチャートのように動作し、第 1 のクロック信号 C L K 1 が H レベルにあるとき、スタートパルス S P が H レベルならばノード A、ノード B 共に L レベルとなり、スタートパルス S P が L レベルならば、ノード A、ノード B 共に H レベルとなる。そして、第 1 のクロック信号 C L K 1 が L レベルにあるとき、ノード B の電位が保持することができる。すなわち、T F T 1 5 0 2 を第 1 のクロック信号 C L K 1 でオンまたはオフを制御することにより、T F T 1 5 0 3 のオンまたはオフに同期して制御することができる。そのため、インバータ回路を構成する T F T が共に導通状態にある際の、高電源電位が供給される配線と低電源電位が供給される配線の間を流れてしまう電流を低減することができ、低消費電力化を図ることができる。

#### 【 0 1 2 5 】

なお、本実施の形態で示すパルス出力回路を具備するシフトレジスタは、ソース線駆動回路、及びゲート線駆動回路に用いることができる。なおシフトレジスタより出力される信号を、論理回路等を介して出力することによって、所望の信号を得る構成としても良い。  
20

#### 【 0 1 2 6 】

なお本実施の形態で説明したダイナミック回路を構成するインバータ回路においても、実施の形態 1 と同様に、T F T の第 1 の酸化物半導体膜、及び第 2 の酸化物半導体膜上に、O H 基を含む酸化珪素膜及び窒化珪素膜を連続して成膜することにより、O H 基による酸化物半導体膜中のダングリングボンドの終端化、及び酸化物半導体膜中の酸素が欠損することに伴う低抵抗化の防止を図ることができる。その結果、T F T のしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を  
30  
持続することができる。

#### 【 0 1 2 7 】

また、実施の形態 1 で開示するように、パルス出力回路のインバータ回路を構成する第 1 の酸化物半導体膜、及び第 2 の酸化物半導体膜上に、O H 基を含む酸化珪素膜及び窒化珪素膜を連続して成膜することにより、パッシベーション膜としての機能を有する窒化珪素膜を酸化物半導体膜に直接接しない構成を取ることができる。すなわち、酸化物半導体膜が窒化珪素膜中にある窒素によって窒化されることによる低抵抗化を低減することができる。また O H 基を含む酸化珪素膜を、窒化珪素膜と酸化物半導体膜との間に配置することにより、窒化珪素膜を成膜することに伴う応力を緩和し、酸化物半導体に応力によるスト  
40  
レスがかかることで生じる酸化物半導体の水素化（または還元化）を低減することができる。また、酸化物半導体膜をチャネル形成領域に用いた T F T は、アモルファスシリコンをチャネル形成領域に用いた T F T に比べ、移動度等の電気的特性に優れるため、性能を落とすことなく、回路における T F T が占める面積を縮小することができる。

#### 【 0 1 2 8 】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

#### 【 0 1 2 9 】

( 実施の形態 3 )

本実施の形態では、駆動回路を含む表示装置の作製工程について、図 1 6 乃至図 2 3 を用  
50

いて説明する。

【0130】

図16(A)において、透光性を有する基板1600にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0131】

次いで、導電層を基板1600全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極(画素薄膜トランジスタ部のゲート電極層1601を含むゲート配線、容量部の容量配線1608、及び端子部の第1の端子1621)を形成する。このとき少なくともゲート電極層1601の端部にテーパ形状が形成されるようにエッチングする。この段階での断面図を図16(A)に示した。なお、この段階での上面図が図18に相当する。

10

【0132】

ゲート電極層1601を含むゲート配線と容量配線1608、端子部の第1の端子1621は、アルミニウム(A1)や銅(Cu)などの低抵抗導電性材料で形成することが望ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので、耐熱性導電性材料と組み合わせて形成する。耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

20

【0133】

次いで、ゲート電極層1601上にゲート絶縁層1602を全面に成膜する。ゲート絶縁層1602はスパッタ法などを用い、膜厚を50~250nmとする。

【0134】

例えば、ゲート絶縁層1602として、スパッタ法により100nmの厚さで酸化珪素膜を形成する。勿論、ゲート絶縁層1602はこのような酸化珪素膜に限定されるものでなく、酸化窒化珪素膜、窒化珪素膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0135】

なお、酸化物半導体膜を成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層1602の表面に付着しているゴミを除去することが好ましい。なお、アルゴンに代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気酸素、水素、 $N_2O$ などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に $Cl_2$ 、 $CF_4$ などを加えた雰囲気で行ってもよい。

30

【0136】

次に、ゲート絶縁層1602上に、第1の酸化物半導体膜(本実施の形態では第1のIn-Ga-Zn-O系非単結晶膜)を成膜する。プラズマ処理後、大気に曝すことなく第1のIn-Ga-Zn-O系非単結晶膜を成膜することは、ゲート絶縁層1602と第1の酸化物半導体膜の界面にゴミや水分を付着させない点で有用である。ここでは、直径8インチのIn、Ga、及びZnを含む酸化物半導体ターゲット( $In_2O_3:Ga_2O_3:ZnO=1:1:1$ )を用いて、基板とターゲットとの間の距離を170mm、圧力0.4Pa、直流(DC)電源0.5kW、アルゴン又は酸素雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、ゴミが軽減でき、膜厚分布も均一となるため好ましい。第1のIn-Ga-Zn-O系非単結晶膜の膜厚は、5nm~200nmとする。本実施の形態では第1のIn-Ga-Zn-O系非単結晶膜の膜厚は、100nmとする。

40

【0137】

次いで、大気に曝すことなく、第2の酸化物半導体膜(本実施の形態では第2のIn-Ga-Zn-O系非単結晶膜)をスパッタ法で成膜する。ここでは、 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ としたターゲットを用い、成膜条件は、圧力を0.4Paとし、電力を500Wとし、成膜温度を室温とし、アルゴンガス流量40sccmを導入してス

50

パッタリング法により成膜を行う。 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ としたターゲットを意図的に用いているにも関わらず、成膜直後で大きさ $1\text{nm} \sim 10\text{nm}$ の結晶粒を含む $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜が形成されることがある。なお、ターゲットの成分比、成膜圧力( $0.1\text{Pa} \sim 2.0\text{Pa}$ )、電力( $250\text{W} \sim 3000\text{W}$ ;  $8\text{インチ}$ )、温度(室温 $\sim 100^\circ\text{C}$ )、反応性スパッタの成膜条件などを適宜調節することで結晶粒の有無や、結晶粒の密度や、直径サイズは、 $1\text{nm} \sim 10\text{nm}$ の範囲で調節されうると言える。第2の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の膜厚は、 $5\text{nm} \sim 20\text{nm}$ とする。勿論、膜中に結晶粒が含まれる場合、含まれる結晶粒のサイズが膜厚を超える大きさとならない。本実施の形態では第2の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の膜厚は、 $5\text{nm}$ とする。

10

#### 【0138】

第1の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜は、第2の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜条件と異ならせる。例えば、第2の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜条件における酸素ガス流量とアルゴンガス流量の比よりも、第1の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜条件における酸素ガス流量とアルゴンガス流量の比が大きい条件とする。具体的には、第2の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜条件は、希ガス(アルゴン、又はヘリウムなど)雰囲気下(または酸素ガス $10\%$ 以下、アルゴンガス $90\%$ 以上)とし、第1の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜条件は、酸素雰囲気下とする。

#### 【0139】

第2の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜の成膜は、先に逆スパッタを行ったチャンバーと同一チャンバーを用いて行ってもよいし、先に逆スパッタを行ったチャンバーと異なるチャンバーで行ってもよい。

20

#### 【0140】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルス的にバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

#### 【0141】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜すること、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

30

#### 【0142】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

#### 【0143】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

#### 【0144】

40

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、第1の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜及び第2の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜をエッチングする。ここではITO07N(関東化学社製)を用いたウェットエッチングにより、不要な部分を除去して第1の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜である酸化半導体膜1609、第2の $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 系非単結晶膜である酸化半導体膜1611を形成する。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。この段階での断面図を図16(B)に示した。なお、この段階での上面図が図19に相当する。

#### 【0145】

次いで、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチング

50



により不要な部分を除去してゲート電極層と同じ材料の配線や電極層に達するコンタクトホールを形成する。このコンタクトホールは後に形成する導電膜と直接接続するために設ける。例えば、駆動回路部において、ゲート電極層とソース電極層或いはドレイン電極層とが直接接する薄膜トランジスタや、端子部のゲート配線と電氣的に接続する端子を形成する場合にコンタクトホールを形成する。

#### 【0146】

次に、酸化物半導体膜1609及び酸化物半導体膜1611上に金属材料からなる導電膜1632をスパッタ法や真空蒸着法で形成する。この段階での断面図を図16(C)に示した。

#### 【0147】

導電膜1632の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、200～600の熱処理を行う場合には、この熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Alと組み合わせる耐熱性導電性材料としては、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物で形成する。

#### 【0148】

ここでは、導電膜1632としてチタン膜の単層構造とする。また、導電膜1632は、2層構造としてもよく、アルミニウム膜上にチタン膜を積層してもよい。また、導電膜1632としてTi膜と、そのTi膜上に重ねてNdを含むアルミニウム(Al-Nd)膜を積層し、さらにその上にTi膜を成膜する3層構造としてもよい。導電膜1632は、珪素を含むアルミニウム膜の単層構造としてもよい。

#### 【0149】

次に、第4のフォトリソグラフィ工程を行い、レジストマスク1631を形成し、エッチングにより不要な部分を除去してソース電極層又はドレイン電極層1605a、1605b、ソース領域又はドレイン領域として機能するn<sup>+</sup>層1604a、1604b、及び接続電極1620を形成する。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば導電膜1632としてアルミニウム膜、又はアルミニウム合金膜を用いる場合は、燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。ここでは、アンモニア過水(過酸化水素：アンモニア：水=5：2：2)を用いたウェットエッチングにより、Ti膜の導電膜1632をエッチングしてソース電極層又はドレイン電極層1605a、1605bを、酸化物半導体膜1611をエッチングしてn<sup>+</sup>層1604a、1604bを形成する。このエッチング工程において、酸化物半導体膜1609の露出領域も一部エッチングされ、半導体層1603となる。よってn<sup>+</sup>層1604a、1604bの間の半導体層1603のチャネル形成領域は膜厚の薄い領域となる。図17(A)においては、ソース電極層又はドレイン電極層1605a、1605b、n<sup>+</sup>層1604a、1604bのエッチングをアンモニア過水をエッチング剤として用いることによって一度に行うため、ソース電極層又はドレイン電極層1605a、1605b及びn<sup>+</sup>層1604a、1604bの端部は一致し、連続的な構造となっている。またウェットエッチングを用いるために、エッチングが等方的に行われ、ソース電極層又はドレイン電極層1605a、1605bの端部はレジストマスク1631より後退している。以上の工程で半導体層1603をチャネル形成領域とする薄膜トランジスタ1670が作製できる。この段階での断面図を図17(A)に示した。なお、この段階での上面図が図20に相当する。

#### 【0150】

次いで、200～600、代表的には300～500の熱処理を行うことが好ましい。ここでは炉に入れ、窒素雰囲気下で350、1時間の熱処理を行う。この熱処理

10

20

30

40

50

により In - Ga - Zn - O 系非単結晶膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理（光アニールも含む）は重要である。なお、熱処理を行うタイミングは、第 2 の In - Ga - Zn - O 系非単結晶膜の成膜後であれば特に限定されず、例えば画素電極形成後に行ってもよい。

#### 【0151】

さらに、露出している半導体層 1603 のチャネル形成領域に、酸素ラジカル処理を行ってもよい。酸素ラジカル処理を行うことにより薄膜トランジスタをノーマリーオフとすることができる。また、ラジカル処理を行うことにより、半導体層 1603 のエッチングによるダメージを回復することができる。ラジカル処理は  $O_2$ 、 $N_2O$ 、好ましくは酸素を含む  $N_2$ 、He、Ar 雰囲気下で行うことが好ましい。また、上記雰囲気に  $Cl_2$ 、 $CF_4$  を加えた雰囲気下で行ってもよい。なお、ラジカル処理は、無バイアスで行うことが好ましい。

10

#### 【0152】

また、この第 4 のフォトリソグラフィ工程において、ソース電極層又はドレイン電極層 1605a、1605b と同じ材料である第 2 の端子 1622 を端子部に残す。なお、第 2 の端子 1622 はソース配線（ソース電極層又はドレイン電極層 1605a、1605b を含むソース配線）と電氣的に接続されている。

#### 【0153】

また、端子部において、接続電極 1620 は、ゲート絶縁膜に形成されたコンタクトホールを介して端子部の第 1 の端子 1621 と直接接続される。なお、ここでは図示しないが、上述した工程と同じ工程を経て駆動回路の薄膜トランジスタのソース配線あるいはドレイン配線とゲート電極が直接接続される。

20

#### 【0154】

また、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

#### 【0155】

次いで、レジストマスク 1631 を除去し、薄膜トランジスタ 1670 を覆う OH 基を含む酸化珪素膜 1607a を形成する。OH 基を含む酸化珪素膜 1607a は、有機シランガスを用いた CVD 法により形成する。有機シランガスとしては、珪酸エチル（TEOS：化学式  $Si(OC_2H_5)_4$ ）、テトラメチルシラン（TMS：化学式  $Si(CH_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $SiH(OC_2H_5)_3$ ）、トリスジメチルアミノシラン（ $SiH(N(CH_3)_2)_3$ ）等の珪素含有化合物を用いることができる。OH 基を含む酸化珪素膜 1607a 上には、窒化珪素膜 1607b を形成する。OH 基を含む酸化珪素膜 1607a 及び窒化珪素膜 1607b により、パッシベーション膜としての機能を有する窒化珪素膜を酸化物半導体膜に直接接しない構成を取ることができる。すなわち、酸化物半導体膜が窒化珪素膜中にある窒素によって窒化されることによる低抵抗化を低減することができる。また OH 基を含む酸化珪素膜を、窒化珪素膜と酸化物半導体膜との間に配置することにより、窒化珪素膜を成膜することに伴う応力を緩和し、酸化物半導体に応力によるストレスがかかることで生じる酸化物半導体の水素化（または還元化）を低減することができる。その結果、TFT のしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。

30

40

#### 【0156】

次に、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成し、OH 基を含む酸化珪素膜 1607a 及び窒化珪素膜 1607b（以下、OH 基を含む酸化珪素膜 1607a と窒化珪素膜 1607b を併せて保護絶縁膜ともいう）のエッチングによりソース電極層又はドレイン電極層 1605b に達するコンタクトホール 1625 を形成する。また、ここでのエッチングにより第 2 の端子 1622 に達するコンタクトホール 1627、接

50

続電極 1 6 2 0 に達するコンタクトホール 1 6 2 6 も形成する。この段階での断面図を図 1 7 ( B ) に示す。

【 0 1 5 7 】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム ( $\text{In}_2\text{O}_3$ ) や酸化インジウム酸化スズ合金 ( $\text{In}_2\text{O}_3$  SnO<sub>2</sub>、ITO と略記する) などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3$  ZnO) を用いても良い。

【 0 1 5 8 】

次に、第 6 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層 1 6 1 0 を形成する。

【 0 1 5 9 】

また、この第 6 のフォトリソグラフィ工程において、容量部におけるゲート絶縁層 1 6 0 2 及び OH 基を含む酸化珪素膜 1 6 0 7 a 及び窒化珪素膜 1 6 0 7 b を誘電体として、容量配線 1 6 0 8 と画素電極層 1 6 1 0 とで保持容量が形成される。

【 0 1 6 0 】

また、この第 6 のフォトリソグラフィ工程において、第 1 の端子及び第 2 の端子をレジストマスクで覆い端子部に形成された透明導電膜 1 6 2 8、1 6 2 9 を残す。透明導電膜 1 6 2 8、1 6 2 9 は FPC との接続に用いられる電極または配線となる。第 1 の端子 1 6 2 1 と直接接続された接続電極 1 6 2 0 上に形成された透明導電膜 1 6 2 8 は、ゲート配線の入力端子として機能する接続用の端子電極となる。第 2 の端子 1 6 2 2 上に形成された透明導電膜 1 6 2 9 は、ソース配線の入力端子として機能する接続用の端子電極である。

【 0 1 6 1 】

次いで、レジストマスクを除去し、この段階での断面図を図 1 7 ( C ) に示す。なお、この段階での上面図が図 2 1 に相当する。

【 0 1 6 2 】

また、図 2 2 ( A 1 )、図 2 2 ( A 2 ) は、この段階でのゲート配線が設けられた端子部の上面図及び断面図をそれぞれ図示している。図 2 2 ( A 1 ) は図 2 2 ( A 2 ) 中の C 1 - C 2 線に沿った断面図に相当する。図 2 2 ( A 1 ) において、保護絶縁膜 1 6 5 4 上に形成される透明導電膜 1 6 5 5 は、入力端子として機能する接続用の端子電極である。また、図 2 2 ( A 1 ) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 1 6 5 1 と、ソース配線と同じ材料で形成される接続電極 1 6 5 3 とがゲート絶縁層 1 6 5 2 を介して重なり、ゲート絶縁層 1 6 5 2 に設けられたコンタクトホールを介して直接接して導通させている。また、接続電極 1 6 5 3 と透明導電膜 1 6 5 5 が保護絶縁膜 1 6 5 4 に設けられたコンタクトホールを介して直接接して導通させている。

【 0 1 6 3 】

また、図 2 2 ( B 1 )、及び図 2 2 ( B 2 ) は、ソース配線が設けられた端子部の上面図及び断面図をそれぞれ図示している。また、図 2 2 ( B 1 ) は図 2 2 ( B 2 ) 中の D 1 - D 2 線に沿った断面図に相当する。図 2 2 ( B 1 ) において、保護絶縁膜 1 6 5 4 上に形成される透明導電膜 1 6 5 5 は、入力端子として機能する接続用の端子電極である。また、図 2 2 ( B 1 ) において、端子部では、ゲート配線と同じ材料で形成される電極 1 6 5 6 が、ソース配線と電氣的に接続される第 2 の端子 1 6 5 0 の下方にゲート絶縁層 1 6 5 2 を介して重なる。電極 1 6 5 6 は第 2 の端子 1 6 5 0 とは電氣的に接続しておらず、電極 1 6 5 6 を第 2 の端子 1 6 5 0 と異なる電位、例えばフローティング、GND、0 V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 1 6 5 0 は、保護絶縁膜 1 6 5 4 に設けられたコンタクトホールを介して透明導電膜 1 6 5 5 と電氣的に接続している。

【 0 1 6 4 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子、ソース配線と同電位の第2の端子、容量配線と同電位の第3の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0165】

こうして6回のフォトリソグラフィ工程により、6枚のフォトマスクを使用して、ボトムゲート型のnチャネル型薄膜トランジスタである薄膜トランジスタ1670を有する画素薄膜トランジスタ部、保持容量を有する容量部を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

10

【0166】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第4の端子を端子部に設ける。この第4の端子は、共通電極を固定電位、例えばGND、0Vなどに設定するための端子である。

【0167】

また、図21の画素構成に限定されず、図21とは異なる上面図の例を図23に示す。図23では容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成する例であり、この場合、容量配線及び容量配線と接続する第3の端子は省略することができる。なお、図23において、図20と同じ部分には同じ符号を用いて説明する。

20

【0168】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を用いて駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

30

【0169】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0170】

また、通常の垂直同期周波数を1.5倍若しくは2倍以上にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0171】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

40

【0172】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0173】

50

本実施の形態で得られる表示装置の画素を構成するnチャネル型のトランジスタは、ゲート線駆動回路またはソース線駆動回路を構成するインバータ回路のトランジスタと同様に、In-Ga-Zn-O系非単結晶膜をチャネル形成領域に用いており、良好な動特性を有し、上記で説明した駆動技術を組み合わせることができる。また上記実施の形態で説明するように、酸化物半導体膜上に、OH基を含む酸化珪素膜及び窒化珪素膜を連続して成膜することにより、OH基による酸化物半導体膜中のダングリングボンドの終端化、及び酸化物半導体中の酸素が欠損することに伴う低抵抗化の防止を図ることができる。その結果、TFTのしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。また、酸化物半導体膜をチャネル形成領域に用いたTFTは、アモルファスシリコンをチャネル形成領域に用いたTFTに比べ、移動度等の電気的特性に優れるため、性能を落とすことなく、回路におけるTFTが占める面積を縮小することができる。

10

#### 【0174】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第5の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第6の端子を設ける。

#### 【0175】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

20

#### 【0176】

##### （実施の形態4）

本実施の形態では、発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

#### 【0177】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

30

#### 【0178】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

40

#### 【0179】

図24は、画素構成の一例を示す図である。

#### 【0180】

適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体膜（In-Ga-Zn-O系非単結晶膜）をチャネル形成領域に用いるnチャネル型のTFTを用いる例を示す。

#### 【0181】

図24における画素6400は、TFT6401、TFT6402、発光素子6403を有している。TFT6401はゲート端子がゲート線6406に接続され、第1端子がソ

50

ース線 6 4 0 5 に接続され、第 2 端子が T F T 6 4 0 2 のゲート端子に接続されている。T F T 6 4 0 2 は、第 1 端子が電源線 6 4 0 7 に接続され、第 2 端子が発光素子 6 4 0 3 の第 1 電極（画素電極）に接続されている。発光素子 6 4 0 3 の第 2 電極は共通電極 6 4 0 8 に相当する。共通電極 6 4 0 8 は、同一基板上に形成される共通電位線と電氣的に接続される。

#### 【 0 1 8 2 】

なお、発光素子 6 4 0 3 の第 2 電極（共通電極 6 4 0 8）には低電源電位が設定されている。なお、低電源電位とは、電源線 6 4 0 7 に設定される高電源電位を基準にして低電源電位 < 高電源電位を満たす電位であり、低電源電位としては例えば G N D、0 V などが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子 6 4 0 3 に印加して、発光素子 6 4 0 3 に電流を流して発光素子 6 4 0 3 を発光させるため、高電源電位と低電源電位との電位差が発光素子 6 4 0 3 の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

10

#### 【 0 1 8 3 】

次に、発光素子の構成について、図 2 5 を用いて説明する。図 2 5（A）乃至（C）の T F T 7 0 0 1、7 0 1 1、7 0 2 1 は、上記実施の形態で示す薄膜トランジスタと同様に作製でき、I n - G a - Z n - O 系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタである。

#### 【 0 1 8 4 】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板側とは反対側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側の面及び基板側とは反対側の面から発光を取り出す両面射出構造の発光素子があり、上記図 2 4 で述べた画素構成はどの射出構造の発光素子にも適用することができる。

20

#### 【 0 1 8 5 】

上面射出構造の発光素子について図 2 5（A）を用いて説明する。

#### 【 0 1 8 6 】

図 2 5（A）に、T F T 7 0 0 1 が n 型で、発光素子 7 0 0 2 から発せられる光が陽極 7 0 0 5 側に射出する（陽極 7 0 0 5 を介して抜ける）場合の、画素の断面図を示す。図 2 5（A）では、発光素子 7 0 0 2 の陰極 7 0 0 3 と T F T 7 0 0 1 が電氣的に接続されており、陰極 7 0 0 3 上に発光層 7 0 0 4、陽極 7 0 0 5 が順に積層されている。陰極 7 0 0 3 は仕事関数が小さく、なおかつ光を反射する導電性材料であれば様々な材料を用いることができる。例えば、C a、A l、C a F、M g A g、A l L i 等が望ましい。そして発光層 7 0 0 4 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7 0 0 3 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7 0 0 5 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、I T O と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

30

40

#### 【 0 1 8 7 】

陰極 7 0 0 3 及び陽極 7 0 0 5 で発光層 7 0 0 4 を挟んでいる領域が発光素子 7 0 0 2 に相当する。図 2 5（A）に示した画素の場合、発光素子 7 0 0 2 から発せられる光は、矢印で示すように陽極 7 0 0 5 側に射出する。

#### 【 0 1 8 8 】

次に、下面射出構造の発光素子について図 2 5（B）を用いて説明する。T F T 7 0 1 1 が n 型で、発光素子 7 0 1 2 から発せられる光が陰極 7 0 1 3 側に射出する（陰極 7 0 1 3 を介して抜ける）場合の、画素の断面図を示す。図 2 5（B）では、T F T 7 0 1 1 と電氣的に接続された透光性を有する導電膜 7 0 1 7 上に、発光素子 7 0 1 2 の陰極 7 0 1

50

3 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が成膜されていてもよい。陰極 7013 は、図 25 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 7013 として用いることができる。そして発光層 7014 は、図 25 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7015 は光を透過する必要はないが、図 25 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7016 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

10

#### 【0189】

陰極 7013 及び陽極 7015 で発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 25 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

#### 【0190】

次に、両面射出構造の発光素子について、図 25 (C) を用いて説明する。図 25 (C) では、TFT 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 25 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 7023 として用いることができる。そして発光層 7024 は、図 25 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 25 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

20

#### 【0191】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 25 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

30

#### 【0192】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。

#### 【0193】

次に、表示装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 26 (A)、26 (B) を用いて説明する。図 26 (A) は、第 1 の基板の上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 26 (B) は、図 26 (A) の H - I における断面図に相当する。

#### 【0194】

第 1 の基板 4501 上に設けられた画素部 4502、ソース線駆動回路 4503a、4503b、及びゲート線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、ソース線駆動回路 4503a、4503b、及びゲート線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、ソース線駆動回路 4503a、4503b、及びゲート線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

40

#### 【0195】

50

また第1の基板4501上に設けられた画素部4502、ソース線駆動回路4503a、4503b、及びゲート線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図26(B)では、画素部4502に含まれる薄膜トランジスタ4510と、ソース線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0196】

薄膜トランジスタ4509、4510は、In-Ga-Zn-O系非単結晶膜を半導体層として含む上記実施の形態で説明した構成の薄膜トランジスタを適用することができる。

【0197】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0198】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0199】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0200】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

【0201】

また、ソース線駆動回路4503a、4503b、ゲート線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0202】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0203】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0204】

発光素子4511からの光の取り出し方向に位置する第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0205】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施の形態は充填材として窒素を用いる。

【0206】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板( / 4板、 / 2板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により

10

20

30

40

50



反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0207】

ソース線駆動回路4503a、4503b、及びゲート線駆動回路4504a、4504bとして、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路が実装されていてもよい。また、ソース線駆動回路のみ、或いは一部、又はゲート線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図26の構成に限定されない。

【0208】

以上の工程により、発光表示装置（表示パネル）を作製することができる。なお本実施の形態で得られる表示装置の画素を構成するnチャネル型のトランジスタは、ゲート線駆動回路またはソース線駆動回路を構成するインバータ回路のトランジスタと同様に、In-Ga-Zn-O系非単結晶膜をチャネル形成領域に用いており、良好な動特性を有する。また上記実施の形態で説明するように、酸化物半導体膜上に、OH基を含む酸化珪素膜及び窒化珪素膜を連続して成膜することにより、OH基による酸化物半導体膜中のダングリングボンドの終端化、及び酸化物半導体膜中の酸素が欠損することに伴う低抵抗化の防止を図ることができる。その結果、TFTのしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。また、酸化物半導体膜をチャネル形成領域に用いたTFTは、アモルファスシリコンをチャネル形成領域に用いたTFTに比べ、移動度等の電気的特性に優れるため、性能を落とすことなく、回路におけるTFTが占める面積を縮小することができる。

【0209】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

【0210】

（実施の形態5）

本実施の形態では、上記実施の形態の構成を適用できる表示装置として電子ペーパーの例を示す。

【0211】

図29は、表示装置の例としてアクティブマトリクス型の電子ペーパーを示す。TFT581としては、実施の形態4で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶膜を半導体層として含む信頼性の高い薄膜トランジスタである。また、駆動回路を構成するTFTの酸化物半導体膜上に、OH基を含む酸化珪素膜583及び窒化珪素膜584を連続して成膜することにより、OH基による酸化物半導体膜中のダングリングボンドの終端化、及び酸化物半導体膜中の酸素が欠損することに伴う低抵抗化の防止を図っている。

【0212】

図29の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を、表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0213】

TFT581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層が第1の電極層587と、絶縁層585に形成される開口で接しており、TFT581と第1の電極層587とが電氣的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590aと、白色領域590bと、黒色領域590aと白色領域590bとの周りに設けられ液体で満たされているキャピティ594と、を有する球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている（図29参照）。本実施の形態においては、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、TFT581と同じ基板580上に設けられる共通電位線と電氣的に接続される。また、第2の電極層

５８８上に、基板５９６が設けられている。

【０２１４】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径１０μｍ～２００μｍ程度のマイクロカプセルを用いる。第１の電極層と第２の電極層との間に設けられるマイクロカプセルは、第１の電極層と第２の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

10

【０２１５】

以上の工程により、信頼性の高い電子ペーパーを作製することができる。

【０２１６】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

【０２１７】

20

（実施の形態６）

本実施の形態においては、上記実施の形態で説明した表示装置を具備する電子機器の例について説明する。

【０２１８】

図２７（Ａ）は携帯型遊技機であり、筐体９６３０、表示部９６３１、スピーカ９６３３、操作キー９６３５、接続端子９６３６、記録媒体読込部９６７２、等を有することができる。図２７（Ａ）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図２７（Ａ）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

30

【０２１９】

図２７（Ｂ）はデジタルカメラであり、筐体９６３０、表示部９６３１、スピーカ９６３３、操作キー９６３５、接続端子９６３６、シャッターボタン９６７６、受像部９６７７、等を有することができる。図２７（Ｂ）に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図２７（Ｂ）に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【０２２０】

40

図２７（Ｃ）はテレビ受像器であり、筐体９６３０、表示部９６３１、スピーカ９６３３、操作キー９６３５、接続端子９６３６、等を有することができる。図２７（Ｃ）に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図２７（Ｃ）に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【０２２１】

図２８（Ａ）はコンピュータであり、筐体９６３０、表示部９６３１、スピーカ９６３３、操作キー９６３５、接続端子９６３６、ポインティングデバイス９６８１、外部接続ポート９６８０等を有することができる。図２８（Ａ）に示すコンピュータは、様々な情報

50

(静止画、動画、テキスト画像など)を表示部に表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図28(A)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

#### 【0222】

次に、図28(B)は携帯電話であり、筐体9630、表示部9631、スピーカ9633、操作キー9635、マイクロフォン9638等を有することができる。図28(B)に示した携帯電話は、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。なお、図28(B)に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

#### 【0223】

本実施の形態において述べた電子機器は、情報を表示するための表示部に上記実施の形態で説明した表示装置を具備するものである。すなわち、ゲート線駆動回路またはソース線駆動回路を構成するインバータ回路のトランジスタとして、In-Ga-Zn-O系非単結晶膜をチャネル形成領域に用いており、良好な動特性を有する。また上記実施の形態で説明するように、酸化物半導体膜上に、OH基を含む酸化珪素膜及び窒化珪素膜を連続して成膜することにより、OH基による酸化物半導体膜中のダングリングボンドの終端化、及び酸化物半導体膜中の酸素が欠損することに伴う低抵抗化の防止を図ることができる。その結果、TFTのしきい値電圧のシフトを低減し、エンハンスメント型トランジスタであることによるオフ電流の低減の効果を持続することができる。また、酸化物半導体膜をチャネル形成領域に用いたTFTは、アモルファスシリコンをチャネル形成領域に用いたTFTに比べ、移動度等の電気的特性に優れるため、性能を落とすことなく、回路におけるTFTが占める面積を縮小することができる。

#### 【0224】

なお、本実施の形態において、各々の図で述べた内容は、別の実施の形態で述べた内容に対して、適宜、組み合わせ、又は置き換えなどを自由に行うことができる。

#### 【符号の説明】

#### 【0225】

- 100 基板
- 101 ソース線駆動回路
- 102 ゲート線駆動回路
- 103 画素部
- 104 フレキシブルプリント基板
- 105 回路
- 110 点線枠
- 170 薄膜トランジスタ
- 201 クロック信号用レベルシフタ
- 202 スタートパルス用レベルシフタ
- 203 パルス出力回路
- 204 NAND回路
- 205 バッファ
- 206 サンプリングスイッチ
- 251 シフトレジスタ
- 300 パルス出力回路
- 301 スイッチ
- 302 インバータ回路
- 303 インバータ回路

3 0 4	スイッチ	
3 0 5	インバータ回路	
3 3 1	パルス出力回路	
3 3 2	パルス出力回路	
3 5 0	点線	
3 5 1	T F T	
3 5 2	T F T	
3 5 3	T F T	
3 5 4	T F T	
3 5 5	T F T	10
3 5 6	T F T	
3 5 7	T F T	
3 5 8	T F T	
3 5 9	配線	
3 6 0	配線	
5 8 1	T F T	
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	20
5 9 4	キャピティ	
5 9 5	充填材	
6 0 1	T F T	
6 0 2	T F T	
6 0 3	T F T	
6 0 5	容量	
6 0 6	T F T	
6 0 8	T F T	
6 0 9	T F T	
6 1 0	容量	30
6 1 1	T F T	
6 1 2	T F T	
6 1 3	T F T	
6 1 5	容量	
7 0 2	T F T	
7 0 4	T F T	
7 0 5	T F T	
7 0 7	容量	
7 3 1	T F T	
7 5 1	クロック信号用レベルシフタ	40
7 5 2	スタートパルス用レベルシフタ	
7 5 3	パルス出力回路	
7 5 4	N A N D 回路	
7 5 5	バッファ	
7 8 1	シフトレジスタ	
8 0 1	電源線	
8 0 2	電源線	
8 0 3	制御信号線	
8 0 4	制御信号線	
8 0 5	制御信号線	50

8 0 6	酸化物半導体膜	
8 0 7	配線層	
8 0 8	配線層	
8 0 9	コンタクト孔	
9 0 0	基板	
9 0 1	ゲート電極	
9 0 2	ゲート電極	
9 0 3	ゲート絶縁層	
9 0 4	コンタクトホール	
9 0 5	酸化物半導体膜	10
9 0 6	n + 層	
9 0 7	酸化物半導体膜	
9 0 8	n + 層	
9 0 9	配線	
9 1 0	配線	
9 1 1	配線	
9 1 2	酸化珪素膜	
9 1 3	窒化珪素膜	
1 0 0 1	チャネル保護層	
1 0 0 2	チャネル保護層	20
1 1 0 1	酸化珪素膜	
1 1 0 2	窒化珪素膜	
1 4 0 0	パルス出力回路	
1 4 0 1	インバータ回路	
1 4 0 2	スイッチ	
1 4 0 3	容量素子	
1 4 1 1	T F T	
1 4 1 2	T F T	
1 4 1 3	T F T	
1 4 1 4	容量素子	30
1 4 1 5	配線	
1 4 1 6	配線	
1 5 0 0	パルス出力回路	
1 5 0 1	T F T	
1 5 0 2	T F T	
1 5 0 3	T F T	
1 5 0 4	容量素子	
1 5 0 5	配線	
1 5 0 6	配線	
1 6 0 0	基板	40
1 6 0 1	ゲート電極層	
1 6 0 2	ゲート絶縁層	
1 6 0 3	半導体層	
1 6 0 8	容量配線	
1 6 0 9	酸化物半導体膜	
1 6 1 0	画素電極層	
1 6 1 1	酸化物半導体膜	
1 6 2 0	接続電極	
1 6 2 1	端子	
1 6 2 2	端子	50

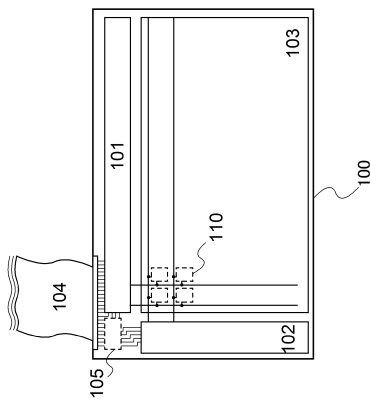
1 6 2 5	コンタクトホール	
1 6 2 6	コンタクトホール	
1 6 2 7	コンタクトホール	
1 6 2 8	透明導電膜	
1 6 2 9	透明導電膜	
1 6 3 1	レジストマスク	
1 6 3 2	導電膜	
1 6 5 0	端子	
1 6 5 1	端子	
1 6 5 2	ゲート絶縁層	10
1 6 5 3	接続電極	
1 6 5 4	保護絶縁膜	
1 6 5 5	透明導電膜	
1 6 5 6	電極	
1 6 7 0	薄膜トランジスタ	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	20
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	30
6 4 0 0	画素	
6 4 0 1	T F T	
6 4 0 2	T F T	
6 4 0 3	発光素子	
6 4 0 5	ソース線	
6 4 0 6	ゲート線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	T F T	
7 0 0 2	発光素子	40
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	50

7 0 2 1	T F T
7 0 2 2	発光素子
7 0 2 3	陰極
7 0 2 4	発光層
7 0 2 5	陽極
7 0 2 7	導電膜
9 6 3 0	筐体
9 6 3 1	表示部
9 6 3 3	スピーカ
9 6 3 5	操作キー
9 6 3 6	接続端子
9 6 3 8	マイクロフォン
9 6 7 2	記録媒体読込部
9 6 7 6	シャッターボタン
9 6 7 7	受像部
9 6 8 0	外部接続ポート
9 6 8 1	ポインティングデバイス
4 5 0 3 a	ソース線駆動回路
4 5 0 4 a	ゲート線駆動回路
4 5 1 8 a	F P C

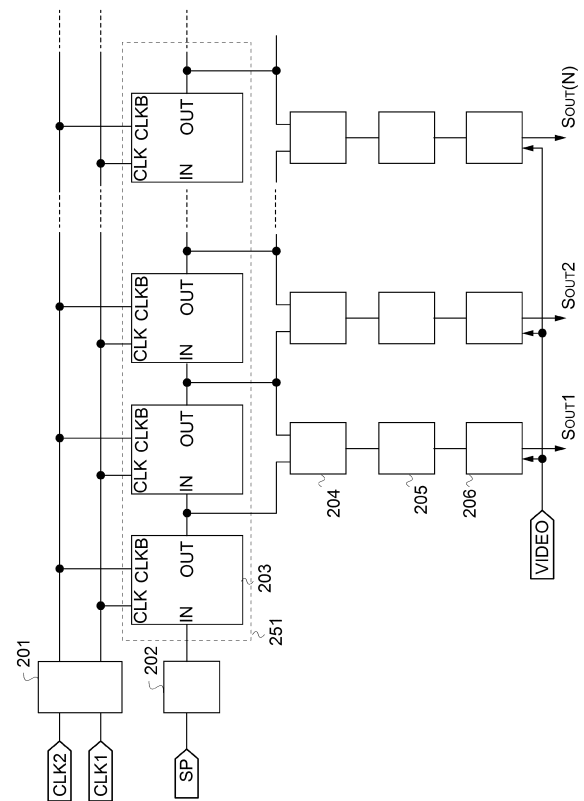
10

20

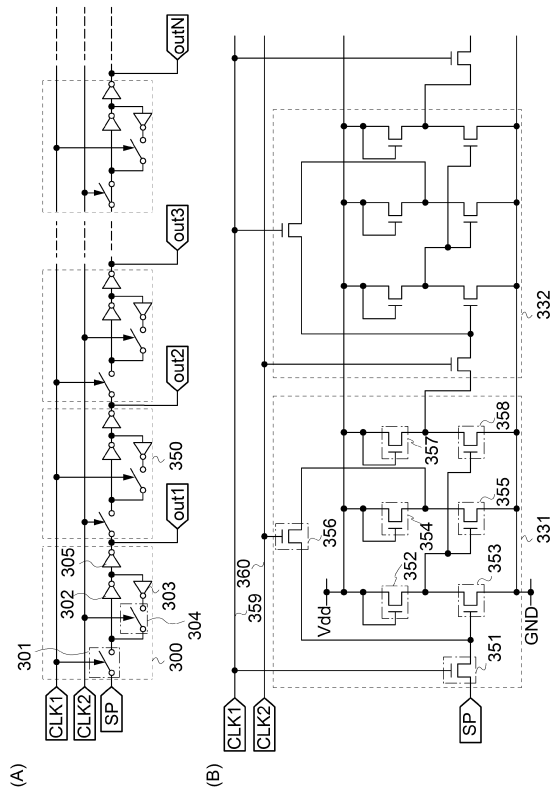
【図 1】



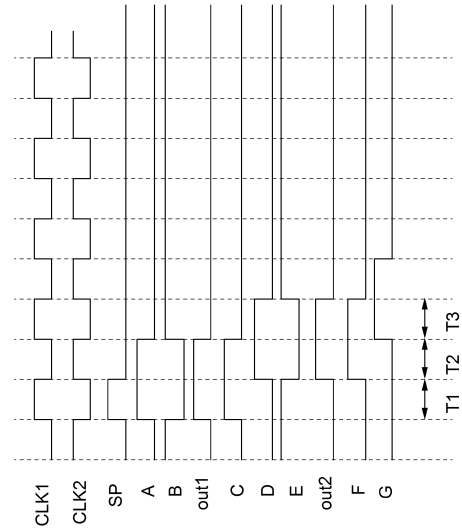
【図 2】



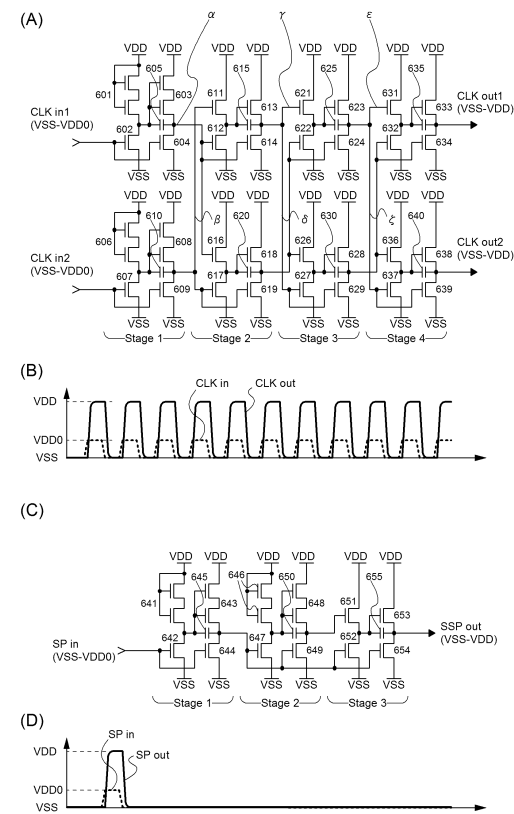
【図 3】



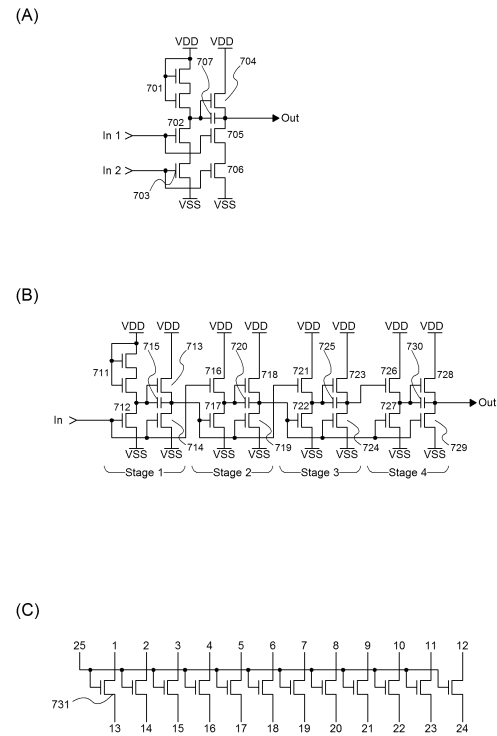
【図 4】



【図 5】



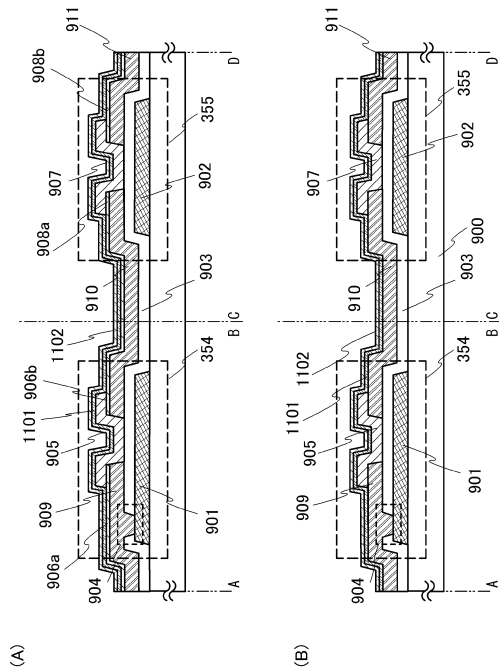
【図 6】



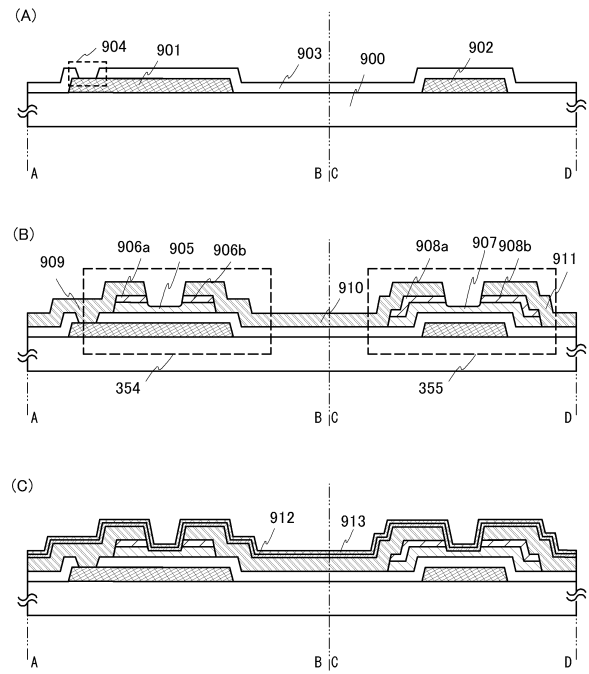




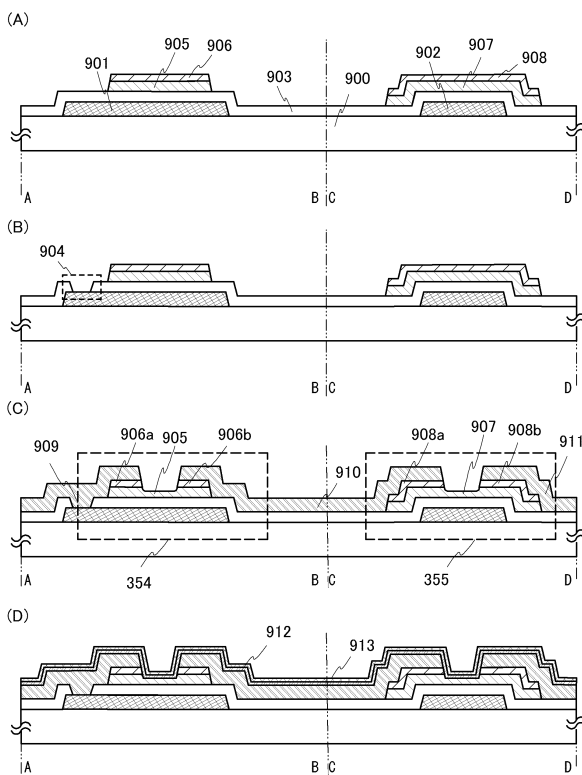
【図 1 1】



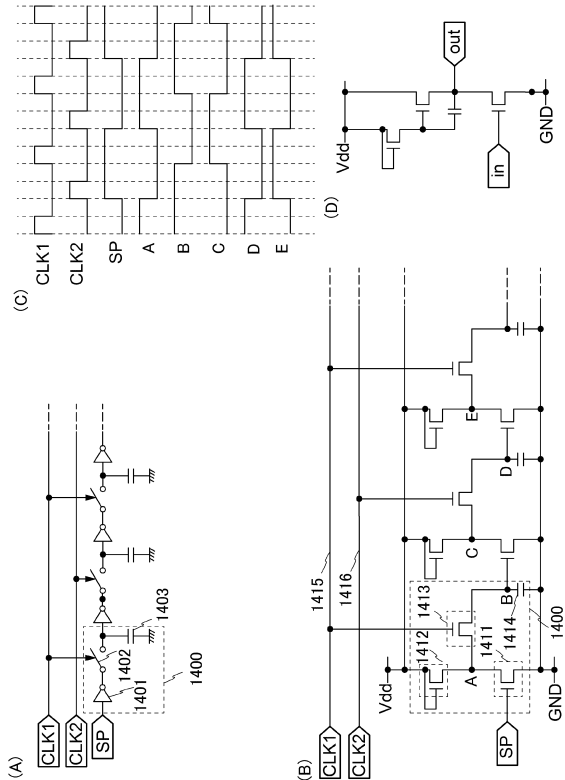
【図 1 2】



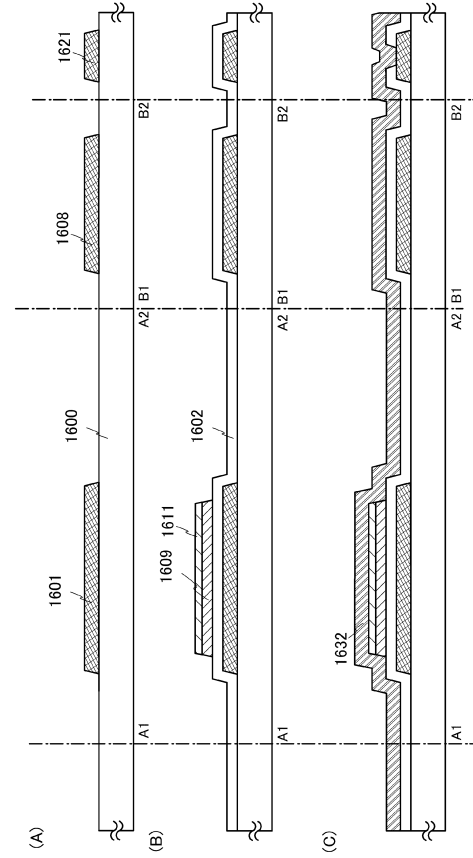
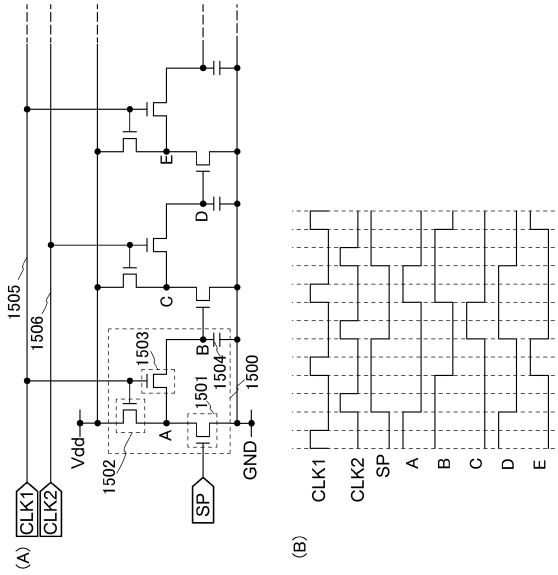
【図 1 3】



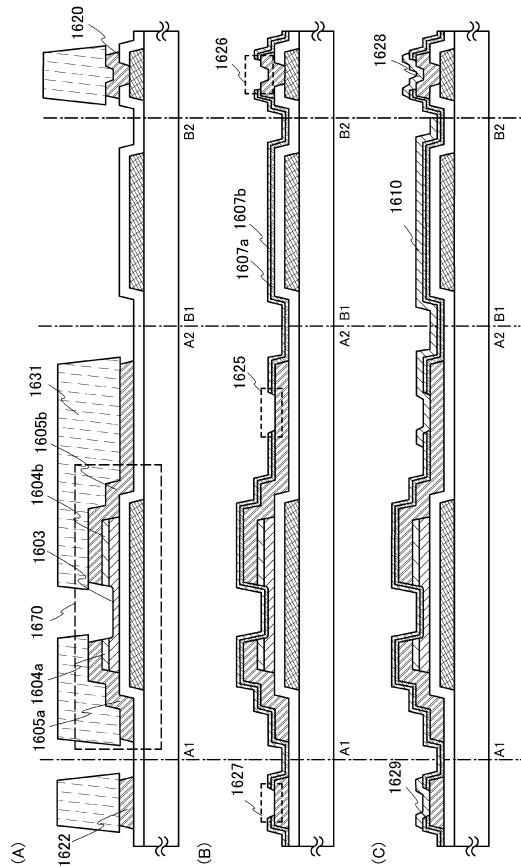
【図 1 4】



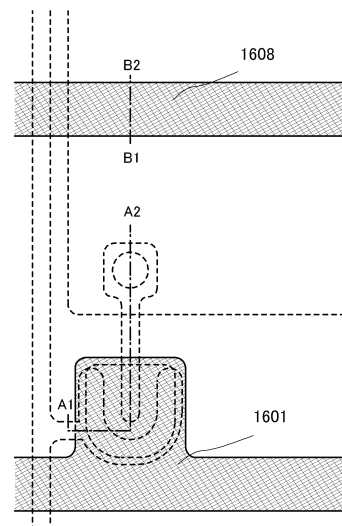
【 図 1 6 】



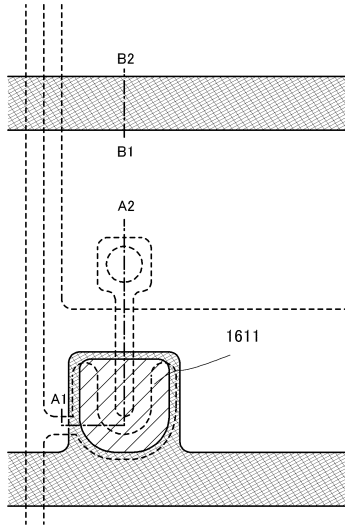
【 図 1 7 】



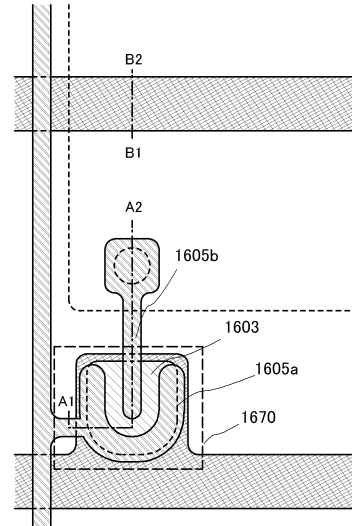
【 図 1 8 】



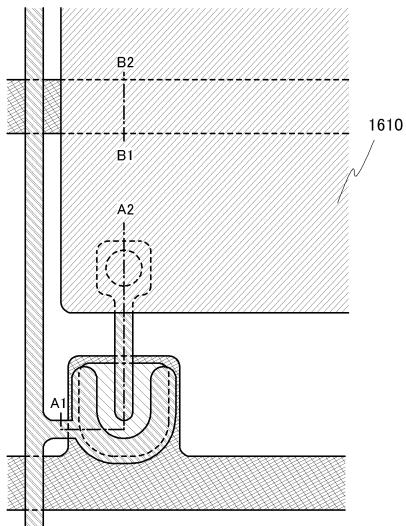
【図 19】



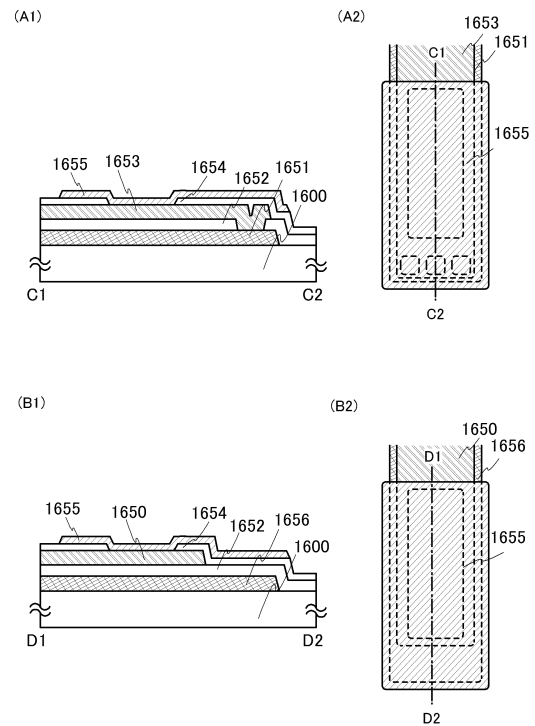
【図 20】



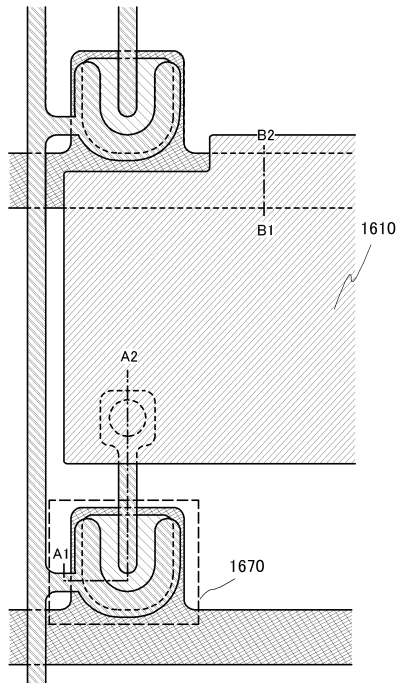
【図 21】



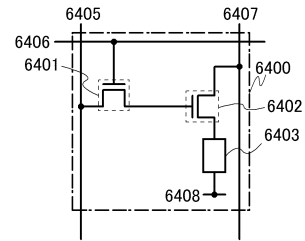
【図 22】



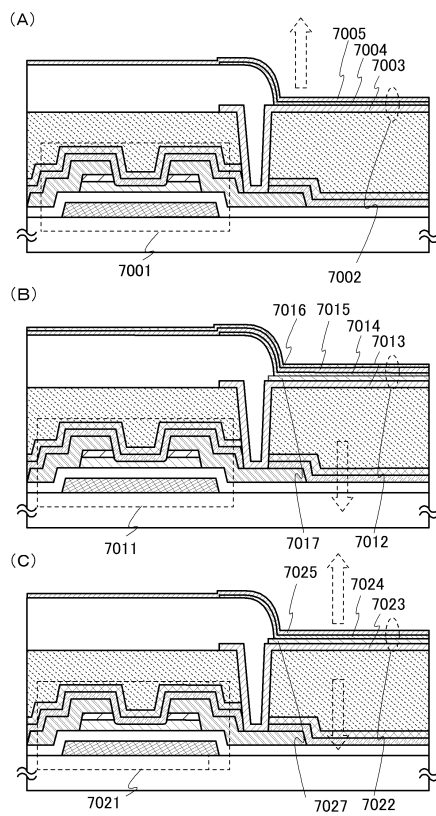
【図 23】



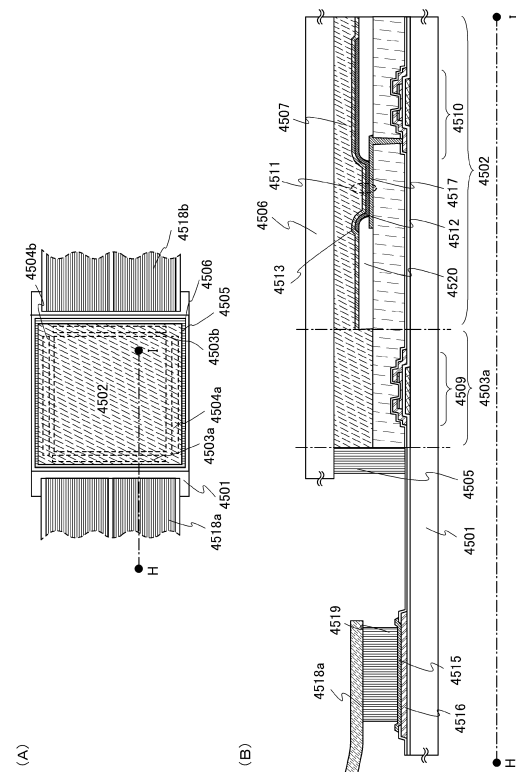
【図 24】



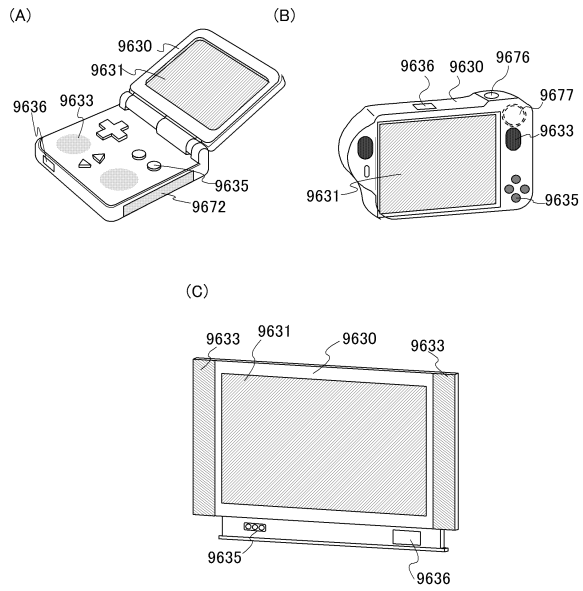
【図 25】



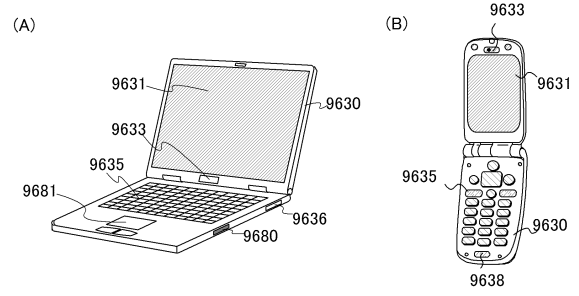
【図 26】



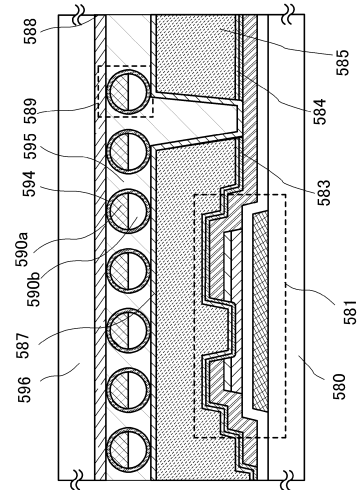
【図 27】



【図 28】



【図 29】



---

 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L 51/50 (2006.01)</i>		H 0 1 L	29/78	6 1 3 Z
<i>H 0 5 B 33/14 (2006.01)</i>		H 0 1 L	27/08	3 3 1 E
		H 0 5 B	33/14	A
		H 0 5 B	33/14	Z

(56)参考文献 特開 2 0 0 6 - 1 6 5 5 3 2 ( J P , A )  
 特開 2 0 0 7 - 0 9 6 1 2 9 ( J P , A )  
 特開 2 0 0 8 - 2 2 7 5 1 7 ( J P , A )  
 特開 2 0 0 7 - 1 9 4 5 9 4 ( J P , A )  
 特開 2 0 0 8 - 0 1 0 4 4 0 ( J P , A )  
 特開 2 0 0 5 - 3 2 7 7 9 7 ( J P , A )  
 米国特許出願公開第 2 0 0 8 / 0 1 7 6 3 6 4 ( U S , A 1 )  
 特開 2 0 0 5 - 3 4 0 8 0 2 ( J P , A )  
 特開 2 0 0 8 - 0 9 1 8 9 6 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
 H 0 1 L 2 9 / 7 8 6  
 H 0 1 L 2 1 / 3 3 6