



(12) 发明专利申请

(10) 申请公布号 CN 102856036 A

(43) 申请公布日 2013. 01. 02

(21) 申请号 201110182248. 0

(22) 申请日 2011. 06. 30

(71) 申请人 艾默生网络能源有限公司

地址 518057 广东省深圳市南山区科技工业园科发路一号

(72) 发明人 朱勇 谢鸣静 杨赫

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 逯长明 王宝筠

(51) Int. Cl.

H01F 17/04 (2006. 01)

H01F 27/30 (2006. 01)

H01F 27/255 (2006. 01)

H01F 1/34 (2006. 01)

H03H 7/09 (2006. 01)

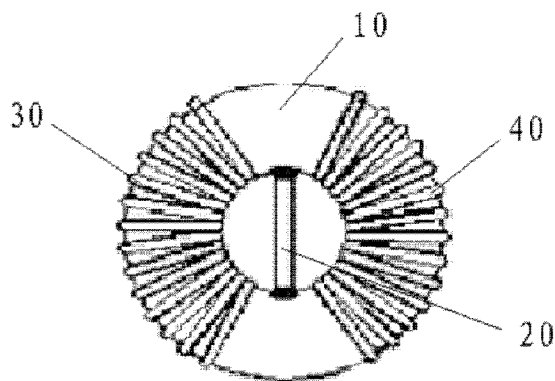
权利要求书 1 页 说明书 7 页 附图 8 页

(54) 发明名称

一种差共模集成电感器、EMI 滤波器以及开关电源

(57) 摘要

本发明公开了一种抑制差模与共模电磁干扰的差共模集成电感器,包括:一等截面的闭合型磁芯,在所述闭合型磁芯上对称绕制两个线圈绕组;将磁粉芯材料填充入所述绕制好线圈绕组的闭合型磁芯的内部、并包覆在所述闭合型磁芯外部允许范围内的尺寸最小的空间中。本发明还公开了一种 EMI 滤波器以及开关电源。采用本发明实施例,能够实现电感器体积最小化与散热面积最大化,该电感器的差共模电感间的影响小,能够较好的抑制差模和共模的干扰。



1. 一种差共模集成电感器,其特征在于,所述电感器包括:一等截面的闭合型磁芯,在所述闭合型磁芯上对称绕制两个线圈绕组;

将磁粉芯材料填充入所述绕制好线圈绕组的闭合型磁芯的内部、并包覆在所述闭合型磁芯外部允许范围内的尺寸最小的空间中。

2. 根据权利要求1所述的差共模集成电感器,其特征在于,两个所述线圈绕组的线径和绕制匝数均相同。

3. 根据权利要求1所述的差共模集成电感器,其特征在于,所述两个线圈绕组之间、每个线圈绕组的各匝之间、各线圈绕组与所述环形磁芯之间的空隙均完全被所述磁粉芯材料所充满。

4. 根据权利要求1所述的差共模集成电感器,其特征在于,所述磁粉芯材料为带有软磁特性的磁性材料。

5. 根据权利要求4所述的差共模集成电感器,其特征在于,所述磁粉芯材料包括:铁氧体粉末或者金属颗粒粉末。

6. 根据权利要求5所述的差共模集成电感器,其特征在于,所述铁氧体粉末为锰锌铁氧体 MnZn 或者镍锌铁氧体 NiZn。

7. 根据权利要求5所述的差共模集成电感器,其特征在于,所述金属颗粒粉末为铁硅铝合金粉末 FeSiAl、铁硅合金粉末 FeSi、或者铁镍合金粉末 FeNi。

8. 根据权利要求1至7任一项所述的差共模集成电感器,其特征在于,所述闭合型磁芯为闭合环形磁芯或闭合对称多边形磁芯。

9. 一种 EMI 滤波器,其特征在于,所述滤波器包括电感器、电容和电阻串 / 并联组合成的抗电磁干扰滤波电路网络;

所述电感器为权利要求1至8任一项所述的差共模集成电感器。

10. 一种开关电源,其特征在于,所述开关电源包括如权利要求1至8任一项所述的差共模集成电感器。

一种差共模集成电感器、EMI 滤波器以及开关电源

技术领域

[0001] 本发明涉及电感的差共模集成技术领域,特别是涉及一种抑制差模与共模电磁干扰的差共模集成电感器、EMI 滤波器以及开关电源。

背景技术

[0002] 目前,为了抑制电源的 EMI (Electro Magnetic Interference, 电磁干扰) 噪声和浪涌雷击残压,要么增大电感或电容的体积,相应的增加其感值或容值;要么是增加一些辅助器件。但是现有的技术都增加了滤波器的体积,并增加了电路的复杂度。

[0003] 现阶段,研究人员发现,采用电感的差共模集成技术,能够较好的解决 EMI 抑制和浪涌雷击防护的问题,既能简化电路结构,同时也能减小滤波器的体积。

[0004] 参照图 1,为现有的一种典型的差共模集成滤波器的结构图。如图 1 所示,该滤波器将一 I 型磁芯(如图 1 中 1a 所示)横置于一口型或日型磁芯的窗口上(图 1 中以口型磁芯 2a 为例进行说明)。其中,该口型或日型磁芯采用高磁导率材料以抑制共模干扰,该 I 型磁芯采用低磁导率/高饱和磁密的材料以抑制差模干扰。

[0005] 但是,现有这种差共模集成滤波器结构的缺点是 I 型磁芯不好固定,差模磁通和共模磁通在磁路中有很大一部份同磁,影响了共模电感量。

发明内容

[0006] 有鉴于此,本发明的目的在于提供一种抑制差模与共模电磁干扰的差共模集成电感器、EMI 滤波器以及开关电源,能够实现电感器体积最小化与散热面积最大化,该电感器的差共模电感间的影响小,能够较好的抑制差模和共模的干扰。

[0007] 本发明实施例提供一种差共模集成电感器,所述电感器包括:一等截面的闭合型磁芯,在所述闭合型磁芯上对称绕制两个线圈绕组;

[0008] 将磁粉芯材料填充入所述绕制好线圈绕组的闭合型磁芯的内部、并包覆在所述闭合型磁芯外部允许范围内的尺寸最小的空间中。

[0009] 优选地,两个所述线圈绕组的线径和绕制匝数均相同。

[0010] 优选地,所述两个线圈绕组之间、每个线圈绕组的各匝之间、各线圈绕组与所述环形磁芯之间的空隙均完全被所述磁粉芯材料所充满。

[0011] 优选地,所述磁粉芯材料为带有软磁特性的磁性材料。

[0012] 优选地,所述磁粉芯材料包括:铁氧体粉末或者金属颗粒粉末。

[0013] 优选地,所述铁氧体粉末为锰锌铁氧体 MnZn 或者镍锌铁氧体 NiZn。

[0014] 优选地,所述金属颗粒粉末为铁硅铝合金粉末 FeSiAl、铁硅合金粉末 FeSi、或者铁镍合金粉末 FeNi。

[0015] 优选地,所述闭合型磁芯为闭合环形磁芯或闭合对称多边形磁芯。

[0016] 本发明实施例还提供一种 EMI 滤波器,所述滤波器包括电感器、电容和电阻串/并联组合成的抗电磁干扰滤波电路网络;所述电感器为所述的差共模集成电感器。

[0017] 本发明实施例还提供一种开关电源,所述开关电源包括所述的差共模集成电感器。

[0018] 根据本发明提供的具体实施例,本发明公开了以下技术效果:

[0019] 本发明实施例中,所述电感器采用等截面的闭合型磁芯,在所述闭合型磁芯上对称绕制两个线圈绕组,并利用磁粉芯材料填充入所述绕制好线圈绕组的闭合型磁芯的内部、并包覆在所述闭合型磁芯外部允许范围内的尺寸最小的空间中,构成一体成型的电感器。

[0020] 由于所述磁粉芯材料具有一定的导热能力,既能够紧密结合所述电感器的线圈绕组和闭合型磁芯,又能够提高两个线圈绕组之间、以及线圈绕组与闭合型磁芯之间的传导导热能力,也使得所述电感器的散热表面积有所增加,有利于所述电感器在风冷条件下对流导热能力的提升,因此,本发明实施例所述电感器,能够实现电感器体积最小化与散热面积最大化,该电感器的差共模电感间的影响小,能够较好的抑制差模和共模的干扰。

附图说明

[0021] 图 1 为现有的一种典型的差共模集成滤波器的结构图;

[0022] 图 2 为本发明实施例所述的差共模集成电感器的结构图;

[0023] 图 3a 为环形磁芯的一个半环上集中绕制线圈绕组的结构图;

[0024] 图 3b 为图 3a 所示电感器的磁势、磁压降、磁位差分布图;

[0025] 图 3c 为图 3a 所示电感器的等效示意图;

[0026] 图 4 为图 2 所示的电感器的磁通分布图;

[0027] 图 5a 为一体成型前的电感器的俯视图;

[0028] 图 5b 为一体成型前的电感器的侧视图;

[0029] 图 6a 为一体成型后的电感器的俯视图;

[0030] 图 6b 为一体成型后的电感器的侧视图;

[0031] 图 7a 为本发明所述电感器一体成型前和一体成型后的试验数据对比图;

[0032] 图 7b 为所述电感器一体成型前,满载时差模干扰从零线接入情况下的 EMC 中的抗传导波形图;

[0033] 图 7c 为所述电感器一体成型前,满载时差模干扰从火线接入情况下的 EMC 中的抗传导波形图;

[0034] 图 7d 为所述电感器一体成型前,空载时差模干扰从零线接入情况下的 EMC 中的抗传导波形图;

[0035] 图 7e 为所述电感器一体成型前,空载时差模干扰从火线接入情况下的 EMC 中的抗传导波形图;

[0036] 图 7f 为所述电感器一体成型后,满载时差模干扰从零线接入情况下的 EMC 中的抗传导波形图;

[0037] 图 7g 为所述电感器一体成型后,满载时差模干扰从火线接入情况下的 EMC 中的抗传导波形图;

[0038] 图 7h 为所述电感器一体成型后,空载时差模干扰从零线接入情况下的 EMC 中的抗传导波形图;

[0039] 图 7i 为所述电感器一体成型后,空载时差模干扰从火线接入情况下的 EMC 中的抗传导波形图。

具体实施方式

[0040] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图和具体实施方式对本发明作进一步详细的说明。

[0041] 有鉴于此,本发明的目的在于提供一种抑制差模与共模电磁干扰的差共模集成电感器、EMI 滤波器及开关电源,能够实现电感器体积最小化与散热面积最大化,该电感器的差共模电感间的影响小,能够较好的抑制差模和共模的干扰。

[0042] 本发明实施例所述集成电感器包括:一等截面的闭合型磁芯,在所述闭合型磁芯上对称绕制两个线圈绕组。

[0043] 将磁粉芯材料填充入所述绕制好线圈绕组的闭合型磁芯的内部、并包覆在所述闭合型磁芯外部允许范围内的尺寸最小的空间中。

[0044] 由于所述磁粉芯材料具有一定的导热能力,既能够紧密结合所述电感器的线圈绕组和闭合型磁芯,又能够提高两个线圈绕组之间、以及线圈绕组与闭合型磁芯之间的传导导热能力,也使得所述电感器的散热表面积有所增加,有利于所述电感器在风冷条件下对流导热能力的提升,因此,本发明实施例所述电感器,能够实现电感器体积最小化与散热面积最大化,该电感器的差共模电感间的影响小,能够较好的抑制差模和共模的干扰。

[0045] 优选地,本发明实施例中所述闭合型磁芯可以为闭合环形磁芯或闭合对称多边形磁芯。其中,所述闭合对称多边形磁芯可以为口字型、正六边形等。

[0046] 下面以闭合环形磁芯为例进行详细说明。

[0047] 参照图 2,为本发明实施例所述的差共模集成电感器的结构图。如图 2 所示,所述电感器具有一等截面的闭合环形磁芯 10,在所述闭合环形磁芯 10 上对称绕制有两个线圈绕组。

[0048] 将磁粉芯材料填充入所述绕制好线圈绕组的闭合环形磁芯 10 的内部、并包覆在所述闭合环形磁芯 10 外部允许范围内的尺寸最小的空间中,使得所述电感器一体成型。

[0049] 具体的,可以如图 2 所示,所述闭合环形磁芯 10 可以经一隔板 20 被划分为两个半环,每个半环上分别绕制一线圈绕组。

[0050] 需要说明的是,两个所述线圈绕组对称绕制。

[0051] 具体的,两个所述线圈绕组的线径和绕制匝数均相同。

[0052] 如图 2 所示,在所述闭合环形磁芯 10 的两个半环上,分别绕制第一线圈绕组 30 和第二线圈绕组 40,所述第一线圈绕组 30 和所述第二线圈绕组 40 的线径和绕制匝数均相同。

[0053] 下面对本发明实施例所述差共模集成电感器的工作原理进行详细描述。

[0054] 本发明实施例中,所述线圈绕组在所述等截面的闭合型环形磁芯上集中绕制。首先,针对在所述闭合环形磁芯的一个半环上集中绕制线圈绕组进行说明,如图 3a 所示。

[0055] 所述线圈绕组集中绕制在所述闭合环形磁芯的一个半环上,设定所述线圈绕组的长度为 $1w$,取其线圈绕组的中点作为参考点。根据下述公式 (1) 计算磁势 F ,得到磁势 $F-x$ (其中,横坐标 x 为磁芯磁路) 的分布图,如图 3b 所示。

[0056] $F = Hl(1)$

[0057] 式中, F 为磁势; H 为磁芯的磁场强度; l 为磁芯的有效磁路长度。

[0058] 如图 3b 所示, 在 x 方向上, $1w/2$ 至 $(1-1w)/2$ 段, 没有增加匝链磁势, 故为一水平线。如果有散磁存在, 所述环形磁芯各截面的磁通密度和磁场强度与磁路坐标的乘积 Hx 不再是常数, 磁压降 U_{cx} 也就不能用下述公式 (2) 来计算。

$$[0059] \quad U_{cx} = \int_0^x H dx = \frac{IN}{l} x \quad (2)$$

[0060] 式中, U_{cx} 为磁压降; IN 为磁势 F ; H 为磁芯的磁场强度; l 为磁芯的有效磁路长度; x 为磁芯磁路。

[0061] 如果散磁通的比例很小, 假设 Hx 为常数, 可以得到磁压降 U_{cx} 的分布图如图 3b 所示。将图 3b 所示的磁势 F 的分布和磁压降 U_{cx} 的分布相减, 得到磁位差 U_x 的分布。

[0062] 由图 3b 可知, 除对称轴 ($x = 0$ 和 $x = 1/2$) 外, 磁路中, 磁位差 U_x 都不等于零, 因此, 在该闭合环形磁芯周围空间内分布有散磁通 φ_σ , 如图 3c 所示。

[0063] 在所述闭合环形磁芯中存在若干磁位相等的磁位面, 简称等位面。和电场一样, 在所述闭合环形磁芯的周围空间也存在等磁位面, 其磁力线垂直于等位面, 终止在电流上, 如图 3a 所示。据此, 根据对称原则, 将 $x = 0$ 和 $x = 1/2$ 的平面定义为 0 等磁位面。

[0064] 由图 3a 可见, 在闭合环形磁芯 $x = 0$ 处磁通最大, 由于该闭合环形磁芯的截面积是均匀的, 在 $x = 0$ 处的磁通密度也就最大; 而在 $x = 1/2$ 处, 磁通最小, 其磁通密度也最低。在 $+1w/2$ 和 $-1w/2$ 之间磁位差 U_x 最大, 因此, 该处磁力线最密。尽管散磁通 φ_σ 是分布的, 在画等效磁路时, 可近似等效为散磁通 φ_σ 是在最大磁位差的地方 ($\pm 1w/2$) 流出的。

[0065] 因此, 有:

[0066]

$$\varphi = \varphi_c + \varphi_\sigma \quad (3)$$

[0067] 式中, φ_c 是全部经过所述闭合环形磁芯的磁通; φ_σ 为散磁通, 是部分通过所述闭合环形磁芯并经过周围空气路径闭合的磁通。

[0068] 如果是电感线圈, 散磁通 φ_σ 是电感磁通的一部分; 如果是变压器, 散磁通 φ_σ 可能是主磁通的一部分, 其余是漏磁通, 也可能全部是漏磁通, 即部分或全部不与次级耦合。

[0069] 上述对在所述闭合环形磁芯的一个半环上集中绕制线圈绕组的工作原理进行了详细说明。结合图 2 所示, 本发明实施例中, 在所述闭合环形磁芯的两个半环上对称绕制两个线圈绕组, 当所述两个线圈绕组中流过大小相等、方向相反的电流时, 结合前述的工作原理可知, 存在散磁通 φ_σ , 且其散磁通 φ_σ 的分布如图 4 所示。

[0070] 如图 4 所示, 图 2 所示的电感器的磁通包括: 过磁芯耦合到邻近绕组的磁通 φ_c 和没有耦合到邻近绕组的磁通 φ_σ 。其中,

[0071] 所述过磁芯耦合到邻近绕组的磁通 φ_c , 由于两个线圈绕组所产生的该部分磁通总是大小相等且方向相反的, 对差模分量没有贡献, 因此, 其总合值为 0。

[0072] 所述没有耦合到邻近绕组的磁通 φ_σ , 流经所述闭合环形磁芯 10 (所述线圈绕组的内部) 并经周围空气构成闭合环路, 形成散磁通, 即产生差模电感分量。

[0073] 因此, 本发明实施例所述电感器, 将绕制好线圈绕组的闭合环形磁芯, 通过一体成型工艺, 将磁粉芯材料填充入所述绕制好线圈绕组的闭合环形磁芯的内部、并包覆在该闭合环形磁芯外部允许范围内的尺寸最小的空间中。

[0074] 具体的,可以将所述磁粉芯材料通过加入胶体,调制成粘性材料,将其注入充满并包覆在整个绕制好线圈绕组的闭合环形磁芯的内部与外部。具体的,使得两个线圈绕组之间、每个线圈绕组的各匝之间、各线圈绕组与所述闭合环形磁芯之间的空隙均完全被所述磁粉芯材料所充满,然后,再利用所述磁粉芯材料将整个所述闭合环形磁芯的外部包覆,最终使之成为一体成型,构成集成式的电感器。

[0075] 需要注意的是,在利用所述磁粉芯材料包覆所述闭合环形磁芯的外部时,既要使所述绕制好线圈绕组的闭合环形磁芯作为整体全部包覆住,又要使所述闭合环形磁芯被包覆后一体成型的尺寸尽可能的小。

[0076] 本发明实施例中,通过采用上述的结构,在尺寸尽可能小的允许范围内,将磁通 Φ_c 中的空气磁导率 μ_0 更改为磁粉芯类的高磁导率 $\mu_0\mu_r$ 。通过下述公式(4)可知,由此可以增大所述电感器的差模电感分量。

$$[0077] \quad L = \frac{N^2 \mu_0 \mu_r A_e}{l_e} \quad (4)$$

[0078] 式中, L 为引入高磁导率 $\mu_0\mu_r$ 磁粉芯类的差模分量电感, N 为线圈绕组的匝数, A_e 为磁通 Φ_c 包络的空间有效截面积, l_e 为磁通 Φ_c 形成的有效磁路长度。

[0079] 其中,所述磁粉芯材料是指带有软磁特性的磁性材料。所述磁粉芯材料可以包括:锰锌铁氧体 $MnZn$ 、镍锌铁氧体 $NiZn$ 等铁氧体粉末,或者铁硅铝合金粉末 $FeSiAl$ 、铁硅合金粉末 $FeSi$ 、铁镍合金粉末 $FeNi$ 等金属颗粒粉末等。所述磁粉芯材料具有表面高阻态或自身高阻态,并且具有较好的导热性能。

[0080] 参照图5a和图5b,分别为一体成型前的电感器的俯视图和侧视图;图6a和图6b分别为一体成型后的电感器的俯视图和侧视图。其中,一体成型前即为刚刚绕制好线圈绕组的闭合环形磁芯;一体成型后是指对绕制好线圈绕组的闭合环形磁芯进行磁粉芯材料的填充和包覆之后构成的电感器。

[0081] 需要说明的是,上述各图形中标注的电感器的尺寸均只是示例,以此可以说明本发明实施例中,在对所述电感器进行一体成型加工时,会在所述闭合环形磁芯外部允许范围内的尺寸最小的空间中包覆磁粉芯材料,由此能够保持该电感器的外部尺寸尽可能不改变,以便实现所述集成电感器的体积最小化。

[0082] 通过将磁粉芯材料填充入所述绕制好线圈绕组的闭合环形磁芯的内部所有空隙空间、并包覆在所述闭合环形磁芯外部允许范围内的尺寸最小的空间中,可以最大程度地增大所述电感器散磁通磁路中的磁导率,进而增大该电感器的差模电感量。由此,能够实现电感器体积最小化与散热面积最大化,该电感器的差共模电感间的影响小,能够较好的抑制差模和共模的干扰。

[0083] 参照图7a为本发明实施例所述电感器一体成型前和一体成型后的试验数据对比图。具体的,图7a为所述电感器一体成型前和一体成型后的差模分量电感数据对比图,由此可见,该电感器在一体成型后,其差模分量电感大大提高了。

[0084] 如图7b至图7i,为本发明实施例所述电感器一体成型前和一体成型后的各种工况下EMC(Electro Magnetic Compatibility,电磁兼容性)中的传导波形图,由此可见,该电感器在一体成型后,其差模分量电感大大提高了。

[0085] 其中,图7b为所述电感器一体成型前,满载时(如15A)差模干扰从零线(N线)

接入情况下的 EMC 中的抗传导波形图。

[0086] 图 7c 为所述电感器一体成型前,满载时(如 15A)差模干扰从火线(L线)接入情况下的 EMC 中的抗传导波形图。

[0087] 图 7d 为所述电感器一体成型前,空载时(如 0A)差模干扰从零线(N线)接入情况下的 EMC 中的抗传导波形图。

[0088] 图 7e 为所述电感器一体成型前,空载时(如 0A)差模干扰从火线(L线)接入情况下的 EMC 中的抗传导波形图。

[0089] 图 7f 为所述电感器一体成型后,满载时(如 15A)差模干扰从零线(N线)接入情况下的 EMC 中的抗传导波形图。

[0090] 图 7g 为所述电感器一体成型后,满载时(如 15A)差模干扰从火线(L线)接入情况下的 EMC 中的抗传导波形图。

[0091] 图 7h 为所述电感器一体成型后,空载时(如 0A)差模干扰从零线(N线)接入情况下的 EMC 中的抗传导波形图。

[0092] 图 7i 为所述电感器一体成型后,空载时(如 0A)差模干扰从火线(L线)接入情况下的 EMC 中的抗传导波形图。

[0093] 需要说明的是,图 7f 至图 7i 均为一体成型后,减少了差模电容的数量并且降低了差模电容量之后的 EMC 中的抗传导波形图。

[0094] 通过上述图形可以看到,经试验证明,在一体成型后,所述电感器的差模噪声能够得到更好的抑制;且一体成型后的电感器能够保持一体成型前对 EMI 噪声的抑制效果,并且能够减少集成后的滤波电路的电容数量和降低电容量,相应的大大减小了 EMI 滤波器的体积。

[0095] 本发明实施例中,利用所述磁粉芯材料填充并包覆所述绕制好线圈绕组的环形磁芯的内部和外部,构成电感器。由于所述磁粉芯材料具有一定的导热能力,既能够紧密结合所述电感器的线圈绕组和环形磁芯,又能够提高两个线圈绕组之间、以及线圈绕组与环形磁芯之间的传导导热能力,也使得所述电感器的散热表面积有所增加,有利于所述电感器在风冷条件下对流导热能力的提升,因此,本发明实施例所述电感器,能够实现电感器体积最小化与散热面积最大化,该电感器的差共模电感间的影响小,能够较好的抑制差模和共模的干扰。

[0096] 本发明实施例还可以提供一种 EMI 滤波器,该滤波器是由电感器、电容和电阻串/并联组合成的抗电磁干扰滤波电路网络。所述电感器可以为上述各实施例所述的抑制差模与共模电磁干扰的差共模集成电感器。

[0097] 本发明实施例所述 EMI 滤波器,能够很好的抑制 EMI 噪声和防护浪涌雷击残压。本发明实施例还可以提供一种开关电源,该开关电源采用如上述各实施例所述的抑制差模与共模电磁干扰的差共模集成电感器。通过采用该电感器,使得所述开关电源能够很好的抑制 EMI 噪声和防护浪涌雷击残压。

[0098] 需要说明的是,所述开关电源可以为任何通过斩波开关实现的电源,例如 UPS(Uninterruptible Power System,即不间断电源)、通信电源、焊机电源等等。

[0099] 以上对本发明所提供的一种抑制差模与共模电磁干扰的差共模集成电感器、EMI 滤波器以及开关电源,进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方

式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处。综上所述,本说明书内容不应理解为对本发明的限制。

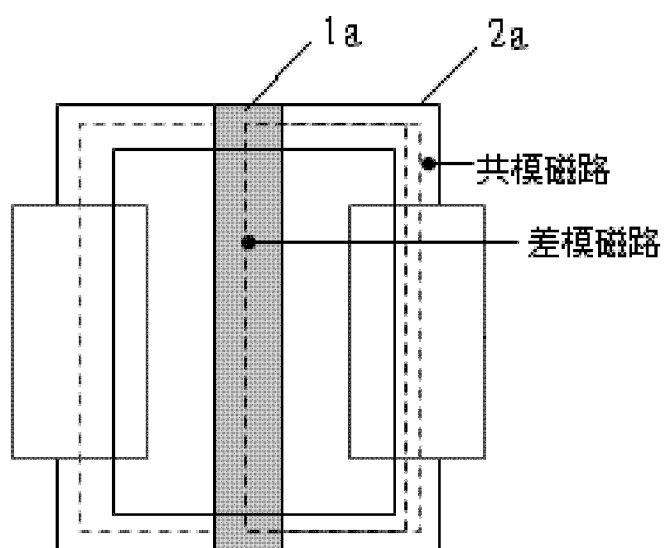


图 1

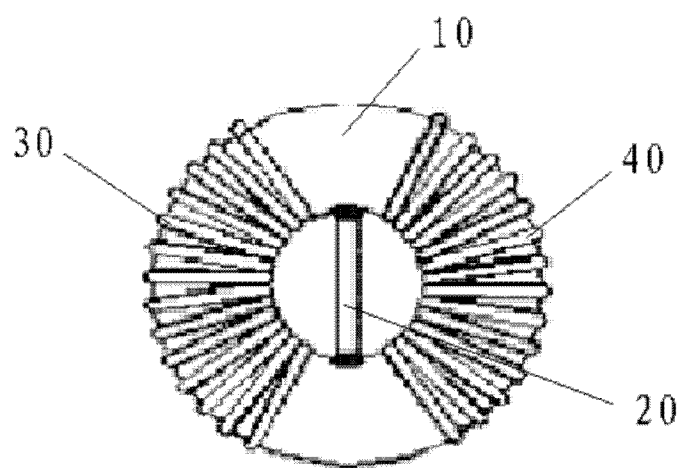


图 2

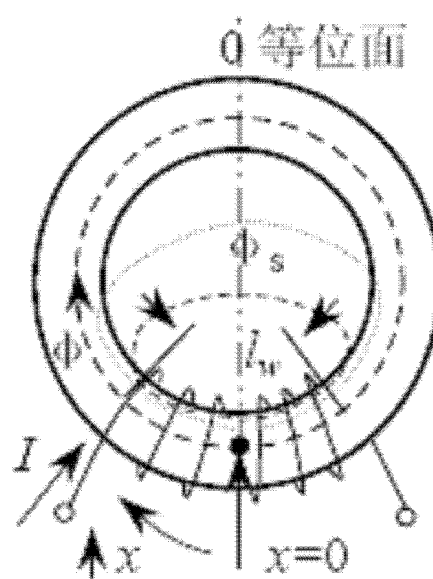


图 3a

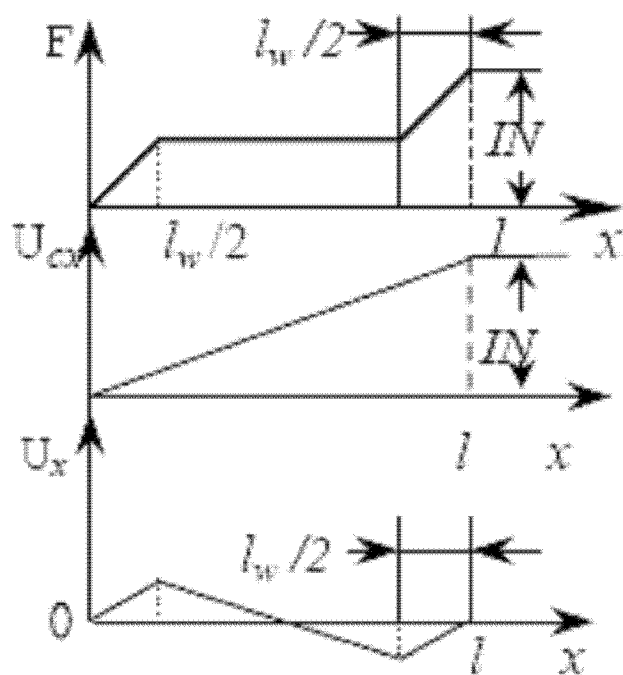


图 3b

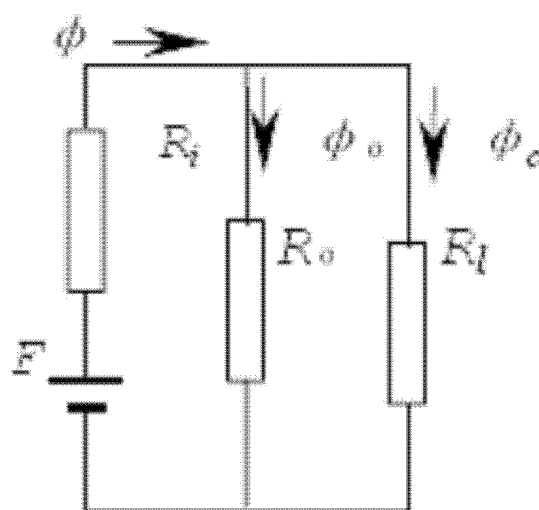


图 3c

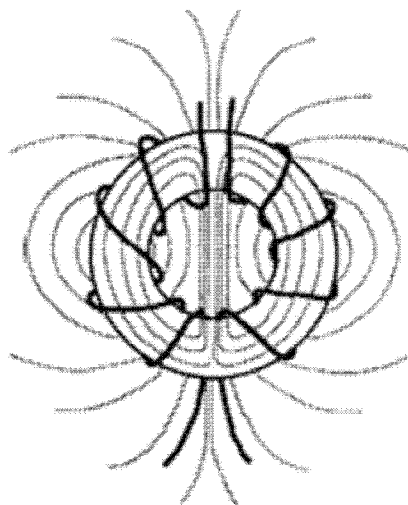
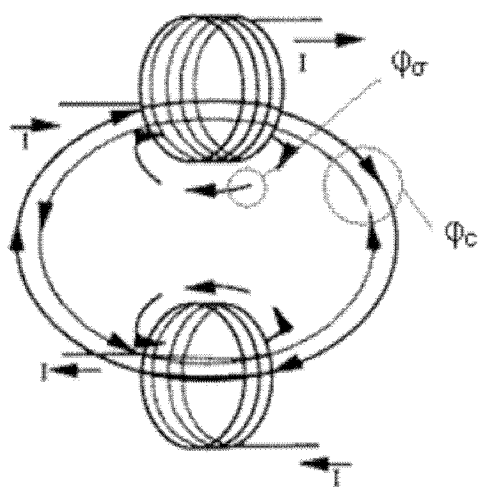


图 4

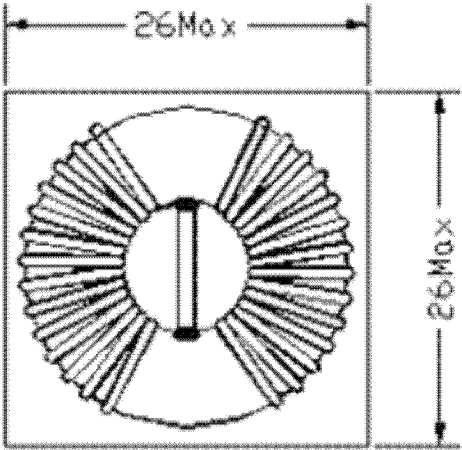


图 5a

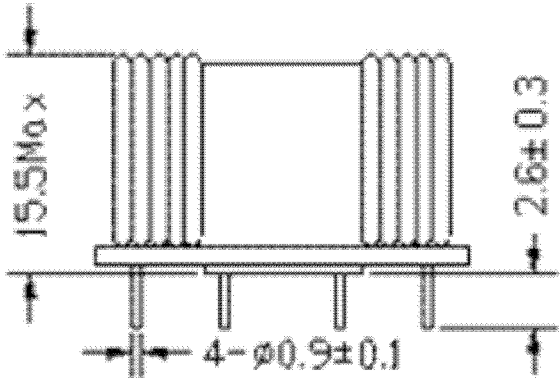


图 5b

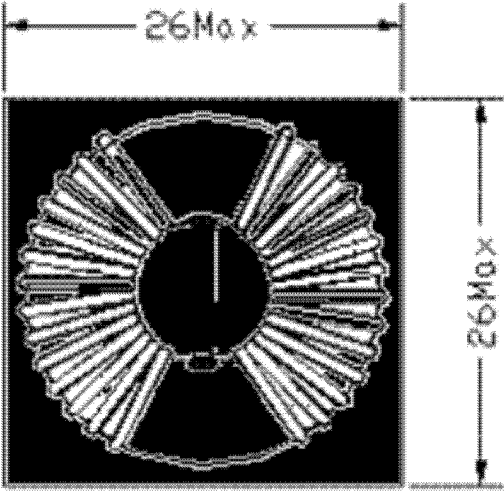


图 6a

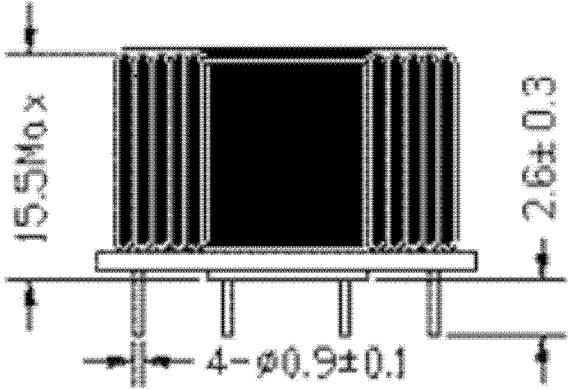


图 6b

一体成型前

I (A)	21 匝		
	L (uH)		
	50k/1V	100k/1V	200k/1V
0	20.1	19.8	19.6

一体成型后

I (A)	21 匝		
	L (uH)		
	50k/1V	100k/1V	200k/1V
0	52.3	51.6	51.2

图 7a

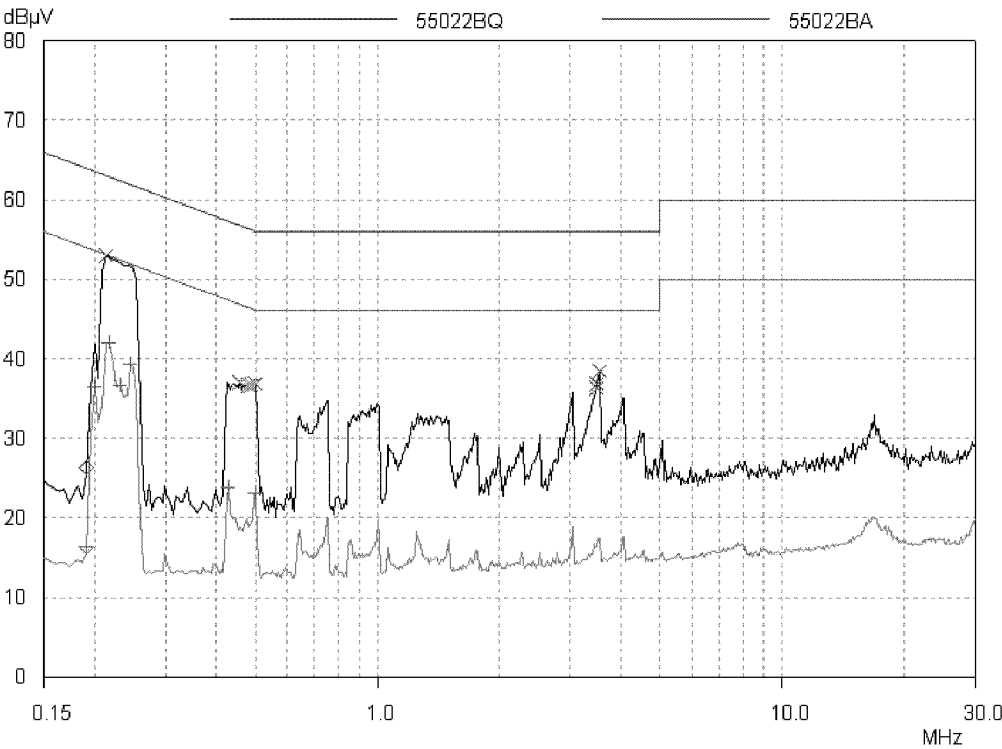


图 7b

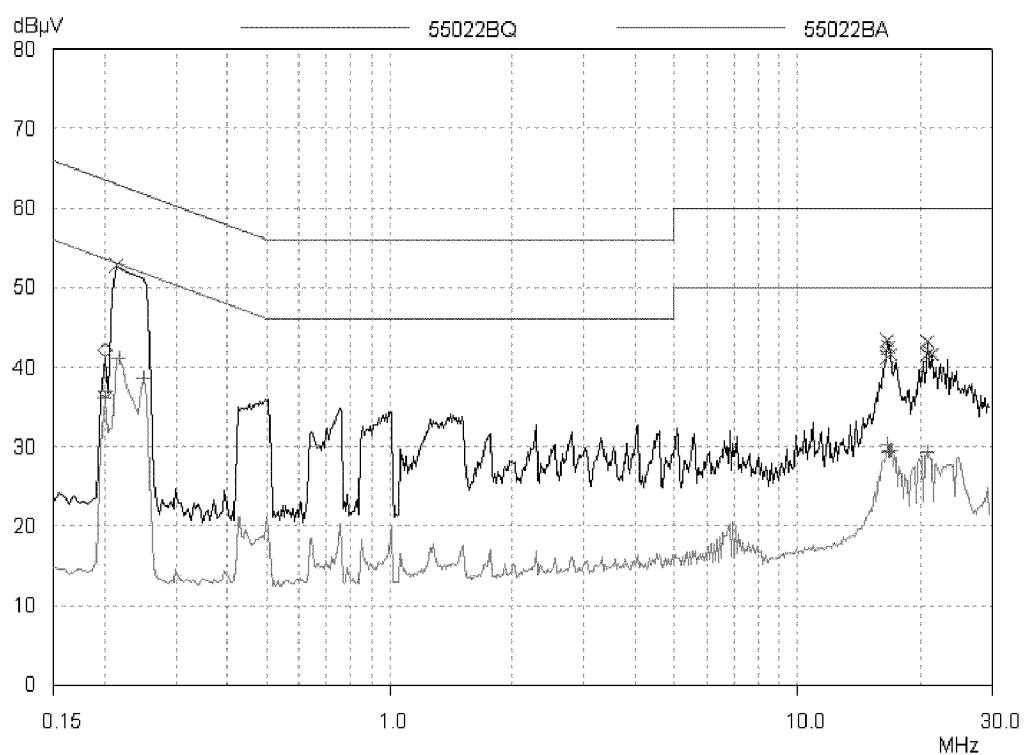


图 7c

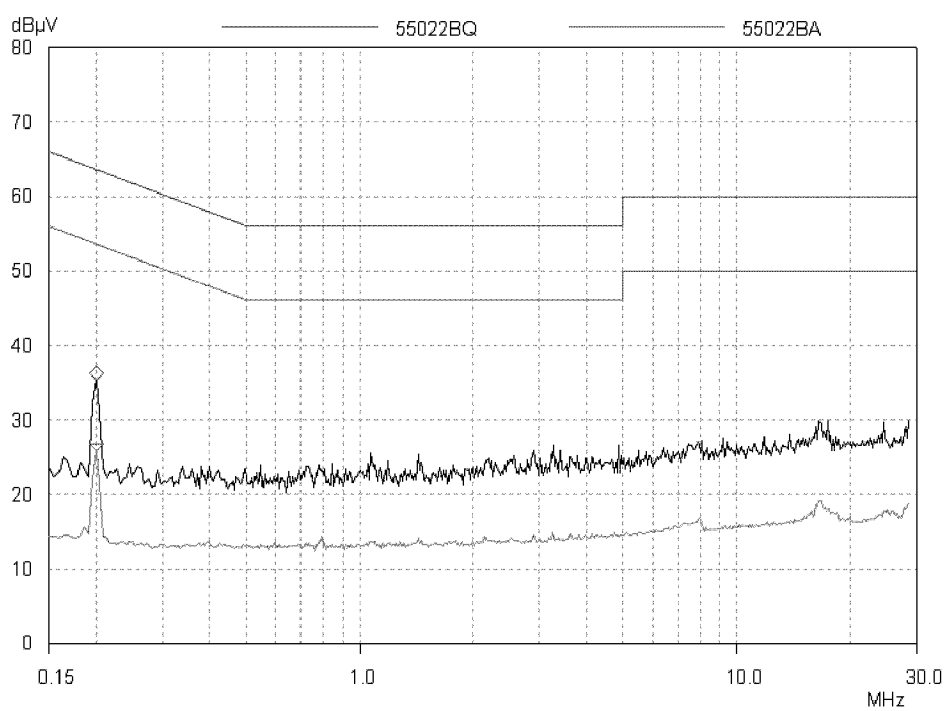


图 7d

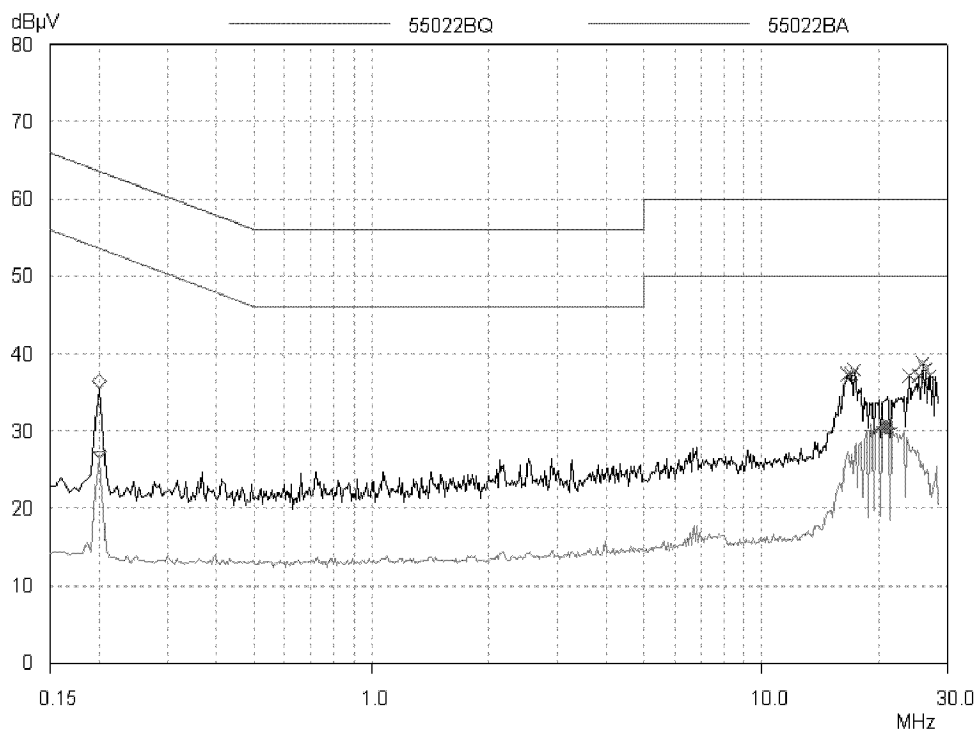


图 7e

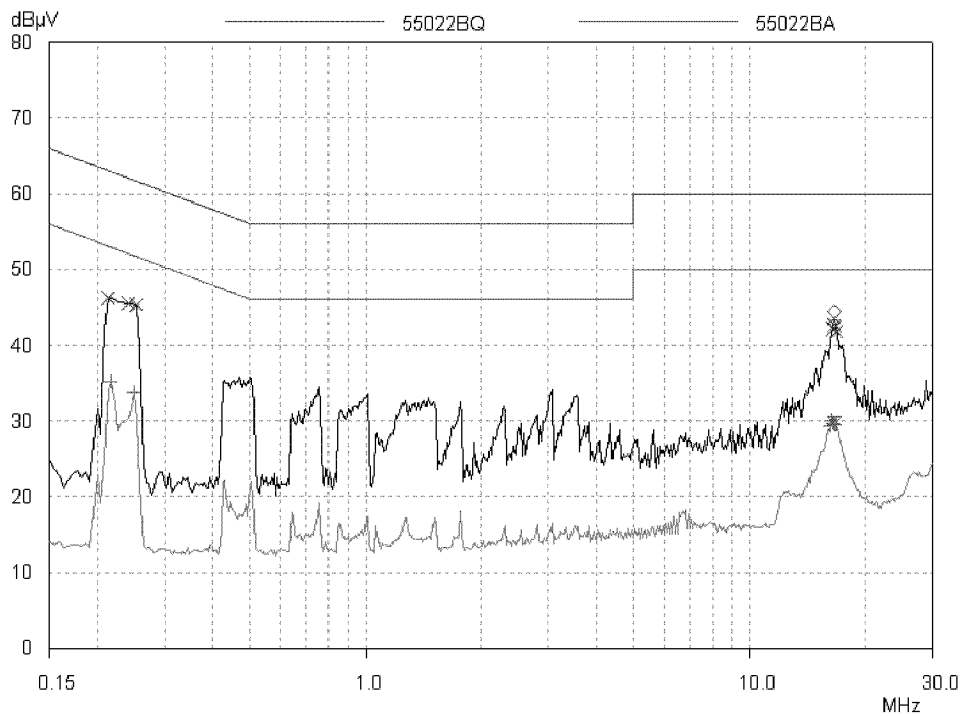


图 7f

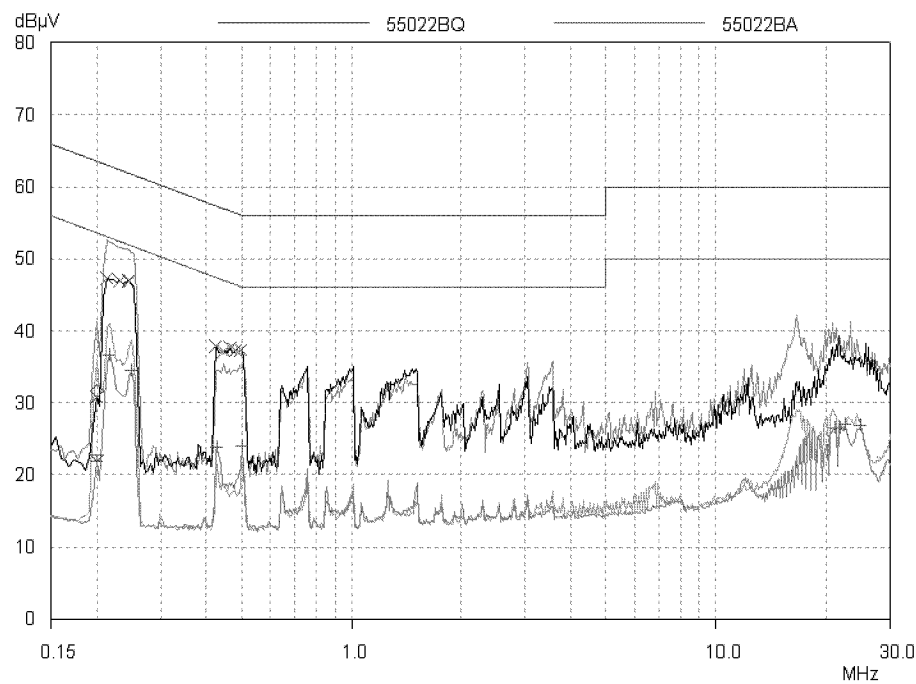


图 7g

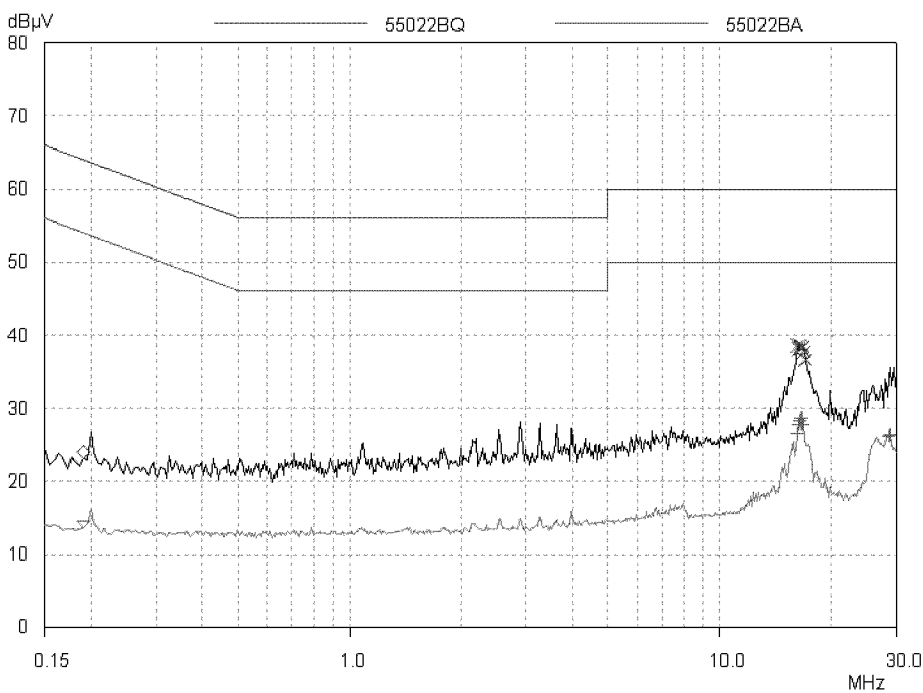


图 7h

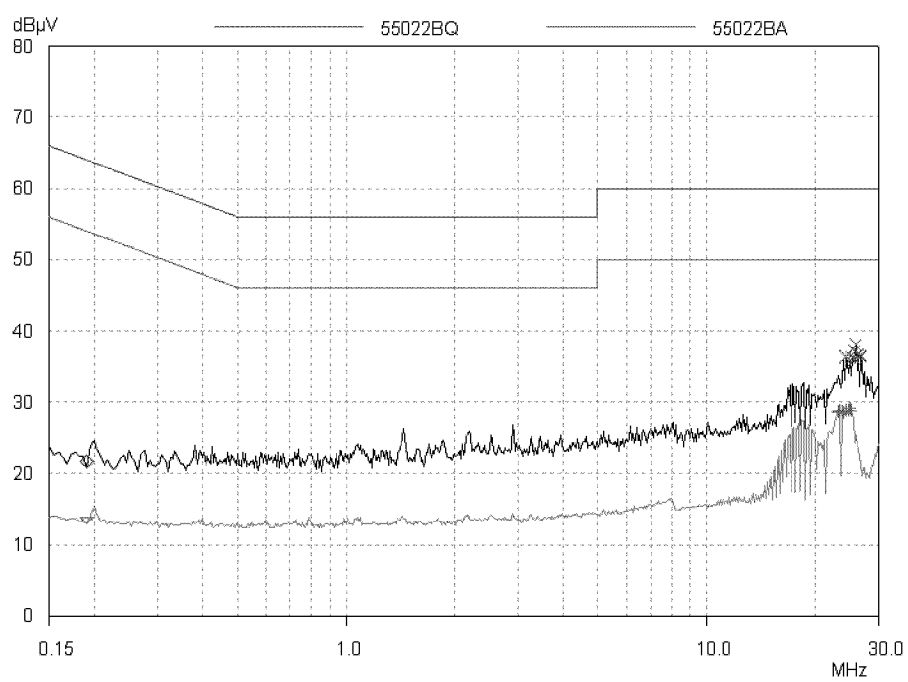


图 7i