

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月11日(11.06.2020)



(10) 国際公開番号

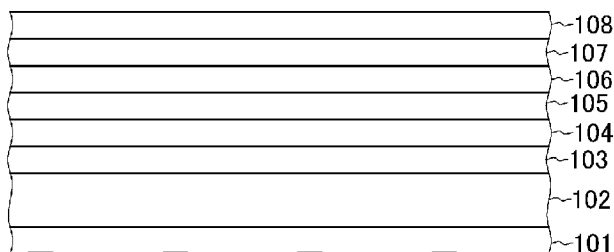
WO 2020/116147 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/778* (2006.01)
H01L 29/78 (2006.01) *H01L 29/812* (2006.01)
H01L 21/338 (2006.01)
- (21) 国際出願番号: PCT/JP2019/045211
- (22) 国際出願日: 2019年11月19日(19.11.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-227043 2018年12月4日(04.12.2018) JP
- (71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 杉山 弘樹 (SUGIYAMA, Hiroki); 〒1808585 東京都武蔵野市緑町3丁目9-1 N T T 知的財産センタ内 Tokyo (JP).
- (74) 代理人: 山川 茂樹, 外(YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町2丁目11番1号 山王パークタワー4階 山王国際特許事務所内 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,

(54) Title: FIELD EFFECT TRANSISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 電界効果トランジスタおよびその製造方法

【図1A】



(57) Abstract: In the present invention, a buffer layer (102), an etch-stop layer (103), and a channel layer (104) are epitaxially grown, in this order, on a substrate (101). The substrate (101) is constituted, for example, by InP made to have high resistance by doping with Fe. The buffer layer (102) is constituted by a compound semiconductor lattice-matched to the InP. The etch-stop layer (103) is constituted by $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$). The channel layer (104) is constituted by $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$).

(57) 要約: 基板(101)の上に、バッファ層(102)、エッチング停止層(103)、チャネル層(104)を、これらの順にエピタキシャル成長する。基板(101)は、例えば、Feをドーピングすることで高抵抗としたInPから構成する。バッファ層(102)は、InPに格子整合する化合物半導体から構成する。エッチング停止層(103)は、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$)から構成する。チャネル層(104)は、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$)から構成する。

〔続葉有〕

WO 2020/116147 A1

ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：電界効果トランジスタおよびその製造方法

技術分野

[0001] 本発明は、電界効果トランジスタおよびその製造方法に関する。

背景技術

[0002] 半絶縁性 InP 基板の上に成長した III-V 族化合物半導体を用いた InP 系ヘテロ接合型電界効果トランジスタ (InP-based heterostructure field effect transistor) は、InP 系高電子移動度トランジスタ (InP-based high electron mobility transistor、以下、InP 系 HEMT) とも呼ばれている。これらのトランジスタは、高い電子移動度を有する InGaAs や InAs からなるチャネルを用いることから、優れた高速性および低雑音性を有し、非特許文献 1 および 2 に記載のようにサブテラヘルツおよびテラヘルツ帯で動作する超高周波集積回路への応用が期待されている。

[0003] また、InGaAs や InAs などの III-V 族化合物半導体をチャネルとする金属-酸化物-半導体電界効果トランジスタ (metal-oxide-semiconductor field effect transistor、以下 MOSFET) は、III-V-MOSFET と呼ばれ、非特許文献 3 に記載のように、低消費電力動作可能な次世代素子として期待されている。

[0004] これらのトランジスタは、分子線エピタキシー (Molecular Beam Epitaxy : MBE) 法や、有機金属気相成長 (Metal-Organic Vapor-Phase Epitaxy : MOVPE、あるいは Metal-Organic Chemical Vapor Deposition : MOCVD、以下、MOVPE) 法のようなエピタキシャル結晶成長法を用いて作製された薄膜 (半導体層) を加工して作製される。

[0005] InP 系 HEMT や InP 系 III-V-MOSFET においては、ソース電極-チャネル間、およびチャネル-ドレイン電極間のアクセス抵抗を低減することが、トランジスタの性能向上において重要となる。例えば、InP 系 HEMT では、非特許文献 4 に記載の通り、n 型の InGaAs や n 型

の InAlAs からなるコンタクト層の上に、ソース電極、ドレイン電極を形成し、チャネルとの間のアクセス抵抗の低減を図っている。

[0006] 上述した構成では、 n 型コンタクト層とチャネル層の間に、ゲート電極下でスペーサや障壁層として作用するドーピングを施さない InAlAs や InP の層を挟んでおり、これらの層を通過する分だけアクセス抵抗は高くなる。

[0007] このため、アクセス抵抗低減の方法として、例えば非特許文献5に記載のように、ソース電極下およびドレイン電極下となる領域のスペーサ層、障壁層を除去し、バッファ層上に Si を高濃度ドーピングした InGaAs をエピタキシャル成長法により再成長し、アクセス抵抗を低減する技術が報告されている。

[0008] InP 基板上に形成する InP 系 MOSFET 作製においても、非特許文献6に記載のように、ソース、ドレイン電極下の領域には、上述した再成長法によって高濃度ドーピングを施した半導体層を形成する技術が報告されている。

[0009] 上述した高濃度ドーピングコンタクト層形成のために不要となる層の除去は、主にウエットエッチングによって行われる。これは、ドライエッチング法では、エッチング後の表面を、原子レベルで平坦にするのは困難なためである。再成長によって高品質のコンタクト層を形成するために、エッチングによって露出させた表面は、原子レベルの平坦性を有するが望ましい。しかしながら、ドライエッチングでは露出させた表面の平坦性が確保できず、再成長によって、高品質なコンタクト層を形成するのに好ましくない。

[0010] また、チャネル層に高濃度ドーピングコンタクト層を直接接触させるためには、少なくともチャネル層まで、あるいはチャネル層とバッファ層とのヘテロ界面までエッチングを行う必要がある。このエッチング処理において、チャネル層を構成する InGaAs や InAs と、バリア層、スペーサ層、バッファ層を構成する InAlAs とでは、選択的なエッチングを行うことが難しいため、再現性良く所望の深さでエッチングを停止させることが困難であ

る。

先行技術文献

非特許文献

[0011] 非特許文献1: H. Hamada et al., "300-GHz, 100-Gb/s InP-HEMT Wireless Transceiver Using a 300-GHz Fundamental Mixer", IEEE/MTT-S International Microwave Symposium, 10.1109/MWSYM.2018.8439850, pp. 1480-1483, 2018.

非特許文献2: X. Mei et al., "First Demonstration of Amplification at 1 THz Using 25-nm InP High Electron Mobility Transistor Process", IEEE Electron Device Letters, vol. 36, no. 4, pp. 327-329, 2015.

非特許文献3: J. A. del Alamo, "Nanometre-scale electronics with III-V compound semiconductors", Nature, vol. 479, pp. 317-323, 2011.

非特許文献4: T. Suemitsu et al., "30-nm Two-Step Recess Gate InP-Based InAlAs/InGaAs HEMTs", IEEE Transactions on Electron Devices, vol. 49, no. 10, pp. 1694-1700, 2002.

非特許文献5: Q. Li et al., "InP Lattice-matched HEMT with Regrown Source/Drain by MOCVD", IPRM 2011 - 23rd International Conference on Indium Phosphide and Related Materials, 2011.

非特許文献6: R. Terao et al., "InP/InGaAs Composite Metal-Oxide-Semiconductor Field-Effect Transistors with Regrown Source and Al₂O₃ Gate Dielectric Exhibiting Maximum Drain Current Exceeding 1.3 mA/ μ m", Applied Physics Express, vol. 4, 054201, 2011.

非特許文献7: Q. Li et al., "Material and Device Characteristics of Metamorphic In_{0.53}Ga_{0.47}As MOSHEMTs Grown on GaAs and Si Substrates by MOCVD", IEEE Transactions on Electron Devices, vol. 60, no. 12, pp. 4112-4118, 2013.

発明の概要

発明が解決しようとする課題

[0012] 上述したエッチング処理の工程において、エッチング深さの高精度制御と、エッチング後に平坦な表面を形成するために、 InGaAs や InAlAs に対してエッチング選択性の高い InP の層をエッチング停止層として挿入する方法がある。例えば、 InGaAs チャンネル層と InAlAs バッファ層の間に InP 層を挿入することが考えられる。この層構成とすれば、ウェットエッチングによって、 InP 層でエッチングを自動的に停止させ、選択的に InGaAs チャンネル層までを除去することが可能である。また、この方法では、ウェットエッチングで処理するため、露出させた InP 層の表面を、原子レベルで平坦にすることも可能である。

[0013] しかし、 InGaAs チャンネル層と InP 層との間の伝導帯バンド不連続が、 InGaAs チャンネル層と InAlAs バッファ層とのバンド不連続よりも小さい。このため、上述した方法で作製した場合、 InGaAs チャンネル層への電子の閉じ込めが不十分となり、 InP 層もチャンネルとして作用し、電子移動度が低下するという問題がある。また、 InGaAs チャンネル層内への電子閉じ込めが弱くなることから、 InAlAs バッファ層上に直接 InGaAs チャンネルを積層した構造と比べて、ゲート長の短い素子において短チャンネル効果が生じやすくなる。

[0014] 以上に説明したように、従来では、チャンネル層における電子移動度の低下および短チャンネル効果を抑制した状態で、ソース・ドレイン電極とチャンネル層との間のアクセス抵抗を低減することが容易ではないという問題があった。

[0015] 本発明は、以上のような問題点を解消するためになされたものであり、チャンネル層における電子移動度の低下および短チャンネル効果を抑制した状態で、ソース・ドレイン電極とチャンネル層との間のアクセス抵抗を、より容易に低減することを目的とする。

課題を解決するための手段

[0016] 本発明に係る電界効果トランジスタの製造方法は、基板の上に、 InP に

格子整合する化合物半導体からなるバッファ層、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$) からなる厚さが臨界膜厚以下のエッチング停止層、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) からなるチャネル層を、これらの順にエピタキシャル成長する第1工程と、エッチング停止層でエッチングが停止するエッチング処理により、チャネル層をパターニングしてチャネル層からなるメサを形成する第2工程と、メサの両脇のエッチング停止層の上に $\text{In}_z\text{Ga}_{1-z}\text{As}$ ($0 < z \leq 1$) を再成長させて第1コンタクト層および第2コンタクト層を形成する第3工程と、メサのチャネル層の上にゲート電極を形成する第4工程と、第1コンタクト層の上にソース電極を形成し、第2コンタクト層の上にドレイン電極を形成する第5工程とを備える。

[0017] 上記電界効果トランジスタの製造方法の一構成例において、第1工程は、バッファ層、エッチング停止層、チャネル層、化合物半導体からなる電子供給層、 InAlAs からなる障壁層、 InP からなるキャップ層を、これらの順にエピタキシャル成長し、第2工程は、キャップ層、障壁層、電子供給層、チャネル層をパターニングしてメサを形成し、第4工程は、メサのキャップ層の上にゲート電極を形成する。

[0018] 上記電界効果トランジスタの製造方法の一構成例において、基板は、半絶縁性の InP から構成されている。

[0019] 上記電界効果トランジスタの製造方法の一構成例において、基板は、 Si から構成され、バッファ層は、 GaAs または InP から構成されている。

[0020] 上記電界効果トランジスタの製造方法の一構成例において、基板は、 GaAs から構成され、バッファ層は、 InP から構成されている。

[0021] 本発明に係る電界効果トランジスタは、基板の上に形成された、 InP に格子整合する化合物半導体からなるバッファ層と、バッファ層の上に形成された、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$) からなる厚さが臨界膜厚以下のエッチング停止層と、エッチング停止層の上に形成された、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) からなるチャネル層から構成されたメサと、メサの両脇のエッチング停止層の上に形成された、 $\text{In}_z\text{Ga}_{1-z}\text{As}$ ($0 < z \leq 1$) からなる第

1 コンタクト層および第2 コンタクト層と、メサのチャネル層の上に形成されたゲート電極と、第1 コンタクト層の上に形成されたソース電極と、第2 コンタクト層の上に形成されたドレイン電極とを備える。

[0022] 上記電界効果トランジスタの一構成例において、メサは、チャネル層の上に形成された化合物半導体からなる電子供給層と、電子供給層の上に形成された InAlAs からなる障壁層と、障壁層の上に形成された、 InP からなるキャップ層とを備え、ゲート電極は、キャップ層の上に形成されている。

発明の効果

[0023] 以上説明したように、本発明によれば、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) からなるチャネル層の下のエッチング停止層を、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$) から構成したので、チャネル層における電子移動度の低下および短チャネル効果を抑制した状態で、ソース・ドレイン電極とチャネル層との間のアクセス抵抗を、より容易に低減することができるという優れた効果が得られる。

図面の簡単な説明

[0024] [図1A]図1 Aは、本発明の実施の形態に係る電界効果トランジスタの製造方法を説明する途中工程における電界効果トランジスタの構成を示す断面図である。

[図1B]図1 Bは、本発明の実施の形態に係る電界効果トランジスタの製造方法を説明する途中工程における電界効果トランジスタの構成を示す断面図である。

[図1C]図1 Cは、本発明の実施の形態に係る電界効果トランジスタの製造方法を説明する途中工程における電界効果トランジスタの構成を示す断面図である。

[図1D]図1 Dは、本発明の実施の形態に係る電界効果トランジスタの製造方法を説明する途中工程における電界効果トランジスタの構成を示す断面図である。

[図1E]図1 Eは、本発明の実施の形態に係る電界効果トランジスタの製造方法を説明する途中工程における電界効果トランジスタの構成を示す断面図である。

[図1F]図1 Fは、本発明の実施の形態に係る電界効果トランジスタの製造方法を説明する途中工程における電界効果トランジスタの構成を示す断面図である。

[図1G]図1 Gは、本発明の実施の形態に係る電界効果トランジスタの製造方法を説明する途中工程における電界効果トランジスタの構成を示す断面図である。

[図2]図2は、本発明の実施の形態に係る他の電界効果トランジスタの構成を示す断面図である。

[図3]図3は、本発明の実施の形態に係る他の電界効果トランジスタの構成を示す断面図である。

発明を実施するための形態

[0025] 以下、本発明の実施の形態に係る電界効果トランジスタの製造方法について図1 A～図1 Gを参照して説明する。

[0026] まず、図1 Aに示すように、基板101の上に、バッファ層102、エッチング停止層103、チャンネル層104を、これらの順にエピタキシャル成長する（第1工程）。ここで、高電子移動度トランジスタ（HEMT）を製作する場合、さらに、チャンネル層104の上に、スペーサ層105、電子供給層106、障壁層107、キャップ層108を形成する。バッファ層102、エッチング停止層103、チャンネル層104、スペーサ層105、電子供給層106、障壁層107、キャップ層108は、これらの順に、基板101の上に、MBE法やMOVPE法などのエピタキシャル結晶成長法を用い、エピタキシャル成長することで形成する。

[0027] 基板101は、例えば、Feをドーピングすることで高抵抗としたInPから構成する。バッファ層102は、InPに格子整合する化合物半導体から構成する。また、バッファ層102は、厚さ200nm程度に形成する。

- [0028] エッチング停止層103は、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$) から構成する。この組成の $\text{In}_x\text{Al}_{1-x}\text{P}$ は、また、エッチング停止層103の厚さは、格子不整合によるミスフィット転位が発生しない臨界膜厚以下とする。例えば、エッチング停止層103は、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($x = 0.7$) から構成し、厚さを5 nmとする。なお、本書では、基板101の表面の面方向の格子定数が一致していない状態を格子不整合と称する。
- [0029] チャネル層104は、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) から構成する。より好ましくは、チャネル層104は、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ の In 組成 y を、 InP に格子整合する0.53より大きくする。また、チャネル層104の厚さは、格子不整合によるミスフィット転位を生じない InGaAs の臨界膜厚以下とする。例えば、チャネル層104は、厚さ10 nm程度とする。
- [0030] スペーサ層105は、 InAlAs から構成する。また、スペーサ層105は、例えば、厚さ3 nm程度に形成する。
- [0031] 電子供給層106は、 InAlAs などの化合物半導体から構成する。また、電子供給層106は、 Si がドーピングされている。例えば、電子供給層106には、 Si がプレーナドーピングされ、 Si のシート濃度は、例えば $5 \times 10^{12} \text{ cm}^{-2}$ 程度とされている。なお、電子供給層106における Si の濃度は、HEMTにおける所望とするしきい値電圧を得るために適宜調整する。
- [0032] 障壁層107は、例えば、 InAlAs から構成する。また、障壁層107は、厚さ6 nm程度に形成する。キャップ層108は、 InP から構成する。また、キャップ層108は、厚さ5 nm程度に形成する。
- [0033] 上述したように、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$) から構成したエッチング停止層103は、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) から構成するチャネル層104との間のバンド不連続が、エッチング停止層を InAlAs から構成した場合より、大きな値となる。
- [0034] 次に、図1Bに示すように、ゲート電極を形成する領域に、例えば、無機マスクパターン109を形成する。無機マスクパターン109は、例えば、酸化シリコン (SiO_2) から構成できる。無機マスクパターン109は、平

面視の形状が、例えば、図1Bの紙面手前より奥（ゲート幅方向）に延在するストライプ形状とされている。

[0035] 例えば、公知のリソグラフィー技術により、無機マスクパターン109を形成する箇所に開口を有するマスク層を、キャップ層108の上に形成する。次いで、よく知られた化学的気相成長法などにより、マスク層の上から酸化シリコンを堆積する。この処理により、マスク層の開口部の内部にも、酸化シリコンが堆積する。この後、マスク層を除去（リフトオフ）することで、マスク層の上に酸化シリコンを除去し、マスク層の開口部の部分に堆積した酸化シリコンを残すことで、残された酸化シリコンより無機マスクパターン109が形成できる。

[0036] 次に、エッチング停止層103でエッチングが停止するエッチング処理により、無機マスクパターン109をマスクとしてチャネル層104をパターンニングし、図1Cに示すように、チャネル層104からなるメサ110を形成する（第2工程）。より詳しくは、チャネル層104はエッチングされるがエッチング停止層103はエッチングされないウエットエッチング処理で、無機マスクパターン109が形成されていない領域のチャネル層104をエッチング除去してメサ110を形成する。メサ110は、平面視の形状が、例えば、図1Cの紙面手前より奥（ゲート幅方向）に延在するストライプ形状に形成される。

[0037] 実施の形態では、チャネル層104の上に、スペーサ層105、電子供給層106、障壁層107、キャップ層108を形成しているので、無機マスクパターン109をマスクとしたエッチング処理では、チャネル層104、スペーサ層105、電子供給層106、障壁層107、キャップ層108をパターンニングし、チャネル層104、スペーサ層105、電子供給層106、障壁層107、キャップ層108からなるメサ110を形成する。

[0038] 例えば、 HCl 、 H_3PO_4 などからなるエッチャントを用いたウエットエッチングによれば、 InP からなるキャップ層108、 InAlAs からなる障壁層107、電子供給層106、スペーサ層105がエッチングできる。

このウエットエッチングでは、 InGaAs からなるチャネル層104は、ほとんどエッチングされない。

[0039] 次に、例えば、クエン酸からなるエッチャントを用いたウエットエッチングによれば、 InGaAs からなるチャネル層104がエッチングできる。このウエットエッチングでは、 $\text{In}_x\text{Al}_{1-x}\text{P}$ からなるエッチング停止層103はエッチングされず、メサ110の両脇に、原子レベルで平坦なエッチング停止層103の表面を露出させることが可能である。

[0040] 次に、メサ110の両脇のエッチング停止層103の上に、比較的高濃度にn型不純物を導入した $\text{In}_z\text{Ga}_{1-z}\text{As}$ ($0 < z \leq 1$) を再成長させ、図1Dに示すように、第1コンタクト層111および第2コンタクト層112を形成する(第3工程)。例えば、MBE法やMOVPE法などのエピタキシャル成長法により、n型不純物を導入した $\text{In}_z\text{Ga}_{1-z}\text{As}$ ($0 < z \leq 1$) を再成長させることができる。この再成長では、無機マスクパターン109を選択成長マスクとして用い、酸化シリコンの上には $\text{In}_z\text{Ga}_{1-z}\text{As}$ ($0 < z \leq 1$) が堆積されない成長条件とする。n型の不純物のドーピング濃度は、例えば、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上とする(非特許文献6, 非特許文献7参照)。

[0041] 次に、無機マスクパターン109を除去し、図1Eに示すように、メサ110の最上層(キャップ層108)を露出させる。HF系のエッチャントを用いたウエットエッチングにより、酸化シリコンからなる無機マスクパターン109が選択的に除去できる。

[0042] 次に、図1Fに示すように、メサ110のチャネル層104の上にゲート電極121を形成する(第4工程)。実施の形態では、チャネル層104の上に、スペーサ層105、電子供給層106、障壁層107、キャップ層108が形成されており、キャップ層108の上に、ショットキー接続するゲート電極121を形成する。例えば、よく知られたリフトオフ法により、所定のゲート電極材料からゲート電極121を形成することができる。

[0043] 次に、図1Gに示すように、第1コンタクト層111の上にソース電極122を形成し、第2コンタクト層112の上にドレイン電極123を形成す

る（第5工程）。ソース電極122は、第1コンタクト層111にオーミック接続する状態に形成する。同様に、ドレイン電極123は、第2コンタクト層112にオーミック接続する状態に形成する。例えば、よく知られたリフトオフ法により、所定の電極材料からソース電極122、ドレイン電極123を形成することができる。

[0044] 上述した実施の形態における電界効果トランジスタの製造方法により、基板101の上に形成されたバッファ層102と、バッファ層102の上に形成されたエッチング停止層103と、エッチング停止層103の上に形成されたチャネル層104から構成されたメサ110と、メサ110の両脇のエッチング停止層103の上に形成された第1コンタクト層111および第2コンタクト層112と、メサ110のチャネル層104の上に形成されたゲート電極121と、第1コンタクト層111の上に形成されたソース電極122と、第2コンタクト層112の上に形成されたドレイン電極123とを備える電界効果トランジスタが得られる。

[0045] 実施の形態では、メサ110は、チャネル層104の上に形成されたスペーサ層105と、スペーサ層105の上に形成された電子供給層106と、電子供給層106の上に形成された障壁層107と、障壁層107の上に形成された、キャップ層108とを備え、ゲート電極121は、キャップ層108の上に形成されている。

[0046] 上述した実施の形態の製造方法によれば、原子レベルで平坦なエッチング停止層103の表面より、エピタキシャル成長により、高品質な第1コンタクト層111および第2コンタクト層112を形成することが可能となる。この結果、ソース・ドレイン電極とチャネル層との間のアクセス抵抗が低い、電界効果トランジスタが作製できる。

[0047] さらに、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ から構成したチャネル層104の下層に配置したエッチング停止層103は、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$) から構成したので、チャネル層104とエッチング停止層103との間の伝導帯バンド不連続が、 $\text{InGaAs}/\text{InAlAs}$ の場合よりも大きくなる。これによ

り、チャンネル層 104 の内部への電子の閉じ込めが促進され、電界効果トランジスタにおける、短チャンネル効果を抑制することが可能となる。

[0048] ところで、上述では、チャンネル層 104 を 1 層から構成したが、図 2 に示すように、第 1 チャンネル層 104 a、第 2 チャンネル層 104 b、第 3 チャンネル層 104 c の 3 層構造としてもよい。この場合、第 1 チャンネル層 104 a、第 2 チャンネル層 104 b、第 3 チャンネル層 104 c、スペーサ層 105、電子供給層 106、障壁層 107、キャップ層 108 から、メサ 110 a が構成される。

[0049] 第 1 チャンネル層 104 a および第 3 チャンネル層 104 c は、 In 組成 x が $0.53 \leq x \leq 0.8$ を満たす InGaAs から構成し、第 2 チャンネル層 104 b は、 $0.8 < x \leq 1$ を満たす InGaAs から構成する。この構成とすることで、第 2 チャンネル層 104 b は、第 1 チャンネル層 104 a および第 3 チャンネル層 104 c よりも伝導帯端のバンドギャップが低くなる。また、第 2 チャンネル層 104 b は、上下の層との間の格子不整合によるミスフィット転位が発生しない、いわゆる臨界膜厚以下の厚さとする。

[0050] また、ゲート電極 121 は、図 3 に示すように、ゲート絶縁層 113 を介してキャップ層 108 の上に形成してもよい。ゲート絶縁層 113 は、例えば、 Al_2O_3 、 HfO_2 などの酸化物から構成することができる。

[0051] ところで、上述では、HEMT を例に説明したが、MOSFET の場合も同様である。また、基板は、 InP に限るものではなく、 Si 、 GaAs などから構成することもできる（非特許文献 7 参照）。また、 Si または GaAs から構成した基板の上に、意図的に格子緩和させたバッファ層を介して成長した InP と同じ格子定数の結晶層を形成し、この結晶層の上に、バッファ層、エッチング停止層、チャンネル層をエピタキシャル成長させることもできる。

[0052] また、第 1 コンタクト層、第 2 コンタクト層は、層厚方向に一様な組成の InGaAs から構成するものに限らない。例えば、エッチング停止層の側は、 InP に格子整合する InGaAs から構成し、ソース電極、ドレイン

電極の側は、高い In 組成とした InGaAs または InAs から構成することもできる。この場合、高い In 組成とした InGaAs または InAs から構成する領域は、ミスフィット転位の発生しない臨界膜厚以下とする。

[0053] また、無機マスクパターンを用いて第1コンタクト層、第2コンタクト層を再成長した後、無機マスクパターンを除去し、この後でゲート電極を形成したが、これに限るものではない。例えば、キャップ層の上に、ゲート電極、あるいは、ゲート絶縁層およびゲート電極を形成した後、ゲート電極をマスクとしたエッチングにより、エッチング停止層を露出させ、露出したエッチング停止層より、第1コンタクト層、第2コンタクト層を再成長することもできる。

[0054] また、ゲート電極より基板の側の各層は、用途に応じて構成する。例えば、 MOSFET を作製する場合、チャネル層の上に、キャップ層を形成し、キャップ層の上にゲート絶縁層を介してゲート電極を形成すればよい。

[0055] 以上に説明したように、本発明によれば、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) からなるチャネル層の下のエッチング停止層を、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$) から構成したので、チャネル層における電子移動度の低下および短チャネル効果を抑制した状態で、ソース・ドレイン電極とチャネル層との間のアクセス抵抗を、より容易に低減することができるようになる。

[0056] なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。

符号の説明

[0057] 101…基板、102…バッファ層、103…エッチング停止層、104…チャネル層、105…スペーサ層、106…電子供給層、107…障壁層、108…キャップ層、109…無機マスクパターン、110…メサ、111…第1コンタクト層、112…第2コンタクト層、121…ゲート電極、122…ソース電極、123…ドレイン電極。

請求の範囲

- [請求項1] 基板の上に、 InP に格子整合する化合物半導体からなるバッファ層、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$) からなる厚さが臨界膜厚以下のエッチング停止層、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) からなるチャネル層を、これらの順にエピタキシャル成長する第1工程と、
- 前記エッチング停止層でエッチングが停止するエッチング処理により、前記チャネル層をパターニングして前記チャネル層からなるメサを形成する第2工程と、
- 前記メサの両脇の前記エッチング停止層の上に $\text{In}_z\text{Ga}_{1-z}\text{As}$ ($0 < z \leq 1$) を再成長させて第1コンタクト層および第2コンタクト層を形成する第3工程と、
- 前記メサの前記チャネル層の上にゲート電極を形成する第4工程と、
- 前記第1コンタクト層の上にソース電極を形成し、前記第2コンタクト層の上にドレイン電極を形成する第5工程と
- を備える電界効果トランジスタの製造方法。
- [請求項2] 請求項1記載の電界効果トランジスタの製造方法において、
- 前記第1工程は、前記バッファ層、前記エッチング停止層、前記チャネル層、化合物半導体からなる電子供給層、 InAlAs からなる障壁層、 InP からなるキャップ層を、これらの順にエピタキシャル成長し、
- 前記第2工程は、前記キャップ層、前記障壁層、前記電子供給層、前記チャネル層をパターニングして前記メサを形成し、
- 前記第4工程は、前記メサの前記キャップ層の上にゲート電極を形成する
- ことを特徴とする電界効果トランジスタの製造方法。
- [請求項3] 請求項1または2記載の電界効果トランジスタの製造方法において、
- 、

前記基板は、半絶縁性の InP から構成されていることを特徴とする電界効果トランジスタの製造方法。

[請求項4] 請求項 1 または 2 記載の電界効果トランジスタの製造方法において、

前記基板は、 Si から構成され、前記バッファ層は、 GaAs または InP から構成されていることを特徴とする電界効果トランジスタの製造方法。

[請求項5] 請求項 1 または 2 記載の電界効果トランジスタの製造方法において、

前記基板は、 GaAs から構成され、前記バッファ層は、 InP から構成されていることを特徴とする電界効果トランジスタの製造方法。

[請求項6] 基板の上に形成された、 InP に格子整合する化合物半導体からなるバッファ層と、

前記バッファ層の上に形成された、 $\text{In}_x\text{Al}_{1-x}\text{P}$ ($0 \leq x \leq 0.75$) からなる厚さが臨界膜厚以下のエッチング停止層と、

前記エッチング停止層の上に形成された、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) からなるチャネル層から構成されたメサと、

前記メサの両脇の前記エッチング停止層の上に形成された、 $\text{In}_z\text{Ga}_{1-z}\text{As}$ ($0 < z \leq 1$) からなる第 1 コンタクト層および第 2 コンタクト層と、

前記メサの前記チャネル層の上に形成されたゲート電極と、

前記第 1 コンタクト層の上に形成されたソース電極と、

前記第 2 コンタクト層の上に形成されたドレイン電極と

を備える電界効果トランジスタ。

[請求項7] 請求項 6 記載の電界効果トランジスタにおいて、

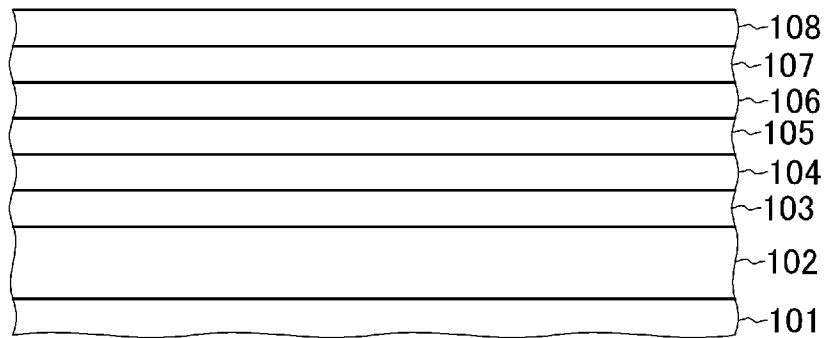
前記メサは、

前記チャネル層の上に形成された化合物半導体からなる電子供給層

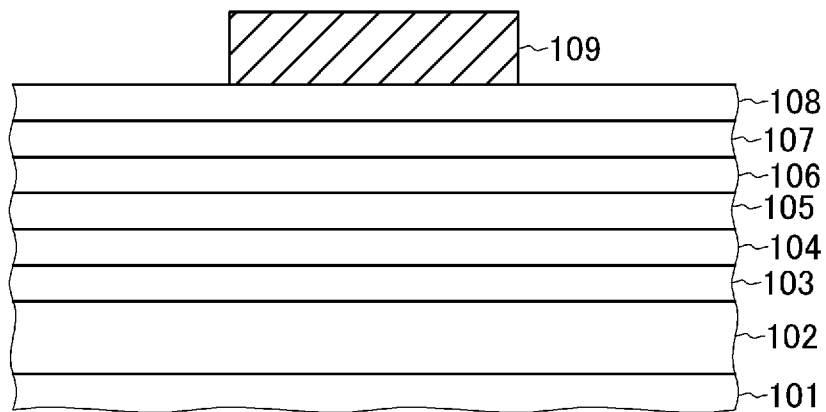
と、

前記電子供給層の上に形成された InAlAs からなる障壁層と、
前記障壁層の上に形成された、 InP からなるキャップ層と
を備え、
前記ゲート電極は、前記キャップ層の上に形成されている
ことを特徴とする電界効果トランジスタ。

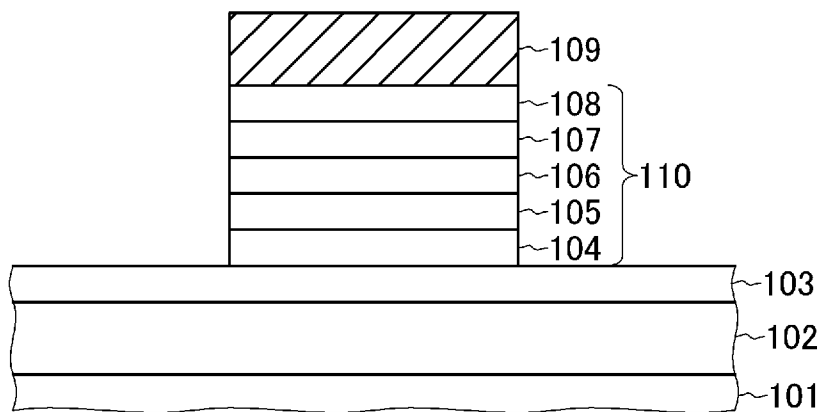
[図1A]



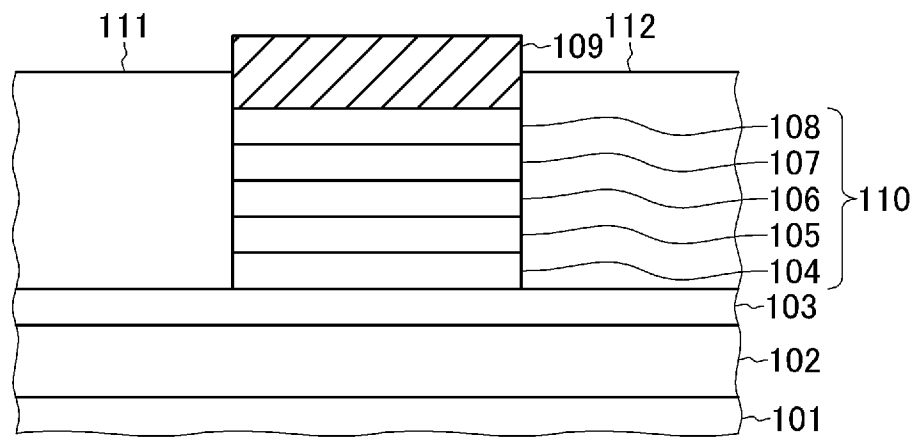
[図1B]



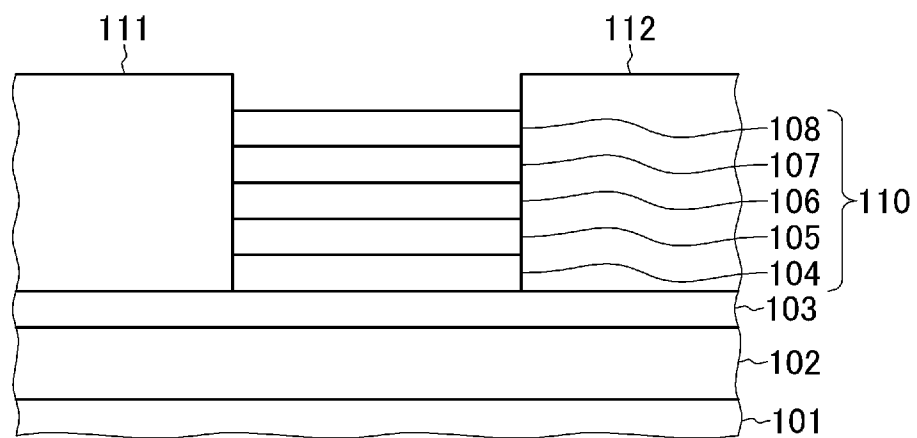
[図1C]



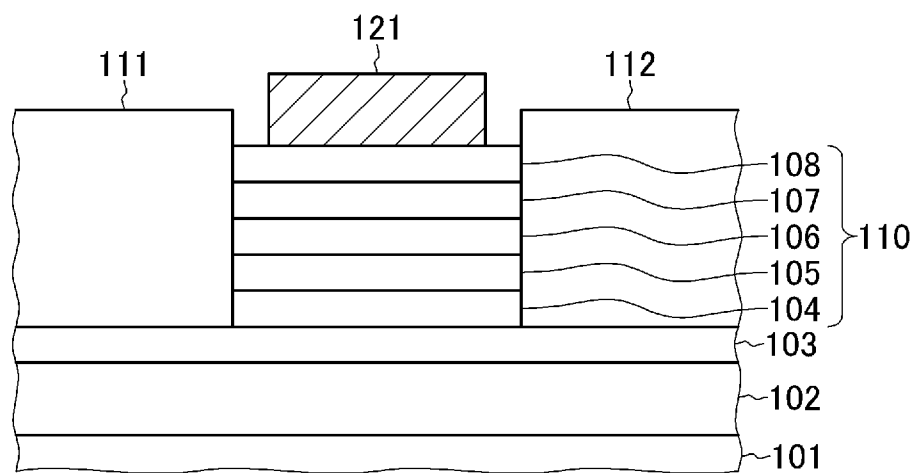
[図1D]



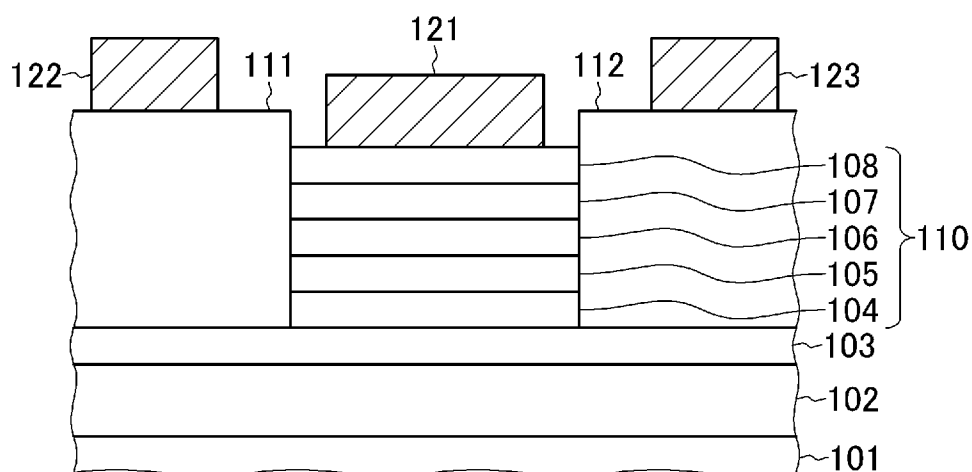
[図1E]



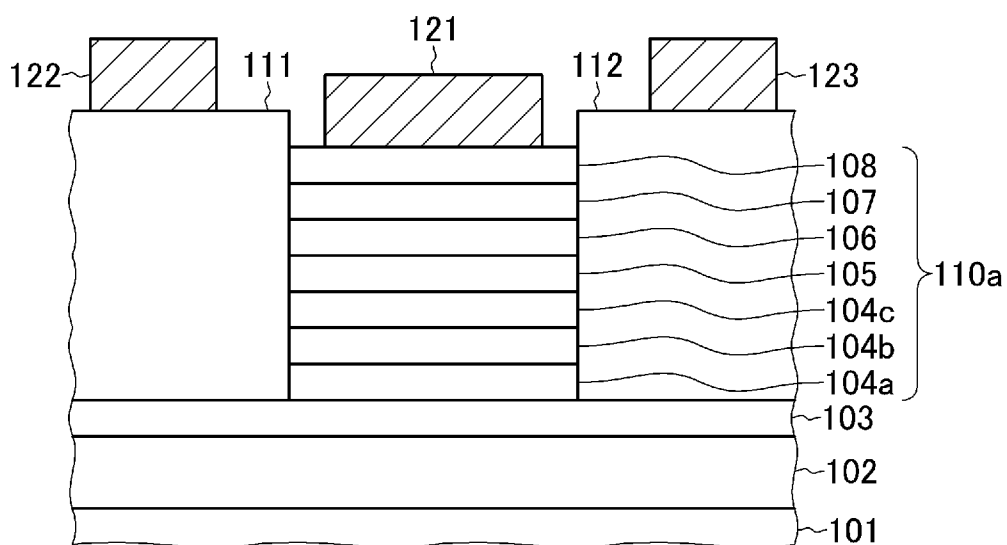
[図1F]



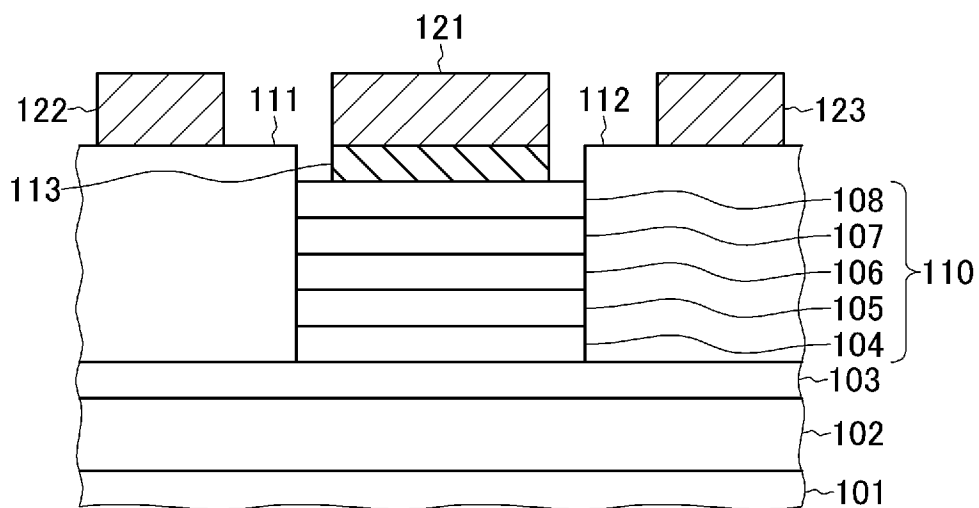
[図1G]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045211

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i, H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

FI: H01L29/80H, H01L29/78301B, H01L29/78301S

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/338, H01L29/778, H01L29/812, H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-256533 A (TOSHIBA CORPORATION) 25.09.1998 (1998-09-25), entire text, fig. 1-3	1-7
A	JP 2012-248563 A (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 13.12.2012 (2012-12-13), entire text, fig. 2	1-7
A	JP 2015-103784 A (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 04.06.2015 (2015-06-04), entire text, fig. 1-5	1-7

☐	Further documents are listed in the continuation of Box C.	☒	See patent family annex.
--------------------------	--	-------------------------------------	--------------------------

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04.02.2020	Date of mailing of the international search report 18.02.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2019/045211

JP 10-256533 A 25.09.1998 (Family: none)

JP 2012-248563 A 13.12.2012 (Family: none)

JP 2015-103784 A 04.06.2015 (Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/336(2006.01)i; H01L 29/78(2006.01)i; H01L 21/338(2006.01)i; H01L 29/778(2006.01)i; H01L 29/812(2006.01)i FI: H01L29/80 H; H01L29/78 301B; H01L29/78 301S		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/338; H01L29/778; H01L29/812; H01L21/336; H01L29/78 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-256533 A（株式会社東芝） 25.09.1998（1998-09-25） 全文, 図1-3	1-7
A	JP 2012-248563 A（日本電信電話株式会社） 13.12.2012（2012-12-13） 全文, 図2	1-7
A	JP 2015-103784 A（日本電信電話株式会社） 04.06.2015（2015-06-04） 全文, 図1-5	1-7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 04.02.2020		国際調査報告の発送日 18.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 柴垣 宙央 5F 7895 電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2019/045211

引用文献			公表日	パテントファミリー文献	公表日
JP	10-256533	A	25.09.1998	(ファミリーなし)	
JP	2012-248563	A	13.12.2012	(ファミリーなし)	
JP	2015-103784	A	04.06.2015	(ファミリーなし)	