

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成28年6月2日 (2016.6.2)

【公表番号】特表2016-500877(P2016-500877A)

【公表日】平成28年1月14日 (2016.1.14)

【年通号数】公開・登録公報2016-003

【出願番号】特願2015-537735(P2015-537735)

【国際特許分類】

G 0 6 F 17/16 (2006.01)

G 0 6 F 9/30 (2006.01)

G 0 6 F 9/38 (2006.01)

G 0 6 F 7/00 (2006.01)

【F I】

G 0 6 F 17/16 D

G 0 6 F 9/30 3 7 0

G 0 6 F 9/38 3 7 0 A

G 0 6 F 7/00 2 0 1

【手続補正書】

【提出日】平成28年4月6日 (2016.4.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のハードウェア素子バンクを含むベクトルレジスタファイルと、  
アドレスラインの複数のセットであって、アドレスラインの前記複数のセットのうちの  
アドレスラインの各セットが、

第1のアドレスを受信するように構成された第1のアドレスラインと、

第2のアドレスを受信するように構成された第2のアドレスラインとを含む、アドレスラ  
インの複数のセットと、

複数のアドレスラインセクタであって、前記複数のアドレスラインセクタの各アド  
レスラインセクタが、アドレスラインの前記複数のセットのうちのアドレスラインの対  
応するセットに結合されるとともに、前記アドレスラインセクタに結合されたアドレ  
スラインの前記セットのうちの前記第1のアドレスラインまたは前記第2のアドレスラインを  
選択することによって、出力を生成するように構成される、複数のアドレスラインセク  
タと、

前記複数のハードウェア素子バンクの中に記憶されたデータにアクセスするように構成  
された単一の読取りポートであって、

前記複数のハードウェア素子バンクの各ハードウェア素子バンクが、前記第1のアドレ  
スまたは前記第2のアドレスのうちの1つによって選択的にアドレス指定されるように構成  
され、

前記複数のハードウェア素子バンクのうちの第1のハードウェア素子バンクが、第1のア  
ドレスラインセクタに結合されたアドレスラインの第1のセットのうちの特定の第1のア  
ドレスラインに、前記第1のアドレスラインセクタの第1の出力を介して、選択的に結合  
されるように構成される、単一の読取りポートと  
を備える、装置。

## 【請求項 2】

アドレスラインの前記第1のセットが、前記第1のアドレスラインセクタに結合された前記特定の第1のアドレスラインと特定の第2のアドレスラインとを備え、アドレスラインの第2のセットが、第2のアドレスラインセクタに結合された第3のアドレスラインと、前記第2のアドレスラインセクタに結合された第4のアドレスラインとを備え、前記特定の第1のアドレスラインと前記特定の第2のアドレスラインの各々が、前記第1のハードウェア素子バンクに、前記第1のアドレスラインセクタの前記第1の出力を介して、選択的に結合されるように構成され、前記第3のアドレスラインと前記第4のアドレスラインの各々が、前記複数のハードウェア素子バンクのうちの第2のハードウェア素子バンクに、前記第2のアドレスラインセクタの第2の出力を介して、選択的に結合されるように構成される、請求項1に記載の装置。

## 【請求項 3】

前記複数のアドレスラインセクタが、複数のマルチプレクサを備え、前記複数のマルチプレクサのうちのいくつかのマルチプレクサが、前記複数のハードウェア素子バンクのうちのいくつかのハードウェア素子バンクに対応する、請求項1に記載の装置。

## 【請求項 4】

前記複数のマルチプレクサのうちの特定のマルチプレクサが、前記複数のハードウェア素子バンクのうちの特定のハードウェア素子バンクに結合され、複数のデータラインが、前記複数のハードウェア素子バンクを前記単一の読取りポートに結合し、

前記複数のハードウェア素子バンクのうちの各ハードウェア素子バンクが、前記複数のデータラインのうちの個別のデータラインを介して前記単一の読取りポートに結合される、請求項3に記載の装置。

## 【請求項 5】

アドレスラインの前記第1のセットが、前記特定の第1のアドレスラインと特定の第2のアドレスラインとを備え、アドレスラインの第2のセットが、第3のアドレスラインと第4のアドレスラインとを備え、

前記第1のハードウェア素子バンクが、前記特定の第1のアドレスラインまたは前記特定の第2のアドレスラインのうちの1つによって選択的にアドレス指定されるように構成され、

前記複数のハードウェア素子バンクのうちの第2のハードウェア素子バンクが、前記第3のアドレスラインまたは前記第4のアドレスラインのうちの1つによって選択的にアドレス指定されるように構成される、請求項1に記載の装置。

## 【請求項 6】

前記複数のアドレスラインセクタが、複数のマルチプレクサを備えるとともに、前記複数のマルチプレクサに前記複数のハードウェア素子バンクを結合する複数の接続をさらに備え、

前記複数のマルチプレクサが共通データセクタに接続され、

前記共通データセクタが、前記複数のハードウェア素子バンクのうちの各ハードウェア素子バンクに対応する選択パターンを受信するように構成される、請求項1に記載の装置。

## 【請求項 7】

前記複数のハードウェア素子バンクのうちの各ハードウェア素子バンクの中にデータを記憶するように構成された単一の書込みポートをさらに備え、前記ベクトルレジスタファイルがプロセッサに統合され、前記プロセッサが、単一の命令の間、

読取りデータとして前記データにアクセスするように、前記単一の読取りポートに命令することと、

前記読取りデータを修正することと、

前記修正された読取りデータで前記ベクトルレジスタファイルを更新するように、前記単一の書込みポートに命令することと

を行うように構成される、請求項1に記載の装置。

【請求項 8】

複数のアドレスラインセクタを使用して、ベクトルレジスタファイルの複数のハードウェア素子バンクに、アドレスラインの複数のセットのうちのアドレスラインを選択的に結合するステップであって、

アドレスラインの前記複数のセットのうちのアドレスラインの各セットが、

第1のアドレスを受信するように構成された第1のアドレスラインと、

第2のアドレスを受信するように構成された第2のアドレスラインとを含み、

前記複数のアドレスラインセクタの各アドレスラインセクタが、アドレスラインの前記複数のセットのうちのアドレスラインの対応するセットに結合されるとともに、前記アドレスラインセクタに結合されたアドレスラインの前記セットのうちの前記第1のアドレスラインまたは前記第2のアドレスラインを選択することによって、出力を生成するように構成され、

アドレスラインの前記複数のセットのうちのアドレスラインの第1のセットの前記第1のアドレスラインと、アドレスラインの前記第1のセットの前記第2のアドレスラインとが、前記複数のハードウェア素子バンクの第1のハードウェア素子バンクに選択的に結合され

、  
アドレスラインの前記第1のセットの前記第1のアドレスラインと、アドレスラインの前記第1のセットの前記第2のアドレスラインとが、選択パターンに従って選択的に結合され

、  
前記ベクトルレジスタファイルが、単一の読取りポートに結合される、ステップと、  
特定の選択パターンに従って、アドレスラインの前記第1のセットのうちの前記第1のアドレスラインを前記第1のハードウェア素子バンクに結合するステップと、

アドレスラインの前記第1のセットのうちの前記第1のアドレスラインを使用して、前記第1のハードウェア素子バンクを選択的にアドレス指定するステップと、

前記単一の読取りポートを介して、前記第1のハードウェア素子バンクの中に記憶されたデータにアクセスするステップと

を含む、方法。

【請求項 9】

前記選択パターンに従って、前記複数のハードウェア素子バンクのうちの第2のハードウェア素子バンクに、アドレスラインの前記複数のセットのうちのアドレスラインの第2のセットの第1のアドレスラインを結合するステップをさらに含み、前記第1のハードウェア素子バンクと前記第2のハードウェア素子バンクが共通のアドレスラインに結合された、請求項8に記載の方法。

【請求項 10】

前記選択パターンに従って、前記複数のハードウェア素子バンクのうちの第2のハードウェア素子バンクに、アドレスラインの前記複数のセットのうちのアドレスラインの第2のセットの第2のアドレスラインを結合するステップをさらに含み、前記第1のハードウェア素子バンクと前記第2のハードウェア素子バンクが異なるアドレスラインに結合された、請求項8に記載の方法。

【請求項 11】

単一の読取りポートに結合されるとともに複数のハードウェア素子バンクを含む、ベクトルデータを記憶するための手段と、

前記複数のハードウェア素子バンクに、アドレスラインの複数のセットのうちのアドレスラインを選択的に結合するための手段であって、アドレスラインの前記複数のセットのうちのアドレスラインの各セットが、第1のアドレスを受信するように構成された第1のアドレスラインと、第2のアドレスを受信するように構成された第2のアドレスラインとを含み、選択的に結合するための前記手段が、

複数のアドレスラインセクタを備え、前記複数のアドレスラインセクタの各アドレスラインセクタが、アドレスラインの前記複数のセットのうちのアドレスラインの対応

するセットに結合されるとともに、前記アドレスラインセレクタに結合されたアドレスラインの前記セットのうちの前記第1のアドレスラインまたは前記第2のアドレスラインを選択することによって、出力を生成するように構成される、手段と、

単一の読取りポートを介して、前記複数のハードウェア素子バンクの中に記憶されたデータにアクセスするための手段であって、

前記複数のハードウェア素子バンクの各ハードウェア素子バンクが、前記第1のアドレスまたは前記第2のアドレスのうちの一つによって選択的にアドレス指定されるように構成され、

前記複数のハードウェア素子バンクの第1のハードウェア素子バンクが、アドレスラインの前記複数のセットのうちのアドレスラインの第1のセットの第1のアドレスラインに、第1のアドレスラインセレクタの第1の出力を介して、選択的に結合されるように構成され、アドレスラインの前記第1のセットが前記第1のアドレスラインセレクタに結合され、

前記複数のハードウェア素子バンクの第2のハードウェア素子バンクが、アドレスラインの前記複数のセットのうちのアドレスラインの第2のセットの第2のアドレスラインに、第2のアドレスラインセレクタの第2の出力を介して、選択的に結合されるように構成され、アドレスラインの前記第2のセットが前記第2のアドレスラインセレクタに結合される、手段と

を備える、装置。

【請求項 1 2】

前記選択的に結合するための手段が選択パターンに応答する、請求項11に記載の装置。

【請求項 1 3】

プロセッサによって実行されたとき、

複数のアドレスラインセレクタを使用して、ベクトルレジスタファイルの複数のハードウェア素子バンクに、アドレスラインの複数のセットのうちのアドレスラインを選択的に結合するために、選択パターンを生成することであって、

アドレスラインの前記複数のセットのうちのアドレスラインの各セットが、

第1のアドレスを受信するように構成された第1のアドレスラインと、

第2のアドレスを受信するように構成された第2のアドレスラインとを含み、

前記複数のアドレスラインセレクタの各アドレスラインセレクタが、アドレスラインの前記複数のセットのうちのアドレスラインの対応するセットに結合されるとともに、前記アドレスラインセレクタに結合されたアドレスラインの前記セットのうちの前記第1のアドレスラインまたは前記第2のアドレスラインを選択することによって、出力を生成するように構成され、

前記ベクトルレジスタファイルが単一の読取りポートに結合される、生成することと、

前記複数のハードウェア素子バンクの中に記憶されたデータにアクセスすることであって、

前記複数のハードウェア素子バンクの各ハードウェア素子バンクが、前記単一の読取りポートを介して前記第1のアドレスまたは前記第2のアドレスのうちの一つによって選択的にアドレス指定されるように構成され、

前記複数のハードウェア素子バンクの第1のハードウェア素子バンクが、アドレスラインの前記複数のセットのうちのアドレスラインの第1のセットの第1のアドレスラインに、第1のアドレスラインセレクタの第1の出力を介して、選択的に結合されるように構成され、アドレスラインの前記第1のセットが前記第1のアドレスラインセレクタに結合され、

前記複数のハードウェア素子バンクの第2のハードウェア素子バンクが、アドレスラインの前記複数のセットのうちのアドレスラインの第2のセットの第2のアドレスラインに、第2のアドレスラインセレクタの第2の出力を介して、選択的に結合されるように構成され、アドレスラインの前記第2のセットが前記第2のアドレスラインセレクタに結合される、アクセスすることと

を前記プロセッサに行わせるプロセッサ実行可能命令を含む、非一時的コンピュータ可読記録媒体。

## 【請求項 14】

アドレスラインの前記複数のセットのうちの特定の第1のアドレスラインと、アドレスラインの前記複数のセットのうちの特定の第2のアドレスラインとが、複数のマルチプレクサのうちのそれぞれのマルチプレクサを介して、前記複数のハードウェア素子バンクに選択的に結合されるように構成される、請求項13に記載の非一時的コンピュータ可読記録媒体。

## 【請求項 15】

複数のハードウェア素子バンクを含むベクトルレジスタファイルと、アドレスラインの複数のセットであって、アドレスラインの前記複数のセットのうちのアドレスラインの各セットが、

第1のアドレスを受信するように構成された第1のアドレスラインと、

第2のアドレスを受信するように構成された第2のアドレスラインとを含む、アドレスラインの複数のセットと、

複数のアドレスラインセクタであって、前記複数のアドレスラインセクタの各アドレスラインセクタが、アドレスラインの前記複数のセットのうちのアドレスラインの対応するセットに結合されるとともに、前記アドレスラインセクタに結合されたアドレスラインの前記セットのうちの前記第1のアドレスラインまたは前記第2のアドレスラインを選択することによって、出力を生成するように構成される、複数のアドレスラインセクタと、

前記複数のハードウェア素子バンクの中にデータを記憶するように構成された単一の書込みポートであって、

前記複数のハードウェア素子バンクの各ハードウェア素子バンクが、前記第1のアドレスまたは前記第2のアドレスのうちの1つによって選択的にアドレス指定されるように構成され、

前記複数のハードウェア素子バンクの第1のハードウェア素子バンクが、第1のアドレスラインセクタに結合されたアドレスラインの第1のセットのうちの前記第1のアドレスラインに、前記第1のアドレスラインセクタの第1の出力を介して、選択的に結合されるように構成される、単一の書込みポートと

を備える、装置。

## 【請求項 16】

前記ベクトルレジスタファイルが複数のベクトルレジスタを含み、

前記複数のベクトルレジスタの各ベクトルレジスタが、それぞれのベクトルレジスタ名を参照する命令によってアクセス可能である、請求項15に記載の装置。

## 【請求項 17】

前記複数のハードウェア素子バンクのうちの2つの隣接するハードウェア素子バンクが、アドレスラインの前記複数のセットのうちのアドレスラインの2つの対応するセットの中の2つの第2のアドレスラインに選択的に結合される、請求項15に記載の装置。

## 【請求項 18】

前記複数のハードウェア素子バンクの各ハードウェア素子バンクの中に記憶されたデータにアクセスするように構成された単一の読取りポートをさらに備え、前記ベクトルレジスタファイルがプロセッサに統合され、前記プロセッサが、単一の命令を実行する間、

読取りデータとして前記データにアクセスするように、前記単一の読取りポートに命令することと、

前記読取りデータを修正することと、

前記修正された読取りデータで前記ベクトルレジスタファイルを更新するように、前記単一の書込みポートに命令することと

を行うように構成される、請求項15に記載の装置。

## 【請求項 19】

前記複数のハードウェア素子バンクのうちの特定のハードウェア素子バンクが、アドレスラインの前記第1のセットの前記第1のアドレスラインまたは前記第2のアドレスライン

のうちの1つを選択するための制御を受信するように構成される、複数のマルチプレクサのうちの1つのマルチプレクサに結合され、前記特定のハードウェア素子バンクが書込みデータラインを有する、請求項15に記載の装置。

【請求項 20】

前記複数のマルチプレクサが共通データセクタに接続され、

前記共通データセクタが、前記複数のハードウェア素子バンクの各ハードウェア素子バンクに対応する選択パターンを受信するように構成される、請求項19に記載の装置。

【請求項 21】

複数のアドレスラインセクタを使用して、ベクトルレジスタファイルの複数のハードウェア素子バンクに、アドレスラインの複数のセットのうちのアドレスラインを選択的に結合するステップであって、

アドレスラインの前記複数のセットのうちのアドレスラインの各セットが、

第1のアドレスを受信するように構成された第1のアドレスラインと、

第2のアドレスを受信するように構成された第2のアドレスラインとを含み、

前記複数のアドレスラインセクタの各アドレスラインセクタが、アドレスラインの前記複数のセットのうちのアドレスラインの対応するセットに結合されるとともに、前記アドレスラインセクタに結合されたアドレスラインの前記セットのうちの前記第1のアドレスラインまたは前記第2のアドレスラインを選択することによって、出力を生成するように構成され、

アドレスラインの前記複数のセットのうちのアドレスラインの第1のセットの前記第1のアドレスラインと、アドレスラインの前記第1のセットの前記第2のアドレスラインとが、前記複数のハードウェア素子バンクの第1のハードウェア素子バンクに選択的に結合され、

前記ベクトルレジスタファイルが、単一の書込みポートに結合される、ステップと、

特定の選択パターンに従って、アドレスラインの前記第1のセットのうちの前記第1のアドレスラインを前記第1のハードウェア素子バンクに結合するステップと、

アドレスラインの前記第1のセットの前記第1のアドレスラインを使用して、前記第1のハードウェア素子バンクを選択的にアドレス指定するステップと、

前記単一の書込みポートを介して、前記第1のハードウェア素子バンクの中にデータを記憶するステップとを含む、方法。

【請求項 22】

前記特定の選択パターンに従って、前記複数のハードウェア素子バンクのうちの第2のハードウェア素子バンクに、アドレスラインの前記複数のセットのうちのアドレスラインの第2のセットの第1のアドレスラインを結合するステップをさらに含み、前記第1のハードウェア素子バンクと前記第2のハードウェア素子バンクが共通のアドレスラインに結合された、請求項21に記載の方法。

【請求項 23】

前記特定の選択パターンに従って、前記複数のハードウェア素子バンクのうちの第2のハードウェア素子バンクに、アドレスラインの前記複数のセットのうちのアドレスラインの第2のセットの第2のアドレスラインを結合するステップをさらに含み、前記第1のハードウェア素子バンクと前記第2のハードウェア素子バンクが異なるアドレスラインに結合された、請求項21に記載の方法。

【請求項 24】

単一の書込みポートに結合されるとともに複数のハードウェア素子バンクを含む、ベクトルデータを記憶するための手段と、

前記複数のハードウェア素子バンクに、アドレスラインの複数のセットのうちのアドレスラインを選択的に結合するための手段であって、アドレスラインの前記複数のセットのうちのアドレスラインの各セットが、第1のアドレスを受信するように構成された第1のアドレスラインと、第2のアドレスを受信するように構成された第2のアドレスラインとを含

み、選択的に結合するための前記手段が、

複数のアドレスラインセクタを備え、前記複数のアドレスラインセクタの各アドレスラインセクタが、アドレスラインの前記複数のセットのうちのアドレスラインの対応するセットに結合されるとともに、前記アドレスラインセクタに結合されたアドレスラインの前記セットのうちの前記第1のアドレスラインまたは前記第2のアドレスラインを選択することによって、出力を生成するように構成される、手段と、

前記単一の書込みポートを介して、前記複数のハードウェア素子バンクにデータを書き込むための手段であって、

前記複数のハードウェア素子バンクの各ハードウェア素子バンクが、前記第1のアドレスまたは前記第2のアドレスのうちの1つによって選択的にアドレス指定されるように構成され、

前記複数のハードウェア素子バンクの第1のハードウェア素子バンクが、アドレスラインの前記複数のセットのうちのアドレスラインの第1のセットの第1のアドレスラインに、第1のアドレスラインセクタの第1の出力を介して、選択的に結合されるように構成され、アドレスラインの前記第1のセットが前記第1のアドレスラインセクタに結合され、

前記複数のハードウェア素子バンクの第2のハードウェア素子バンクが、アドレスラインの前記複数のセットのうちのアドレスラインの第2のセットの第2のアドレスラインに、第2のアドレスラインセクタの第2の出力を介して、選択的に結合されるように構成され、アドレスラインの前記第2のセットが前記第2のアドレスラインセクタに結合される、手段と

を備える、装置。

【請求項 25】

前記選択的に結合するための手段が選択パターンに応答する、請求項24に記載の装置。

【請求項 26】

プロセッサによって実行されたとき、

複数のアドレスラインセクタを使用して、ベクトルレジスタファイルの複数のハードウェア素子バンクに、アドレスラインの複数のセットのうちのアドレスラインを選択的に結合するために、選択パターンを生成することであって、

アドレスラインの前記複数のセットのうちのアドレスラインの各セットが、第1のアドレスを受信するように構成された第1のアドレスラインと、第2のアドレスを受信するように構成された第2のアドレスラインとを含み、

前記複数のアドレスラインセクタの各アドレスラインセクタが、アドレスラインの前記複数のセットのうちのアドレスラインの対応するセットに結合されるとともに、前記アドレスラインセクタに結合されたアドレスラインの前記セットのうちの前記第1のアドレスラインまたは前記第2のアドレスラインを選択することによって、出力を生成するように構成され、

前記ベクトルレジスタファイルが単一の書込みポートに結合される、生成することと、前記複数のハードウェア素子バンクの中にデータを記憶することであって、

前記複数のハードウェア素子バンクの各ハードウェア素子バンクが、前記単一の書込みポートを介して、前記第1のアドレスまたは前記第2のアドレスのうちの1つによって選択的にアドレス指定されるように構成され、

前記複数のハードウェア素子バンクの第1のハードウェア素子バンクが、アドレスラインの前記複数のセットのうちのアドレスラインの第1のセットの第1のアドレスラインに、第1のアドレスラインセクタの第1の出力を介して、選択的に結合されるように構成され、アドレスラインの前記第1のセットが前記第1のアドレスラインセクタに結合され、

前記複数のハードウェア素子バンクの第2のハードウェア素子バンクが、アドレスラインの前記複数のセットのうちのアドレスラインの第2のセットの第2のアドレスラインに、第2のアドレスラインセクタの第2の出力を介して、選択的に結合されるように構成され、アドレスラインの前記第2のセットが前記第2のアドレスラインセクタに結合される、記憶することと

を前記プロセッサに行わせるプロセッサ実行可能命令を含む、非一時的コンピュータ可読記録媒体。

【請求項 27】

アドレスラインの前記複数のセットのうちの特定の第1のアドレスラインと、アドレスラインの前記複数のセットのうちの特定の第2のアドレスラインとが、複数のマルチプレクサのうちのそれぞれのマルチプレクサを介して、前記複数のハードウェア素子バンクに選択的に結合されるように構成される、請求項26に記載の非一時的コンピュータ可読記録媒体。

【請求項 28】

前記複数のハードウェア素子バンクのうちのすべてのハードウェア素子バンクが、選択パターンに従って選択的にアドレス指定されるように構成される、請求項1に記載の装置。

【請求項 29】

前記複数のアドレスラインセクタが、複数のマルチプレクサを備え、前記複数のマルチプレクサの各マルチプレクサが、前記複数のハードウェア素子バンクのうちのそれぞれのハードウェア素子バンクに、アドレスラインの前記複数のセットのうちのアドレスラインの1つのセットを選択的に結合するように構成されるとともに、前記複数のハードウェア素子バンクのうちのすべてのハードウェア素子バンクが、選択パターンに基づいて前記複数のマルチプレクサを介して、選択的にアドレス指定される、請求項1に記載の装置。

【請求項 30】

前記第1のアドレスラインセクタが、第1のマルチプレクサを備え、前記第1のマルチプレクサの入力が、アドレスラインの前記第1のセットのうちの対応するアドレスラインに結合される、請求項1に記載の装置。

【請求項 31】

前記特定の選択パターンに従って、前記複数のハードウェア素子バンクのすべてのハードウェア素子バンクを選択的にアドレス指定するステップをさらに含む、請求項8に記載の方法。

【請求項 32】

前記複数のハードウェア素子バンクのうちのすべてのハードウェア素子バンクが、選択パターンに従って選択的にアドレス指定されるように構成される、請求項15に記載の装置。

【請求項 33】

前記特定の選択パターンに従って、前記複数のハードウェア素子バンクのすべてのハードウェア素子バンクを選択的にアドレス指定するステップとさらに含む、請求項21に記載の方法。